

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 27 年 8 月 27 日 (2015.8.27)

【公開番号】特開 2014-35628 (P2014-35628A)

【公開日】平成 26 年 2 月 24 日 (2014.2.24)

【年通号数】公開・登録公報 2014-010

【出願番号】特願 2012-176027 (P2012-176027)

【国際特許分類】

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/00 5 7 1 B

【手続補正書】

【提出日】平成 27 年 7 月 9 日 (2015.7.9)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

転送指示に基づいてメモリアクセス単位の複数のメモリコマンドを発行するメモリ制御装置であって、

転送指示を受信する受信手段と、

前記転送指示の少なくとも 1 つと、当該転送指示に基づく出力状態と、をそれぞれが保持し、前記転送指示に基づいてメモリアクセス単位の複数のメモリアクセス要求をそれぞれが出力する複数の出力手段と、

メモリデバイスに対して前記メモリアクセス要求に基づいてメモリコマンドを発行するコマンド生成手段とを備え、

前記コマンド生成手段は、第 1 の出力手段が保持している第 1 の転送指示に関する複数のメモリアクセス要求に基づく複数のメモリコマンドに、前記第 1 の転送指示より後に前記受信手段で受け付けられ第 2 の出力手段が保持しており前記第 1 の転送指示より優先度の高い第 2 の転送指示に関するメモリアクセス要求に基づくメモリコマンドを割り込ませるように発行することを特徴とするメモリ制御装置。

【請求項 2】

前記受信手段は、第 1 転送単位で転送される転送指示を受信し、

前記コマンド生成手段は、第 1 転送単位の 1 単位の転送指示に基づいて、第 1 転送単位より小さい第 2 転送単位であるメモリアクセス単位のメモリコマンドを複数発行し、

第 1 の転送指示に基づく複数のメモリコマンドに、前記第 1 の転送指示より後に前記受信手段で受け付けられ前記第 1 の転送指示より優先度の高い第 2 の転送指示に関するメモリアクセス要求に基づくメモリコマンドを割り込ませるように発行することを特徴とする請求項 1 に記載のメモリ制御装置。

【請求項 3】

第 1 の転送指示に基づくメモリアクセスに、前記第 2 の転送指示に基づくメモリアクセスを割り込ませる際に、前記出力手段は第 1 の転送指示に関するメモリアクセスに出力する処理を中断することを特徴とする請求項 1 又は 2 に記載のメモリ制御装置。

【請求項 4】

前記出力手段は、優先度毎に複数の状態バッファを備え、優先度の高い前記第 2 の転送指示に関するメモリアクセスが完了すると、優先度の低い前記第 1 の転送指示に対応する

状態バッファの保持している処理状態に基づいて前記第 1 の転送指示に基づくメモリアクセス要求の出力を再開することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のメモリ制御装置。

【請求項 5】

前記転送指示は前記メモリデバイスに対するバーストアクセスを含み、前記コマンド生成手段は前記メモリデバイスに対するバーストアクセスを中断するためのターミネーション制御回路を備えることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のメモリ制御装置。

【請求項 6】

複数の転送指示をメモリアクセス単位に変換してメモリコマンドとして発行するメモリ制御回路であって、

前記転送指示を優先度ごとに振り分ける転送振り分け回路と、

前記転送振り分け回路によって振り分けられた転送指示をメモリアクセス単位に変換し、メモリアクセス要求を出力する複数の転送分割回路と、

前記メモリアクセス要求に基づいてメモリデバイスに発行するメモリコマンドを生成するメモリコマンド生成回路とを有し、

前記転送分割回路は、分割状態を保持する状態バッファを備え、

前記メモリコマンド生成回路は、複数の転送分割回路からメモリアクセス要求があると、優先度の高い転送指示に関するメモリアクセス要求を優先的に処理することを特徴とするメモリ制御装置。

【請求項 7】

メモリコマンド生成回路は、所定単位のメモリアクセスが完了するたびに次のメモリアクセス要求を選択することを特徴とする請求項 6 に記載のメモリ制御装置。

【請求項 8】

ターミネーション制御回路を更に備え、

前記メモリコマンド生成回路は、優先度の高い転送指示に基づくメモリアクセス要求を検出すると、前記ターミネーション制御回路によってメモリアクセスを中断し、優先度の高い転送指示に基づくメモリアクセス要求の処理を開始することを特徴とする請求項 6 に記載のメモリ制御装置。

【請求項 9】

前記転送指示は優先度を示す情報を含むことを特徴とする請求項 6 に記載のメモリ制御装置。

【請求項 10】

前記転送振り分け回路が、受信する転送指示の発行元を識別して前記転送指示の優先度を付与することを特徴とする請求項 6 に記載のメモリ制御装置。

【請求項 11】

複数の転送を受信し、前記転送をメモリアクセス単位に分割し、メモリに発行するメモリ制御装置であり、

前記転送の優先度ごとに転送分割要求を出す転送振り分け回路と、

前記転送分割要求を受けて、前記転送をメモリアクセス単位に分割し、メモリアクセス要求を出す転送分割回路と、

前記メモリアクセス要求を受けて、メモリに発行するメモリコマンドを生成するメモリコマンド生成回路とを有し、

前記転送分割回路は分割処理中の転送の状態を保持する転送分割状態バッファを優先度ごとに備え、転送の分割処理中にそれよりも優先度の高い転送に関する転送分割要求を受信すると、分割処理中の転送についての状態を前記状態バッファに保持したまま、前記優先度の高い転送に基づく分割処理を開始し、前記優先度の高い転送に基づくメモリアクセスが完了すると、前記状態バッファに保持している状態に基づいて中断した転送に基づく分割処理を再開することを特徴とするメモリ制御装置。

【請求項 12】

複数のバスマスタと、ＤＲＡＭと、メモリバスと、オンチップバスと、前記ＤＲＡＭに前記メモリバスを介して接続され、前記オンチップバスを介して前記複数のバスマスタに接続されているメモリ制御装置と、を備える情報処理装置であって、

前記メモリ制御装置は、

前記複数のバスマスタから前記ＤＲＡＭへのバーストアクセスを示す転送指示を受信する受信手段と、前記転送指示を前記ＤＲＡＭに対するアクセス単位に変換する複数の変換手段と、前記複数の変換手段の少なくとも１つによって変換した転送指示に基づいて前記ＤＲＡＭに対するメモリコマンドを発行する発行手段とを備え、

前記発行手段は、前記ＤＲＡＭへのバーストアクセス中に、より優先度の高い他の転送指示を受け付けると、前記バーストアクセスを中断して前記他の転送指示に基づくメモリアクセスを開始することを特徴とする情報処理装置。

【請求項１３】

前記変換手段は、バーストアクセス中の転送指示について、どこまでメモリアクセスを行ったかを示す状態保持手段をそれぞれが備え、前記発行手段は前記バーストアクセスの中断に応じて、中断したバーストアクセスに関する状態保持手段に未転送分のバースト長を加算し直すことを特徴とする請求項１２に記載の情報処理装置。

【請求項１４】

前記受信手段は少なくとも１つの優先度について、複数の転送指示を保持するキューを備え、キューに保持している複数の転送指示について並び替えることを特徴とする請求項１２に記載の情報処理装置。

【請求項１５】

転送指示に基づいてメモリアクセス単位のメモリコマンドを発行するメモリ制御装置であって、転送指示を受信する受信手段と、前記転送指示の少なくとも１つと当該転送指示に基づく出力状態とをそれぞれが保持し前記転送指示に基づいてメモリアクセス要求をそれぞれが出力する複数の出力手段と、メモリデバイスに対して前記メモリアクセス要求に基づいてメモリコマンドを発行するコマンド生成手段とを備えるメモリ制御装置の制御方法であって、

第１の出力手段が保持している第１の転送指示に関する複数のメモリアクセス要求に基づく複数のメモリコマンドに、前記第１の転送指示より後に前記受信手段で受け付けられ第２の出力手段が保持しており前記第１の転送指示より優先度の高い第２の転送指示に関するメモリアクセス要求に基づくメモリコマンドを割り込ませるように発行することを特徴とする制御方法。

【請求項１６】

複数の転送指示をメモリアクセス単位に変換してメモリコマンドとして発行するメモリ制御回路であって、前記転送指示を優先度ごとに振り分ける転送振り分け回路と、前記転送振り分け回路によって振り分けられた転送指示をメモリアクセス単位に変換し、メモリアクセス要求を出力する複数の転送分割回路と、前記転送分割回路における分割状態を保持する複数の状態バッファと、前記メモリアクセス要求に基づいてメモリデバイスに発行するメモリコマンドを生成するメモリコマンド生成回路とを有するメモリ制御回路の制御方法であって、

前記メモリコマンド生成回路に対して複数の転送分割回路からメモリアクセス要求があると、優先度の高い転送指示に関するメモリアクセス要求を優先的に処理することを特徴とする制御方法。

【請求項１７】

複数のバスマスタと、ＤＲＡＭと、メモリバスと、オンチップバスと、

前記複数のバスマスタから前記ＤＲＡＭへのバーストアクセスを示す転送指示を受信する受信手段と、前記転送指示を前記ＤＲＡＭに対するアクセス単位に変換する複数の変換手段と、前記複数の変換手段の少なくとも１つによって変換した転送指示に基づいて前記ＤＲＡＭに対するメモリコマンドを、前記メモリバスを介して発行する発行手段と、を備えるメモリ制御回路とを備える情報処理装置の制御方法であって、

前記ＤＲＡＭへのバーストアクセス中に、より優先度の高い他の転送指示を受け付けると、前記バーストアクセスを中断して前記他の転送指示に基づくメモリアクセスを開始することを特徴とする制御方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】変更

【補正の内容】

【０００８】

上記課題を解決するために本発明に係るメモリ制御装置は、転送指示に基づいてメモリアクセス単位のメモリコマンドを発行するメモリ制御装置であって、転送指示を受信する受信手段と、前記転送指示の少なくとも１つと、当該転送指示に基づく出力状態と、をそれぞれが保持し、前記転送指示に基づいてメモリアクセス要求をそれぞれが出力する複数の出力手段と、メモリデバイスに対して前記メモリアクセス要求に基づいてメモリコマンドを発行するコマンド生成手段とを備え、前記コマンド生成手段は、第１の出力手段が保持している第１の転送指示に関する複数のメモリアクセス要求に基づく複数のメモリコマンドに、前記第１の転送指示より後に前記受信手段で受け付けられ第２の出力手段が保持しており前記第１の転送指示より優先度の高い第２の転送指示に関するメモリアクセス要求に基づくメモリコマンドを割り込ませるように発行することを特徴とする。