

407282

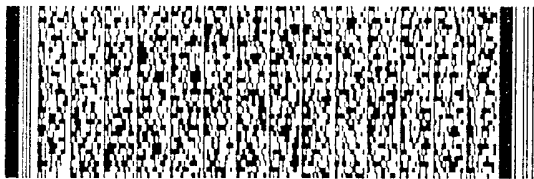
|                |              |
|----------------|--------------|
| 申請日期： 87.11.19 | 案號： 87119184 |
| 類別： G11C 7/00  |              |

(以上各欄由本局填註)

## 發明專利說明書

|            |                    |                                                                |
|------------|--------------------|----------------------------------------------------------------|
| 一、<br>發明名稱 | 中文                 | 半導體記憶器裝置及其裝置之資料處理方法                                            |
|            | 英文                 | SEMICONDUCTOR MEMORY DEVICE AND DATA PROCESSING METHOD THEREOF |
| 二、<br>發明人  | 姓名<br>(中文)         | 1. 李永大                                                         |
|            | 姓名<br>(英文)         | 1. YOUNG-DAE LEE                                               |
|            | 國籍                 | 1. 韓國                                                          |
|            | 住、居所               | 1. 大韓民國漢城市城北區貞陵2洞432-2, 20/4                                   |
| 三、<br>申請人  | 姓名<br>(名稱)<br>(中文) | 1. 韓商三星電子股份有限公司                                                |
|            | 姓名<br>(名稱)<br>(英文) | 1. SAMSUNG ELECTRONICS CO., LTD.                               |
|            | 國籍                 | 1. 韓國                                                          |
|            | 住、居所<br>(事務所)      | 1. 大韓民國京畿道水原市八達區梅灘洞416番地                                       |
|            | 代表人<br>姓名<br>(中文)  | 1. 尹鍾龍                                                         |
|            | 代表人<br>姓名<br>(英文)  | 1. JONG-YONG YUN                                               |

407282



407282

本案已向

國(地區)申請專利

南韓 KR

申請日期

1998/05/18 98-17779

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

## 發明之詳細說明

## 發明所屬技術領域

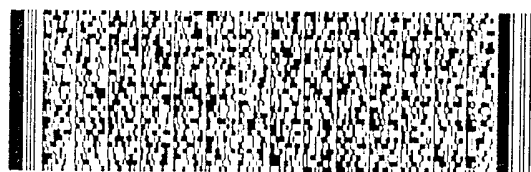
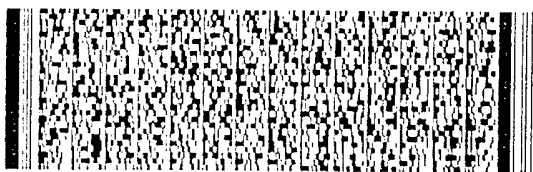
本發明係有關於一種半導體記憶器裝置，尤詳而言之，係有關於一種具有1或2週後執行寫入動作之功能，在寫入後讀出動作執行時寫入位址與讀出位址相同情形下，可使輸入資料旁通之半導體記憶器裝置及其裝置之資料處理方法。

## 習知技術

向來，可執行1或2週後寫入動作之半導體記憶器裝置在寫入動作執行時於裝置內部僅延遲1或2週輸入自外部之寫入位址，輸入位址解碼器，選擇字線及數元線，自寫入位址輸入起僅延遲1或2週傳輸輸入自外部之資料輸入信號至寫入驅動器(writedriver)，執行1或2週後寫入動作。亦即，1或2週後寫入動作係半導體記憶器裝置輸入寫入位址，自此寫入位址輸入起僅延遲1或2週後，輸入來自外部之寫入資料，執行寫入動作者。

## 發明所欲解決之問題

習知半導體記憶器裝置固然有1或2週後寫入功能，却無多種旁通功能。具體而言，習知半導體記憶器裝置在讀出指令之2週前有寫入指令或於讀出指令之1或2週前有寫入指令情形下，具有不保持寫入資料於記憶單元，通過資料輸出緩衝輸出部的旁通功能。惟其詳細電路構成並未公開。又，習知半導體記憶器裝置並無寫入指令後馬上有讀出指令，其寫入位址與讀出位址相同情形的旁通功能。



## 五、發明說明 (2)

本發明目的在於提供一種例如具有多種旁通功能，可執行1週或2週後寫入動作之半導體記憶器裝置及其裝置之資料處理方法。

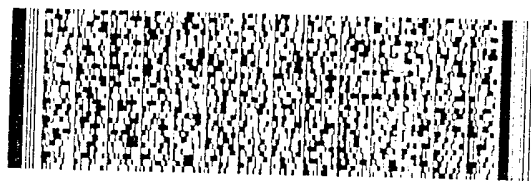
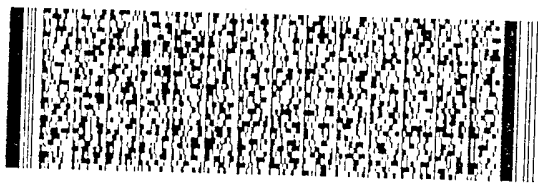
用以解決問題之手段

為達成前述目的，本發明半導體記憶器裝置之特徵在於具備複數記憶單元；寫入驅動器，傳輸輸入前述記憶單元之資料；感測放大器，響應感測放大器信號，放大傳輸自前述記憶胞之資料而將其輸出；資料輸入緩衝器，緩衝來自外部之資料輸入信號而將其輸出；寫入位址保持裝置，於1或2週後寫入時，僅延遲1或2週來自前述位址輸入緩衝器之寫入位址而將其輸出；選擇裝置，選擇輸出來自前述位址輸入緩衝器之讀出位址與來自前述寫入位址保持裝置僅延遲1週或2週之寫入位址；比較裝置，比較來自前述位址輸入緩衝器之讀出位址與來自前述寫入位址保持裝置僅延遲1週或2週之寫入位址。若相同，即產生第1、第2比較信號；旁通控制信號發生裝置，前述1週後寫入動作執行時，輸入前述第1比較信號，產生旁通1。旁通12控制信號，前述2週後寫入動作執行時，輸入前述第1、第2比較信號，產生旁通0、旁通1、旁通2及旁通12控制信號；控制信號發生裝置，前述1週後寫入動作執行時，產生第1、第2控制信號，前述2週後寫入動作執行時，產生第1、第2、第3控制信號；資料輸入保持裝置，響應前述第1控制信號，傳輸僅延遲前述1或2週而輸入之資料輸入信號，產生第1、第2、第3信號，響應前述第2控制信號，栓鎖前述

第2信號，響應前述第3控制信號，拴鎖前述第3信號而傳輸至前述寫入驅動器；資料輸出選擇裝置，響應前述旁通0控制信號，輸出前述第1信號，響應前述旁通1及12控制信號，輸出前述第2信號，響應前述旁通2及12控制信號，輸出前述第3信號；資料輸出緩衝器，於1或2週後寫入旁通動作執行時，響應資料輸出緩衝器控制信號，拴來自前述資料輸出選擇裝置之資料，將其輸出至外部；以及感測放大器暨資料輸出緩衝器控制信號發生裝置，產生前述感測放大器禁止信號與控制前述資料輸出緩衝器之控制信號。

為達到前述其他目的，本發明半導體記憶器之資料處理方法係於具備複數記憶胞；傳輸資料至前述前記憶單元之寫入驅動器；響應感測放大器控制信號放大傳輸自前述複數記憶單元之資料而將其輸出之感測放大器；緩衝來自外部之資料輸入信號而將其輸出之位址輸入緩衝器；以及響應資料輸出緩衝控制信號緩衝輸出自前述感測放大器之資料而將其輸出之資料輸出緩衝器之半導體記憶器裝置之資料處理方法中，特徵在於具備：

1週後寫入動作執行時，僅延遲1週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，於讀出指令輸入時，比較輸入之讀出位址與前述寫入位址，若其結果相同，即產生旁通1及旁通12控制信號，於2週後寫入動作執行時，僅延遲2週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，於讀出指令輸入時，比較輸入之讀出位址與前述1或2



## 五、發明說明 (4)

週前寫入位址，若其結果相同，即產生旁通0、旁通1、旁通2及旁通12控制信號之步驟；以及

前述1週後寫入動作執行時，使輸入自前述輸入緩衝器之資料輸入信號響應第1控制信號，產生第1、第2、第3信號，響應第2控制信號，輸出前述第2信號至前述寫入驅動器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，於前述2週後寫入動作執行時，使輸入自前述資料輸入緩衝器之資料輸入信號產生第1、第2、第3信號，響應前述第2或第3控制信號，輸出前述第2或第3信號至前述寫入驅動器，響應前述旁通0控制信號，輸出前述第1信號至前述資料輸出緩衝器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，響應前述2及旁通12控制信號，輸出前述第3信號至前述資料輸出緩衝器之步驟者。

## 發明之實施形態

以下參考圖式說明本發明較佳之實施形態。

第1圖係顯示本發明合適實施形態之半導體記憶器裝置之構成之方塊圖。此半導體記憶器裝置由記憶單元10-1, 10-2, ..., 10-n；預充電及等化電路12-1, 12-2, ..., 12-n；列位址解碼器14；行選擇開關16-1, 16-2, ..., 16-n；行位址解碼器18；寫入驅動器20；感測放大器22；資料輸出緩衝器24；資料輸入緩衝器26；位址輸入緩衝器28；多工器30；暫存器32；比較電路34、旁通加法器36, 38；旁通控制信號發生電路40；資料輸入暫存器控制

##### 五、發明說明 (5)

電路42；資料輸入暫存器44；傳輸閘46，48；以及栓鎖器50所構成。

以下說明此半導體裝置之各部功能。

記憶10-1, 10-2, ... 10-n響應行選擇信號Y1, Y2, ... Yn，選擇字線選擇信號WL1, WL2, ... WLn，輸入(寫入)數元線對BL1, BL2, BL2B, ... BLn, BLnB之資料，或於數元線對輸出(讀出)資料。預先充電及等化電路12-1, 12-2, ... 12n於讀出動作時將數元線對預先充電等化。

列位址解碼器14對列位址X解碼而產生字線選擇信號。行選擇開關16-1, 16-2, ... 16-n響應行選擇信號，控制數元線對與資料線對DL, DLB間之資料傳輸。行位址解碼器18對行位址Y解碼而產生行選擇信號。寫入驅動器20傳輸輸入之資料於資料線對。

感測放大器22放大輸出傳輸於資料線對之資料。資料輸出緩衝器24緩衝資料而產生輸出資料DOUT。資料輸出緩衝器26緩衝輸入自外部之資料DIN。位址輸入緩衝器28響應與時脈信號XCK同步產生之信號KINA。緩衝輸入自外部之位址XAi，輸出讀出位址RA及寫入位址WA。

暫存器32響應信號KINA、Pwe，栓鎖位址輸入緩衝器28之輸入信號，僅延遲其1週產生信號WA1，響應信號Pwe，自僅延遲1週產生信號WA2。亦即，信號WA1係響應信號KINA、Pwe1週管線化之信號，信號WA2係響應信號Pwe2週管線化之信號。且，信號Pwe藉寫入時之寫入促成信號與時脈信號產生。

## 五、發明說明 (6)

藉此，1週後寫入時信號WA1輸出至多元器30，2週後寫入時信號WA2輸出至多工器30。多工器30響應信號Prd輸出讀出位址RA，響應信號Pwe將輸出自暫存器32之寫入位址輸出。信號Prd藉讀出時的讀出致能信號與時脈信號產生。

比較電路34比較信號WA1與讀出位址，若兩者相同即產生SCHR1信號，比較信號WA2與讀出位址，兩者若相同即產生信號SCHR2。旁通加法器36加算讀出信號SRD與信號SCHR1，產生信號SPB0。旁通加法器38加算讀出信號SRD與信號SCHR2，產生信號SBP1。旁通控制信號發生電路40固響應寫入促成信號，產生旁通控制信號BP0，BP1，BP2，BP12，惟1週後寫入動作執行時產生旁通1信號BP1，2週後動作執行時產生對應旁通控制信號。亦即，旁通控制信號發生電路40於旁通0動作執行時產生BP0，於旁通1動作執行時產生BP1，BP12，於旁通2動作執行時產生BP2，BP12。

資料輸入暫存器控制電路42輸入寫入成信號WE，產生控制信號PDIN，PDIN1，PDIN2。資料輸入暫存器控制電路42為了執行1週後寫入動作，與寫入指令1週後的時脈信號同步產生信號PDIN，於寫入指令1週後若有讀出指令即產生信號PDIN1。而且，為了進行2週後的寫入動作，於寫入指令2週後與脈信號同步產生信號PDIN，於寫入指令1週後或2週前若有讀出指令即產生信號PDIN1，於1週前與2週前若同時有寫入指令即產生信號PDIN2。

資料輸入暫存器44響應信號PDIN，傳輸資料輸入信號

DIN，輸出信號DR0, DR1, DR2之至資料輸出多工器52。傳輸閘46響應信號PDIN1傳輸信號DR1。傳輸閘68響應信號PDIN2傳輸信號DR2。栓鎖器50栓鎖傳輸閘46, 48之輸出信號，將其輸出至寫入驅動器20。

資料輸出多工器52響應旁通控制信號BP0, BP1, BP2, BP12，將信號DR0, DR1, DR2之一輸出至資料輸出緩衝器24。

依照第1圖之構成，暫存器32、比較電路34、旁通加法器36, 38及旁通控制信號發生電路40係用以產生旁通控制信號之電路構成。資料輸入暫存器控制電路、資料輸入暫存器44、傳輸閘46, 48、栓鎖器50及資料輸出多工器52係直接控制旁通動作之電路構成。

第2圖係本發明合適實施形態之半導體記憶器裝置之資料輸入暫存器44之電路圖。此資料輸入暫存器44由反相器62, 66, 70, 80、傳輸閘60, 64, 68, 78及栓鎖器72, 74, 76, 82構成。

傳輸閘60, 68響應"低"位準信號PDIN分別傳輸資料輸入信號DIN及信號DR1。栓鎖器72, 76分別栓鎖透過傳輸閘64, 78傳輸之信號。

就第2圖所示電路而言，於信號PDIN之"低位準期間，資料輸入信號DIN及栓鎖器74所保持之資料分別傳輸至傳輸閘60, 68，於"高位準期間，栓鎖器72, 76所保持之資料以信號DR1, DR2輸出。亦即，第2圖所示電路於旁通0，旁通1，旁通2之功能執行時，將信號DR0, DR1, DR2之一輸

## 五、發明說明 (8)

出至資料輸出多工器52。

旁通0功能係指寫入指令後有相同位址之讀出指令情形之功能，旁通1功能係指依序執行寫入、讀出、讀出，寫入位址與最後讀出位址相同情形之功能，旁通2功能係指依序執行寫入、寫入、讀出指令，開始寫入與讀出位址相同情形之功能。

傳輸閘46響應信號PDIN傳輸信號DR1，傳輸閘48響應信號PDIN2傳輸信號DR2。而且，栓鎖器50栓鎖傳輸閘46, 48之輸出信號，將其輸出至寫入驅動器20。亦即，輸入資料輸入暫存器44之輸出信號DR1, DR2之傳輸閘46, 48及栓鎖器50係進行1或2週後寫入動作之電路。

第3圖係本發明合適實施形態之半導體記憶器裝置之資料輸出緩衝器電路圖。此資料輸出緩衝器24由PMOS電晶體90, 92, 94, 108, 110, 116、NMOS電晶體96, 98, 100, 102, 112, 118、反相器104, 106, 120, 122, 124, 126, 134, 138、NOR閘(反或閘)128, 130以及DAND閘(反及閘)132, 136構成。

由PMOS電晶體90, 92, 94及NMOS電晶體96, 98, 100, 102所構成之允許電路於寫入動作執行時由於促成信號KDPRECB為"低"位準，故PMOS電晶體90切斷，NMOS電晶體100, 102切斷，使資料線對DTA, DTAB成為"低"位而維持資料信號DTA, DTAB。另一方面，於讀出動作執行時，由於促成信號KDPRECB為"低"位準，故PMOS電晶體90切斷，NMOS電晶體100, 102切斷，感測放大器輸入信號SAS, SASB分

## 五、發明說明 (9)

別傳輸於資料線對DTA, DTAB。

反相器104, 106、PMOS電晶體108, 110, 114, 116、NMOS電晶112, 118以及栓鎖器120, 122所構成之電路在寫入動作執行時由於資料線對DTA, DTAB之資料全部為"低"位準, 故PMOS電晶體110, 116及NMOS電晶體112, 118全部切斷, 於資料線對DTBB, DTB上維持栓鎖器120, 122所栓鎖之資料。另一方面, 讀出動作進行時, 讀出動作執行時, 分別反轉資料線對DTA, DTAB上所傳輸之資, 將其傳輸於資料線對DTAA, DTB。

反相器124, 126及NOR閘128, 130所構之電路與時脈信號XCK同步, 藉由信號KDATA分別反轉傳輸於資料線對DTBB, DTB之資料, 將其輸出於資料線對DTC, DTCB。亦即, 此電路於信號KDATA自"低"位準轉移至"高"位準時, 分別反轉傳輸於資料線上(DTBB, DTB)之資料, 將其傳輸於資料線對DTC, DTCB。

由NAND閘132, 136及反相器134, 138所構成之電路響應輸出成信號OE, 分別以傳輸於資料線對DTC, DTCB之信號為資料輸出信號DOU, DOD而將其輸出。

第3圖所示資料輸出緩衝器24係本發明合適實施形態之半導體記憶器裝置之可進行1或2週後寫入旁通動作之電路構成。

第4圖係本發明合適實施形態之半導體記憶器裝置之資料輸出多工器52電路圖, 其由反相器140, 144, 148, 150, 152, 156, 160, 162, 166、傳輸閘142, 146, 154,

## 五、發明說明 (10)

164 以及 NOR 閘 158 構成。

傳輸閘 142, 146 分別響應旁通控制信號 BP1, BP2 而分別傳輸信號 DR1, DR2。栓鎖器 148, 150 栓鎖傳輸閘 142, 146 之輸出信號。傳輸閘 154 響應旁通控制信號 BP12, 傳輸構成栓鎖器之反相器 150 之輸出信號。反相器 156 反轉旁通控制信號 BP0。NOR 閘 158 反轉反相器 156 之輸出信號與信號 KDATA 之邏輯和而以信號 KBYP0 輸出。亦即, 信號 KBYP0 允許旁通控制信號 BP0, 在信號 KDATA 為"低"位準情形下變成"高"位準, 亦即變成允許狀態。

反相器 160 反轉信號 DR0 傳輸閘 164 響應信號 KBYP0, 將反相器 160 之輸出信號傳輸於資料線 DTB, 反相器 166 反轉傳輸於資料線 DTB 之信號, 將其傳輸於資料線 DTBB。

第 5 圖係本發明較佳實施形態之半導體記憶器裝置之產生感測放大器促成信號 SAEN 及資料輸出緩衝器促成信號 KDPRECB 之電路之電路圖。此電路由 NOR 閘 170, 184、NAND 閘 182, 190、PMOS 電晶體 172, 174, 176、NMOS 電晶體 178, 180 以及反相器 186, 188, 192, 194 構成。

若有讀出指令, 由於允許感測放大器, 故產生促成信號 SAENP。NOR 閘 170 演算來自資料線對 DTA, DTAB 之信號邏輯和之反轉結果。亦即, 資料線對 DTA, DTAB 之全部資料若為"低"位準, 即產生"高"位準信號。

NMOS 電晶體 178, 180 響應"高"位準之促成信號 SAENP 與 NOR 閘 170 之輸出信號予以切斷, 使 PMOS 電晶體 178 之汲極成為"低"位準。此時轉而執行產生用來允許感測放大器 22

## 五、發明說明 (11)

及資料輸出緩衝器24之信號之動作。

此時，NAND閘182使"低"位準信號與"高"位準信號非邏輯相乘而產生"高"位準信號。NOR閘184及反相器186，188響應信號SBP0，SBP12，其全部信號若為"低"位準，即產生"高"位準信號，即使其一為"高"位準，亦產生"低"位準信號。亦即，此構成於執行旁通動作時用來禁止感測放大器及資料輸出緩衝器之動作。

NAND閘190及反相器190演算NAND閘182之輸出信號與反相器188之輸出信號之邏輯積，二信號若同時為"高"位準，即產生高位準之感測放大器促成信號SAEN，即使其一為"低"位準，亦產生"低"位準信號。亦即，若NAND閘182及反相器188之全部輸出信號為"高"位準，即產生"高"位準之感測放大器促成信號SAEN，產生"低"位準之資料輸出緩衝器允許信號KDPRECB，允許感測放大器22及資料輸出緩衝器24之動作。且由於有旁通功能，故反相器188之輸出信號為"低"位準，NAND閘190即產生"低"位準之感測放大器促成信號及"高"位準之資料輸出緩衝器促成信號KOPRECB，禁止感測放大器22之動作。

以下參照第6圖之時序圖說明本發明合適實施形態之半導體記憶器裝置之資料處理方法。

1週後之寫入旁通動作係指寫入指令後發生讀出指令，在此時讀出位址與1週前寫入位址相同情形下所執行之動作。旁通動作執行時，感測放大器2-2之動作被禁止。

若於第1週期輸入寫入指令，位址輸入緩衝器28即緩衝

## 五、發明說明 (12)

寫入位址A1而將其輸出。暫存器32栓鎖寫入位址A1。若於第2週期輸入讀出指令，位址輸入緩衝器28即緩衝讀出位址而將其輸出。比較電路34由於暫存器32之輸出信號WA1之寫入位址與讀出信址相同，故產生信號SCHR1。

旁通加法器36響應信號SRD，加算信號SCHR1而產生旁通信號SBP0。旁通控制信號發生電路40於1週後寫入動作執行時，輸入旁通信號，產生旁通信號BP1，BP12。

資料輸入緩衝器26於第1週期之"低"位準期間將輸入之資料輸入信號DIN輸出至輸入暫存器44。資料輸入暫存器44響應信號PDIN，產生信號DR1。資料輸出多工器52響應旁通信號BP1，BP12，將信號DR1輸出至資料輸出緩衝器24之栓鎖器。資料輸出緩衝器24響應信號KDATA，OE，以栓鎖器所栓鎖之信號為資料輸出信號DOUT，將其輸出。

亦即，1週後執行寫入旁通動作時，旁通控制信號發生電路40在寫入後讀出指令時與寫入位址相同之讀出位址若輸入，即產生旁通1信號，信號PDIN於寫入指令1週後與時脈信號同步允許，信號PDIN1於寫入指令1週後若有讀出指令即允許。

又，1週後執行寫入動作時，暫存器32僅延遲位址輸入緩衝器28之輸出信號1週而輸出至多工器30，資料輸入暫存器44響應信號PDIN，使輸入自資料輸入緩衝器26之僅延遲1週之資料輸入信號DIN產生信號DR1。傳輸閘46響應信號PDIN1，於栓鎖器50栓鎖信號DR1。將栓鎖器50所栓鎖之信號輸出至寫入驅動器20。依此執行1週後寫入指令。

第7圖係說明本發明較佳實施形態之半導體記憶器裝置2週後寫入動作之動作時序圖。

2週後寫入旁通動作係指讀出位址與1週前之寫入位址相同或讀出位址與2週前之寫入位址相同情形下所執行之動作。旁通動作執行時，感測放大器22之動作被禁止。

首先說明旁通0動作執行情形。

於第1週期若輸入寫入指令，即響應"高"位準時脈信號XCK，將寫入位址A0輸入位址輸入緩衝器28。位址輸入緩衝器28將緩衝之寫入位址A0輸出至暫存器32，暫存器32響應信號Pwe，栓鎖位址緩衝器28之輸出信號，產生信號WA1。

若於第2週期輸入讀出指令，即響應"高"位準時脈信號XCK，輸入與寫入位址相同之讀出位址A0。如此，比較電路34即比較暫存器32之輸出信號WA1之位址A0與輸入之讀出位址A0，產生信號SCHR1。此信號SCHR1係為執行旁通而產生之信號。

旁通加法器36在加算SCHR1與讀出信號而有讀出指令時產生"高"位準信號SBP0。旁通控制信號發生電路40輸入信號SBP0產生旁通0信號BP0。此時，不傳輸資料輸入信號DIN至寫入驅動器20，可透過資料輸出多工器52及資料輸出緩衝器24將其輸出主外部。因此，為了執行此動作，自指令起2週後響應"低"位準之控制信號PDIN，以信號DRO輸出資料輸入信號DIN。

此信號輸出至資料輸出多工器52，資料輸出多工器52響

應旁通信號BP0及信號KDATA，透過第4圖所示傳輸閘164，將信號DRO傳輸至第3圖所示之栓鎖器120，122。於第7圖中以信號DLAT-RO表示此信號。傳輸至栓鎖器之資料響應信號KDATA及輸出促成信號OE，產生輸出信號RO。

其次說明執行旁通1動作情形。

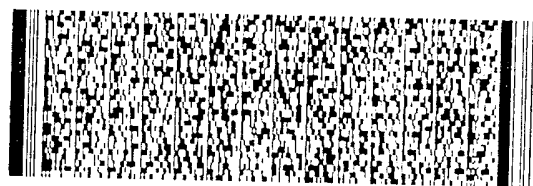
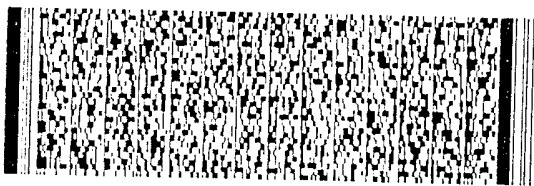
若於第4週期輸入寫入指令，即響應"高"位準之時脈信號XCK，將寫入位址A1輸入位址輸入緩衝器28。位址輸入緩衝器28將緩衝之寫入位址A1輸出至暫存器32，暫存器32響應信號Pwe，栓鎖位址緩衝器28之輸出信號，產生信號WA1。

且若於第5週期輸入讀出指令，即響應"高"位準之時脈信號，輸入讀出位址A2。如此，比較電路34即比較暫存器32之輸出信號WA1之位址A0與輸入之讀出位址，結果因兩者不同，故不產生信號SCHR1。

且若於第6週期輸入讀出指令，即響應"高"位準之時脈信號XCK，輸入讀出位址A1，此時輸入寫入位址A1之資料D1。比較電路34比較暫存器32之輸出信號WA1之位址A1與讀出位址A1，由於其結果相同，故產生信號SCHR1。旁通加法器36響應信號SRD，產生信號SBP0。

旁通加法器36響應信號SRD，產生信號SBP0。旁通加法器36在顯示信號SCHR1的全部數元相同之信號情形下，產生信號SBP0。

旁通控制信號發生電路40若顯示控制信號WC為旁通1，即產生旁通1，信號BP1，BP12。控制信號WC係為區別旁



通。與旁通1動作而產生之信號，讀出指令前若有寫入指令，旁通控制信號發生電路40即產生旁通0信號BP0，讀出指令前若有讀出指令，旁通控制信號發生電路40即產生旁通1信號BP1，BP12。

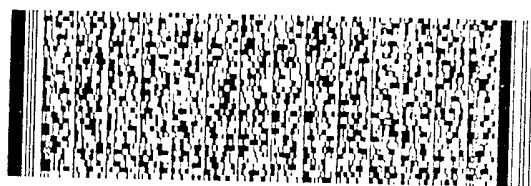
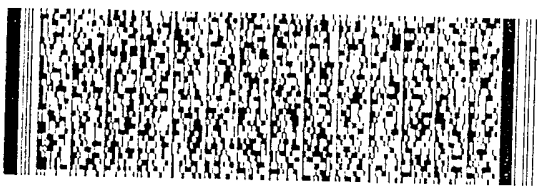
資料輸入緩衝器26緩衝資料D1，將其輸出至資料暫存器44。資料輸入暫存器44響應信號PDIN，產生信號DR0，DR1，DR2。資料輸出多工器52傳輸信號DR1，將其栓鎖於第3圖所示之資料輸出緩衝器24之栓鎖器120，122資料輸出緩衝器24響應信號KDATA，OE，產生資料輸出信號R1。

其次就旁通2動作之執行加以說明。

若於第3週期若寫入指令，即響應"高"位準之時脈信號XCK，將寫入位址A2輸入位址輸入緩衝器28。位址輸入緩衝器28將緩衝之寫入位址A2輸出至暫存器32。暫存器32響應信號Pwe，將輸出信號栓鎖於位址輸入緩衝器28。

且若於第4週期輸入寫入指令，即響應"高"位準之時脈信號XCK，輸入寫入位址A1。如此，即暫存器32即響應信號Pwe，栓鎖位址輸入緩衝器28之輸出信號。寫入位址A2之資D2以此週期之"低"位準輸入資料輸入緩衝器26。

若於第5週期輸入讀出指令，即響應"高"位準之時脈信號XCK，輸入讀出位址A1。如此暫存器32即響應信號Pwe，以輸出信號WA1，WA2產生寫入位址A1，A2。比較電路34比較信號WA1，WA2，結果由於信號WA2與讀出位址A2相同，故產生信號SCHR2。旁通加法器38響應信號SRD，產生信號SBP1。



## 五、發明說明 (16)

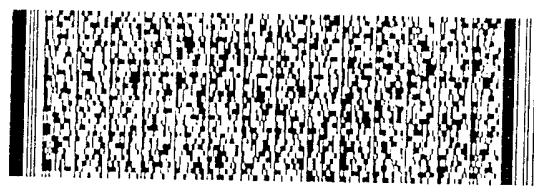
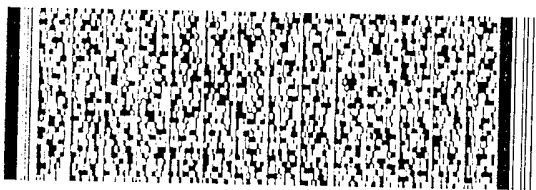
旁通加法器38響應信號SRD，產生信號SBP1。旁通控制信號發生電路40輸入信號SBP1，產生旁通2信號BP2，BP12。資料輸入暫存器44自資料緩衝器26輸入寫入資料D2，產生信號DR0，DR1，DR2。資料輸出多工器52響應旁通2控制信號BP2，BP12栓鎖信號DR2於資料輸出緩衝器24。資料輸出緩衝器24響應信號KDATA，OE，產生資料輸出信號R2。

亦即，執行2週後寫入旁通動作時，為了執行旁通0動作，旁通控制信號發生電路40產生信號BP0，為了旁通1動作，產生信號BP1，BP12，為了執行旁通2動作，產生信號BP2，BP12。旁通12控制信號係旁通1控制信號或旁通2控制信號產生時一起產生的信號。

且執行2週後寫入功能時，暫存器32僅延遲位址輸入緩衝器28之輸出信號2週而輸出至多工器30，資料輸入暫存器44響應信號PDIN，以輸入自資料輸入緩衝器26僅延遲2週之資料輸入信號DIN為信號DR0，DR1，DR2而將其輸出。傳輸閘48響應信號PDIN2，將信號DR2栓鎖於栓鎖器50。栓鎖器50將栓鎖之信號輸出至寫入驅動器。依此執行2週後寫入動作。

上述本發明合適實施形態之半導體記憶器裝置及其裝置之資料處理方法以數元單位處理資料。

因此，根據本發明合適實施形態之半導體記憶器裝置及其裝置之資料處理方法，可執行1、2週後之寫入動作，1週後之寫入旁通1動作，以及2週後寫入旁通0，1，2動



作。

特別是，本發明合適實施形態之半導體記憶器裝置及其裝置之資料處理方法係2週後之寫入旁通動作，追加新穎旁通0及旁通1或其二功能之一者。

發明效果

根據以上說明之本發明半導體記憶器裝置及其裝置之資料處理方法，具有1週後寫入功能以及2週後寫入功能，於藉此功能執行寫入後讀出指令時，在讀出位址與1週或2週前之寫入位址相同情形下，可執行多種旁通寫入功能。

圖式之簡單說明

第1圖係顯示本發明合適實施形態之半導體記憶器裝置之構成之方塊圖。

第2圖係顯示第1圖所示裝置之資料輸入暫存器構成之電路圖。

第3圖係顯示第1圖所示裝置之資料輸出緩衝器構成之電路圖。

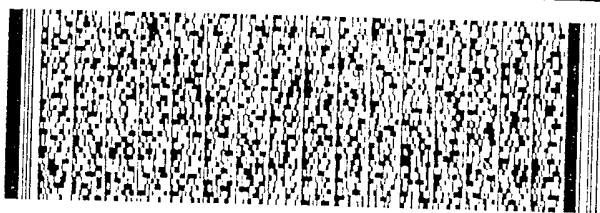
第4圖係顯示第1圖所示資料輸出緩衝器構成之電路圖。

第5圖係第1圖所示感測放大器及資料輸出緩衝器促成信號之電路之電路圖。

第6圖係用以說明第1圖所示裝置中1週後寫入旁通動作之動作時序圖。

第7圖係用以說明第1圖所示裝置之2週後寫入旁通動作之動作時序圖。

符號說明



|                      |             |
|----------------------|-------------|
| 12-1, 12-2, ... 12-n | 預通電及等化電路    |
| 16-1, 16-2, ... 16-n | 行選擇開關       |
| 14                   | 列位址解碼器      |
| 18                   | 列位址解碼器      |
| 20                   | 寫入驅動器       |
| 22                   | 感測放大器       |
| 24                   | 資料輸出緩衝器     |
| 26                   | 資料輸入緩衝器     |
| 28                   | 位址輸入緩衝器     |
| 30                   | 多工器         |
| 32                   | 暫存器         |
| 34                   | 比較電路        |
| 36, 38               | 旁通加法器       |
| 40                   | 旁通控制信號發生電路  |
| 42                   | 資料輸入暫存器控制電路 |
| 44                   | 資料輸入暫存器     |
| 46                   | 傳輸閘         |
| 48                   | 傳輸閘         |
| 50                   | 栓鎖器         |
| 52                   | 資料輸出多工器     |

四、中文發明摘要 (發明之名稱：半導體記憶器裝置及其裝置之資料處理方法)

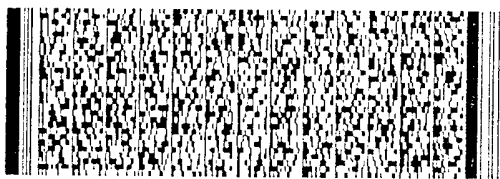
本發明旨在提供一種具有多種旁通功能，可在1週或2週後執行寫入動作之半導體記憶器裝置及其裝置之資料處理方法。

此裝置具備複數記憶單元；寫入驅動器；感測放大器；資料輸入緩衝器；位址輸入緩衝器；寫入位址保持部；選擇部；比較部；旁通控制信號發生部；控制信號發生部；資料輸入保持部；拴鎖器；資料輸出部；資料輸出緩衝器；以及感測放大器暨資料輸出緩衝器控制信號發生部。

英文發明摘要 (發明之名稱：SEMICONDUCTOR MEMORY DEVICE AND DATA PROCESSING METHOD THEREOF)

【課題】多様なバイパス機能を有し1サイクル又は2サイクルの後ライト動作を行い得る半導体メモリ装置及びその装置のデータ処理方法を提供する。

【解決手段】複数個のメモリセル、ライトドライバ、センス増幅器、データ入力バッファ、アドレス入力バッファ、ライトアドレス保持部、選択部、比較部、バイパス制御信号発生部、制御信号発生部、データ入力保持部、ラッチ、データ出力部、データ出力バッファ、及びセンス増幅器及びデータ出力バッファ制御信号発生部を備える。



1. 一種半導體記憶器裝置，其特徵在於具備：

複數個記憶單元；

寫入驅動器，傳送輸入前述記憶單元之資料；

感測放大器，響應感測放大器控制信號，放大傳送自前述記憶單元之資料；

資料輸入緩衝器，緩衝來自外部之資料輸入信號並將其輸出；

位址輸入緩衝器，緩衝來自外部之位址輸入信號並將其輸出；

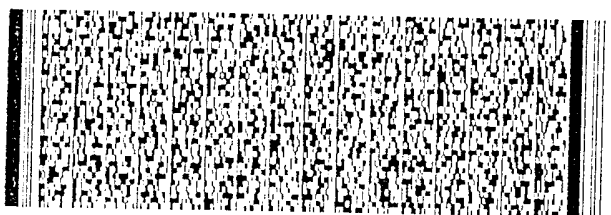
寫入位址保持裝置，1或2週後寫入時，僅延遲1或2週來自前述位址輸入緩衝器之寫入位址而將其輸出；

輸出選擇裝置，選擇來自前述位址輸入緩衝器之讀出位址以及來自前述寫入位址保持裝置之僅延遲1或2週之寫入位址；

比較裝置，比較來自前述位址輸入緩衝器之讀出位址以及來自前述寫入位址保持裝置之延遲1或2週之寫入位址，若其結果相同，即產生第1、第2比較信號；

旁通控制信號發生裝置，前述1週後寫入動作執行時，輸入前述第1比較信號，產生旁通0控制信號，前述2週後執行寫入動作時，輸入前述第1、第2比較信號，產生旁通0、旁通1、旁通2及旁通12控制信號；

控制信號發生裝置，前述1週後寫入動作執行時，產生第1、第2控制信號，前述2週後寫入動作執行時，產生第1、第2、第3控制信號；



## 六、申請專利範圍

資料輸入保持裝置，響應前述第1控制信號，僅延遲前述第1或第2週，傳入輸入之資料輸入信號，產生第1、第2、第3信號，響應前述第2控制信號，栓鎖前述第2信號，響應前述第3控制信號，栓鎖前述第3信號，傳輸至前述寫入驅動器；

資料輸出選擇裝置，響應前述旁通0控制信號，輸出前述第1信號，響應前述旁通1及12控制信號，輸出前述第2信號，響應前述旁通2及12控制信號，輸出前述第3信號；

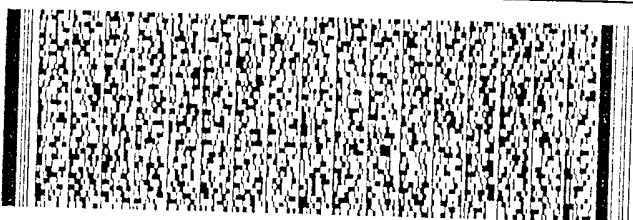
資料輸出緩衝器，於1或2週後寫入動作執行時，響應資料輸出緩衝控制信號，栓鎖來自前述資料輸出選擇裝置之資料；以及

感測放大器暨資料輸出緩衝器控制信號發生裝置，產生前述放大器及前述資料輸出緩衝器控制用控制信號。

2. 如申請專利範圍第1項之半導體記憶器裝置，其中前述控制信號發生裝置於寫入指令起1週後與時脈信號同步產生前述第1控制信號，1週前若有寫入指令即產生第2控制信號，於前述2週後寫入動作執行時，在寫入指令起2週後與前述時脈信號同步產生前述第1控制信號，在讀出指令前1及2週前若有讀出指令即產生前述第2控制信號，在讀出指令前1及2週前若同時有寫入指令即產生前述第3控制信號。

3. 如申請專利範圍第1項之半導體記憶器裝置，其中前述資料輸入保持裝置具備：

第1傳輸裝置，響應前述第1控制信號，傳輸來自前述



## 六、申請專利範圍

資料輸入緩衝器之資料輸入信號；

第1栓鎖器，栓鎖前述第1傳輸裝置之輸出信號，產生前述第1信號；

第2傳輸裝置，響應前述反轉之第1控制信號，傳輸前述第1信號；

第2栓鎖器，栓鎖前述第2傳輸裝置之輸出信號，產生前述第2信號；

第3傳輸裝置，響應前述第1控制信號，傳輸前述第2信號；

第3栓鎖器，栓鎖前述第3傳輸裝置之輸出信號；

第4傳輸裝置，響應前述反轉之第1控制信號，傳輸前述第3栓鎖器之輸出信號；

第4栓鎖器，栓鎖前述第4傳輸裝置之輸出信號，產生第3信號；

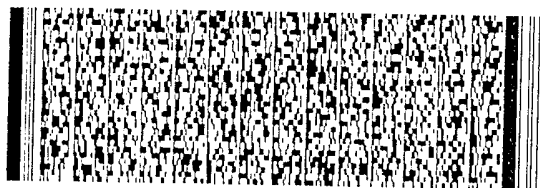
第5傳輸裝置，響應前述第2控制信號，傳輸前述第2信號；

第6傳輸裝置，響應前述第3控制信號，傳輸前述第3信號；以及

第5栓鎖器，栓鎖來自前述第5或第6傳輸裝置之信號。

4. 如申請專利範圍第1項之半導體記憶器裝置，其中前述資料輸出緩衝器具備：

資料輸出緩衝器允許裝置，響應前述資料輸出緩衝器控制信號，相對於第1輸出資料輸出前述感測放大器輸出



## 六、申請專利範圍

信號；

反轉及栓鎖裝置，將輸出自前述資料輸出緩衝器允許裝置之第1輸出資料對反轉栓鎖，輸出至第2輸出資料對；以及

資料輸出裝置，反轉前述反轉及栓鎖裝置之輸出信號，產生最終資料輸出信號對。

5. 如申請專利範圍第1或4項之半導體記憶器裝置，其中前述資料輸出選擇裝置具備：

第7傳輸裝置，響應前述旁通1控制信號，傳輸前述第2信號；

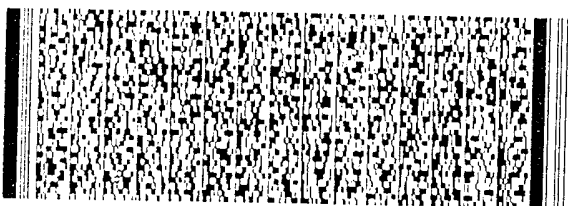
第8傳輸裝置，響應前述旁通2控制信號，傳輸前述第3信號；

第6栓鎖器，栓鎖前述第7、第8傳輸裝置之輸出信號。

第9傳輸裝置，響應前述旁通12控制信號，傳輸前述第6栓鎖器栓鎖反轉之信號至前述資料輸出緩衝器之第2輸出資料對；以及

第10傳輸裝置，響應相當於前述旁通0控制信號之反轉信號與前述時脈信號之邏輯和之反轉之信號，傳輸前述第1信號反轉之信號至前述資料輸出緩衝器之第2輸出資料對。

6. 如申請專利範圍第1或4項之半導體記憶器裝置，其中前述感測放大器及資料輸出緩衝器控制信號發生裝置具備：



#### 六、申請專利範圍

第1反轉邏輯和裝置，演算來自前述資料輸出緩衝器之第1輸出資對之信號邏輯和之反轉；

感測放大器允許裝置，響應感測放大器促成信號及前述第1反轉邏輯和裝置之輸出信號，傳送"低"位準信號，響應前述第1反轉邏輯和裝置之輸出信號或前述感測放大器致能信號，傳送"高"位準信號；

反轉裝置，反轉前述感測放大器致能裝置之輸出信號；

第2反轉邏輯和裝置，演算前述旁通0與旁通12控制信號邏輯和之反轉；

感測放大器控制信號發生裝置，藉前述反轉裝置與第2反轉邏輯和裝置之輸出信號邏輯積控制前述感測放大器；以及

資料輸出緩衝器控制信號發生裝置，藉前述感測放大器控制信號之反轉控制前述資料輸出緩衝器。

7. 一種半導體記憶器裝置，其係具備：

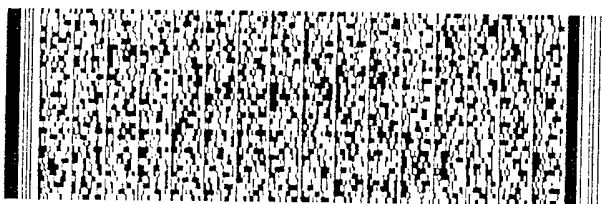
複數個記憶單元；

寫入驅動器，傳送資料於前述記憶單元；

感測放大器，響應感測放大器控制信號，放大傳輸自前述記憶器之資料；

輸入緩衝器，緩衝來自外部之資料輸入信號而將其輸出；

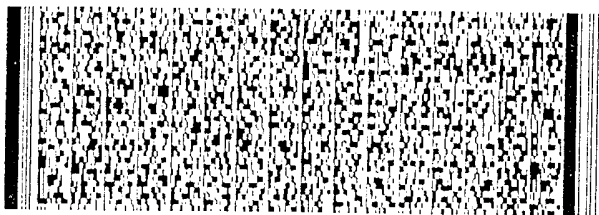
位址輸入緩衝器，緩衝來自外部之位址輸入信號而將其輸出；以及



資料輸出緩衝器，響應資料輸出緩衝器控制信號，緩衝輸出自前述感測放大器之資料而將其輸出者；其特徵在於具備：

旁通控制信號發生裝置，於1週後寫入動作執行時，僅延遲1週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，讀出指令輸入時，比較輸入的讀出位址與前述寫入位址，其結果若相同，即產生旁通1及旁通12控制信號，2週後寫入動作執行時，僅延遲2週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，讀出指令輸入時，比較輸入之讀出位址與前述1或2週前之寫入位址，其結果若相同，即產生旁通0、旁通1、旁通2及旁通12控制信號；

旁通控制裝置，前述1週後寫入動作執行時，使輸入自前述資料輸入緩衝器之資料輸入信號響應第1控制信號，產生第1、第2及第3信號，響應第2控制信號，輸出前述第2信號至前述寫入緩衝器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，前述2週後寫入動作執行時，使輸入自前述資料輸入緩衝器之資料輸入信號響應前述第1控制信號，產生前述第1、第2及第3信號，響應前述第2或第3控制信號，輸出前述第2或第3信號至前述寫入驅動器，響應前述旁通0控制信號，輸出前述第1信號至前述資料輸出緩衝器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，響應前述旁通2及旁通12控制信號，輸出前述第3信號至前述資料輸出緩衝器。



8. 如申請專利範圍第7項之半導體記憶器裝置，其中前述旁通控制信號發生裝置具備：

寫入位址保持裝置，前述1或2週後寫入時，僅延遲1或2週來自前述位址輸入緩衝器之寫入位址而將其輸出；

選擇裝置，選擇輸出來自前述位址輸入緩衝器之讀出位址以及來自前述寫入位址保持裝置之僅延遲1或2週之寫入位址；

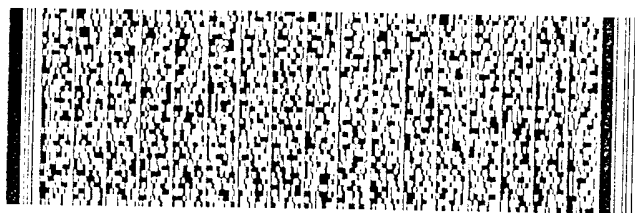
比較裝置，比較來自前述位址輸入緩衝器之讀出位址與來自前述寫入位址保持裝置之僅延遲1或2週之寫入位址，若其結果相同，即產生第1及第2比較信號；以及

旁通控制信號產生裝置，前述1週後寫入動作執行時，輸入前述第1比較信號，產生旁通0控制信號，前述2週後寫入動作執行時，輸入前述第1、第2比較信號，產生旁通0、旁通1、旁通2及旁通12控制信號。

9. 如申請專利範圍第7項之半導體記憶器裝置，其中前述旁通控制裝置具備：

控制信號發生裝置，前述1週後寫入動作執行時，產生前述第1及第2控制信號，前述2週後寫入動作執行時，產生前述第1、第2、第3控制信號；

資料輸入保持裝置，響應前述第1控制信號，傳輸前述僅延遲第1或第2週而輸入之資料輸入信號，產生第1、2、3信號，響應前述第2控制信號，栓鎖前述第2信號，響應前述第3控制信號，栓鎖前述第3信號而傳送至前述寫入驅動器；



## 六、申請專利範圍

資料輸出選擇裝置，響應前述旁通0控制信號，輸出前述第1信號，響應前述旁通1及12控制信號，輸出前述第2信號，響應前述旁通2及12控制信號，輸出前述第3信號；以及

感測放大器及資料輸出緩衝器控制信號發生裝置，產生前述感測放大器及前述資料輸出緩衝器控制用控制信號。

10. 如申請專利範圍第9項之半導體記憶器裝置，其中前述控制信號發生裝置於寫入指令起1週後與時脈信號同步產生前述第1控制信號，於1週前若有寫入指令即產生前述第2控制信號，於前述2週後寫入動作執行時，在寫入指令起2週後，與前述時脈信號同步產生前述第1控制信號，於讀出指令之1或2週前若有讀出指令即產生前述第2控制信號，於讀出指令之1或2週前若同時有寫入指令即產生前述第3控制信號。

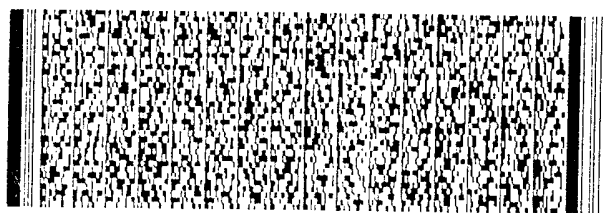
11. 如申請專利範圍第8項之半導體記憶器裝置，其中前述資料輸入保持裝置具備：

第1傳輸裝置，響應前述第1控制信號，傳輸來自前述資料輸入緩衝器之資料輸入信號；

第1栓鎖器，栓鎖前述第1傳輸裝置之輸出信號，產生前述第1信號；

第2傳輸裝置，響應前述反轉之第1控制信號，傳輸前述第1信號；

第2栓鎖器，栓鎖前述第2傳輸裝置之輸出信號，產生



## 六、申請專利範圍

前述第2信號；

第3傳輸裝置，響應前述第1控制信號，傳輸前述第2信號；

第3栓鎖器，栓鎖前述第3傳輸裝置之輸出信號；

第4傳輸裝置，響應前述反轉之第1控制信號，傳輸前述第3栓鎖器之輸出信號；

第4栓鎖器，栓鎖前述第4傳輸裝置之輸出信號，產生第3信號；

第5傳輸裝置，響應前述第2控制信號，傳輸前述第2信號；

第6傳輸裝置，響應前述第3控制信號，傳輸前述第3信號；以及

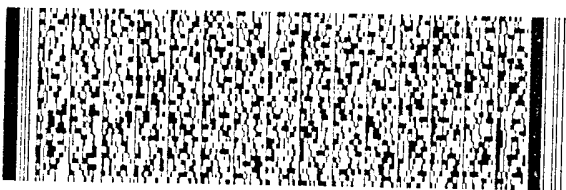
第5栓鎖器，栓鎖來自前述第5或第6傳輸裝置之信號。

12. 如申請專利範圍第7項之半導體記憶器裝置，其中前述資料輸出緩衝器具備：

資料輸出緩衝器允許裝置，響應前述資料輸出緩衝器控制信號，輸出前述感測放大器輸出信號於第1輸出資料對；

反轉及栓鎖裝置，反轉栓鎖輸出自前述資料輸出緩衝器致能裝置之第1輸出資料對而輸出於第2輸出資料對；以及

資料輸出裝置，反轉前述反轉及栓鎖裝置之輸出信號，產生最終資料輸出信號對。



## 六、申請專利範圍

13. 如申請專利範圍第7項之半導體記憶器裝置，其中前述資料輸出選擇裝置具備：

第7傳輸裝置，響應前述旁通1控制信號，傳輸前述第2信號；

第8傳輸裝置，響應前述旁通2控制信號，傳輸前述第3信號；

第6栓鎖器，栓鎖前述第7及第8傳輸裝置之輸出信號；

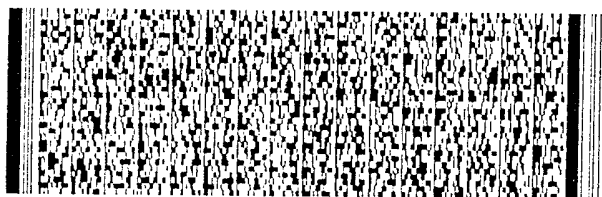
第9傳輸裝置，響應前述旁通12控制信號，傳輸前述第6栓鎖器所栓鎖反轉之信號於前述資料輸出緩衝器之第2輸出資料對；以及

第10傳輸裝置，響應相當於前述旁通0控制信號之反轉信號與前述時脈信號之邏輯和之反轉之信號，將前述第1信號反轉之信號傳輸至前述資料輸出緩衝器之第2輸出資料對。

14. 如申請專利範圍第9或12項之半導體記憶器裝置，其中前述感測放大器及資料輸出緩衝器控制信號發生裝置具備：

第1反轉邏輯和裝置，演算來自前述資料輸出緩衝器之第1輸出資料對之信號之邏輯和之反轉；

感測放大器允許裝置，響應感測放大器控制信號及前述第1反轉邏輯和裝置之輸出信號，傳輸"低"位準信號，響應前述第1反轉邏輯和裝置之輸出信號或前述感測放大器控制信號，傳輸"高"位準信號；



## 六、申請專利範圍

反轉裝置，反轉前述感測放大器允許裝置之輸出信號；

第2反轉邏輯和裝置，演算前述旁通0及旁通12控制信號之邏輯和之反轉；

感測放大器控制信號發生裝置，演算前述反轉裝置及第2反轉邏輯和裝置之輸出信號，產生前述感測放大器控制信號；以及

資料輸出緩衝器控制信號發生裝置，反轉前述感測放大器控制信號，產生前述資料輸出緩衝器控制信號。

15. 一種半導體記憶器裝置之資料處理方法，其係具備以下部件之半導體記憶器裝置之資料處理方法：

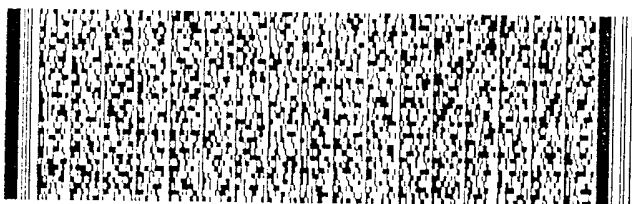
複數記憶單元；

感測放大器，響應感測放大器控制信號，放大傳輸自前述複數記憶單元之資料；

位址輸入緩衝器，緩衝來自外部之資料輸入信號而將其輸出；以及

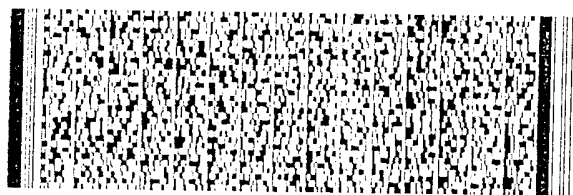
資料輸出緩衝器，響應資料輸出控制信號，緩衝輸出自前述感測放大器之資料而將其輸出，特徵在於具備以下步驟：

1週後寫入動作執行時，僅延遲1週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，讀出指令輸入時，比較輸入之讀出位址與前述寫入位址，若其結果相同，即產生旁通1及旁通12控制信號，2週後寫入動作時，僅延遲2週輸出自前述位址輸入緩衝器之寫入位址而將其輸出，讀



出指令輸入時，比較輸入之讀出位址與前述1或2週前之寫入位址，其結果若相同，即產生旁通0、旁通1、旁通2及旁通12控制信號之步驟；以及

前述1週後寫入動作執行時，使自前述資料輸入緩衝器輸入之資料輸入信號響應第1控制信號，產生第1、第2、第3信號，響應第2控制信號，輸出前述第2信號至前述寫入驅動器，前述2週後寫入動作執行時，使輸入自前述資料輸入緩衝器之資料輸入信號響應前述第1控制信號，產生第1、第2、第3信號，響應第2控制信號，輸出前述第2信號至前述寫入驅動器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，前述2週後寫入動作執行時，使輸入自前述資料輸入緩衝器之資料輸入信號響應前述第1控制信號，產生第1、第2、第3信號，響應前述第2或第3控制信號，輸出前述第2或第3信號至前述寫入驅動器，響應前述旁通0控制信號，輸出前述第1信號至前述資料輸出緩衝器，響應前述旁通1及旁通12控制信號，輸出前述第2信號至前述資料輸出緩衝器，響應前述旁通2及旁通12控制信號於輸出前述第3信號至前述資料輸出緩衝器之步驟。





圖式

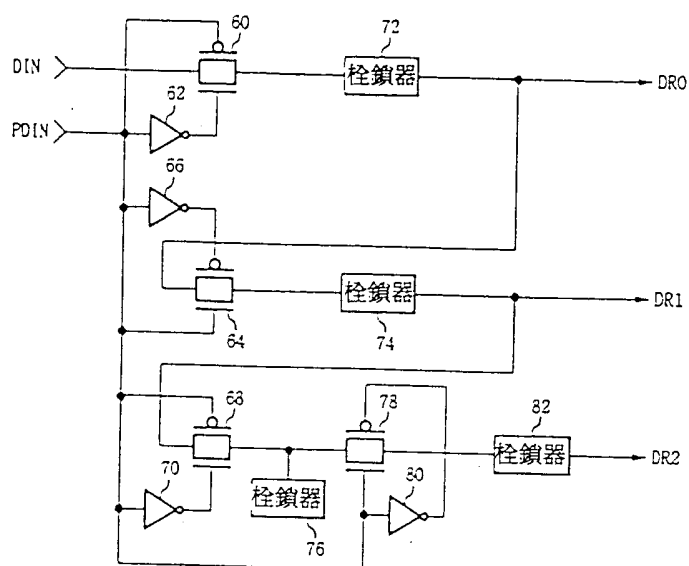


圖2

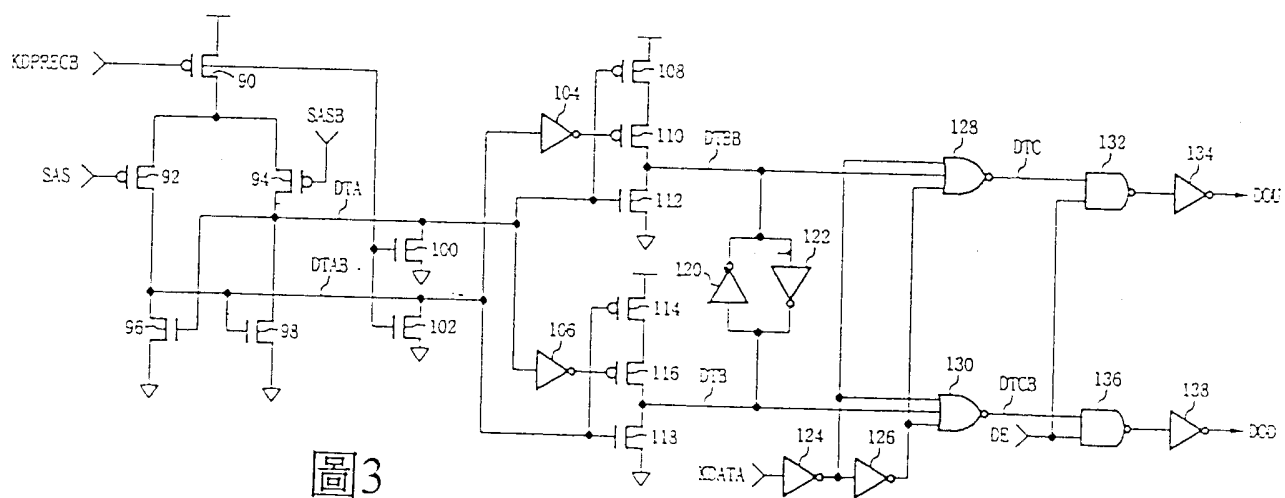


圖3

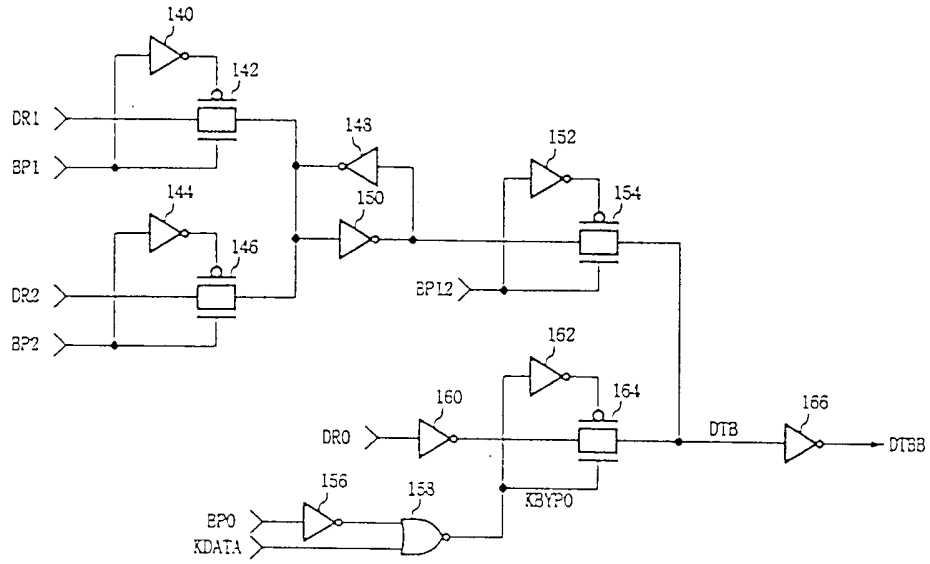


圖4

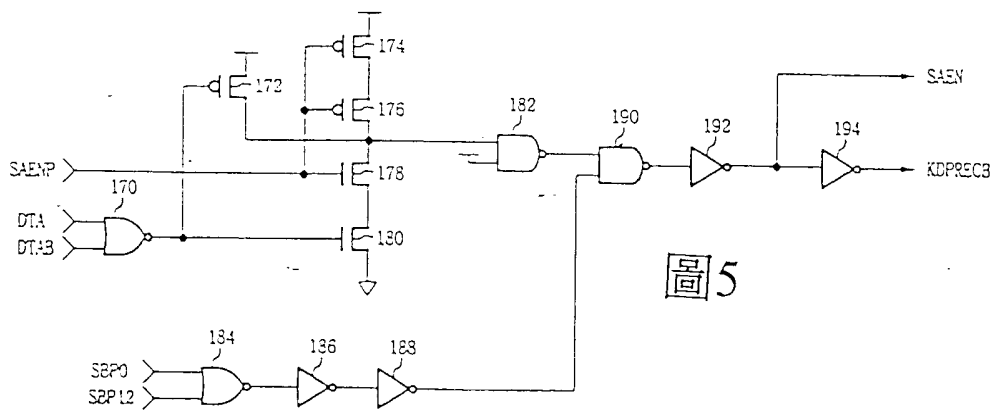


圖5

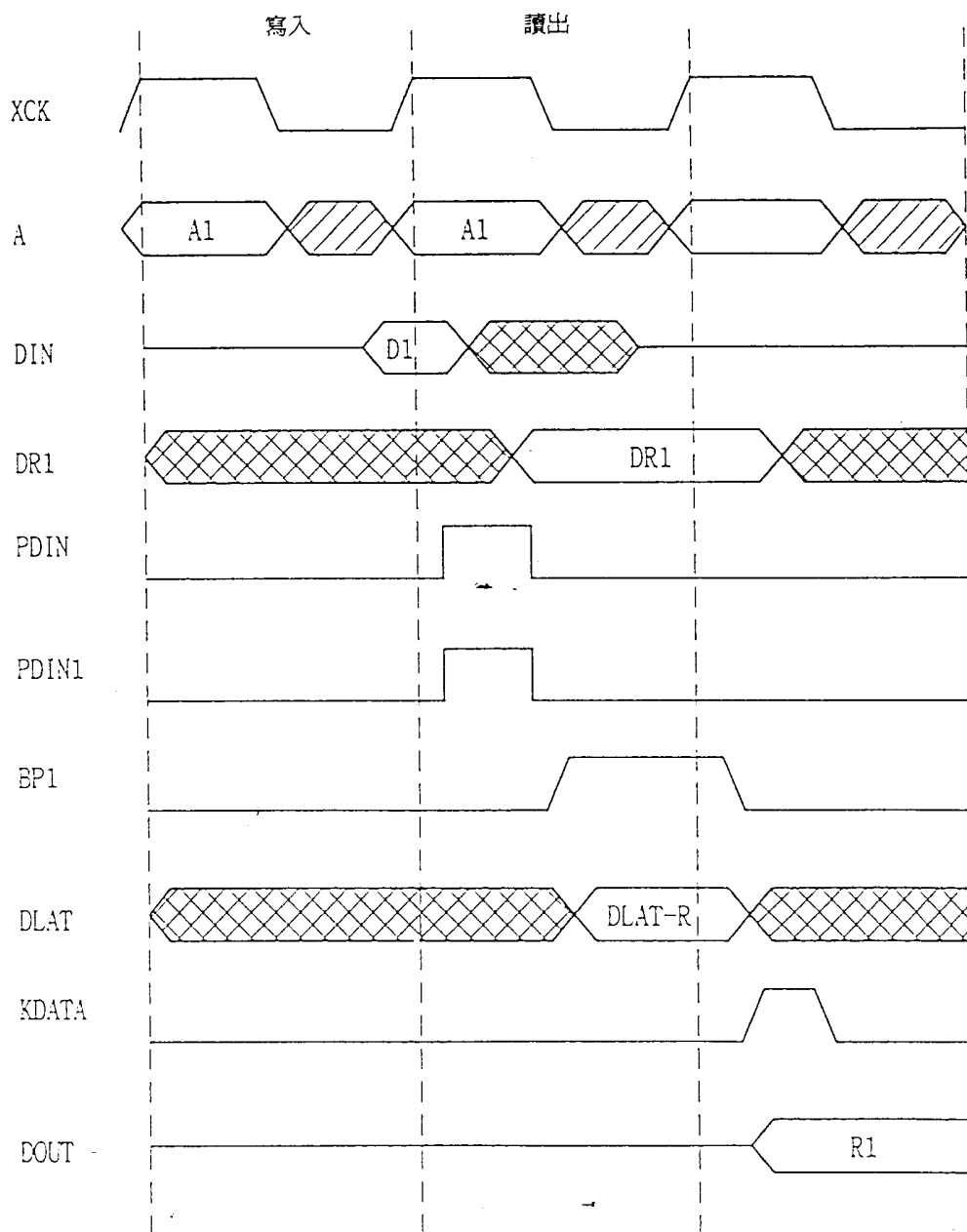
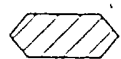


圖6



: 無關



: 未確定

圖式

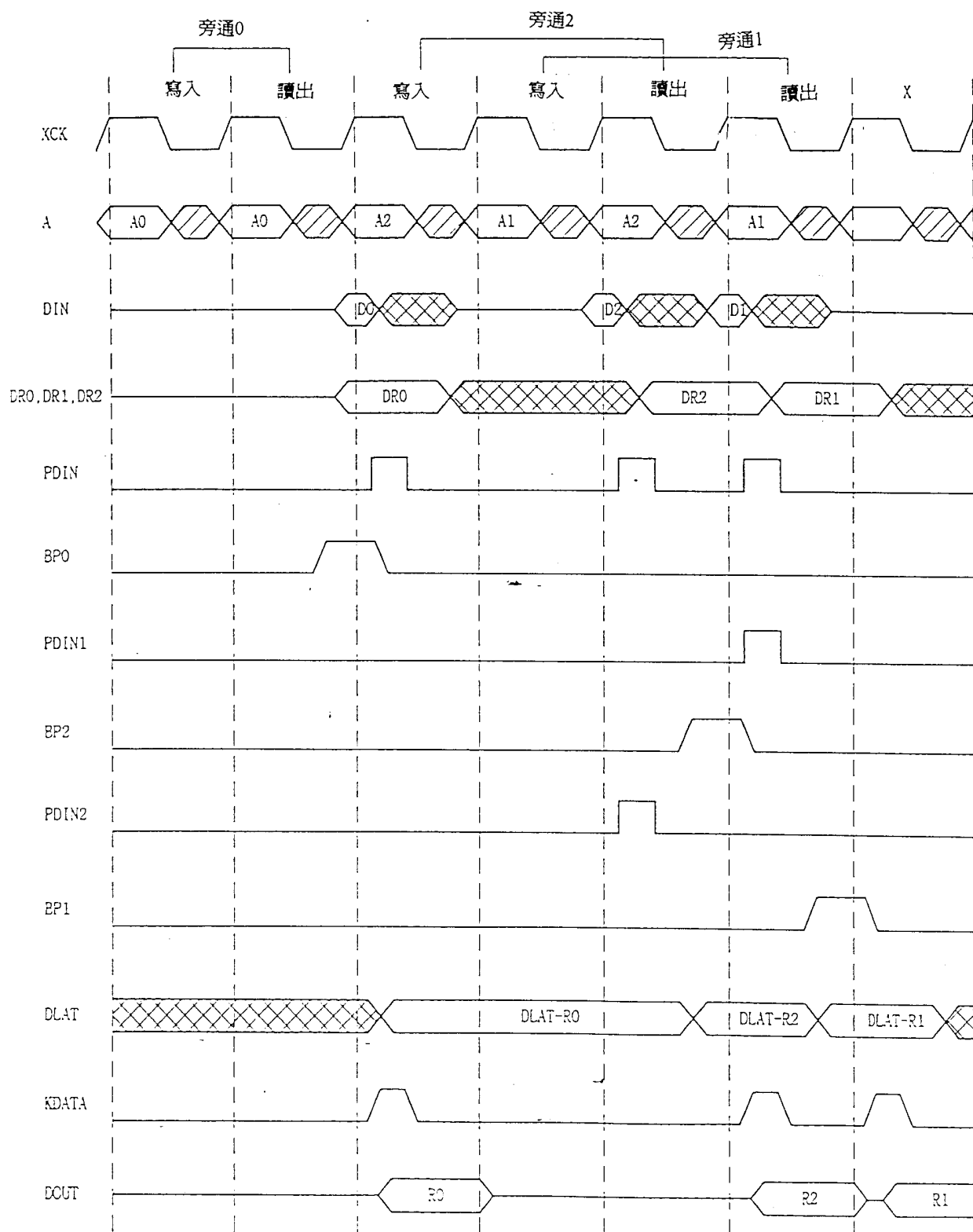


圖7

: 無關

: 未確定