

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-43256  
(P2009-43256A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl. F I テーマコード (参考)  
**G06F 3/06 (2006.01)** G06F 3/06 301A 5B065  
**G06F 3/08 (2006.01)** G06F 3/08 C

審査請求 有 請求項の数 15 O L (全 14 頁)

(21) 出願番号 特願2008-200750 (P2008-200750)  
 (22) 出願日 平成20年8月4日(2008.8.4)  
 (31) 優先権主張番号 11/834,053  
 (32) 優先日 平成19年8月6日(2007.8.6)  
 (33) 優先権主張国 米国 (US)

(71) 出願人 508236572  
 ニューヴォトン テクノロジー コーポレー  
 ション  
 台湾 シンチュ・サイエンス・パーク ク  
 リエーション・ロード・サード ナンバー  
 ・4  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100091214  
 弁理士 大貫 進介  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (72) 発明者 マイケル シャラン  
 イスラエル国 テル・アヴィヴ 6158  
 0 ピー・オー・ボックス・58019  
 最終頁に続く

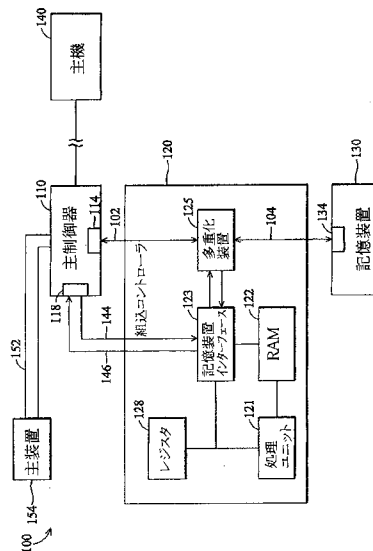
(54) 【発明の名称】 記憶装置のアクセス方法及び装置

(57) 【要約】

【課題】本発明はシステム装置を提供する。

【解決手段】本発明によるシステム装置は、記憶装置、バス、第一主装置、及び第二主装置を有する。記憶装置は自由なハンドシェイクプロトコルに合わせた記憶装置インターフェースを有し、該記憶装置インターフェースは記憶装置とアクセス主装置の間にある。バスは記憶装置に電気接続される。第一主装置はバスと記憶装置インターフェースを介して記憶装置をアクセスし、及び割り込みインターフェースを介して割り込み要求を受信した後、割り込み操作を実行する。第二主装置はバスと記憶装置アクセスインターフェースを介して記憶装置をアクセスし、記憶装置をアクセスする前に第一主装置に割り込み要求を伝送する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

システム装置であって、  
記憶装置とアクセス主装置の間にあり、自由なハンドシェイクプロトコルに合わせた記憶装置インターフェースを有する記憶装置と、  
該記憶装置に電気接続されたバスと、  
該バスと該記憶装置インターフェースを介して該記憶装置をアクセスし、割り込みインターフェースを介して割り込み要求を受信した後、割り込み操作を実行する第一主装置と、  
該バスと該記憶装置インターフェースを介して該記憶装置をアクセスし、該記憶装置をアクセスする前に該第一主装置に該割り込み要求を伝送する第二主装置と、  
を含むシステム装置。

10

**【請求項 2】**

該記憶装置インターフェースは該バスの衝突識別のプロトコルをサポートしないインターフェースを含む請求項 1 記載のシステム装置。

**【請求項 3】**

該記憶装置インターフェースはプロトコルインターフェースであり、該プロトコルインターフェースは、直列周辺インターフェースプロトコル又は単一処理装置を選択して記憶装置をアクセスするのをサポートしないプロトコルに従って稼動される、請求項 1 記載のシステム装置。

20

**【請求項 4】**

該第一主装置はコンピューターの主機を有し、該コンピューターの主機は主制御器を介して、少なくとも

( i ) 該記憶装置をアクセスするステップ、及び

( i i ) 割り込み要求を受信するステップ

を実行する、請求項 1 記載のシステム装置。

**【請求項 5】**

該第一主装置はコンピューターの主機を有し、該第二主装置は該コンピューターの組込コントローラを有する、請求項 1 記載のシステム装置。

**【請求項 6】**

該第二主装置はコンピューターの制御器を有し、該制御器はシステム制御器、キーボード制御器又はノートパソコンの組込コントローラである、請求項 1 記載のシステム装置。

30

**【請求項 7】**

該第二主装置は該第一主装置及び該記憶装置に電気接続された該バスに位置する、請求項 1 記載のシステム装置。

**【請求項 8】**

該第二主装置は該第一主装置より発送された割り込み確認情報を受信した後、又は該割り込み要求を発送してから所定時間後に記憶装置をアクセスし、該割り込み確認情報は該第一主装置から該割り込み要求に応じて発送された情報である、請求項 1 記載のシステム装置。

40

**【請求項 9】**

該第一主装置と該第二主装置は処理装置を有する、請求項 1 記載のシステム装置。

**【請求項 10】**

処理装置であって、  
自由なハンドシェイクプロトコルに従って記憶装置を制御する記憶装置インターフェースと、  
割り込み要求を処理装置に伝送する割り込みインターフェースと、

過程の任務を実行し、該記憶装置インターフェースを介して該記憶装置からデータを読み出し又はデータを該記憶装置に保存し、該割り込みインターフェースを介して該割り込み要求を伝送し、該記憶装置インターフェースを介して該記憶装置をアクセスする前に割

50

り込み確認情報を受信する処理ユニットと、  
を含む処理装置。

【請求項 1 1】

該処理ユニットは割り込みインターフェースとそれぞれ独立したレジスタを介して割り込み確認情報を受信する、請求項 1 0 記載の処理装置。

【請求項 1 2】

該処理ユニットは該記憶装置から符号のブロックを読み出す、請求項 1 0 記載の処理装置。

【請求項 1 3】

前記処理装置は内部記憶装置を有し、該内部記憶装置は処理ユニットより実行されるアプリケーションの部分符号を保存し、該内部記憶装置は該記憶装置インターフェースを介して記憶装置から該符号ブロックを入れ替える、請求項 1 2 記載の処理装置。

【請求項 1 4】

記憶装置をアクセスする方法であって、  
少なくとも一つの第一主装置を記憶装置に接続する段階と、  
第二主装置から該少なくとも一つの第一主装置に割り込み要求を送信する段階と、  
該少なくとも一つの第一主装置より割り込み要求に応じて送信された割り込み確認情報を受信する段階と、  
該少なくとも一つの第一主装置が割り込み要求を処理する間に、記憶装置をアクセスする段階と、  
を含む記憶装置をアクセスする方法。

【請求項 1 5】

記憶装置へのアクセスが完了した後、該少なくとも一つの第一主装置の該割り込み要求処理を解放する段階を含む、請求項 1 4 記載の記憶装置をアクセスする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、主にコンピューター構造に関し、特に記憶装置のアクセス構造に関する。

【背景技術】

【0002】

処理装置は非常に広範囲で適用され、その応用範囲は数学的計算、データベースの管理、通信及び装置の制御など様々な分野を含む。各種の応用において、処理装置は独立した記憶装置を要し、例えば、実行結果または中間値の保存、動作ソフトウェアの取り出し、或いはデータ入力などの何らかの任務を実行する。通常、記憶装置のアクセスを制御する処理装置を「主装置」と称する。なお、前記主装置はそのほかのものを表すこともでき、前記記憶装置のアクセスを制御する処理装置に限られたものではない。

【0003】

各種の通信プロトコルは内部通信目的、例えば処理装置と記憶装置間のデータの伝送などを実現ために定義される。ある種のプロトコルは具体的に多重処理装置構造に用いられるように定義され、この複数の処理装置は一つのバスを介して共有記憶装置をアクセスする。多重処理装置が一つの共通の記憶装置または他の資源 ( r e s o u r c e ) を共有するのに用いられる前記プロトコルは、どの処理装置が何時記憶装置をアクセスできるのかを管理する。通常、前記プロトコルはハンドシェイク ( h a n d - s h a k e ) 方法を使って定義され、該方法は処理装置と記憶装置間の通信に問題が発生した場合、処理装置に通知することができる。しかし、ハンドシェイクプロトコルは複雑すぎて、あるアプリケーションはこのような複雑なプロトコルを使う必要がない。

【0004】

直列周辺インターフェース ( S e r i a l P e r i p h e r a l I n t e r f a c e , S P I ) は、簡単な同期データ接続プロトコルである。通常、このプロトコルは、単一の主装置が一つまたは複数の記憶装置をアクセスするのに使われる。従って、直列周

10

20

30

40

50

辺インターフェース ( S P I ) は、供給された命令が確かに実行されたかを検証する低層の規定 ( l o w l a y e r p r o v i s i o n ) ( 例 えば ハ ン ド シ ェ ー ク 式 規 定 ) が ない。また、該直列周辺インターフェースは、誤り検出と規範修正の能力が欠いている。しかし、該直列周辺インターフェースは簡単であるため、少数の通信線でも快速実行が可能な利点がある。従って、直列周辺インターフェースは、記憶装置と単一の処理装置間に普及されている。

【 0 0 0 5 】

ところが、二つの処理装置に記憶装置を接続する場合、前記処理装置がどれほどの記憶装置空間を要し、または記憶装置を何回アクセスしても、処理装置はそれぞれ記憶装置を有すべきである。

10

【 0 0 0 6 】

別の処理方法としては、一つの第一処理装置を用いて L P C ( l o w p i n c o u n t ) 規 格 ( b u s - b u s y の 表 示 を サ ポ ー ト す る こ と が で き る ) の 下 で ア ク セ ス 命 令 を 共 有 の 記 憶 装 置 に 伝 送 す る 。 こ の 場 合 、 第 一 処 理 装 置 か ら 伝 送 さ れ た 命 令 は 第 二 処 理 装 置 に 伝 わ ら れ 、 第 二 処 理 装 置 で S P I 型 に な り 、 ま た 記 憶 装 置 に 転 送 さ れ る 。 な お 、 前 記 方 法 は 第 一 処 理 装 置 が L P C 規 格 を サ ポ ー ト し 、 同 時 に 第 二 処 理 装 置 が 書 式 転 換 機 能 を 持 っ て い る こ と を 前 提 と し て い る 。

【 0 0 0 7 】

処理装置間で一つの記憶装置を共有する他の方法として、前記記憶装置を共有する二つの処理装置間にハードウェアハンドシェイク ( h a r d w a r e h a n d s h a k e ) を 実 行 す る 。 尚 、 こ の 方 法 は 前 記 処 理 装 置 が ハ ン ド シ ェ ー ク プ ロ ト コ ル を サ ポ ー ト す る こ と を 前 提 と し 、 ま た 処 理 装 置 の 数 量 が 二 つ を 超 え る 場 合 、 非 常 に 複 雑 に な っ て し ま う 。

20

【 0 0 0 8 】

特許文献 1 には、キーボードコントローラ ( 例 えば 処 理 装 置 ) 及 び シ ス テ ム 処 理 装 置 間 で R O M を 共 有 す る 方 法 が 開 示 さ れ て い る 。 シ ス テ ム を 起 動 す る 際 に 、 こ の シ ス テ ム 処 理 装 置 は 共 有 R O M を ア ク セ ス し 、 基 本 入 出 力 シ ス テ ム ( B I O S ) を 取 り 出 す 。 そ の 後 、 こ の 共 有 R O M は キ ー ボ ー ド コ ン ト ロ ー ラ に 用 い ら れ る 。 し か し 、 こ の 方 法 は 二 つ の 処 理 装 置 が 間 歇 的 に 記 憶 装 置 を ア ク セ ス す る 構 造 に は 適 用 さ れ ない 。

【 0 0 0 9 】

特許文献 2 には、メイン処理装置とキーボードコントローラ間で記憶装置を共有する原理が開示されている。なお、記憶装置は基本入出力システム ( B I O S ) の ア ッ プ ロ ー ド に 用 い ら れ る 。 メ ー ン 処 理 装 置 及 び キ ー ボ ー ド コ ン ト ロ ー ラ に 接 続 さ れ た 論 理 回 路 シ ス テ ム は 、 キ ー ボ ー ド コ ン ト ロ ー ラ の 機 能 が 抑 制 さ れ た 場 合 ( 例 えば 、 パ ソ コ ン が 初 め て 起 動 す る 場 合 ) の み に 、 メ ー ン 処 理 装 置 の 記 憶 装 置 へ の ア ク セ ス を 許 す 。 尚 、 前 記 メ ー ン 処 理 装 置 が 他 の 時 に 記 憶 装 置 へ の ア ク セ ス を 求 め る 場 合 、 論 理 回 路 シ ス テ ム は オ ペ コ ー ド ( o p - c o d e s ) を 模 擬 し て メ ー ン 処 理 装 置 に 伝 送 し 、 メ ー ン 処 理 装 置 が メ ー ン 処 理 装 置 の メ ー ン 記 憶 装 置 に あ る 基 本 入 出 力 シ ス テ ム ( B I O S ) の バ ッ ク ア ッ プ を ア ク セ ス で き る よ う に す る 。 し か し 、 前 記 方 法 は B I O S の ア ク セ ス は 解 決 し た が 、 記 憶 装 置 へ の 間 歇 的 な ア ク セ ス は 許 さ ない 。 さ ら に 、 前 記 記 憶 装 置 は 並 列 ア ク セ ス イ ン タ ー フ ェ ー ス を 要 し 、 直 列 ア ク セ ス イ ン タ ー フ ェ ー ス に は 適 用 さ れ ない 。

30

40

【 0 0 1 0 】

他の特許にも全て類似した問題がある。例えば、特許文献 3、4 及び 5。

【 特 許 文 献 1 】 米 国 特 許 第 5 6 0 3 0 5 5 号 ( 出 願 人 : E v o y ; 公 告 期 日 : 1 9 9 7 年 2 月 1 1 日 )

【 特 許 文 献 2 】 米 国 特 許 第 5 8 9 2 9 4 3 号 ( 出 願 人 : R o c k f o r d , D u n n i h o o , W a h l e r ; 発 明 の 名 称 : ホ ッ ト ス タ ー ト に お け る 基 本 入 出 力 シ ス テ ム の 読 み 出 し 専 用 記 憶 装 置 の 共 有 )

【 特 許 文 献 3 】 米 国 特 許 第 5 9 9 9 4 7 6 号 ( 出 願 人 : D u t t o n )

【 特 許 文 献 4 】 米 国 特 許 第 5 7 9 4 0 5 4 号 ( 出 願 人 : L e ; 公 告 期 日 : 1 9 9 8 年 8 月 1 1 日 )

50

【特許文献5】米国特許第6154838号(出願人:Le;公告期日:2000年11月28日)

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明は上述の問題を鑑み、複数の処理装置が一つの記憶装置に接続される構造を提供する。

【課題を解決するための手段】

【0012】

通常、第一処理装置は定常状態で記憶装置に接続される。第二処理装置が前述の記憶装置をアクセスしようとする時、第一処理装置に割り込み要求を送信し、割り込み要求の確認信号を受信した後記憶装置を制御する。第一処理装置は、記憶装置に対する第二処理装置のアクセスが完了した後、中断プログラムから解放される。割り込みの期間の間、第一処理装置はいずれの有効的な任務も実行せず、単にアイドル状態を維持する。多数の処理装置(multi-processor)が一つの記憶装置をアクセスできる利点で、第二処理装置が記憶装置をアクセスするため第一処理装置がアイドル状態になる欠点を補うことができる。

10

【0013】

前述の記憶装置は単一の主プロトコル(例えば直列周辺インターフェースSPI)又はマイクロ配線(Microwire)を使用して稼動する。より具体的には、記憶装置は自由なハンドシェイクプロトコルに従って稼動する。記憶装置の稼動を管理するプロトコルは誤り検出(error detection)又は誤り修正(error correction)をサポートしなくてもよい。発明の実施例において、記憶装置へのアクセスは少なくとも10個又は5個のピンを要する。一方、記憶装置は順次アクセス(serial access)記憶装置を含む。

20

【0014】

発明の実施例において、第一処理装置はシステムのメイン処理装置であり、一般的に記憶装置に接続されてシステムの主要な任務を実行し、第二処理装置は一般的にサポート機能を果たす。場合によって、メイン処理装置は記憶装置へのアクセスを制御する機能を有する。通常、第一処理装置は第二処理装置より優れた処理能力(processing power)、例えば、少なくとも第二処理装置の5倍又は10倍の処理能力を有している。発明の実施例において、第一処理装置は第二処理装置に比べてより大きな命令伝送量(instruction throughput)(例えば少なくとも5倍又は10倍)を有している。実施例において、第一処理装置のトランジスタ数は第二処理装置より多い(例えば少なくとも10倍又は20倍)。

30

【0015】

本発明の実施例において、第一処理装置は主制御器を有し、第二処理装置は組込コントローラを有する。組込コントローラは一つ又は多数のコンピューター周辺機器、例えば電池、キーボード、マウス及び電源供給器などを制御する。

【0016】

40

発明の実施例において、記憶装置は第一処理装置又は第二処理装置が実行する任務の実行コードを保存する。例えば、第一処理装置について、記憶装置は基本入出力サービス(Basic Input/Output Services; BIOS)コード、EFI(Extensible Firmware Interface)コード、又はシステム管理コードなどを保存する。通常、記憶装置は第一メイン処理装置のために複数の異なるアプリケーションのブロック符号を保存する。発明の実施例において、記憶装置は第一及び第二処理装置(例えば内部記憶装置(internal memory)をサポートできない処理装置)のため多量の符号を保存し、この処理装置はページング(paging)方法を用いて記憶装置に符号を保存/取出する。

【0017】

50

発明の実施例において、第二処理装置はバスに位置され、このバスは第一処理装置及び記憶装置に接続される。第二処理装置は記憶装置へのアクセスを要しない場合、バススルーユニットになって記憶装置及び第一処理装置間の信号を交換する。

【0018】

本発明の実施例はシステム装置を開示し、該システム装置は記憶装置、バス、第一主装置、及び第二主装置を含む。記憶装置は自由なハンドシェイクプロトコルに合わせた記憶装置インターフェースを有し、該記憶装置インターフェースは記憶装置とアクセス主装置の間にある。バスは記憶装置に電気接続される。第一主装置はバスと記憶装置インターフェースを介して記憶装置をアクセスし、割り込みインターフェースを介して割り込み要求を受信した後、割り込み操作を実行する。第二主装置はバスと記憶装置アクセスインターフェースを介して記憶装置をアクセスし、記憶装置をアクセスする前に第一主装置に割り込み要求を送信する。

10

【0019】

前述の記憶装置インターフェースはバスの衝突識別 ( i d e n t i f i c a t i o n o f c o l l i s i o n s ) プロトコルをサポートしないインターフェースである。記憶装置インターフェースはプロトコルインターフェースでもよい。このプロトコルインターフェースは単一処理装置を選択して記憶装置をアクセスするのをサポートしないプロトコルに従って稼動されてもよいし、直列周辺インターフェースプロトコルに従って稼動されてもよい。

【0020】

20

第一主装置はコンピュータの主機を有する。第一主装置は主制御器を介して記憶装置へのアクセス及び/又は割り込みの受信を実行する。第二主装置は組込コンピュータ制御器、コンピュータの制御器、ノートパソコンの組込コントローラ、コンピュータのシステム制御器、又はキーボード制御器を含む。また、第一主装置の最大命令伝送量は少なくとも第二主装置の5倍である。第二主装置は第一主装置及び記憶装置に電気接続されるバスに位置する。本発明の実施例において、第二主装置は単に第一主装置より發送された割り込み確認情報を受信した場合にのみ、記憶装置をアクセスする。なお、この割り込み確認情報は第一主装置から割り込み要求に応じて發送された情報である。第二主装置は記憶装置をアクセスする前に前述の割り込み要求を第一主装置に發送する。

【0021】

30

一方、第二主装置は割り込み確認情報の受信有無に関わらず、割り込み要求を發送してから所定時間後に記憶装置をアクセスする。或いは、第一主装置はこの割り込み要求に応じて、バスを介して記憶装置をアクセスする動作を止める。本発明の実施例において、第一主装置はただ第二主装置より發送された命令に応じて、記憶装置へのアクセス禁止を停止する。本発明の他の実施例において、第一主装置は第二主装置より發送された命令によって記憶装置へのアクセス禁止を停止する必要がない。

【0022】

本発明の他の実施例は処理装置を開示し、この処理装置は記憶装置インターフェース、割り込みインターフェース及び処理ユニットを有する。記憶装置インターフェースは自由なハンドシェイクプロトコルに従って記憶装置を制御する。割り込みインターフェースは割り込み要求を処理装置に伝送する。なお、処理ユニットは稼動して過程の任務を実行し、記憶装置インターフェースを介して記憶装置からデータを読み出し、又はデータを記憶装置に保存する。処理ユニットは該割り込みインターフェースを介して割り込み要求を送信し、該記憶装置インターフェースを介して該記憶装置をアクセスする前に、該割り込みインターフェースを介して割り込み確認情報を受信する。

40

【0023】

処理ユニットは前述の割り込みインターフェースを介して割り込み確認情報を受信する。処理ユニットは割り込みインターフェースとそれぞれ独立したレジスタを介して割り込み確認情報を受信してもよい。一方、処理ユニットは記憶装置より符号のブロックを読み出す。処理装置は内部記憶装置を有し、この内部記憶装置は処理ユニットより実行される

50

アプリケーションの部分符号を保存し、該内部記憶装置は記憶装置インターフェースを介して記憶装置から前記符号ブロックを入れ替える。このほか、処理ユニットは以下の二つのステップを実行する。(i)記憶装置インターフェースを介して記憶装置をアクセスする前、該割り込み要求を伝送しない第一状態；(ii)割り込み要求を伝送し、更に割り込み確認情報を受信した場合にのみ、記憶装置をアクセスする第二状態。他の主装置より上述の記憶装置をアクセスする危険がない場合、処理ユニットは第一状態で稼動する。

【0024】

本発明の他の実施例も記憶装置のアクセス方法を開示し、該方法は、(i)少なくとも一つの第一主装置を記憶装置に接続する段階；(ii)第二主装置から少なくとも一つの第一主装置に割り込み要求を送信する段階；(iii)少なくとも一つの第一主装置から割り込み要求に応じて送信された割り込み確認情報を受信する段階；(iv)少なくとも一つの第一主装置が割り込み要求を処理する間に、記憶装置をアクセスする段階を含む。

10

【0025】

上述の方法は、記憶装置へのアクセスが完了した後、該少なくとも一つの第一主装置の割り込み要求処理を解放する段階を含む。該記憶装置へのアクセスは、読み出しアクセス、書き込みアクセス及び単一のメインプロトコルに制御されるインターフェースアクセスを含む。

【発明を実施するための最良の形態】

【0026】

本発明の上述の目的、特徴及び優位性をよりよく理解してもらうため、以下は添付した図面を参照しながら実施例を詳細に説明する。

20

【0027】

図1は本発明の第一実施例による複数の処理装置が一つの記憶装置に接続されている構造を示す図である。説明を簡素化するため、本発明の実施例の説明に関する部分のみ示している。記憶装置130は直列周辺インターフェース(SPI)134を設け、直列周辺プロトコルに従って記憶データを記憶装置130に書込/読出する。記憶装置は130、例えばフラッシュ記憶装置、ROMまたは他の不揮発性記憶装置(non-volatile)のいずれでよい。また、記憶装置130はどれほどの記憶容量を有してもよい。例えば、1Mbyte、4Mbyte、16Mbyteなどの記憶容量が可能である。また、記憶装置130はROM又はRWMでもよい。

30

【0028】

さらに図1を参照すると、主制御器110(例えば、サウスブリッジチップ(South Bridge chip)及び/又はI/Oコントローラハブ(I/O controller hub))は直列周辺インターフェース114を経由し、第一バス部分102と第二バス部分104から構成されるSPIバスを介して記憶装置130に接続される。本発明の実施例において、主制御器110は直列周辺インターフェース以外に他の記憶装置インターフェースを有さない。前記主制御器110は他の記憶装置インターフェースを有してもよいが、これら記憶装置インターフェースは図1の実施例の記憶装置130のアクセスには使わない。場合によって、主制御器110は記憶装置130をアクセスし、基本入出力システム(BIOS)、ローカルエリアネットワーク(LAN)、及びコンピューター100のシステム管理など、少なくとも一つの応用のソフトウェアコードを得る。一方、取得した情報にはソフトウェアコード部を有し、コードスワッピング(ページング)法(code swapping (paging) method)でソフトウェアコード間の必要な入替を行う。或いは、主制御器110は記憶装置130をアクセスし、更新されたソフトウェアコード、例えばコンピューターとネットを通して更新された基本入出力システム(BIOS)などを保存する。このほか、主制御器110は記憶装置130をアクセスして、コンピューター100のシステム構造の変更を保存する。

40

【0029】

組込コントローラ(Embedded controller; EC)120はSPIバスに位置される。組込コントローラ(EC)120は第一バス部分102と第二バス

50

部分 104 の間に位置される。記憶装置 130 をアクセスしない場合、組込コントローラ 120 は状況によってパススルー (pass-through) モードで運行し、該モードにおいて、組込コントローラ 120 は第一バス部分 102 と第二バス部分 104 の間で適当な速度で信号を伝送する。

#### 【0030】

本発明の実施例において、組込コントローラ 120 はコンピューター 100 中の一つ又は複数の周辺機器、例えばキーボード、マウス、ディスプレイ、電源供給器或いは電池 (図なし) などを制御することができる。前記コンピューター 100 はいずれ分野のコンピューターでもよい。例えば、ノートパソコン、デスクトップコンピューター、サーバコンピューター、ポスコンピューター、或いはクライアントコンピューターなどである。組込コントローラ 120 は状況によって記憶装置 130 からソフトウェアコードを取り出し、アプリケーションプログラムを実行する。組込コントローラ 120 は RAM 122 のような小さい内部記憶装置を備え、該内部記憶装置は実行待のソフトウェアコードを保存してアプリケーションプログラムを適切に実行させる。ある場合、組込コントローラ 120 は記憶装置 130 から異なる部分コードを取出し、一つ又は複数部のソフトウェアコードを入れ替える必要がある。組込コントローラ 120 は直接記憶装置 130 に保存されているソフトウェアコードを実行することができ、又は記憶装置 130 に対して、例えばシステム構造パラメータの保存などのアクセス動作を行うことができる。

10

#### 【0031】

組込コントローラ 120 は処理ユニット (processing unit; PU) 121 を備え、処理ユニット 121 は記憶装置 130 より取出されて RAM 122 に保存されたコードを実行する。前記コードは第二バス部分 104 に接続された記憶装置インターフェース 123 を経由し、多重化装置 125 を介して得る。また、処理ユニット (PU) 121 は直接に記憶装置インターフェース 123 に接続されてもよい。これにより、処理ユニット (PU) 121 は RAM 122 を経由せず、記憶装置 130 のデータを直接に受信する。

20

#### 【0032】

図 2 は、本発明の第一実施例による組込コントローラ 120 が記憶装置 130 をアクセスするフローチャートである。図 1 及び図 2 によると、組込コントローラ 120 は何れの稼働が始まる前はパススルー (pass-through) 素子と見なされ、ほぼ無遅延 (ナノ秒レベルの遅延) の状態でバス 102 及び 104 の間で簡単な信号伝送を行う (ステップ 200)。組込コントローラ 120 が記憶装置 130 に対して読出 / 書込動作を行うおうとする場合、組込コントローラ 120 は状況によって許容自由状態 (permission-free state) を確認し (ステップ 230)、許容自由状態である場合は、何れの準備も必要せず記憶装置 130 をアクセスする。尚、許容自由状態でない場合、組込コントローラ 120 は線路 146 に位置する主制御器 110 の割り込みインターフェース (interrupt interface) 118 に割り込み要求 (interrupt request; IRQ) を送る (ステップ 202)。また、主制御器 110 より出力された割り込み確認情報を受信すると (ステップ 204)、すぐ第一バス部分 102 と第二バス部分 104 の間のパススルー連結を中断し、記憶装置インターフェース 123 と第二バス部分 104 を接続する (ステップ 206)。割り込み実行が始まると、組込コントローラ 120 は記憶装置 130 をアクセスする (ステップ 208)。尚、主機 (host computer) 140 の正常的な操作は既に割り込まれたため、主制御器 110 による記憶装置 130 のアクセスとか、組込コントローラ 120 の記憶装置のアクセスを妨害するような危険はない。また、記憶装置へのアクセス動作が完了すると、組込コントローラ 120 は改めて第一バス部分 102 及び第二バス部分 104 とパススルー連結になり (ステップ 210)、割り込みを終了し (ステップ 212)、同時にパススルー稼働状態に戻る (ステップ 200)。

30

40

#### 【0033】

記憶装置 130 をアクセスする場合、若し組込コントローラ 120 が既に許容自由状態

50

になると(ステップ230)、組込コントローラ120は直接にバススルー連結を割り込んで前記記憶装置をアクセスする(ステップ206)。発明の実施例において、主機140及び何れのほかの主装置から記憶装置130をアクセスする可能性が確かでない場合(例えば、主機140をリセットする場合)、組込コントローラ120は許容自由状態になる。一方、他の実施例において、組込コントローラ120は許容自由状態にならず、又はステップ230は実行されていない。組込コントローラ120は許容自由状態で記憶装置130をアクセスした後、改めてバススルー連結になり(ステップ210)、割り込み停止のプログラムを実行せず(ステップ240)、自動的にバススルー状態に戻る(ステップ200)。一方、許容自由状態において、組込コントローラ120は連続的に記憶装置に接続され、接続割り込みを繰り返すことや(ステップ206)、改めてバススルー連結になる(ステップ210)ことなどの必要がない。組込コントローラ120の前記許容自由状態が変更されると、バススルー連結が接続される。

10

**【0034】**

本発明の実施例の図1において、多重化装置125または三態緩衝器(TRI-STATE)を用いて、記憶装置130から主制御器110への接続を中断することができる(ステップ206)。

**【0035】**

発明の実施例において、組込コントローラ120の割り込み要求は何れの有効目標もない中断プログラムを実行し、主制御器110及び主機140がアイドル状態になるようにする。一方、この割り込みは、主機140に記憶装置130へのアクセス動作以外のコンピューター100のメンテナンスを実行させる。一方、割り込み要求は主機140に伝送され、組込コントローラ120に制御されるレジスタ128のアサート(assert)の有無を調べ、レジスタ128値がアサートされた場合にのみ割り込み要求を停止する。尚、レジスタ128値は組込コントローラ120が記憶装置へのアクセスを完了した場合、アサートされる。一方、この割り込みは主機140に所定時間の任務を実行させ、この場合組込コントローラ120が記憶装置130をアクセスするのに十分な時間があり、改めて正常な稼動に戻られる。

20

**【0036】**

発明の実施例において、その他の処理装置は主制御器110又は何れの有効的なインターフェースを介して記憶装置130をアクセスする。尚、組込コントローラ120が記憶装置130をアクセスする際、主機140の割り込み実行過程はその他の処理装置にも作用して処理装置の稼動を抑制し、その他の処理装置が記憶装置130をアクセスすることを防止する。或いは、並列方式でその割り込み要求を記憶装置130のアクセスできる多数処理装置にも供給する。或いは、ハードウェアハンドシェイク法によって、一つ又は多数のその他の処理装置に通知し、その他の処理装置が記憶装置130をアクセスすることを抑制する。

30

**【0037】**

本発明の実施例において、主装置154はPCI(Peripheral Controller Interface)バス152を介して主制御器110に電気接続される。場合によって、割り込み要求を主制御器110に通知し、主制御器110が記憶装置130をアクセスすることを避ける。さらに、割り込みが終了する前には、主装置154、或いは何れのその他の処理装置または処理装置以外の主装置がアクセス命令を発送することを禁止する。或いは、割り込みの実行過程は主装置154の稼動を割り込みの終了まで抑制する。これは、組込コントローラ120の記憶装置へのアクセス動作が主装置154に妨害されることを防止するためである。

40

**【0038】**

組込コントローラ120の割り込みのため、主機140が稼動できない時間は非常に短い。通常、0.5%処理時間又は0.1%処理時間よりも少ない。従って、組込コントローラ120の記憶装置へのアクセス動作は主機140の正常な稼動を乱さない。発明の実施例において、組込コントローラ120が記憶装置をアクセスする動作は限界性があ

50

る。例えば、一秒にただ100回又は50回であり、毎度アクセス時間は状況によって15マイクロ秒又は10マイクロ秒より少ないし、7マイクロ秒よりも少ない場合がある。一方、組込コントローラ120は集中的に記憶装置130をアクセスし、主機140が少なくとも5%処理時間又は10%処理時間アイドル状態になる。割り込みの実行で主機140の稼働効率が下がってしまうが、組込コントローラ120及び主制御器110が記憶装置130を一つしか使わないため、ある観点から見るとこの優位性が効率降下を補うことができる、と本発明の発明者は考える。

#### 【0039】

上述のように、組込コントローラ120から出力された割り込み要求信号は主制御器110を経由する。しかし、発明の実施例において、主制御器110を経由せず、直接に線路146を介して主機140に出力されてもよい。

10

#### 【0040】

図1及び図2を参照すると、前記割り込み確認情報を受信するステップ204において、確認情報は主制御器110と組込コントローラ120の間にある専用配線144又は主機140に接続された類似線路に供給されて、割り込み要求の起動及び/又は実行のプロトコルとする。一方、この確認情報は割り込み開始ステップとして供給される。例えば、割り込み実行過程を組込コントローラ120のレジスタ128に書き込む。しかしながら、発明の実施例において、組込コントローラ120は割り込み確認情報を必要せず、割り込み要求を出力してから所定の時間、例えば20マイクロ秒が経過してから記憶装置130をアクセスする(ステップ208)。

20

#### 【0041】

記憶装置のアクセスステップ208は、1バイト又はその他のデータブロックをアクセスすることができ、または連続的に多数のデータセグメントをアクセスすることができる。記憶装置のアクセスは選択的に所定に時間内(例えば50マイクロ秒又は20マイクロ秒より少ない)に行われる。

#### 【0042】

発明の実施例において、組込コントローラ120は一部記憶装置130へのアクセス動作を遅延して、ある記憶装置130へのアクセスに対する限定及び主機140の稼働中断に対する限定に合わせる。実施例において、組込コントローラ120は単に前のアクセスが予定時間実行された後、記憶装置130へのアクセスを許す。一方、主制御器110に割り込み要求を送る前、組込コントローラ120はアクセス待ち動作を所定の量まで累積する。しかし、発明のある実施例において、組込コントローラ120は累積量が所定の時間内で所定量に達さなくても、記憶装置130をアクセスすることができる。

30

#### 【0043】

図3は、本発明の他の実施例による記憶装置130と別の構成素子との接続を示す図である。図3は図1と類似している。しかし、図3の記憶装置130はスイッチ322を介して主制御器110及び組込コントローラ320に接続されている。スイッチ322の開閉器324は組込コントローラ320に制御され、該制御により記憶装置130と組込コントローラ320又は主制御器110との接続が決まる。

#### 【0044】

図3にも三つの処理装置が一つの記憶装置130を共有している。通常、主制御器110が記憶装置130に接続されている。組込コントローラ320が記憶装置130へのアクセスを希望する時、組込コントローラ320は主制御器110に割り込み要求を伝送し、また確認情報を受信した後、開閉器324を組込コントローラ320側に設定して記憶装置130をアクセスする。同様に、その他の処理装置350が記憶装置130へのアクセスを希望する時、その他の処理装置350は主制御器110に割り込み要求を伝送する。この場合、主制御器110は単に所定の時間内で割り込みを確認するため、その他の処理装置350が記憶装置130をアクセスする時、組込コントローラ320の稼働を抑制する必要がない。開閉器324は主制御器110からの確認情報を受信し、その他の処理装置350側に設定されて記憶装置をアクセスさせる。或いは、その他の処理装置350

40

50

の命令によって、組込コントローラ 320 が開閉器 324 を設定する。一方、その他の処理装置 350 は、例えば、多重化装置又は相互制御ライン (mutually controlled line) を介して直接に開閉器 324 を制御することもできる。データの取出しが完了した後、その他の処理装置 350 は主制御器 110 を解放する。

【0045】

上述の内容においてインターフェースとして S P I を説明したが、上述の実施例及び方法は他の直列又は並列バスプロトコルによっても実行される。例えば、実施例において、バスプロトコル及び / 又はバスプロトコルを実行するユニットはバスに対する制御権の規定がなくてもよい。また、バスプロトコルは送信機がコリジョン (collision) を決定することを許す規定がなくてもよい。本発明の実施例において、処理装置と記憶装置間のバスプロトコルはいずれのハンドシェイク方法も使わない。

10

【0046】

また、図 1 に示された記憶装置 130 は単一の記憶装置であるが、上述の実施例又は方法は、多数処理装置が多数直列記憶装置を共有する構造にも適用される。

【0047】

上述の実施例において、主制御器 110 が連続して記憶装置 130 に接続され、組込コントローラ 120 は主制御器 110 に割り込み要求を送信して記憶装置 130 へのアクセスを行う。しかし、他の実施例においては、主制御器 110 が記憶装置 130 をアクセスしようとする時、組込コントローラ 120 に割り込み要求を送信する。

20

【0048】

上述の内容は記憶装置を共有する場合を例としているが、他の資源を共有する場合にも適用される。

【0049】

以上、本発明は好ましい実施例を説明したが、本発明はこの実施例に限定されず、本発明の趣旨を離脱しない限り、本発明に対するあらゆる変更は本発明の範囲に属する。

【図面の簡単な説明】

【0050】

【図 1】本発明の第一実施例による複数の処理装置が一つの記憶装置に接続されている構造を示す図である。

30

【図 2】本発明の第一実施例による組込コントローラが記憶装置をアクセスするフローチャートである。

【図 3】本発明の他の実施例による記憶装置と別の構成素子との接続を示す図である。

【符号の説明】

【0051】

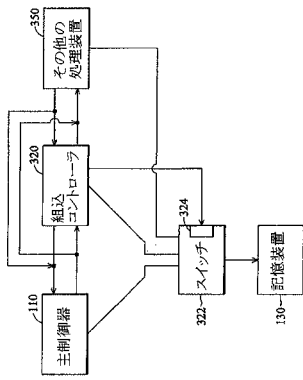
- 100、 コンピューター
- 102、 第一バス部分
- 104、 第二バス部分
- 110、 主制御器 (Host Controller)
- 114、 134、 直列周辺インターフェース
- 118、 割り込みインターフェース
- 120、 組込コントローラ
- 121、 処理ユニット
- 122、 ランダムアクセス記憶装置 (RAM)
- 123、 記憶装置インターフェース
- 125、 多重化装置
- 128、 レジスタ
- 130、 記憶装置
- 140、 主機 (host computer)
- 144、 配線

40

50



【 図 3 】



---

フロントページの続き

(72)発明者 ニール タシャー

イスラエル国 テル・モンド 40600 ハトゾフィット 11

Fターム(参考) 5B065 BA09 CA02