

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6327742号
(P6327742)

(45) 発行日 平成30年5月23日 (2018. 5. 23)

(24) 登録日 平成30年4月27日 (2018. 4. 27)

(51) Int. Cl.	F I
H03K 17/28 (2006.01)	H03K 17/28 H
G06F 1/32 (2006.01)	H03K 17/28 F
	G06F 1/32 Z

請求項の数 4 (全 15 頁)

(21) 出願番号	特願2013-236015 (P2013-236015)	(73) 特許権者	504199127
(22) 出願日	平成25年11月14日 (2013. 11. 14)		エヌエックスピー ユーエスエイ インコ
(65) 公開番号	特開2014-99856 (P2014-99856A)		ーポレイテッド
(43) 公開日	平成26年5月29日 (2014. 5. 29)		NXP USA, Inc.
審査請求日	平成28年11月7日 (2016. 11. 7)		アメリカ合衆国 テキサス州 78735
(31) 優先権主張番号	13/678, 117		オースティン ウィリアム キャノン
(32) 優先日	平成24年11月15日 (2012. 11. 15)		ドライブ ウェスト 6501
(33) 優先権主張国	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳
		(72) 発明者	デール ジェイ. マッククワーク
			アメリカ合衆国 78726 テキサス州
			オースティン チェストナット リッジ
			ロード 10209

最終頁に続く

(54) 【発明の名称】 温度依存性タイマ回路

(57) 【特許請求の範囲】

【請求項 1】

温度依存性タイマを有する回路であって、

第 1 の入力、第 2 の入力、および出力を含む比較器であって、前記出力は動作中にタイマ信号を提供する、前記比較器と、

第 1 の電流端子および制御端子を含むトランジスタであって、前記第 1 の電流端子は前記比較器の前記第 2 の入力に結合されている、前記トランジスタと、

前記比較器の前記第 1 の入力に結合されている第 1 のノードと、

前記比較器の前記第 2 の入力および前記トランジスタの前記第 1 の電流端子に結合されている第 2 のノードと、

前記トランジスタの前記制御端子に結合されている第 3 のノードと、を備え、

動作中、前記第 3 のノードは、温度に応じたレートで前記第 2 のノードの電圧を変化させるべく、前記トランジスタが動作のサブスレッショルド領域にあるようにバイアスされ、前記比較器の前記出力の状態は、前記第 2 のノードの前記電圧が前記第 1 のノードの電圧を跨ぐとき変化し、

動作中、前記第 3 のノードは、温度に指数関数的に応じたレートで前記第 2 のノードの電圧を変化させるべく、前記トランジスタが動作のサブスレッショルド領域にあるようにバイアスされ、

前記回路は、

前記第 1 のノードに結合されている第 1 の端子を含む第 1 のキャパシタと、

10

20

前記第 2 のノードに結合されている第 1 の端子を含む第 2 のキャパシタと、
前記第 3 のノードに結合されている第 1 の端子を含む第 3 のキャパシタと、
バンドギャップ生成器と、をさらに備え、前記比較器の前記出力の状態の変化は、前記
バンドギャップ生成器を起動して生成器出力において電圧を提供するために用いられ、前
記生成器出力における前記電圧は、ある期間にわたって前記第 1 のキャパシタ、前記第 2
のキャパシタ、および前記第 3 のキャパシタを充電するために使用される、回路。

【請求項 2】

温度依存性タイマを有する回路であって、
第 1 の入力、第 2 の入力、および出力を含む比較器であって、前記出力は動作中にタイ
マ信号を提供する、前記比較器と、
第 1 の電流端子および制御端子を含むトランジスタであって、前記第 1 の電流端子は前
記比較器の前記第 2 の入力に結合されている、前記トランジスタと、
前記比較器の前記第 1 の入力に結合されている第 1 のノードと、
前記比較器の前記第 2 の入力および前記トランジスタの前記第 1 の電流端子に結合され
ている第 2 のノードと、
前記トランジスタの前記制御端子に結合されている第 3 のノードと、を備え、
動作中、前記第 3 のノードは、温度に応じたレートで前記第 2 のノードの電圧を変化さ
せるべく、前記トランジスタが動作のサブスレッシュホールド領域にあるようにバイアスされ
、前記比較器の前記出力の状態は、前記第 2 のノードの前記電圧が前記第 1 のノードの電
圧を跨ぐとき変化し、

前記回路は、
前記第 1 のノードに結合されている第 1 の端子を含む第 1 のキャパシタと、
前記第 2 のノードに結合されている第 1 の端子を含む第 2 のキャパシタと、
前記第 3 のノードに結合されている第 1 の端子を含む第 3 のキャパシタと、
バンドギャップ生成器と、をさらに備え、前記比較器の前記出力の状態の変化は、前記
バンドギャップ生成器を起動して生成器出力において電圧を提供するために用いられ、前
記生成器出力における前記電圧は、ある期間にわたって前記第 1 のキャパシタ、前記第 2
のキャパシタ、および前記第 3 のキャパシタを充電するために使用される、回路。

【請求項 3】

温度依存性タイマを有する回路であって、
第 1 の入力、第 2 の入力、および出力を含む比較器であって、前記出力は動作中にタイ
マ信号を提供する、前記比較器と、
第 1 の電流端子および制御端子を含むトランジスタであって、前記第 1 の電流端子は前
記比較器の前記第 2 の入力に結合されている、前記トランジスタと、
前記比較器の前記第 1 の入力に結合されている第 1 のノードと、
前記比較器の前記第 2 の入力および前記トランジスタの前記第 1 の電流端子に結合され
ている第 2 のノードと、
前記トランジスタの前記制御端子に結合されている第 3 のノードと、を備え、
動作中、前記第 3 のノードは、温度に応じたレートで前記第 2 のノードの電圧を変化さ
せるべく、前記トランジスタが動作のサブスレッシュホールド領域にあるようにバイアスされ
、前記比較器の前記出力の状態は、前記第 2 のノードの前記電圧が前記第 1 のノードの電
圧を跨ぐとき変化し、

前記回路は、
前記第 1 のノードに結合されている第 1 の端子を含む第 1 のキャパシタと、
前記第 2 のノードに結合されている第 1 の端子を含む第 2 のキャパシタと、
前記第 3 のノードに結合されている第 1 の端子を含む第 3 のキャパシタと、
バンドギャップ生成器と、をさらに備え、前記比較器の前記出力の状態の変化は、前記
バンドギャップ生成器を起動して生成器出力において電圧を提供するために用いられ、前
記生成器出力における前記電圧は、ある期間にわたって前記第 1 のキャパシタ、前記第 2
のキャパシタ、および前記第 3 のキャパシタを充電するために使用され、

前記回路は、

前記生成器出力と前記第 1 のキャパシタとの間に結合されている第 1 のスイッチと、前記生成器出力と前記第 2 のキャパシタとの間に結合されている第 2 のスイッチと、前記生成器出力と前記第 3 のキャパシタとの間に結合されている第 3 のスイッチと、をさらに備え、動作中、前記第 1 のスイッチ、前記第 2 のスイッチ、および前記第 3 のスイッチは、前記生成器出力において提供される前記電圧を用いてそれぞれ前記第 1 のキャパシタ、前記第 2 のキャパシタ、および前記第 3 のキャパシタを充電するために前記比較器の前記出力の前記状態の変化に基づく 1 つの時点に閉じられる、回路。

【請求項 4】

回路においてタイマを動作させる方法であって、

比較器の出力において複数のパルスを提供するようにタイマを動作させるステップを含み、前記パルスの周波数は温度に応じており、前記複数のパルスの各パルスを提供することは、

所定の電圧において前記比較器の第 1 の入力をバイアスさせるステップと、

温度に応じたレートで比較器の前記第 1 の入力の電圧を変化させるべく、トランジスタを動作のサブスレッシュヨルド領域において動作させる、トランジスタ動作ステップと、を含み、前記比較器の出力の状態は、前記第 1 の入力の電圧が前記比較器の第 2 の入力の電圧を跨ぐとき変化し、

前記トランジスタ動作ステップは、温度に指数関数的に応じたレートで前記比較器の前記第 1 の入力の電圧を変化させるべく、前記トランジスタを動作のサブスレッシュヨルド領域において動作させるステップを含み、

前記トランジスタは、第 1 の電流端子および制御端子を含み、前記第 1 の電流端子は前記比較器の前記第 1 の入力に結合されており、

前記回路は、

前記比較器の前記第 2 の入力に結合されている第 1 のノードと、

前記比較器の前記第 1 の入力および前記トランジスタの前記第 1 の電流端子に結合されている第 2 のノードと、

前記トランジスタの前記制御端子に結合されている第 3 のノードと、

前記第 1 のノードに結合されている第 1 の端子を含む第 1 のキャパシタと、

前記第 2 のノードに結合されている第 1 の端子を含む第 2 のキャパシタと、

前記第 3 のノードに結合されている第 1 の端子を含む第 3 のキャパシタと、

バンドギャップ生成器と、を備え、前記比較器の前記出力の状態の変化は、前記バンドギャップ生成器を起動して生成器出力において電圧を提供するために用いられ、前記生成器出力における前記電圧は、ある期間にわたって前記第 1 のキャパシタ、前記第 2 のキャパシタ、および前記第 3 のキャパシタを充電するために使用される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して半導体デバイスに関し、より具体的には、温度依存性タイマ回路に関する。

【背景技術】

【0002】

半導体チップレベル電力管理システムは、より一層複雑になっており、低電力調整モードのために多くの電圧基準および電流基準を必要とし得る。例として、クロックのための電圧基準および電流基準、正確な調整制御（ウェルバイアス、ソースバイアス、およびコア調整レベルを含む）のための電圧基準および電流基準、ならびに、比較器およびバンドギャップ回路などの、低電力モードで作動する必要がある他のアナログブロックのための電流基準および電圧基準を含む。

【0003】

いくつかの解決策は、特別な非常に電力の低い直流（dc）基準を提案しているが、こ

10

20

30

40

50

これらの解決策では始動するのが遅く、温度にわたる精度に劣る場合があり、通常ただ1つの固定値を有する。より新しいシステムでは、より正確なリフレッシュされるサンプルホールド基準が使用されている。これらのシステムの1つの利点は、複数の基準が生成されることができるように同時にリフレッシュされるアドオンデジタル - アナログ変換器 (DAC) または抵抗ラダーおよび乗算器を使用してより柔軟性があることである。このシステムのもう1つの利点は、リフレッシュ期間内で任意の数の電圧が生成されることができるが、サンプルフェーズよりも著しく長いホールドフェーズにおいてすべてがオフになることによって電力が節約されることである。

【0004】

このシステムに対する制約の1つは、そのリフレッシュレートが、最悪の場合の条件、たとえば、125 の高温に対して行われることである。低電力クロックは常に作動してリフレッシュレートを設定することができるが、これは公称温度における電力を必要とし、スイッチング電流および基板上の領域を伴う。低電力スリープモードについて空間および電力のオーバーヘッドを低減することが望ましい。

【0005】

なお、関連するメモリに遅延フィードバックを行うサンプルホールド回路について、特許文献1に記載されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第4,906,865号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

リフレッシュ可能電圧基準システムによって使用される電力を最小限に抑えることによって、高度な電力管理システムにおいて待機モードおよびスリープモードにおける電力消費を著しく低減する半導体デバイスおよび方法の提供が必要とされる。

【課題を解決するための手段】

【0008】

上記問題点を解決するために、請求項1に記載の発明は、温度依存性タイマを有する回路であって、第1の入力、第2の入力、および出力を含む比較器であって、前記出力は動作中にタイマ信号を提供する、前記比較器と、第1の電流端子および制御端子を含むトランジスタであって、前記第1の電流端子は前記比較器の前記第2の入力に結合されている、前記トランジスタと、前記比較器の前記第1の入力に結合されている第1のノードと、前記比較器の前記第2の入力および前記トランジスタの前記第1の電流端子に結合されている第2のノードと、前記トランジスタの前記制御端子に結合されている第3のノードと、を備え、動作中、前記第3のノードは、温度に応じたレートで前記第2のノードの電圧を変化させるべく、前記トランジスタが動作のサブスレッショルド領域にあるようにバイアスされ、前記比較器の前記出力の状態は、前記第2のノードの前記電圧が前記第1のノードの電圧を跨ぐとき変化する、ことを要旨とする。

【0009】

請求項15に記載の発明は、タイマを動作させる方法であって、比較器の出力において複数のパルスを提供するようにタイマを動作させるステップを含み、前記パルスの周波数は温度に応じており、前記複数のパルスの各パルスを提供することは、所定の電圧において前記比較器の第1の入力をバイアスさせるステップと、温度に応じたレートで比較器の前記第1の入力の電圧を変化させるべく、トランジスタを動作のサブスレッショルド領域において動作させる、トランジスタ動作ステップと、を含み、前記比較器出力の状態は、前記第1の入力の電圧が前記比較器の第2の入力の電圧を跨ぐとき変化する、ことを要旨とする。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】例示的な実施形態に応じた、温度指数タイマを含む半導体デバイスの一実施形態のブロック図。

【図 2】図 1 の半導体デバイスの実施形態における構成要素のさらなる詳細を示す概略図。

【図 3】図 2 のタイマ回路に使用されてもよい比較器の一実施形態のさらなる詳細を示す概略図。

【図 4】図 1 の半導体デバイスに使用される様々な信号のタイミング図の例を示す図。

【発明を実施するための形態】

【 0 0 1 1 】

10

本開示は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【 0 0 1 2 】

いくつかの実施形態において、温度に対して略指数関数的な依存性を有するタイマ回路が開示される。タイマは、リフレッシュ期間がサンプルホールドスイッチ上の漏れ（リーク）に比例するので、より低い温度におけるリフレッシュ電力を最小限に抑えるべく、サンプルホールドシステムに使用されることができる。回路は、非常に低い電力、たとえば、 10 nA の電流で動作する。

【 0 0 1 3 】

20

本明細書において使用される「温度に指数関数的に応じてレートで電圧を変化させる」という語句は、少なくとも特定の範囲の動作温度にわたって温度が増大するにつれて増大する、温度変化ごとのトランジスタによる電圧変化のレートを指す。

【 0 0 1 4 】

図 1 は、温度指数タイマ 102 と、遅延モジュール 104 と、インバータ 105 と、論理積（AND）ゲート 106 と、基準電圧生成器 108 と、第 2 の遅延モジュール 110 と、AND ゲート 112 とを含む半導体デバイス 100 の一実施形態のブロック図である。温度指数タイマ 102 は遅延モジュール 104 にリフレッシュ信号を提供し、AND ゲート 106 の出力からリフレッシュイネーブル信号、基準電圧生成器 108 から電圧基準（REF A、REF B、REF C）、および AND ゲート 112 の出力からリフレッシュ

30

【 0 0 1 5 】

タイマ 102 は、基準電圧生成器 108 内のバンドギャップ回路をオンするためのエッジをトリガして、3つの基準電圧信号 REF A、REF B、REF C を含む、半導体デバイス 100 のために記憶される必要があるすべての電圧をサンプリングするために使用されるリフレッシュ信号を生成する。

【 0 0 1 6 】

遅延モジュール 104 は、温度指数タイマ 102 からリフレッシュ信号を受信し、インバータ 105 への入力として第 1 の遅延リフレッシュ信号を提供するように結合されている。第 1 の遅延リフレッシュ信号はインバータ 105 によって反転され、反転された第 1 の遅延リフレッシュ信号は AND ゲート 106 に対する入力として提供される。リフレッシュ信号はもう一方の入力において AND ゲート 106 に提供される。AND ゲート 106 によってリフレッシュイネーブル信号が出力され、基準電圧生成器 108 に提供される。

40

【 0 0 1 7 】

遅延モジュール 110 は温度指数タイマ 102 から入力としてのリフレッシュ信号を受信し、第 2 の遅延基準信号を AND ゲート 112 に出力する。遅延モジュール 104 と遅延モジュール 110 とは、異なる時間遅延をリフレッシュ信号に課することができる。たとえば、遅延モジュール 104 は 16 マイクロ秒の時間遅延をリフレッシュ信号に課し、遅延モジュール 110 は 4 マイクロ秒の時間遅延をリフレッシュ信号に課す。遅延モジュール

50

ル 1 1 0 は、バンドギャップ回路などの様々な回路構成要素内の信号が、基準電圧または他の信号を生成 / リフレッシュするのに使用される前に安定化させて定常値にすることを可能にするために使用されることができる。遅延モジュール 1 0 4、1 1 0 の他の時間遅延値が使用されてもよい。

【 0 0 1 8 】

A N D ゲート 1 1 2 は第 1 の入力において第 2 の遅延リフレッシュ信号を受信し、第 2 の入力においてリフレッシュ信号を受信し、入力として基準電圧生成器 1 0 8 および温度指数タイマ 1 0 2 に提供されるリフレッシュスイッチ信号を出力する。

【 0 0 1 9 】

基準電圧生成器 1 0 8 は、バンドギャップ回路、抵抗ラダーまたは抵抗分割器、乗算器、サンプルホールド回路、および他の適切な回路または構成要素を含むことができる。図示される実施形態において、基準電圧生成器 1 0 8 は、A N D ゲート 1 0 6 からリフレッシュイネーブル信号を受信し、A N D ゲート 1 1 2 からリフレッシュスイッチ信号を受信する。基準電圧生成器 1 0 8 は、第 1 のまたは「1」～N の基準電圧信号 (R E F 1、R E F 2、R E F 3・・・R E F N) および温度指数タイマ 1 0 2 に提供される電圧基準信号 (R E F A、R E F B、R E F C) などの電圧基準を出力する。

【 0 0 2 0 】

図 2 は、基準電圧生成器 1 0 8 の一部分およびタイマ 1 0 2 の一部分を含む、図 1 の半導体デバイス 1 0 0 の実施形態における構成要素のいくつかのさらなる詳細を示す概略図である。基準電圧生成器 1 0 8 において、バンドギャップ回路 2 0 0 はバンドギャップ電圧信号 V B G を抵抗分割器 2 0 2 に出力する。抵抗分割器 2 0 2 は、V B G 信号とグランドとの間で直列に結合されている抵抗器 2 2 0、2 2 2、2 2 4、2 2 6 を含む。本明細書において使用されるものとしての「グランド」および「V S S」という用語は、0 ボルトの電圧レベル、または供給電圧 (V D D など) よりも低い仮想グランド信号を指す。

【 0 0 2 1 】

第 1 の電圧供給 R D B が V B G 信号にタッピングされる。第 2 の電圧供給 R D A が抵抗ラダー 2 0 2 の抵抗器 2 2 0 と抵抗器 2 2 2 との間でタッピングされる。第 3 の電圧供給 R D N が抵抗ラダー 2 0 2 の抵抗器 2 2 2 と抵抗器 2 2 4 との間でタッピングされる。第 4 の電圧供給 R D C が抵抗ラダー 2 0 2 の抵抗器 2 2 4 と抵抗器 2 2 6 との間でタッピングされる。

【 0 0 2 2 】

図示されている基準電圧生成器 1 0 8 の部分は、スイッチ 2 1 2 ~ 2 1 8 およびキャパシタ 2 0 6 ~ 2 1 1 も含む。スイッチ 2 1 2 は、電圧供給 R D B とキャパシタ 2 0 6 との間で直列に結合されている。キャパシタ 2 0 6 の一方の電極はスイッチ 2 1 2 の出力に結合されており、キャパシタ 2 0 6 の第 2 の電極はグランドに結合されている。R E F B 電圧信号はリフレッシュスイッチ 2 1 2 およびキャパシタ 2 0 6 の動作によって生成される。

【 0 0 2 3 】

スイッチ 2 1 4 は、電圧供給 R D A とキャパシタ 2 0 8 との間で直列に結合されている。第 2 のキャパシタ 2 0 8 の一方の電極はスイッチ 2 1 4 の出力に結合されており、キャパシタ 2 0 8 の第 2 の電極はグランドに結合されている。R E F A 電圧信号はリフレッシュスイッチ 2 1 4 およびキャパシタ 2 0 8 の動作によって生成される。

【 0 0 2 4 】

スイッチ 2 1 6 は、電圧供給 R D N とキャパシタ 2 1 0 との間で直列に結合されている。第 3 のキャパシタ 2 1 0 の一方の電極はスイッチ 2 1 6 の出力に結合されており、キャパシタ 2 1 0 の第 2 の電極はグランドに結合されている。R E F N 電圧信号はリフレッシュスイッチ 2 1 6 およびキャパシタ 2 1 0 の動作によって生成される。

【 0 0 2 5 】

スイッチ 2 1 8 は、電圧供給 R D C とキャパシタ 2 1 1 との間で直列に結合されている。第 4 のキャパシタ 2 1 1 の一方の電極はスイッチ 2 1 8 の出力に結合されており、キャ

パシタ 211 の第 2 の電極はグランドに結合されている。REFC 電圧信号はリフレッシュスイッチ 218 およびキャパシタ 211 の動作によって生成される。

【0026】

なお、抵抗ラダー 202 は、所望の数の基準電圧を提供するために任意の適切な数の抵抗器を含むことができる。図 2 に示す基準電圧の数およびタイプは例示を目的としたものに過ぎず、本明細書に開示の方法およびデバイスを限定するようには意図されていない。

【0027】

タイマ 102 の図示される部分において、REFA 電圧信号は比較器 204 の正入力端子に結合されている。REFB 電圧信号は、比較器 204 の負入力端子、および、Nチャネル MOS トランジスタ 205 のドレイン電極に結合されている。トランジスタ 205 の制御ゲートは REFC 電圧信号に結合されている。比較器 204 はリフレッシュ信号を出力する。

【0028】

REFA 電圧信号は、比較器 204 に対する記憶される一定の基準であって、該 REFA 電圧信号は、タイマ 102 がタイムアウトするたびにリフレッシュされる。REFB 電圧信号は、比較器 204 の出力をアサートして新たなリフレッシュサイクルを始動するために REFB が降下して REFA を下回るまでトランジスタ 205 を通じてゆるやかに放電することになる予備充電電圧である。REFC 電圧信号は、バンドギャップ回路からトリムされた基準電圧であることができ、定期的によりリフレッシュされる一定の値である。

【0029】

REFC 電圧信号の値は一般的に、トランジスタ 205 の閾値電圧を下回る。たとえば、REFC 電圧は約 200 mV であってもよく、一方でトランジスタ 205 をオンにするための閾値電圧はおおよそ 600 mV 以上であってもよい。トランジスタ 205 を含む半導体回路構成要素は一般的に、温度とともに変化する電流の漏れがある。したがって、より多くの漏れが発生し、所望のレベルの基準電圧を維持するのにより高いリフレッシュレートが必要とされる温度において、基準電圧生成器 108 において基準電圧のリフレッシュサイクルをトリガするためにトランジスタ 205 が使用されることができる。漏れは温度とともに変化するため、リフレッシュサイクルの頻度は温度とともに変化することになり、それによって、より高い温度におけるよりも漏れが顕著でないより低い温度においてリフレッシュサイクルの数を低減することによって電力が節約される。REFC 電圧信号をトランジスタ 205 の閾値電圧未満に維持することによって、トランジスタ 205 の漏れは依然として検出され、REFB 電圧信号が REFA 電圧信号のレベル以下に達するときによりリフレッシュサイクルをトリガするのに使用されることができる。トランジスタ 205 のサブスレッショルド特性の結果として、REFB 電圧の変化のレートにおける応答が略指数関数的になる。

【0030】

図 3 は、Pチャネルトランジスタ 302 ~ 316、Nチャネルトランジスタ 318 ~ 328 および 332 ~ 336、論理和 (OR) ゲート 338、ならびにインバータ 340 を含む、図 1 および図 2 のタイマ 108 内で使用されてもよい比較器 204 の一実施形態のさらなる詳細を示す概略図である。Pチャネルトランジスタ 302 ~ 316 のソース電極は供給電圧 VDD に結合されている。Nチャネルトランジスタ 322、326、328、332、334、336 のソース電極はグランドに結合されている。

【0031】

Nチャネルトランジスタ 326 は、REFB 電圧信号に結合されているドレイン電極、および、比較器出力 (CMPOUT) 信号に結合されている制御ゲートをさらに有する。

Pチャネルトランジスタ 302 は、Nチャネルトランジスタ 328 のドレイン電極に結合されているドレイン電極、および、Pチャネルトランジスタ 304 のドレイン電極と Nチャネルトランジスタ 318 のドレイン電極との間に結合されている制御ゲートをさらに有する。

【0032】

10

20

30

40

50

Nチャネルトランジスタ328は、Nチャネルトランジスタ332および334の制御ゲートに結合されている制御ゲートをさらに有する。Nチャネルトランジスタ328の制御ゲートは、Nチャネルトランジスタ328のドレイン電極にも結合されている。

【0033】

Pチャネルトランジスタ304は、Pチャネルトランジスタ306および312の制御ゲートに結合されている制御ゲート、ならびに、Nチャネルトランジスタ318のドレイン電極に結合されているドレイン電極をさらに有する。Pチャネルトランジスタ304の制御ゲートは、Pチャネルトランジスタ304のドレイン電極にも結合されている。

【0034】

Nチャネルトランジスタ318は、REFB電圧信号に結合されている制御ゲート、および、Nチャネルトランジスタ320のソース電極に結合されているソース電極をさらに有する。

10

【0035】

Nチャネルトランジスタ318、320のソース電極とグランドとの間にはテール電流源330が結合されている。

Pチャネルトランジスタ306は、Pチャネルトランジスタ304の制御ゲートに結合されている制御ゲート、および、Nチャネルトランジスタ320のドレイン電極に結合されているドレイン電極をさらに有する。

【0036】

Nチャネルトランジスタ320は、REFA電圧信号に結合されている制御ゲート、および、Nチャネルトランジスタ318のソース電極に結合されているソース電極をさらに有する。

20

【0037】

Pチャネルトランジスタ308は、リフレッシュスイッチ信号の相補物に結合されているゲート電極、および、Pチャネルトランジスタ306のドレイン電極とNチャネルトランジスタ320のドレイン電極との間に結合されているドレイン電極を有する。

【0038】

Pチャネルトランジスタ310は、Pチャネルトランジスタ308のドレイン電極に結合されている制御ゲート、ならびに、Nチャネルトランジスタ332のドレイン電極およびトランジスタ322の制御ゲートに結合されているドレイン電極を有する。

30

【0039】

Nチャネルトランジスタ332は、Nチャネルトランジスタ328および334の制御ゲートに結合されている制御ゲート、ならびに、Pチャネルトランジスタ310のドレイン電極に結合されているドレイン電極を有する。

【0040】

Pチャネルトランジスタ312は、Pチャネルトランジスタ302、304および306の制御ゲートに結合されている制御ゲート、ならびに、トランジスタ322のドレイン電極に結合されているドレイン電極を有する。

【0041】

Nチャネルトランジスタ322は、Pチャネルトランジスタ310およびNチャネルトランジスタ332のドレイン電極の間に結合されている制御ゲート、ならびに、トランジスタ312のドレインに結合されているドレイン電極を有する。

40

【0042】

Pチャネルトランジスタ314は、リフレッシュスイッチ信号の相補物に結合されている制御ゲート、ならびに、トランジスタ316の制御ゲートとPチャネルトランジスタ312およびNチャネルトランジスタ322のドレイン電極との間に結合されているドレイン電極を有する。

【0043】

Pチャネルトランジスタ316は、Pチャネルトランジスタ312、314およびNチャネルトランジスタ322のドレイン電極の間に結合されている制御ゲート、ならびに、

50

Nチャネルトランジスタ334のドレイン電極に結合されているドレイン電極を有する。

【0044】

比較器出力信号C M P O U TはPチャネルトランジスタ316およびNチャネルトランジスタ334のドレイン電極の間の信号である。

Nチャネルトランジスタ336は、リフレッシュスイッチ信号に結合されている制御ゲート、および、ORゲート338の入力に結合される比較器出力信号C M P O U Tに結合されているドレイン電極をさらに有する。ORゲート338の第2の入力はリフレッシュイネーブル信号に結合されている。

【0045】

インバータ340の入力はリフレッシュスイッチ信号を受信し、インバータ340の出力は、リフレッシュスイッチ信号の相補物である。

ここで、比較器204の動作を、図4に示す様々な信号のタイミング図を参照して説明する。タイミング図の「ハイ」電圧または論理「ハイ」における信号の段線分は、本明細書においては「パルス」としても参照される。リフレッシュサイクルを通じたREF A電圧信号に対するREF B電圧信号の関係の時間履歴が図402に示されている。REF A電圧信号は、経時的に指定レベルにおいて相対的に一定のままである。図示される例において、REF A電圧信号は0.4ボルトの一定値を有する。REF B電圧信号は、REF A電圧信号の値に等しい値に達するまで経時的に直線的に下降する。

【0046】

トランジスタ302、304、306、310、318、320、328および332ならびにテール電流源330が、プッシュプル比較器を形成する。トランジスタ312、322が第1のインバータを形成し、トランジスタ316、334が第2のインバータを形成する。REF B電圧信号の放電は、経時的に徐々に発生する。第1のインバータおよび第2のインバータは、電流欠乏インバータとして作用し、REF B電圧信号がREF A電圧信号以下になるまで、プッシュプル比較器204からの遅い信号がORゲート338に入力されるのを防止するのに使用される。

【0047】

REF B電圧信号の値がREF A電圧信号の値に達すると、比較器出力信号C M P O U Tの値は図404に示すようにハイになる。トランジスタ326のゲートにおけるC M P O U T信号のハイ値によってトランジスタ326は導通し、REF B電圧信号の値を、REF A電圧信号の値をさらに下回るグラウンドに引きこむ。

【0048】

ORゲート338の入力においてC M P O U T信号の値がハイ値にあることによって、ORゲート338はリフレッシュ信号に対してハイ値を出力する。

図1および図4を参照すると、リフレッシュ信号はANDゲート106の第1の入力、および遅延モジュール104に結合される。遅延モジュール104は、指定時間量が経過するまでロー値を出力する。ロー値はインバータ105によってハイ値に反転され、第2の入力としてANDゲート106に提供される。ANDゲート106に対する入力が両方ともハイになることによって、図408に示すリフレッシュイネーブル信号であるANDゲート106の出力もハイになる。図410に示すように、リフレッシュイネーブル信号がハイになるとバンドギャップ電圧V B Gがリフレッシュされる。

【0049】

バンドギャップ電圧信号V B Gの値を安定化させて定常値にするのに十分な時間を提供するために遅延モジュール110によって追加の遅延が導入されることができる。「安定化」遅延を実施するために、リフレッシュ信号が遅延モジュール110およびANDゲート112に対する入力として提供される。遅延モジュール110の出力は、リフレッシュ信号の値がハイである場合であっても、4マイクロ秒または他の適切な値などの第2の指定時間量にわたってローであることになる。リフレッシュ信号の値は、第2の指定時間量が満了するとANDゲート112へと通過することになる。ANDゲート112に対する入力が両方ともハイであることによって、リフレッシュスイッチ信号であるANDゲート

10

20

30

40

50

1 1 2 の出力は、図 4 1 2 に示すようにハイになる。

【 0 0 5 0 】

リフレッシュスイッチ信号はインバータ 3 4 0 を使用して反転されて、トランジスタ 3 0 8 および 3 1 4 の制御ゲートに提供される。リフレッシュスイッチ信号はトランジスタ 3 3 6 の制御ゲートに提供される。トランジスタ 3 3 6 のゲートがアクティブ化されると、トランジスタ 3 3 6 は比較器出力信号 C M P O U T の電圧をグランドに引き込み、それによって、トランジスタ 3 2 6 の制御ゲートが非アクティブ化されて、電圧信号 R E F B が基準電圧生成器 1 0 8 によってリフレッシュされることが可能になる。

【 0 0 5 1 】

遅延モジュール 1 0 4 内で使用される第 1 の指定時間量が満了すると、遅延モジュール 1 0 4 は、リフレッシュ信号がインバータ 1 0 5 に移動することを可能にする。インバータ 1 0 5 がハイ値のリフレッシュ信号をロー値に反転させると、A N D ゲート 1 0 6 の出力はローになり、図 4 0 2、4 0 8、4 1 0、および 4 1 2 に示すようにリフレッシュサイクルが終了する。その後、電圧信号 R E F B が、電圧信号 R E F A の値に達するまで徐々に減衰することが可能になり、これによって別のリフレッシュサイクルの状態が開始することになり、以下同様である。

【 0 0 5 2 】

なお、各リフレッシュサイクルが開始する時点は、電圧信号 R E F B が、電圧信号 R E F A の値に達するまで放電するレートに応じる。減衰のレートはトランジスタ 2 0 5 (図 2) のサブスレッシュホールドの漏れに比例し、これは温度とともに変化する。減衰のレートにおける変動は、温度が増大するにつれて増大する漏れのレートと指数関数的またはほぼ指数関数的であってもよい。したがって、リフレッシュサイクルの頻度は温度に比例し、それによって、基準電圧を必要なときにのみリフレッシュすることによって電力が節約される。

【 0 0 5 3 】

ここまでで、いくつかの実施形態において、温度依存性タイマを有する回路であって、第 1 の入力、第 2 の入力、および出力を含む比較器であって、出力は動作中にタイマ信号を提供する、比較器と、第 1 の電流端子および制御端子を含むトランジスタであって、第 1 の電流端子は比較器の第 2 の入力に結合されている、トランジスタと、比較器の第 1 の入力に結合されている第 1 のノードと、比較器の第 2 の入力およびトランジスタの第 1 の電流端子に結合されている第 2 のノードと、トランジスタの制御端子に結合されている第 3 のノードとを備える、温度依存性タイマを有する回路が提供されたことを理解されたい。動作中、第 3 のノードは、温度に応じたレートで第 2 のノードの電圧を変化させるべく、トランジスタが動作のサブスレッシュホールド領域にあるようにバイアスされる。比較器の出力の状態は、第 2 のノードの電圧が第 1 のノードの電圧を跨ぐとき変化する。

【 0 0 5 4 】

別の態様において、動作中、第 3 のノードは、温度に指数関数的に応じたレートで第 2 のノードの電圧を変化させるべく、トランジスタが動作のサブスレッシュホールド領域にあるようにバイアスされることができる。

【 0 0 5 5 】

別の態様において、回路はバンドギャップ生成器をさらに備えることができる。比較器出力の状態の変化は、バンドギャップ生成器を起動して電圧を提供するために用いられることができる。

【 0 0 5 6 】

別の態様において、動作中、比較器の出力はパルスを提供し、パルスの周波数は温度に依存する。

別の態様において、回路は、第 1 のノードに結合されている第 1 の端子を含む第 1 のキャパシタと、第 2 のノードに結合されている第 1 の端子を含む第 2 のキャパシタと、第 3 のノードに結合されている第 1 の端子を含む第 3 のキャパシタと、バンドギャップ生成器と、をさらに備えることができる。比較器の出力の状態の変化は、バンドギャップ生成器

10

20

30

40

50

を起動して生成器出力において電圧を提供するために用いられることができる。生成器出力における電圧は、ある期間にわたって第1のキャパシタ、第2のキャパシタ、および第3のキャパシタを充電するために使用されることができる。

【0057】

別の態様において、回路は、生成器出力と第1のキャパシタとの間に結合されている第1のスイッチと、生成器出力と第2のキャパシタとの間に結合されている第2のスイッチと、生成器出力と第3のキャパシタとの間に結合されている第3のスイッチとをさらに備えることができる。動作中、第1のスイッチ、第2のスイッチ、および第3のスイッチは、生成器出力において提供される電圧を用いてそれぞれ第1のキャパシタ、第2のキャパシタ、および第3のキャパシタを充電するために比較器の出力の状態の変化に基く1つの時点に閉じられる。

10

【0058】

別の態様において、生成器出力は抵抗ラダーに結合され、第1のスイッチは抵抗ラダーの第1のノードに接続され、第2のスイッチは抵抗ラダーの第2のノードに接続され、第3のスイッチは抵抗ラダーの第3のノードに接続される。

【0059】

別の態様において、回路は、第1のノードに結合されている第1の端子を含む第1のキャパシタと、第2のノードに結合されている第1の端子を含む第2のキャパシタと、第3のノードに結合されている第1の端子を含む第3のキャパシタと、をさらに備えることができる。動作中、第1のキャパシタ、第2のキャパシタ、および第3のキャパシタは、電圧の放電のレートに応じた頻度で充電される。

20

【0060】

別の態様において、回路はさらにキャパシタを備えることができる。第2のノードはキャパシタに結合されることができる。動作中、キャパシタはトランジスタを通じて放電されることができる。

【0061】

別の態様において、回路はさらにキャパシタを備えることができる。動作中、キャパシタは、電圧の変化のレートに応じた頻度で再充電されることができる。

別の態様において、動作中、キャパシタは、比較器の出力の状態の変化によって決定される時点において充電されることができる。

30

【0062】

別の態様において、キャパシタは、比較器の出力の状態が変化した後、予め決定された時間にわたって充電されることができる。

別の態様において、回路は、基準電圧を提供するための基準ノードをさらに備えることができる。基準ノードは、比較器の出力の状態の変化によって決定される時点において充電されることができる。

【0063】

別の態様において、動作中、第3のノードは、温度に応じたレートで第2のノードの電圧を放電するべく、トランジスタが動作のサブスレッショルド領域にあるようにバイアスされることができる。比較器の出力の状態は、第2のノードの電圧が放電し第1のノードの電圧未満となるとき変化する。

40

【0064】

他の実施形態において、タイマを動作させる方法であって、比較器出力において複数のパルスを提供するようにタイマを動作させるステップを含み、パルスの周波数は温度に応じる、方法を提供する。各パルスを提供することは、所定の電圧において比較器の第1の入力をバイアスさせるステップと、温度に応じたレートで比較器の第1の入力の電圧を変化させるべく、トランジスタを動作のサブスレッショルド領域において動作させる、トランジスタ動作ステップとを含む。比較器の出力の状態は、第1の入力の電圧が比較器の第2の入力の電圧を跨ぐとき変化する。

【0065】

50

別の態様において、トランジスタ動作ステップは、温度に指数関数的に応じたレートで比較器の第1の入力の電圧を変化させるべくトランジスタを動作のサブスレッシュOLD領域において動作させるステップを含む。

【0066】

別の態様において、方法は、基準ノードの基準電圧をリフレッシュするために各パルスを使用するステップをさらに含むことができる。

別の態様において、基準電圧をリフレッシュするために各パルスを使用するステップは、基準電圧をリフレッシュするための電圧を提供するためにバンドギャップ生成器を起動するように各パルスを使用するステップを含むことができる。バンドギャップ生成器は、複数のパルスのうちの次のパルスによって起動される前に停止されることができる。

10

【0067】

別の態様において、基準ノードの基準電圧をリフレッシュするために各パルスを使用するステップは、基準電圧をリフレッシュするために基準ノードに結合されているキャパシタを充電するステップを含むことができる。

【0068】

別の態様において、パルスのうちの各パルスは、次のパルスを生成するために第1の入力をバイアスさせるように使用されることができる。

別の態様において、第1の入力はキャパシタに結合されており、該キャパシタはパルスに基づく時点において充電される。

【0069】

20

別の態様において、トランジスタ動作ステップは、温度に応じたレートで比較器の第1の入力の電圧を放電するべくトランジスタを動作のサブスレッシュOLD領域において動作させるステップを含むことができ、比較器の出力の状態は、第1の入力の電圧が放電し比較器の第2の入力の電圧未満となるとき変化する。

【0070】

「アサート」または「セット」および「ネゲート」（または「アサート停止」もしくは「クリア」）という用語は、本明細書においては、信号、ステータスビット、または類似の装置をそれぞれ、その論理的に真または論理的に偽の状態にすることを指す場合に使用される。論理的に真の状態が論理レベル1である場合、論理的に偽の状態は論理レベル0である。そして、論理的に真の状態が論理レベル0である場合、論理的に偽の状態は論理レベル1である。

30

【0071】

本明細書に記載される各信号は、正または負論理として設計されることができ、ここで、負論理は、信号名の上のバーまたは信号名に続く「B」（「バー」を表す）によって指示されることができる。負論理信号の場合、信号は、論理的な真状態が論理レベル0に対応するアクティブ・ローである。正論理信号の場合、信号は、論理的な真状態が論理レベル1に対応するアクティブ・ハイである。本明細書に記載される信号はいずれも負または正論理信号のいずれかとして設計されることに留意されたい。それゆえ、代替の実施形態では、正論理信号として記載される信号は、負論理信号として実装されてもよく、負論理信号として記載される信号は、正論理信号として実装されてもよい。

40

【0072】

本開示を実装する装置は、大部分について、当業者に既知の電子部品および回路から成っているため、本開示の基礎となる概念の理解および評価のために、ならびに本開示の教示を分かりにくくせず当該教示から注意を逸らさせないために、回路の詳細は上記で例示されるように必要と考えられる範囲を超えては説明されない。

【0073】

本開示は特定の導電型または電位の極性に関して記載されているが、当業者には導電型および電位の極性は逆であってもよいことが理解されるであろう。

本明細書において、具体的な実施形態を参照して本開示を説明したが、添付の特許請求の範囲に明記される本開示の範囲から逸脱することなくさまざまな改変および変更を為す

50

ことができる。たとえば、Nチャネルトランジスタ205はPチャネルトランジスタに置き換えることができ、論理比較器204が対応して変化する。したがって、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこのような改変が本開示の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されるいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されない。

【 0 0 7 4 】

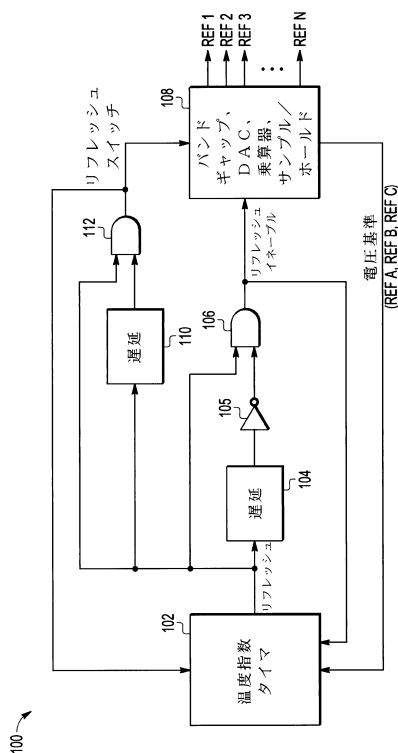
本明細書において使用される場合、「結合されている」という用語は、直接結合または機械的結合に限定されるようには意図されない。

さらに、本明細書において使用される場合、「１つ（“ a ” or “ an ”）」という用語は、１つまたは２つ以上として定義される。さらに、特許請求の範囲における「少なくとも１つの」および「１つ以上の」などの前置きの語句の使用は、不定冠詞「１つの（“ a ” or “ an ”）」による別の請求項要素の導入が、このように導入された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「１つ以上の」または「少なくとも１つの」および「１つの（“ a ” or “ an ”）」などの不定冠詞を含む場合であっても、１つだけのこのような要素を含む開示に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

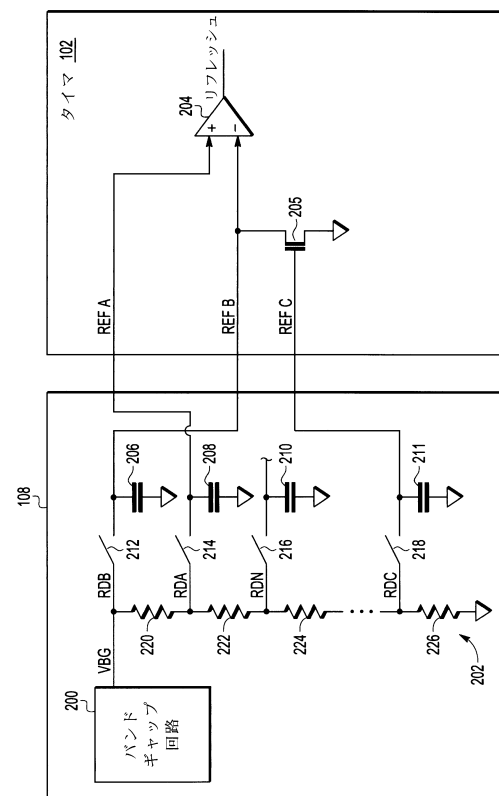
【 0 0 7 5 】

別途記載されない限り、「第1の」および「第2の」などの用語は、このような用語が説明する要素間で適宜区別するように使用される。したがって、これらの用語は必ずしも、このような要素の時間的なまたは他の優先順位付けを示すようには意図されない。

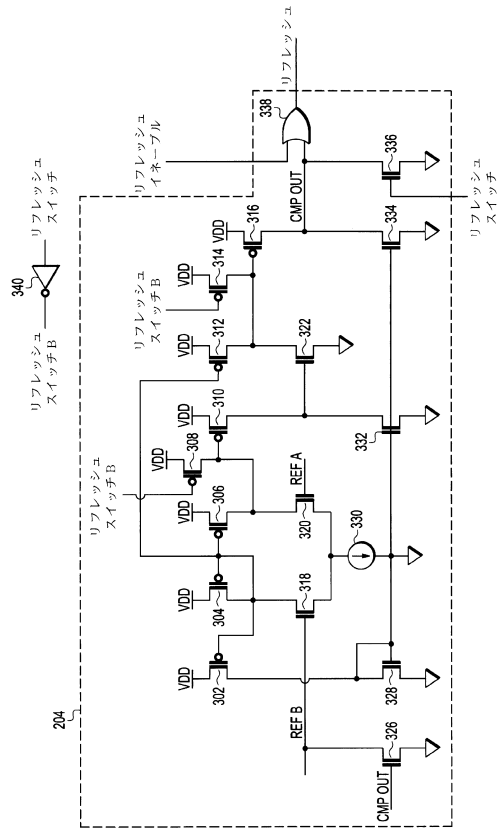
【圖 1】



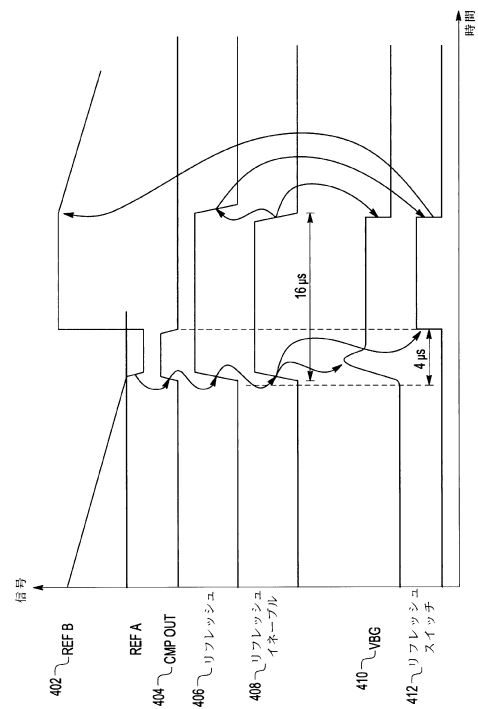
【圖 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 マイケル ティ．パーレンス

アメリカ合衆国 7 8 7 3 7 テキサス州 オースティン クリスタル ウェイ 1 3 3 0 1

(72)発明者 マイテン エイチ．ナグダ

アメリカ合衆国 7 8 7 4 5 テキサス州 オースティン プロディー レーン 5 8 0 0 ナン
バー 9 3 7

審査官 白井 亮

(56)参考文献 特開平 0 9 - 0 7 3 3 3 1 (J P , A)

特開 2 0 0 8 - 0 7 2 5 6 6 (J P , A)

特開 2 0 1 1 - 0 5 5 4 5 9 (J P , A)

特開平 1 1 - 1 6 8 3 5 8 (J P , A)

特開 2 0 0 2 - 2 6 1 6 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 K 1 7 / 2 8

G 0 6 F 1 / 3 2