

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 03821452.0

H01L 21/301 (2006.01)

H01L 21/44 (2006.01)

H01L 21/46 (2006.01)

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416768C

[22] 申请日 2003.9.5 [21] 申请号 03821452.0

[30] 优先权

[32] 2002.9.11 [33] US [31] 10/241,265

[86] 国际申请 PCT/US2003/027964 2003.9.5

[87] 国际公布 WO2004/034422 英 2004.4.22

[85] 进入国家阶段日期 2005.3.10

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 齐 晶 詹尼斯·丹维尔

托马斯·克罗索维克

[56] 参考文献

US6184109B1 2001.2.6

US6107164A 2000.8.22

CN1337065A 2002.2.20

审查员 唐俊峰

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 付建军

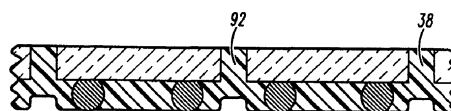
权利要求书 4 页 说明书 7 页 附图 3 页

[54] 发明名称

晶片涂敷和分切方法

[57] 摘要

首先在晶片的有源表面侧进行划片(22)形成沟槽(38)，该沟槽最终界定单个集成电路芯片边缘(39)，划片仅达到晶片的部分深度。然后用底填料(40)涂敷(24)晶片的正面(36)。晶片的背面经精磨、研磨、抛光或其他处理(26)去除晶片材料直至与划切后的沟槽平齐。然后切断在涂敷步骤中沉积在沟槽中的底填料(92)以分切晶片(28)，这样集成电路芯片(12)就从晶片脱离。



1、一种在集成电路芯片上提供底填料和从晶片分切芯片的方法，依次包括以下步骤：

a. 提供一具有正面和背面的晶片，该晶片包含至少一个集成电路芯片，该集成电路芯片包含位于所述晶片正面的多个焊接凸点；

b. 切割所述晶片的正面，形成沟槽，该沟槽界定所述至少一个集成电路芯片的边缘，切割达到未完全切透晶片的深度；

c. 用底填料涂敷所述晶片的正面；

d. 精磨晶片的背面，充分减薄晶片的厚度，使得沟槽从所述正面延伸至所述后面；以及

e. 其中涂敷于晶片正面的底填料固定在集成电路芯片上。

2、如权利要求 1 所述的方法，进一步包括，在步骤(c)后，在所述多个焊接凸点上施加一层助熔剂的步骤。

3、如权利要求 2 所述的方法，其中施加助熔剂层的步骤紧连着步骤(c)之后并在步骤(d)之前。

4、如权利要求 1 所述的方法，其中在涂敷阶段，底填料沉积到沟槽中和所述集成电路芯片的边缘。

5、如权利要求 1 所述的方法，其中精磨步骤包括研磨、抛光或精磨晶片背面。

6、如权利要求 1 所述的方法，其中所述涂敷步骤包括浸涂、喷涂或印刷涂覆液体材料，或层压形成膜层。

7、如权利要求 1 所述的方法，其中集成电路是倒装片集成电路。

8、如权利要求 1 所述的方法，其中所述底填料选自包含环氧树脂类、聚酰亚胺类和硅-聚酰亚胺共聚物的组。

9、如权利要求 1 所述的方法，其中所述涂敷步骤(c)进一步包括涂敷每个所述焊接凸点。

10、如权利要求 1 所述的方法，其中涂敷步骤(c)包括保留每一所述焊接凸点的一部分不被涂敷。

11、一种向集成电路芯片提供底填料的方法，依次包括下列步骤：

a. 提供具有正面和背面的晶片，该晶片包含至少一个集成电路芯片，该集成电路芯片包含位于所述晶片正面的多个焊接凸点；

b. 切割所述晶片的正面，形成沟槽，该沟槽界定所述至少一个集成电路芯片的边缘，切割达到未完全贯穿晶片的深度；

c. 用底填料涂敷所述晶片的正面，保留每个所述焊接凸点的一部分不被涂敷；

d. 从晶片的背面去除材料，以充分减薄晶片的厚度，使得沟槽从所述正面延伸至所述后面；

e. 分切晶片，即通过充分切断沟槽中的底填料，以使集成电路芯片从晶片中分离；

f. 其中涂敷于晶片正面的底填料保持固定在分切后的集成电路芯片上。

12、如权利要求 11 所述的方法，进一步包括，在步骤(c)后，在所述焊接凸点未涂敷的部分上施加一层助熔剂的步骤。

13、如权利要求 12 所述的方法，其中施加助熔剂层的步骤进一步包括在底填料上施加一层助熔剂。

14、如权利要求 12 所述的方法，其中施加助熔剂层的步骤紧连着步骤 c 之后并在步骤 d 之前。

15、如权利要求 11 所述的方法，其中在涂敷阶段，底填料沉积到沟槽中和所述集成电路芯片的边缘上。

16、如权利要求 15 所述的方法，其中分切步骤后，底填料保留敷于所述集成电路芯片的边缘上。

17、如权利要求 11 所述的方法，其中分切步骤包括以激光切割底填料，或切片或锯削所述底填料。

18、如权利要求 11 所述的方法，其中从晶片背面去除材料的步骤包括研磨、抛光或精磨晶片背面。

19、如权利要求 11 所述的方法，其中所述涂敷步骤包括浸涂、喷涂或印刷涂布液体材料，或层压形成膜层。

20、如权利要求 11 所述的方法，其中所述集成电路是倒装片集成电路。

21、如权利要求 11 所述的方法，其中所述底填料选自包含环氧树脂类、聚酰亚胺类和硅-聚酰亚胺共聚物的组。

22、如权利要求 11 所述的方法，其中所述切割步骤包括锯削。

23、一种在集成电路上提供底填料粘结剂层的晶片级制备方法，该集成电路有一有源表面，其中包含位于导电焊盘上的焊球，包括：

提供包含一个或多个集成电路的硅晶片；

划切硅晶片的有源表面以形成沟槽，该沟槽界定所述集成电路芯片的边缘，切割达到未完全贯穿晶片的深度；

在集成电路有源表面上和沟槽中形成一层底填料粘结剂，其中大部分焊球的至少某部分未被涂敷；

使所述底填料粘结剂部分固化；

从晶片的背面去除足够的硅材料，使得沟槽完全贯通晶片；以及切断沟槽中所包含的底填料粘结剂，以分切至少一个集成电路芯片，该芯片的有源表面和边缘具有底填料。

24、如权利要求 23 所述的方法，进一步包括，在所述焊接凸点未涂敷的部分上施加一层助熔剂。

25、如权利要求 23 所述的方法，其中施加助熔剂层的步骤进一步包括在底填料上施加一层助熔剂。

26、如权利要求 23 所述的方法，其中从晶片背面去除硅材料的步骤包括研磨、抛光或精磨晶片背面。

27、一种在具有带凸点集成电路阵列的晶片上提供底填料粘结剂层的方法，每个电路包含有源表面，在其导电焊盘上包含焊球，包括：

在凸点侧划切所述晶片以形成沟槽，该沟槽的预设深度小于晶片的深度；

以底填料涂敷晶片，以该底填料覆盖所述有源表面和充填所述沟槽；

抛光所述晶片上有源表面的相反侧，直至划片形成的沟槽贯通晶

片；

切断所述沟槽中的底填料，以分切带凸点的集成电路阵列。

晶片涂敷和分切方法

技术领域

本发明涉及在集成电路(集成电路)倒装片上提供底填充材料(简称底填料)的晶片片级方法,尤其涉及一种在施加聚合物底填料前将带凸点的晶片部分划切的方法。

背景技术

传统的封装集成电路的方法有多种,其中一种通常被称为倒装片封装的方法是,直接在集成电路裸片上的接触焊盘上形成焊接凸点(或其它适合的触点)。裸片通常附于如印刷电路板的基片上,这样裸片的接触点直接与基片上相应的触点相连。于是对焊接凸点进行回流焊使裸片和基片形成电路连接。当倒装片附于基片时,通常在倒装片和基片之间形成空隙。此空隙通常充填以材料,充填材料以液态流入空隙随后发生固化。这种材料一般是树脂和硅微粉的混合物,由于材料填入芯片下部的空隙,所以通常称为底填料。底填料以液态形式从位于倒装片边缘的分配器提供。于是底填料流入空隙并沿倒装片扩展,直至填满倒装片与基片之间的全部空隙。

底填充工艺存在许多问题。例如,对每个倒装片必须重复进行底填充,重复操作会带来制造费用的增加。而且,当底填料流经焊接凸点填充空隙时,可能发生玻璃从树脂中分离。石英与树脂的分离改变了填充区域的机械性能,从而削弱了底填料的机械功能。

最近,在改进底填充工艺并提高其效率(streamline)方面取得了进展。其中一个方法已经呈现出一定的商业利益,涉及在将倒装片组装到板之前分配底填料。尽管简化了倒装片工艺,仍然需要额外的步骤,不能在标准的表面贴装装配线上操作。美国专利 US6323062 提供了另一个解决这些问题的方法,描述了向倒装片施加底填料和边缘

涂层的方法。该方法包括如下的步骤：将带凸点的晶片粘附于可扩展的载板上，锯切晶片形成单个的芯片，双向延展载板以在各芯片间形成沟槽，向芯片的带凸点的表面和边缘周围施加底填料，切断芯片间沟槽中的底填料，然后将单个的覆有底填料的芯片从载板上分离。遗憾的是，此方法需要精确地控制载膜的双向延展，而这难于实现，同时带来许多诸如裸片翘曲（out of plane die）等新问题。

尽管倒装片技术具有诸多的优点，仍然需要降低倒装片底填料涂敷工艺的成本，简化苛刻的底填充涂敷工艺，减少所需的工艺步骤。

发明内容

根据本发明的一个方面，提供了一种在集成电路芯片上提供底填料和从晶片分切(singulate)芯片的方法，依次包括以下步骤：a. 提供一具有正面和背面的晶片，该晶片包含至少一个集成电路芯片，该集成电路芯片包含位于所述晶片正面的多个焊接凸点；b. 切割所述晶片的正面，形成沟槽，该沟槽界定所述至少一个集成电路芯片的边缘，切割达到未完全切透晶片的深度；c. 用底填料涂敷所述晶片的正面；d. 精磨晶片的背面，充分减薄晶片的厚度，使得沟槽从所述正面延伸至所述后面；以及 e. 其中涂敷于晶片正面的底填料固定在集成电路芯片上。

根据本发明的另一个方面，提供了一种向集成电路芯片提供底填料的方法，依次包括下列步骤：a. 提供具有正面和背面的晶片，该晶片包含至少一个集成电路芯片，该集成电路芯片包含位于所述晶片正面的多个焊接凸点；b. 切割所述晶片的正面，形成沟槽，该沟槽界定所述至少一个集成电路芯片的边缘，切割达到未完全贯穿晶片的深度；c. 用底填料涂敷所述晶片的正面，保留每个所述焊接凸点的一部分不被涂敷；d. 从晶片的背面去除材料，以充分减薄晶片的厚度，使得沟槽从所述正面延伸至所述后面；e. 分切晶片，即通过充分切断沟槽中的底填料，以使集成电路芯片从晶片中分离；f. 其中涂敷于晶片正面的底填料保持固定在分切后的集成电路芯片上。

根据本发明的另一个方面，提供了一种在集成电路上提供底填料粘结剂层的晶片级制备方法，该集成电路有一有源表面(active surface)，其中包含位于导电焊盘上的焊球，包括：提供包含一个或多个集成电路的硅晶片；划切硅晶片的有源表面以形成沟槽，该沟槽界定所述集成电路芯片的边缘，切割达到未完全贯穿晶片的深度；在集成电路有源表面上和沟槽中形成一层底填料粘结剂，其中大部分焊球的至少某部分未被涂敷；使所述底填料粘结剂部分固化；从晶片的背面去除足够的硅材料，使得沟槽完全贯通晶片；以及切断沟槽中所包含的底填料粘结剂，以分切至少一个集成电路芯片，该芯片的有源表面和边缘具有底填料。

根据本发明的另一个方面，提供了一种在具有带凸点集成电路阵列的晶片上提供底填料粘结剂层的方法，每个电路包含有源表面，在其导电焊盘上包含焊球，包括：在凸点侧划切所述晶片以形成沟槽，该沟槽的预设深度小于晶片的深度；以底填料涂敷晶片，以该底填料覆盖所述有源表面和充填所述沟槽；抛光所述晶片上有源表面的相反侧，直至划片形成的沟槽贯通晶片；切断所述沟槽中的底填料，以分切带凸点的集成电路阵列。

附图说明

本发明中被视为创新的特征已在权利要求书中特别阐明。然而，参照下面对发明的详述（其描述了发明的实施例），连同附图，能更好地理解本发明的构成、操作方法连同发明目的和效果。其中：

图1是如本发明所述包含一个或多个集成电路倒装片的晶片的平面图。

图2是如本发明实施例所述在集成电路芯片上施加底填料的工艺的流程圖。

图3-11是依据本发明图1所示晶片的部分剖面图。

具体实施方式

本发明易于以多种不同的方式实施，但是对于图示和这里即将详细描述的具体实施例，应当基于这样的理解，即本发明列举了体现发明原理的例子，并没有将本发明局限于图示和文字所描述的具体例子中。在下面的描述中，各附图中相同的标号用来表示相同，相似或对应的元件。这里所用的“一个”指一个或一类。这里所用的“多个”指两个或多个。这里所用的“另一个”指第二个或其它。这里所用的“包括和/或具有”指非穷举性罗列。

现在阐述的是有关向晶片级集成电路芯片提供底填料的一个新方法。晶片通常包含一个或多个集成电路芯片，每个芯片通常在其有源表面上包含多个焊接凸点。首先在晶片的有源表面侧划切形成沟槽，这些沟槽最终界定每个集成电路芯片的边缘，划切的深度仅为晶片的部分厚度。然后晶片的正面用底填料涂敷。一般情况下，每一焊接凸点的部分未被涂敷，但是某些情况下凸点被完全覆盖。然后晶片的背面经过精磨（lap），研磨（grind），抛光或其它的处理以去除材料直至与划切的沟槽平齐。晶片厚度的减小使得最初的划切沟槽从正面至背面完全贯穿减薄的芯片。然后切断涂敷阶段沉积在沟槽中的底填料，晶片被分切，这样集成电路芯片脱离晶片，涂敷于晶片有源表面的底填料依然固定在各单个集成电路芯片的有源表面上。

现在参照图 1-11，晶片 10 包含一个或多个排列在正面或有源表面 36 上的 IC 芯片 12。晶片通常为硅片，但也包括用于制造集成电路的其它材料，如砷化镓。象传统的工艺一样，集成电路芯片排列成阵列，通常是相互垂直的，每个集成电路芯片预先形成有凸点。也就是说，凸点 34，一般是焊球，涂于至少部分集成电路芯片接触焊盘上。形成晶片凸点（bumping wafers）的工艺和术语为倒装片封装领域的普通技术人员所熟知，因简明的原因这里不再详述。在图 2 的流程图中，第一步 20 是提供刚刚所描述的晶片。第二步 22，晶片在其正面或有源表面上被划切或锯切，如图 3 所示。然而，不同于先前的工艺，晶片没有完全切透，在锯切步骤 22，晶片上凹槽或沟槽 38 的深度仅仅延至晶片厚度的一部分。既然划切阶段形成的切口没有完全贯穿晶

片厚度，这就使得晶片保持为一片，沟槽 38 最终界定各单个倒装片 12 的边缘 39。现在参照图 4，在步骤 24 中底填料 40 被涂敷于晶片上每个集成电路的有源表面 36 上。底填充可以通过许多方式施加，这些方式在涂敷和半导体制造领域都很普遍。例如，可以采取浸涂、喷涂、覆涂（flood coat）、旋涂、或者幕式喷淋方法向晶片涂敷底填料的液态溶液，或者可以通过丝印（stenciling）或印刷的方法选择性地涂敷。施加底填料的液态溶液后，显然必须进行处理至少使之成为半固态，例如，加热去除残余溶剂，或如果底填料是高含固量材料，使之部分凝固从液体转化为固态。我们发现有用的底填料包括环氧树脂类，聚酰亚胺类和硅-聚酰亚胺共聚物。如果底填料大量涂敷在晶片表面，如浸涂、喷涂、覆涂、旋涂或幕式喷淋液态溶液，则切割晶片表面形成的沟槽至少被部分地充填。沟槽处的涂层 42 也起到覆盖每个集成电路芯片所有边缘的作用。

任选地，底填料 40 可以作为固体膜，层压到晶片有源表面。一般地，涂敷底填料时，凸点表面的至少一部分 45 保留为未被涂敷，这样当倒装片最后组装到印刷电路板上时，它将更容易地被焊接。然而，我们也考虑了图 5 所示的情况，本发明可以在这种情况下使用，即凸点被底填料完全覆盖 53，在倒装片组装阶段凸点焊接穿透底填料。例如，美国专利 US5128746，名称为“具有助熔剂性能的粘结和密封材料”（Adhesive and Encapsulant Material With Fluxing Properties），所述的含有助熔剂的底填料对本实施例同样适用。图 5 所示的另一实施例，如果底填料 40 通过丝印或印刷或层压（laminating）的方法有选择地涂敷，那么沟槽 52 处即使存在，也仅有很少的底填料，这样在集成电路芯片的边缘 38 就没有底填料。

在一个选择的步骤 25 中，如图 6 和 7 所示，助熔剂 60 施加于底填料表面和焊接凸点的裸露部分，这样有助于组装到印刷电路板阶段的焊接工艺。助熔剂 60 可以涂敷于整个表面上，或者仅选择性的涂敷于焊接凸点的裸露表面 70。在电子行业有许多已知的助熔剂和涂敷方法。

在接下来的步骤 26 中, 如图 8 所示, 晶片有源表面向下放入匹配的支架 84 中, 精磨背面 80 (也就是有源表面或带凸点表面的相反面)。精磨是一种公知的去除部分半导体晶片材料的方法, 就是移动晶片通过浇注有液体研磨剂的平板 82, 以精确控制的数量减薄晶片。背面精磨 (back lapping) 在半导体工业广为人知。其它的去材料的方法, 如研磨或抛光也同样适用。研磨过程一直进行直至足够的材料从晶片背面移除, 这样最初切割仅部分进入晶片的沟槽 38, 现在从正面到背面完全穿透晶片, 如图 9 所示。如果按图 5 所示的实施例, 底填料没有沉积在沟槽 38 内, 这样当晶片的厚度被充分减薄后, 沟槽完全从正面至背面贯穿晶片, 单个集成电路芯片通过精磨操作得到分切, 如图 10 所示, 不再需要进一步处理。然而, 如果底填料沉积在沟槽中, 分切步骤 28 通过切断沟槽内的底填料 92 进行。这个过程可以从集成电路芯片的有源表面或背面进行操作, 一般使用激光 (激发物, UV, CO₂ 或其它种类) 或机械切割或锯削的方式完成。现在参照图 11, 沟槽中的材料 92 被切断后, 单个集成电路芯片 12 脱离晶片, 由于第二次切口较最初的划片切口窄, 底填料 112 仍然存在于划片阶段 22 形成的每个芯片的边缘上。在两个实施例中, 当集成电路芯片从晶片分切后, 在步骤 24 沉积在有源表面上的底填料 40 保留在倒装片 112 的有源表面上。

总之, 如这里的实施例所述, 本发明可以这样施行: 在晶片有源表面划切晶片, 形成最终界定单个集成电路芯片边缘的沟槽, 划切的深度仅达到晶片的部分厚度。然后用底填料涂敷晶片的正面。一般, 每个焊接凸点的部分未被涂敷, 但在某些情况下凸点可能被完全覆盖。然后晶片的背面被精磨, 研磨, 抛光或其它的处理来去除材料达到与最初划切的沟槽平齐。晶片厚度的减薄使最初划切 (划片) 形成的沟槽完全穿透晶片的前后面。随后晶片通过切断在涂敷阶段沉积在沟槽中的任何底填料完成分切, 这样集成电路芯片脱离晶片, 而涂敷在有源表面上的底填料固定于各单个集成电路芯片的有源表面。然而, 本领域技术人员会理解, 上述过程可以被施以任何改变而没有脱离本发

明。

上面已经阐述了多个实施例。对本领域技术人员来说，根据本发明的教导可能作出这些实施例的其它的组合和改变。本领域技术人员也会明白，其它的涂敷，划片，切割，助熔，精磨和分切工艺可以被选择而没有脱离本发明的保护范围。可供选择的方法应当被作为等同物加以考虑。尽管本发明结合了具体实施例进行描述，显然根据先前的描述，诸多改变或变更对本领域技术人员来说是显而易见的。因此，这就意味着本发明包含所有这些替换或改变，它们都落在本发明的保护范围内。

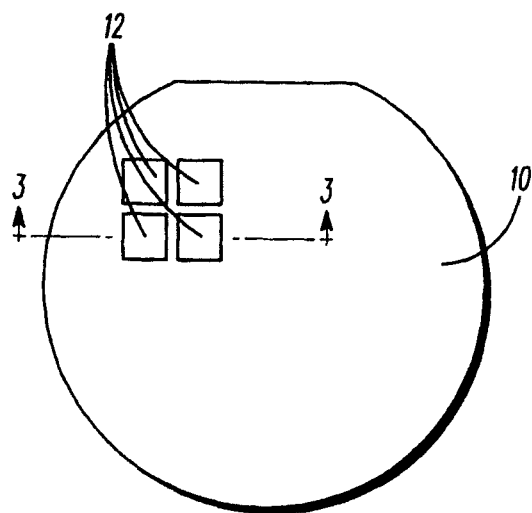


图 1

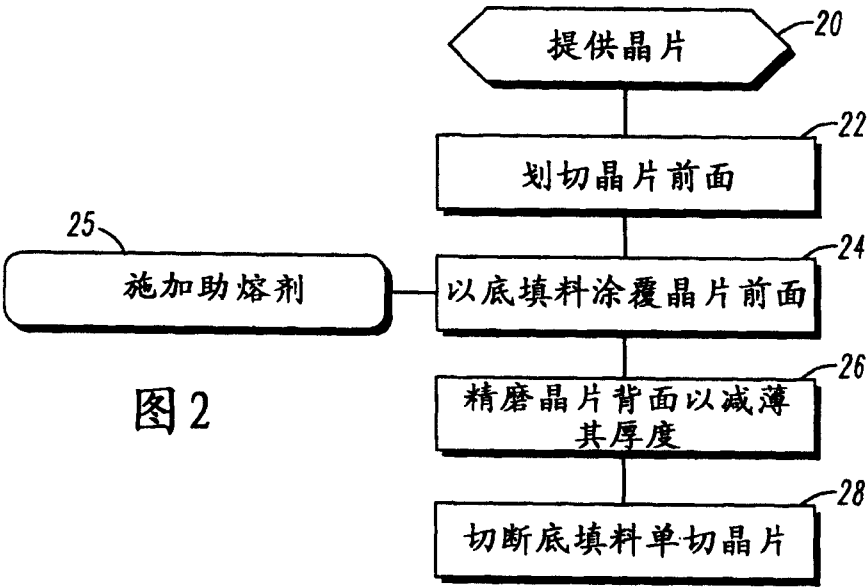


图 2

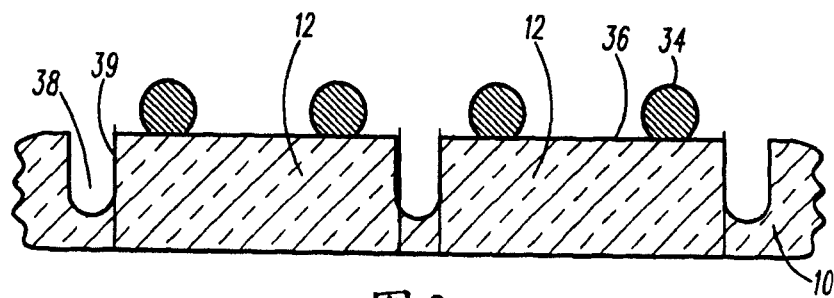


图 3

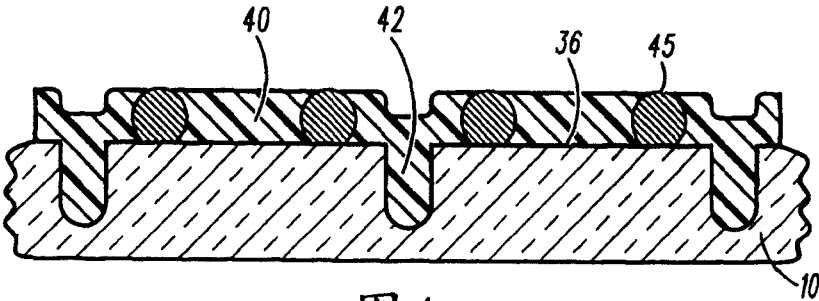


图 4

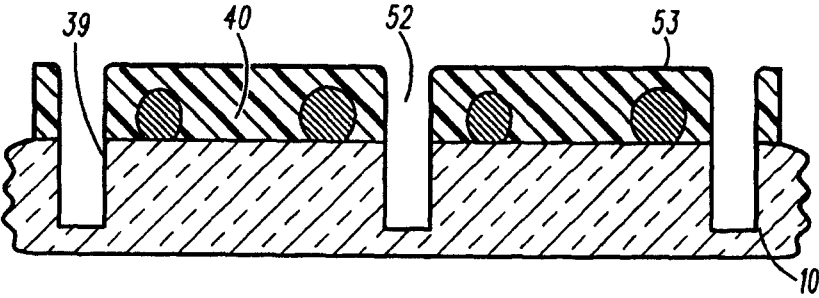


图 5

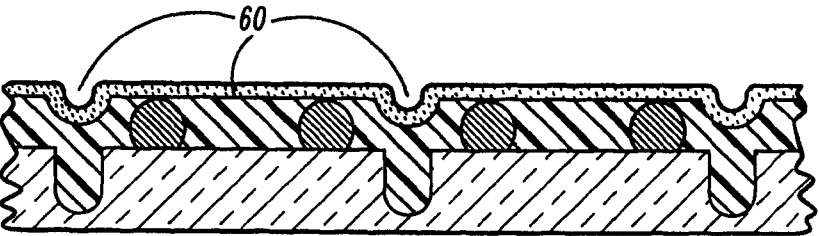


图 6

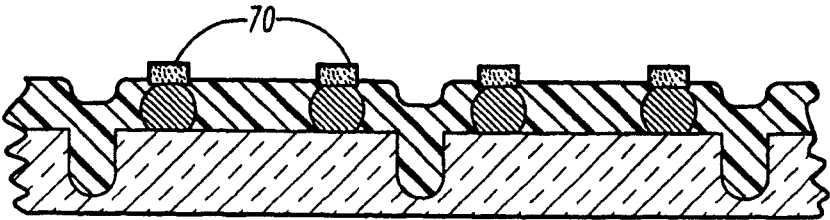


图 7

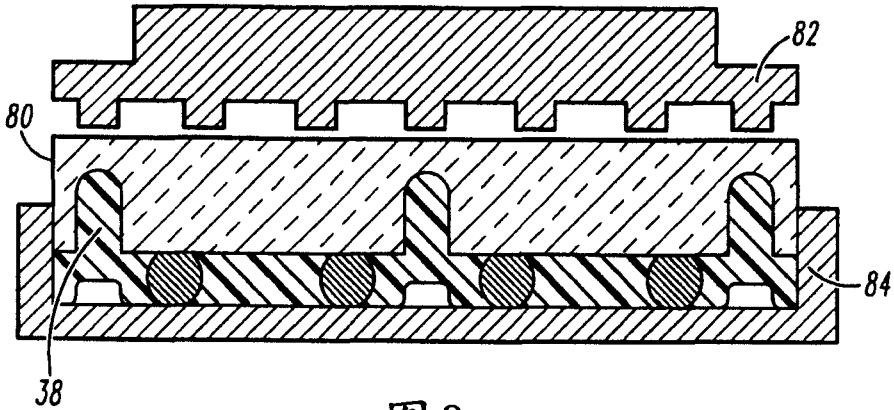


图 8

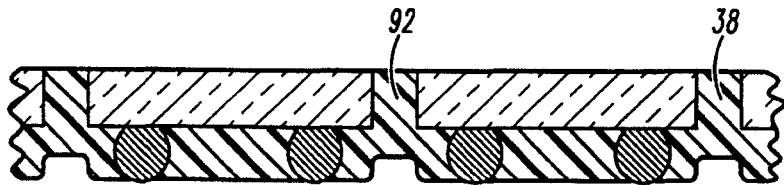


图 9

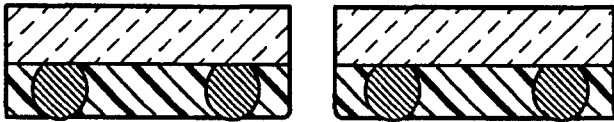


图 10

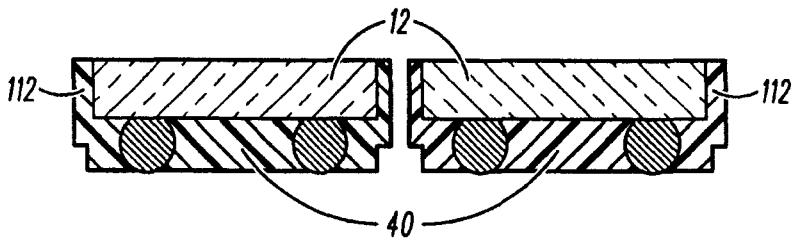


图 11