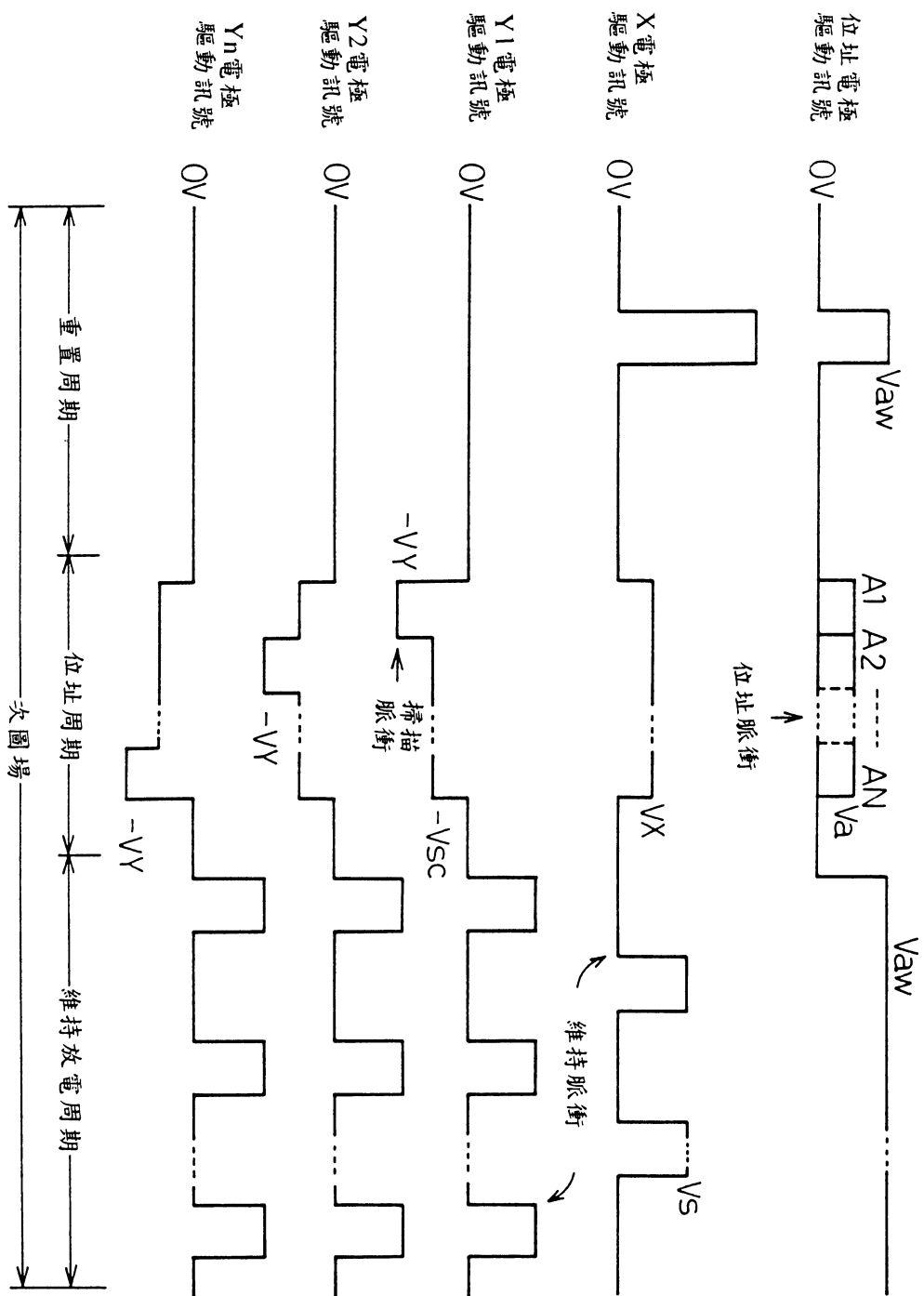
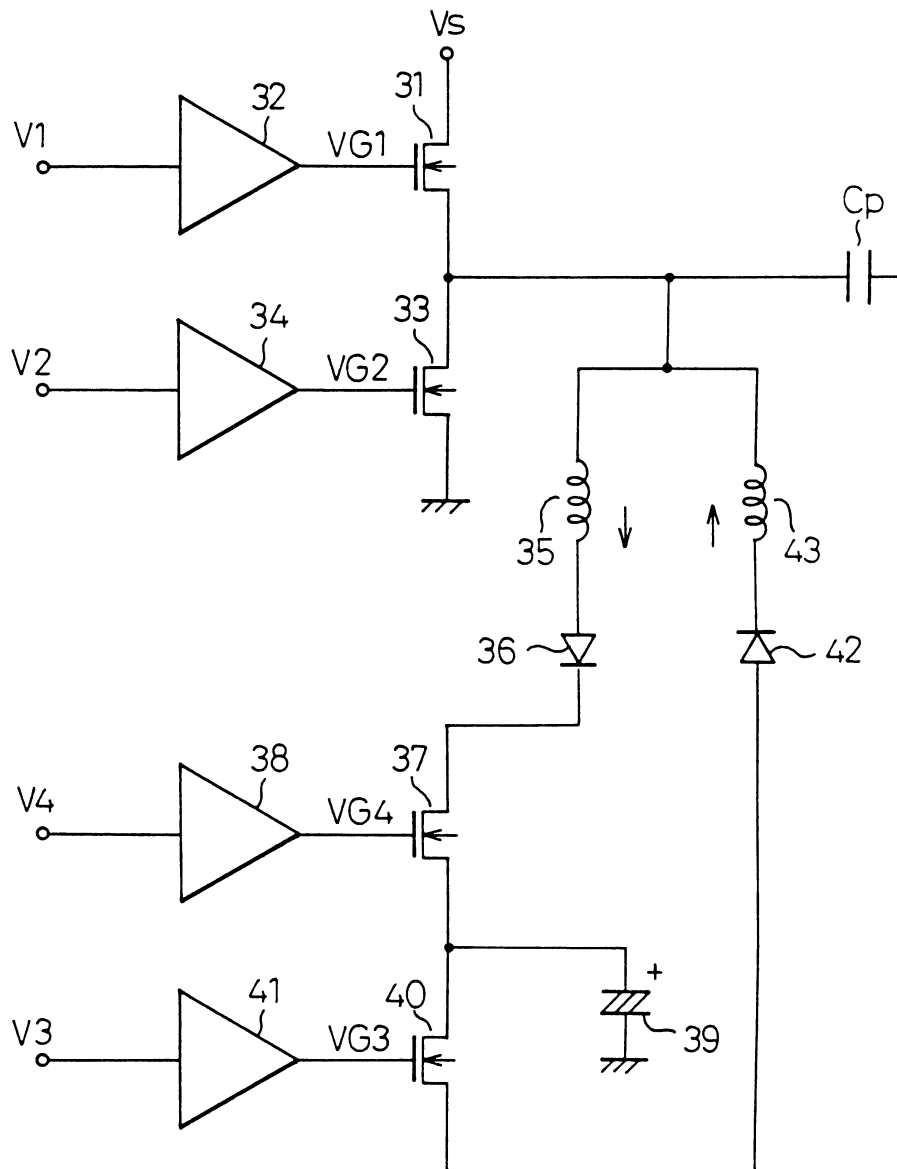


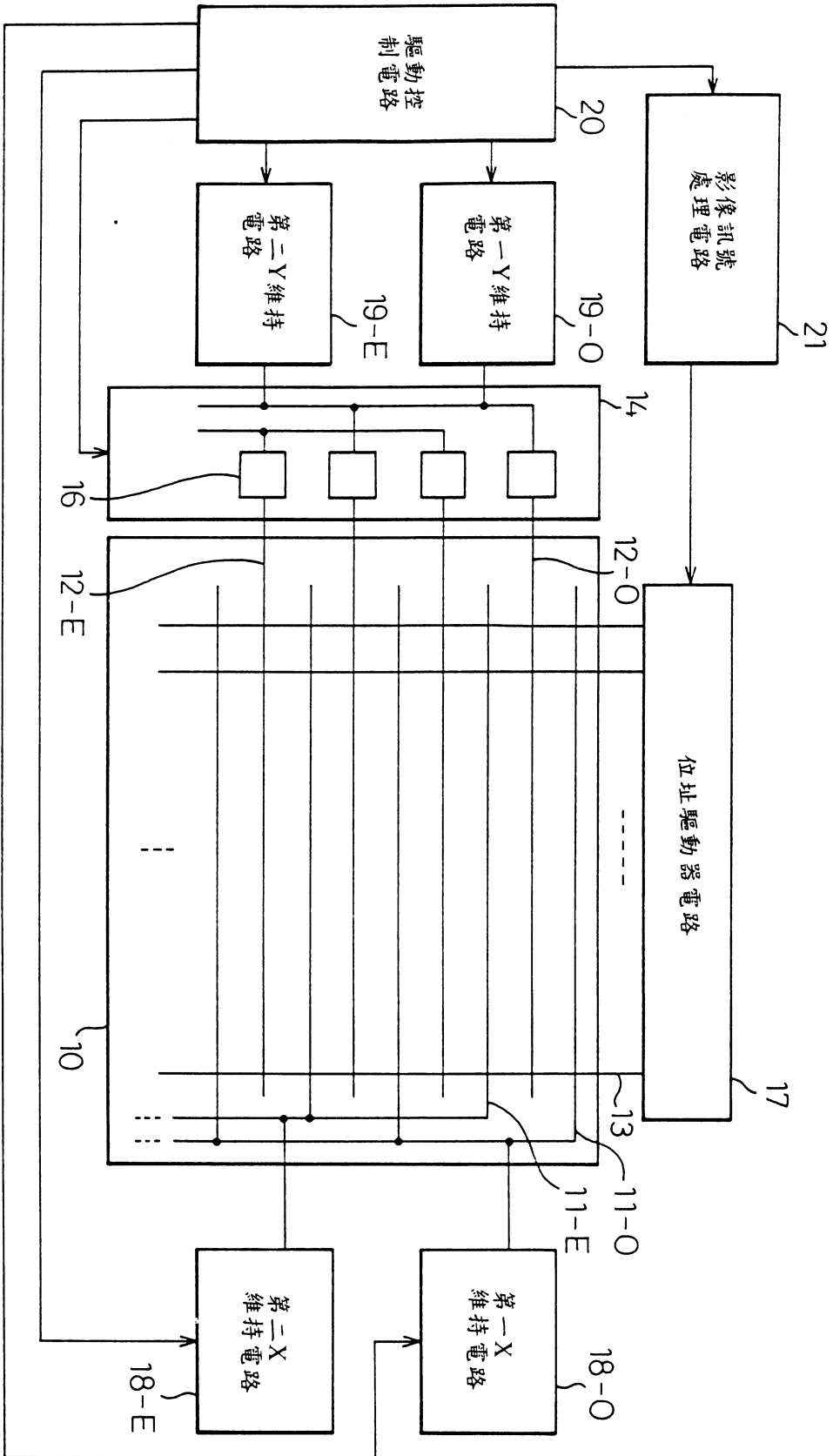


第 2 圖



第 3 圖

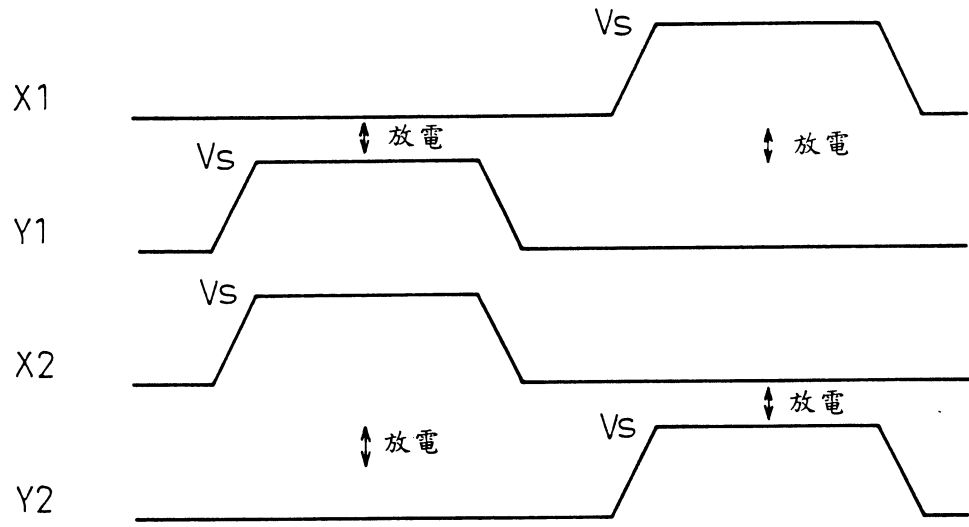




第 4 圖

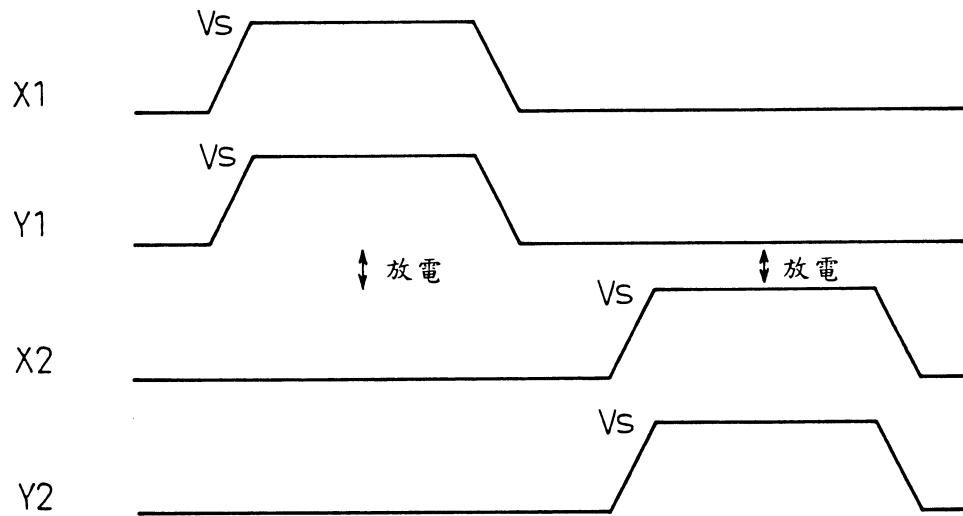
## 第 5A 圖

奇數圖場

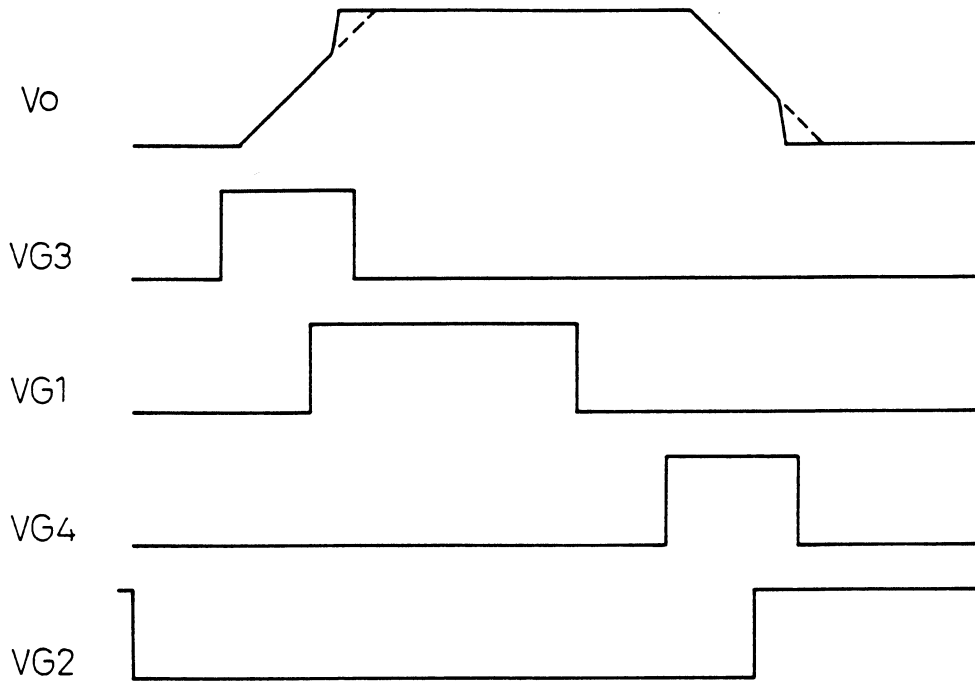


## 第 5B 圖

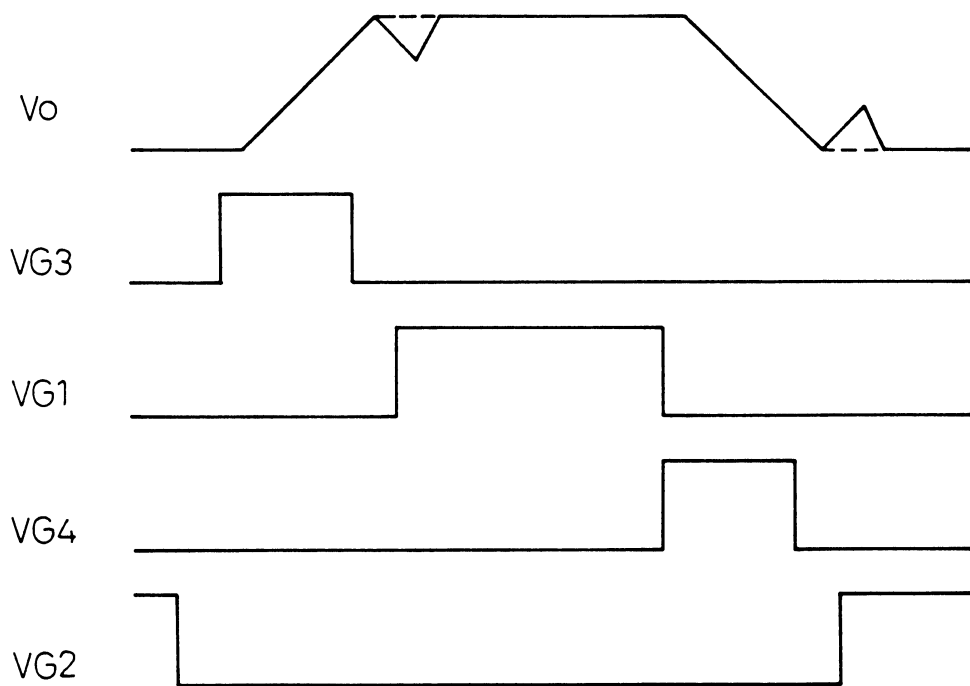
偶數圖場



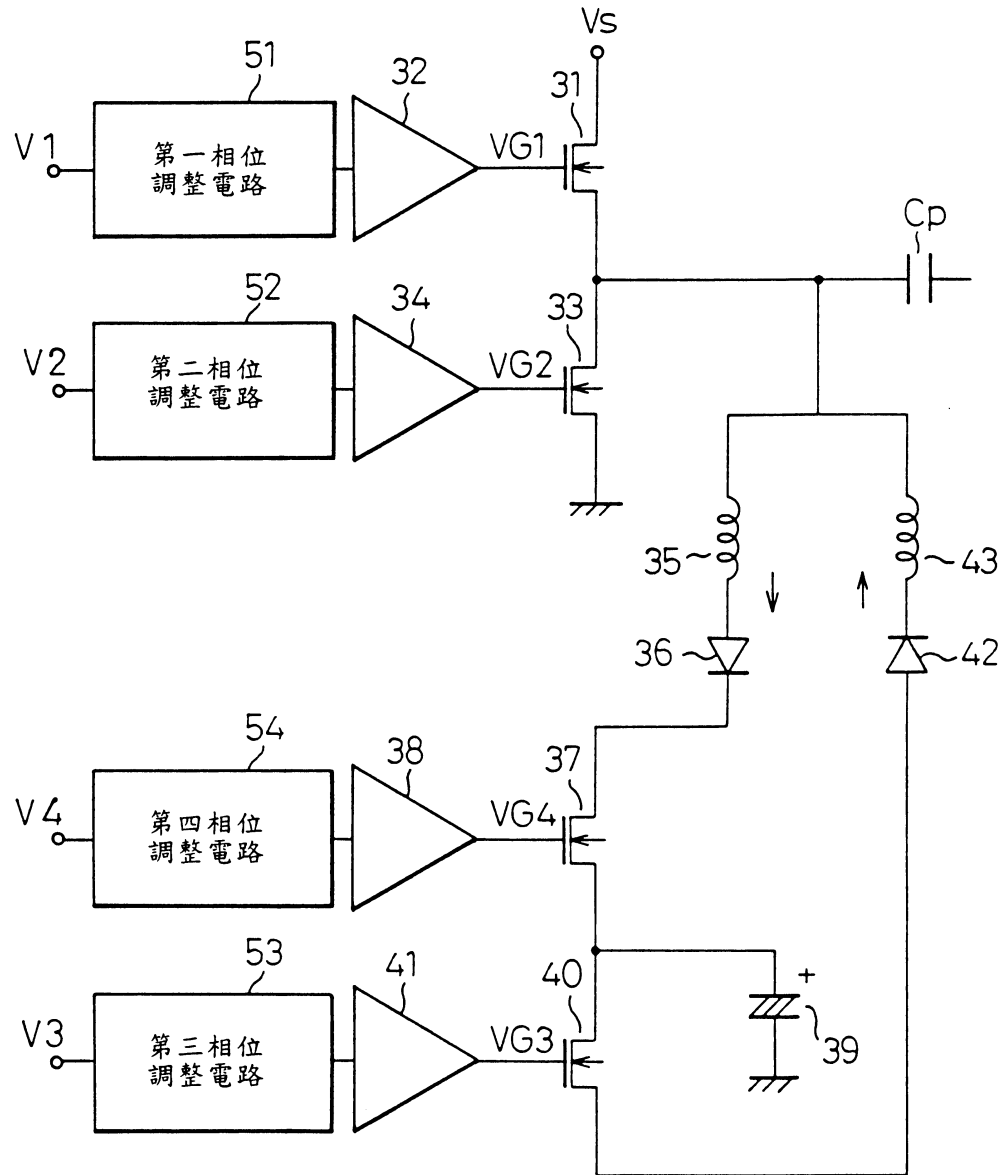
第 6A 圖



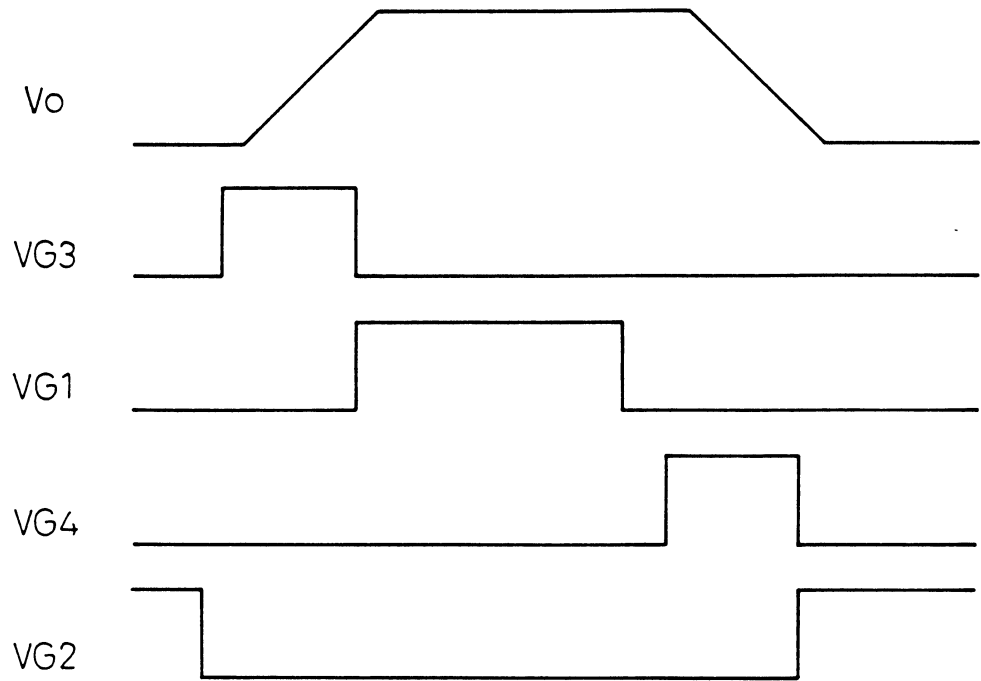
第 6B 圖

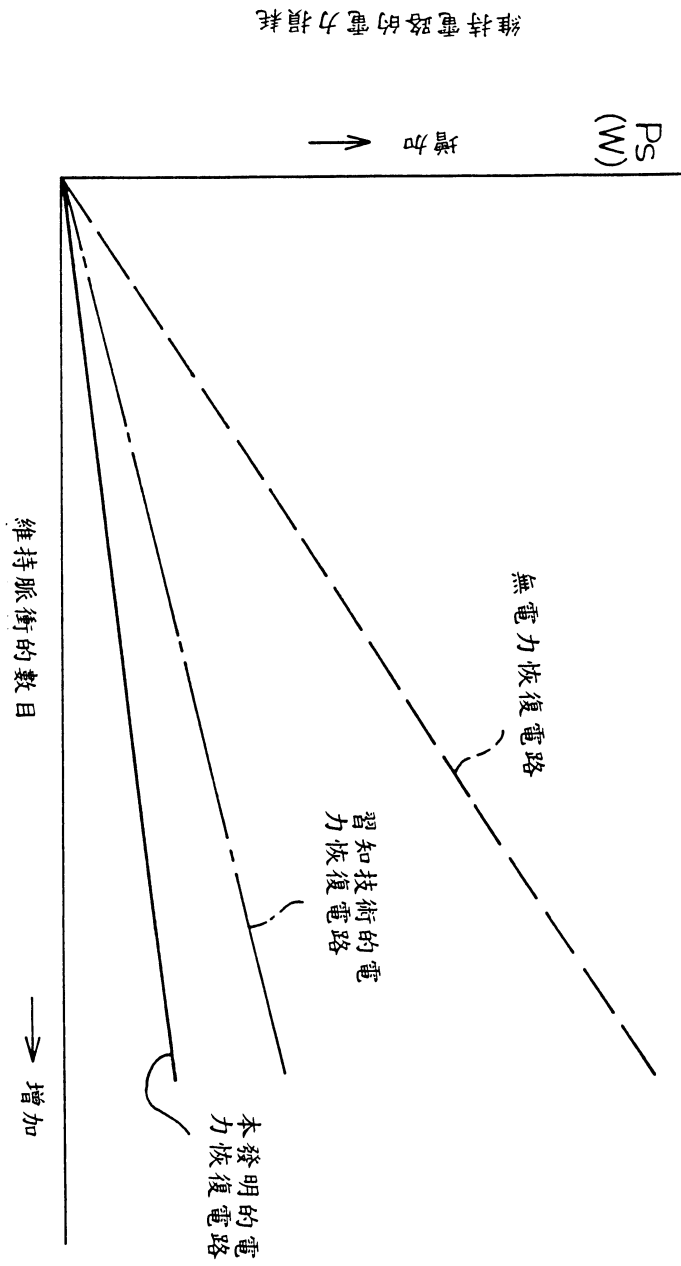


第 7 圖



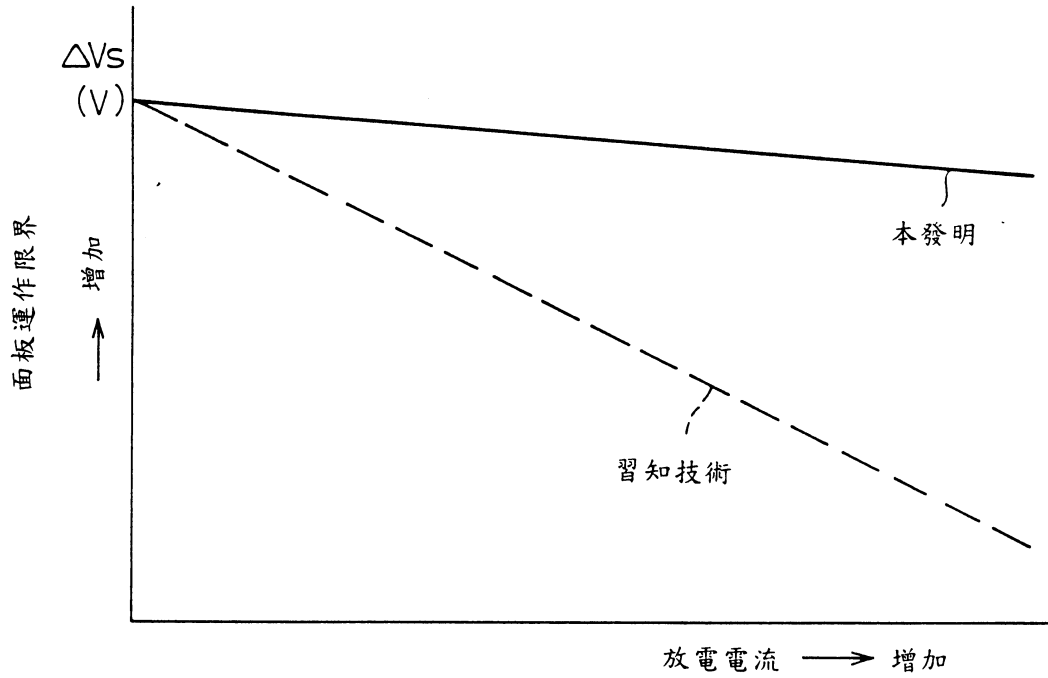
第 8 圖



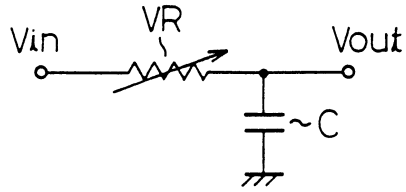


第 9 圖

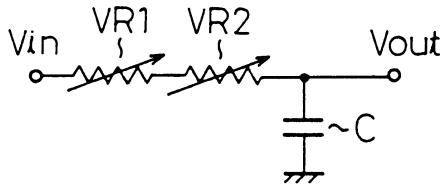
第 10 圖



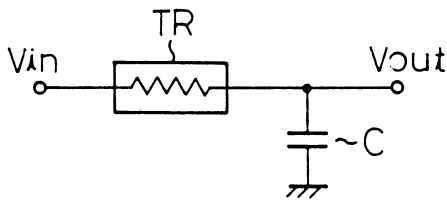
第 11A 圖



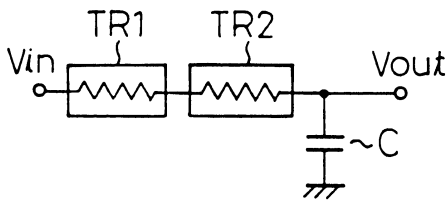
第 11B 圖



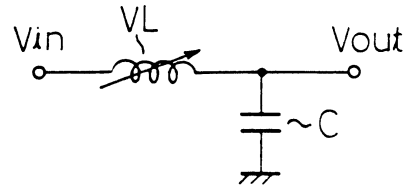
第 11C 圖



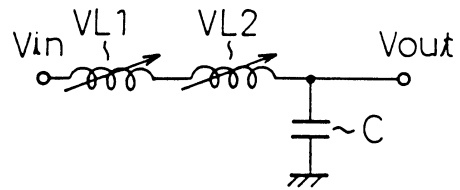
第 11D 圖



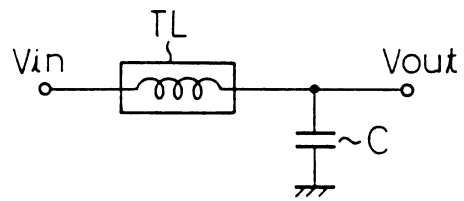
第 11E 圖



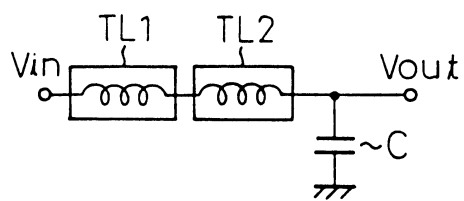
第 11F 圖



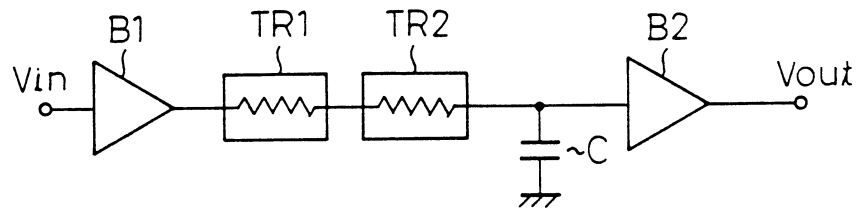
第 11G 圖



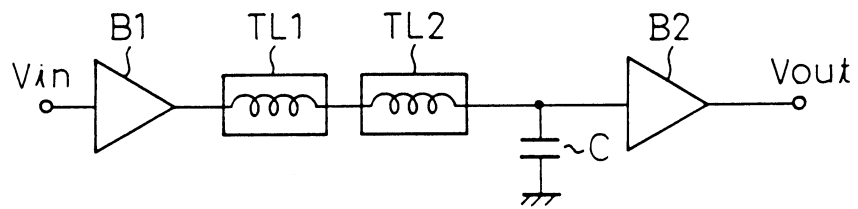
第 11H 圖



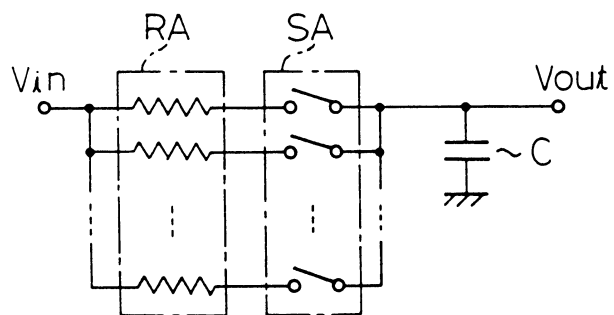
第 11 I 圖



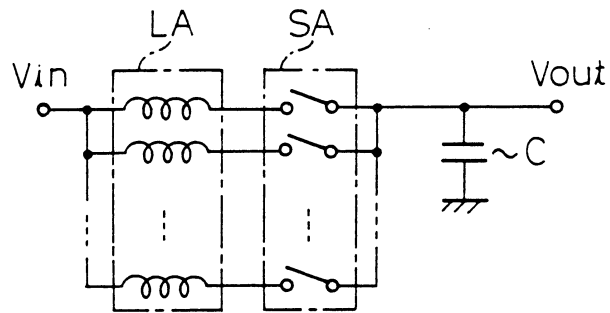
第 11 J 圖



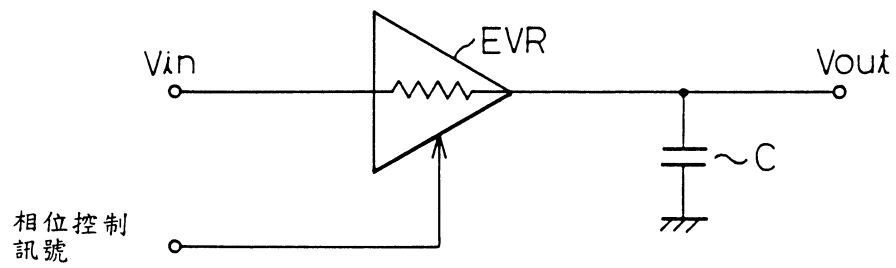
第 11 K 圖



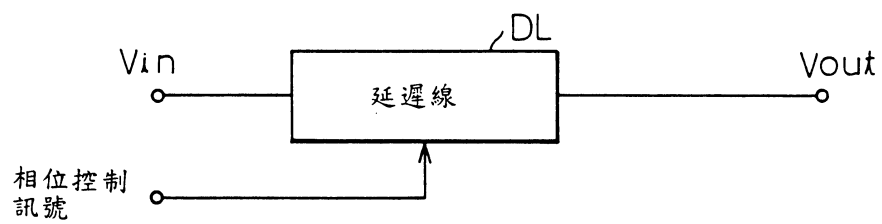
第 11L 圖



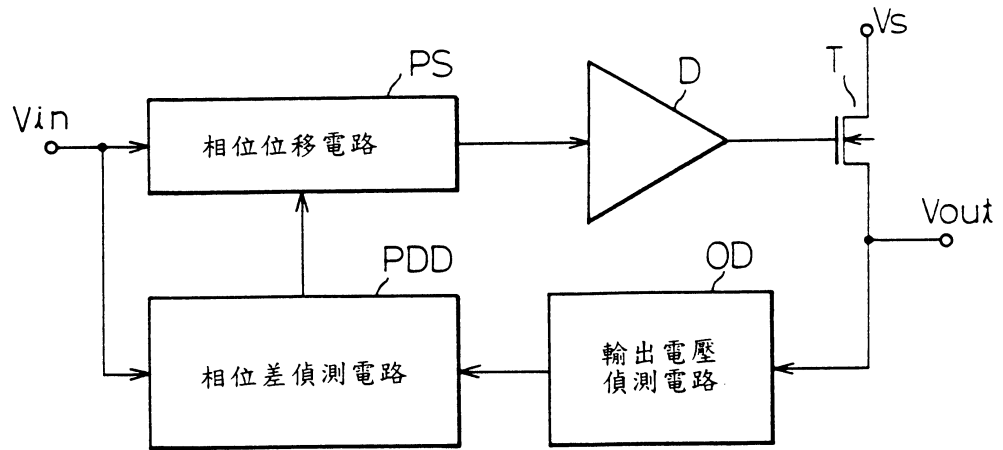
第 11M 圖



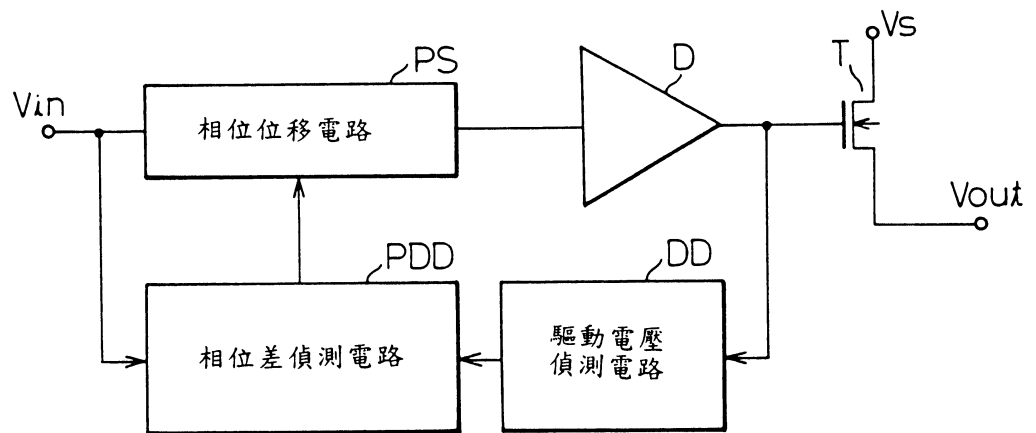
第 11N 圖



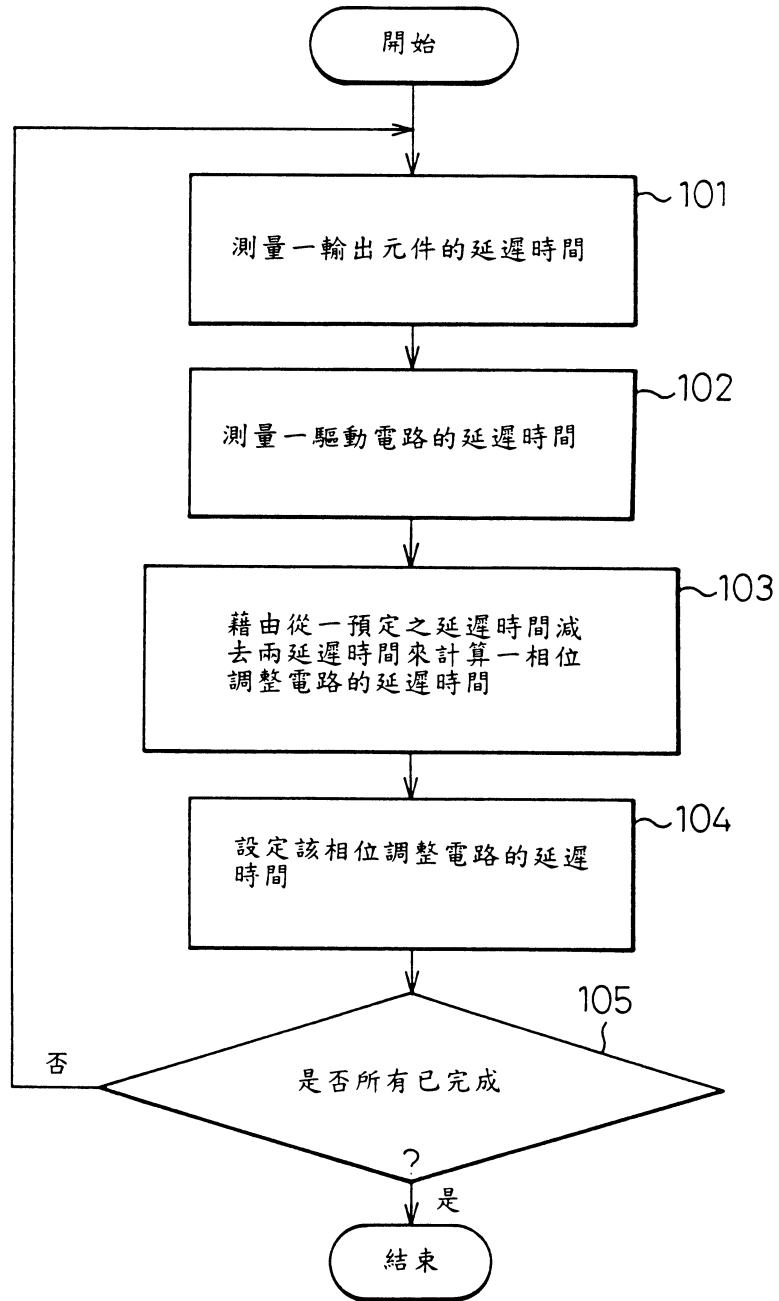
第110圖



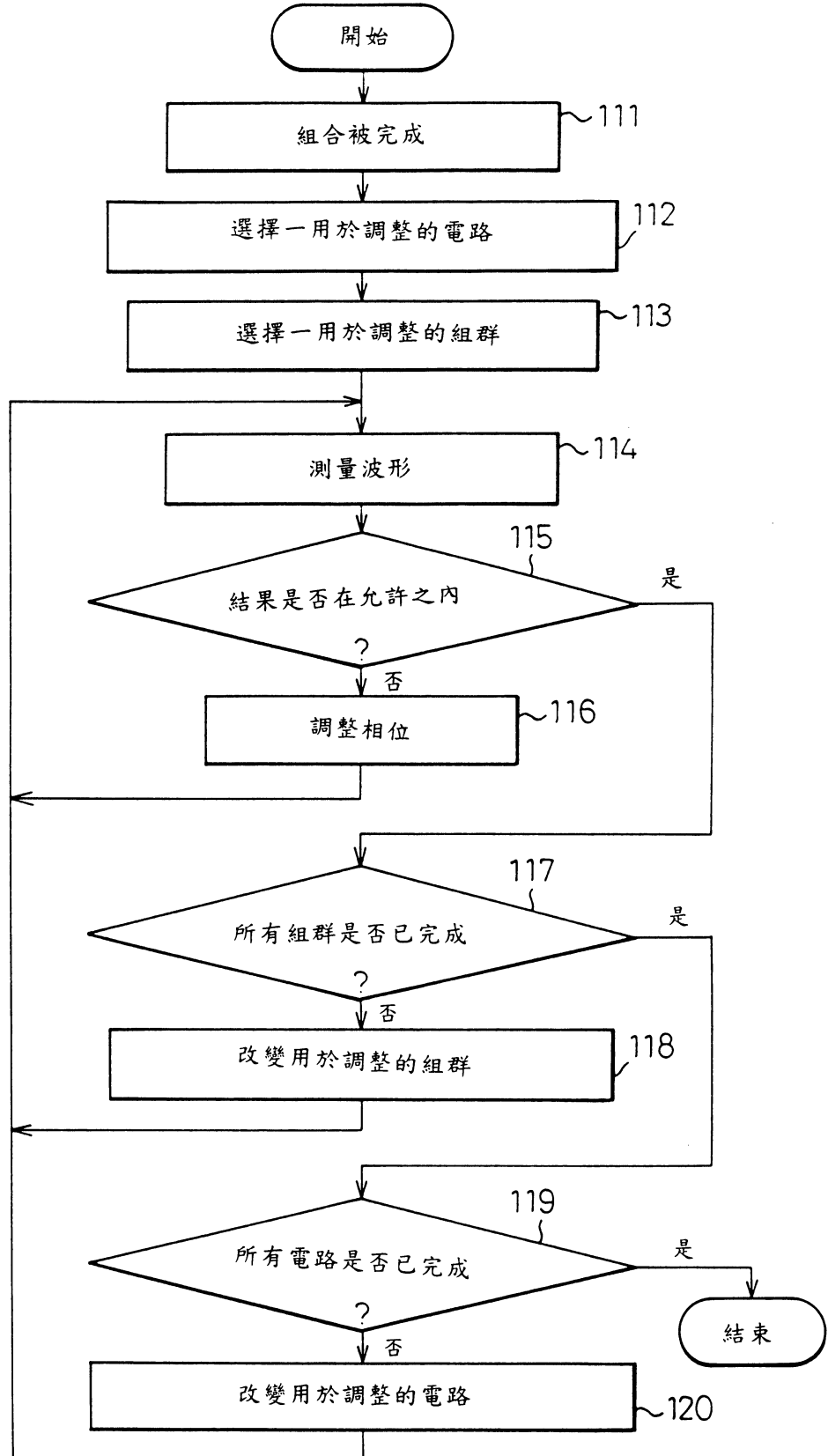
第11P圖



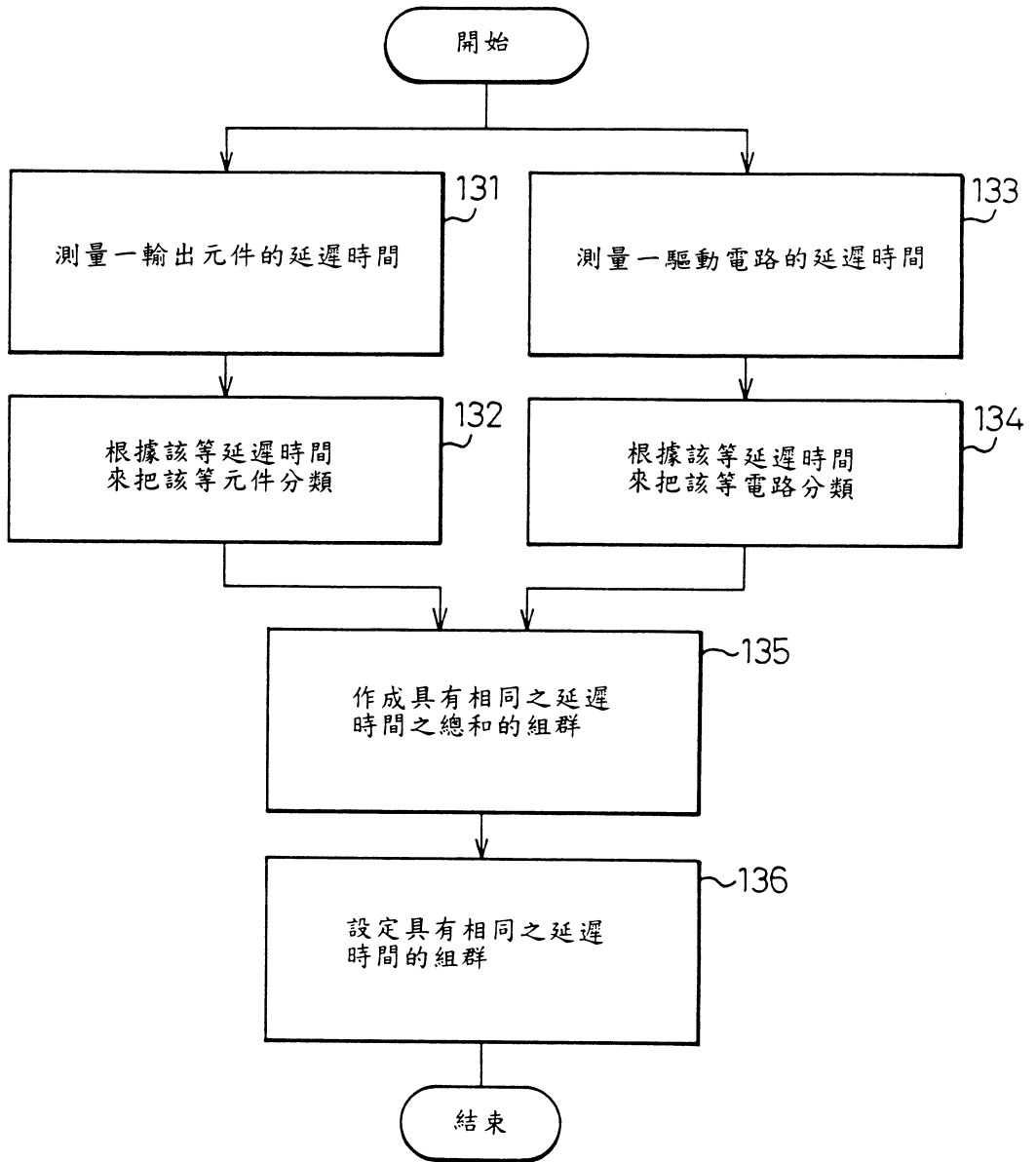
第 12 圖



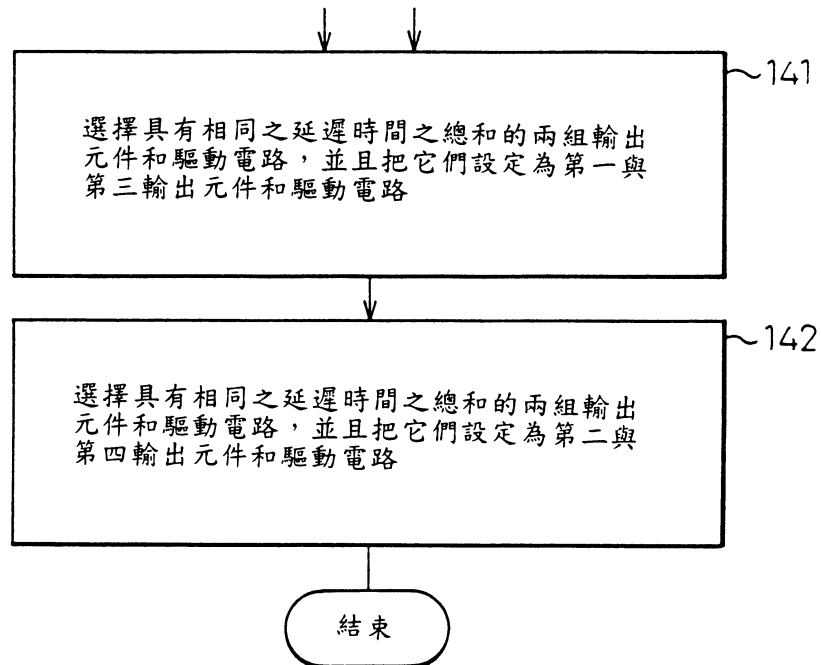
第 13 圖



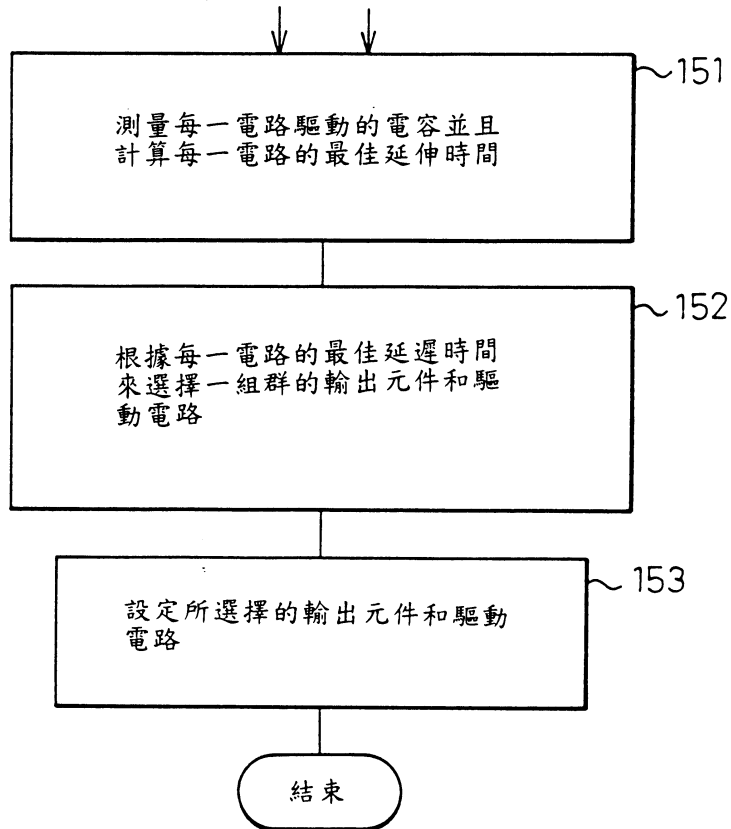
第 14 圖



## 第 15 圖



### 第 16 圖



# 公告本

pr 124

申請日期	89.11.4
案 號	89123304
類 別	G09G 3/28

A4  
C4

(以上各欄由本局填註)

580676

## 發明 專利 說明 書

一、發明 名稱	中 文	電漿顯示器裝置及製造方法
	英 文	PLASMA DISPLAY APPARATUS AND MANUFACTURING METHOD
二、發明 人	姓 名	(1)小野澤誠 (5)金澤義一 (2)大澤通孝 (6)木村賢嗣 (3)石渡健司 (7)大貫英則 (4)桑原武 (8)大野泰三
	國 籍	日 本
三、申請人	住、居所	(1)-(7)日本國神奈川県川崎市高津區坂戸3丁目2番1號 (8)日本國宮崎縣東諸縣郡國富町田尻1815番地之1
	姓 名 (名稱)	日商・富士通日立等離子顯示器股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川県川崎市高津區坂戸3丁目2番1號
	代 表 人 姓 名	桂田透

裝

訂

線

經濟部智慧財產局員工消費合作社印製

92.12-4 修正  
年 月 日 補充

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權  
 2000.03.29 特願2000-092131

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

本發明係有關於一種電漿顯示器裝置及製造電漿顯示器裝置的方法。更特別地，本發明係有關於一種在維持電路中設有降低電力消耗之電力恢復電路的電漿顯示器裝置、驅動使用 ALIS(表面交替發光)系統之電漿顯示器面板的方法、及使用該方法的電漿顯示器裝置，在該 ALIS 系統中，數個第一與第二電極係相鄰地排列且顯示線係被形成於每一對相鄰電極之間。

因為產生自己的光線而具有優良清晰度的電漿顯示器面板(PDP)係薄而且能夠被用於巨大且高速的顯示器，因此，係引起作為 CRT 顯示器之替代品的興趣。由於典型之 PDP 的結構業已於日本未審查專利公開(Kokai)第 7-160219 號、日本未審查專利公開(Kokai)第 9-160525 號、及日本未審查專利公開(Kokai)第 9-325735 號等案中揭露，一詳細的說明於此係被省略而取而代之的是，僅有與本發明相關的部份係被說明。

第 1 圖是為顯示一般 PDP 裝置之整個結構的方塊圖。在一 PDP 10 中， $n$  個 X 電極 11 和 Y 電極 12 係交替地相鄰地排列，形成  $n$  對 X 電極 11 與 Y 電極 12，而且光線係於每一對的 X 電極 11 與 Y 電極 12 之間發射以供顯示用。Y 電極與 X 電極係被稱為顯示電極而且亦被稱為維持電極。位址電極 13 係被設置於與顯示電極延伸之方向成直角的方向上，而且顯示細胞係被形成於位址電極與 X 電極 11 和 Y 電極 12 對的交匯處。

該等 Y 電極 12 係連接至一掃描驅動器 14。該掃描驅動器 14 係設置有開關 16，開關 16 的數目係與該等 Y 電極的數目相同，而且該等開關 16 係被切換以致於來自一掃描訊號產生電路 15

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 2 )

的掃描脈衝在該位址周期期間係連續地被施加，及以致於來自一Y維持電路19的維持脈衝在維持放電周期期間係同時地被施加。該等Y電極11係共同地連接至一X維持電路18，而該等位址電極13係連接至一位址驅動器電路17。在一影像訊號處理電路21中，影像訊號係被轉換以適合PDP裝置中的運作，而然後係被供應至該位址驅動器電路17。一驅動控制電路20產生並且供應控制該PDP裝置之每一部份的訊號。

第2圖是為顯示該PDP裝置之驅動訊號的時序圖。在該PDP裝置中，一顯示圖框係於預定的間隔被恢復，而且一顯示周期係被稱為一圖場。為了實現一灰度級，一圖場係被分割成數個次圖場而且發射光線的次圖場係被選擇給每一顯示細胞。每一次圖場由重置周期、位址周期、和維持放電周期構成，在該重置周期期間，所有的顯示細胞被初始化，在該位址周期期間，所有的顯示細胞係被置於對應於顯示影像的狀態，在該維持放電周期期間，每一顯示細胞係根據該設定狀態來發射光線。在該維持放電周期期間，維持脈衝係交替地施加至X電極與Y電極而且維持放電係於在該位址周期期間被指定要發射光線的顯示細胞內執行，產生供顯示用之光線發射的結果。

在該PDP裝置中，係需要在維持放電周期期間施加最大大約200V的電壓在電極之間作為高頻率脈衝。而且一脈衝的寬度在一個該灰度級由次圖場之表示來實現的系統中是為幾個微秒。由於如此之高電壓與高頻率訊號係被要求來驅動一PDP，一般PDP裝置的電力消耗係巨大的而且電力消耗上的降

(請先閱讀背面之注意事項再填寫本頁)

訂

續

## 五、發明說明 (3)

(請先閱讀背面之注意事項再填寫本頁)

低係被要求。在美國專利第4,070,663號案中，抑制像一EL(電致發光(Electro-Luminescence))裝置般之電容性顯示單元之電力消耗的控制方法業已被揭露，在該EL裝置中，一電感器元件係被設置俾與該顯示單元的電容器形成一諧振電路。此外，

5 該設置有一由電感器元件構成之電力恢復電路之PDP面板的維持放電驅動器和位址驅動器業已被揭露於美國專利第4,866,349號和美國專利第5,081,400號案中。此外，在日本未審查專利公開(Kokai)第7-160219號案中，三電極型顯示單元的結構係設置有兩個設置於Y電極的電感器，其中一個電感器

10 形成一恢復電路來恢復所施加的電力而該Y電極係從一高電壓狀態切換至一低電壓狀態，而另一個電感器形成一施加路徑來施加所累積的電力而該Y電極係從一低電壓狀態切換至一高電壓狀態。

第3圖是為顯示設置有一電力恢復電路之維持電路之典型

15 結構之例子的示意圖，在其中，恢復電力的恢復電路和施加所累積之電力的施加電路係被分開。產生訊號V1至V4的電路亦被提供，但它們係被省略於此。參考碼Cp係指一顯示細胞的驅動電容，由PDP的X電極與Y電極形成。雖然該等電極中之一者的維持電路係被顯示於此，其他的電極亦被連接至類似的

20 維持電路。在第3圖的電路中，由輸出元件(電晶體)31和33及驅動電路32和34構成的部份是為沒有電力恢復電路下的維持電路，而由輸出元件(電晶體)37和40、驅動電路38和41、電感元件35和43、電容器39、及二極體36和42構成的部

## 五、發明說明 ( 4 )

份是為一電力恢復電路。該等訊號V1和V2係分別供應至驅動電路32和34，而從該等驅動電路32和34輸出的該等訊號VG1和VG2係供應至輸出元件(電晶體)31和33的閘極。當該訊號V1是為"高(H)"時，輸出元件31開啟而且一H位降訊號係施加至該電極。這時，該訊號V2是為"低(L)"，而且輸出元件33係關閉。緊接在訊號V1轉變成L且輸出元件31關閉之後，訊號V2轉變成H而且輸出元件33開啟，而接地位階係施加至該電極。

在具有電力恢復電路的維持電路中，當維持脈衝被施加時，在訊號V1轉變成H而訊號V2轉變成L之後，及在輸出元件33關閉而訊號V3轉變成H之後，輸出元件40開啟，一諧振電路係由電容器39、二極體42、電感器43、和電容器Cp形成，而且累積於電容器39內的電力係供應至該電極，致使該電極的電位上升。剛在電位的增加係完成之前，訊號V3轉變成L且輸出元件40關閉，然後訊號V1轉變成H且輸出元件31關閉，因此該電極的電位被固定至Vs。當維持脈衝的施加被終止時，訊號V1首先轉變成L而在輸出元件31關閉之後，訊號V4轉變成H，輸出元件37開啟，而一諧振電路係由電容器39、二極體36、電感器35、和電容器Cp形成，且累積於電容器Cp內的電力係供應至該電容器39，因此電容器39的電壓被上升。因此，累積於電容器Cp的電力係藉由施加至該電極的維持脈衝來恢復至電容器39。剛在電極之電位上的降低被完成之前，訊號V4轉變成L，輸出元件37關閉，然後訊號V2

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 5 )

轉變成H，輸出元件33開啟，而電極的電位被固定至接地位階。在維持放電周期期間，以上所述的運作係被重覆與維持脈衝之數目相同的次數。在以上所述的結構中，由維持放電所引致的電力消耗能夠被抑制。

- 5 另一方面，該PDP裝置係要求顯示的較高精準度，而且該系統，在其中，光線係被發射於每一相鄰顯示電極之間以供顯示，業已被揭露於日本專利第2801893號一案中。這系統係被稱為ALIS系統而且在這裡係同樣被稱為ALIS系統。由於該ALIS系統之結構的細節業已被揭露於日本專利第2801893號一
- 10 案中，僅有與本發明相關的部份係在這裡被說明。

- 第4圖是為使用該ALIS系統之PDP的大致方塊圖。如圖所示，在使用ALIS系統的PDP中， $n$ 個Y電極(第二電極)12-O和12-E與 $n+1$ 個X電極(第一電極)11-O和11-E係交替相鄰地排列，而且光線係發射於每一相鄰顯示電極(Y電極與X電極)
- 15 之間。因此， $2n+1$ 個顯示電極形成 $2n$ 條顯示線。這表示在ALIS系統中，在與第1圖中之顯示電極之數目相同數目的顯示電極下，精準度能夠被加倍。該ALIS系統的特徵亦為高亮度，因為放電空間在沒有任何浪費下能夠有效率地利用而且高開啟比率能夠被獲得以產生光線由於電極或其類似而引起的
- 20 的微小損失。在ALIS系統中，光線被發射於每一相鄰顯示電極之間以供顯示，但是要致使所有的放電同時發生是為可能的。因此，所謂的隔行掃描係被使用，在其中，奇數線與偶數線係以時間分享形式使用於顯示。在該奇數圖場中，奇數

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 6 )

顯示線係被使用於顯示，而在偶數圖場中，偶數顯示線係被使用於顯示，而且結合奇數圖場與偶數圖場的顯示係被獲得作為完整的顯示。

Y電極係連接至該掃描驅動器14。該掃描驅動器14係設置有開關16，而該等開關係被切換以致於掃描脈衝在位址周期期間被連續地施加，而在維持放電周期期間，奇數Y電極12-O係連接至該第一Y維持電路19-O而偶數Y電極12-E係連接至該第二Y維持電路19-E。該奇數X電極11-O係連接至該第一X維持電路18-O，而該偶數X電極11-E係連接至該第二X維持電路18-E。該等位址電極13係連接至該位址驅動器電路17。該影像訊號處理電路21和該驅動控制電路20係以如在第1圖中所說明之相似的形式運作。

第5A和5B圖顯示在維持放電周期期間於ALIS系統中的驅動訊號。第5A圖顯示奇數圖場中的波形而第5B圖顯示偶數圖場中的波形。在奇數圖場中，一電壓 $V_s$ 係施加至電極Y1和X2，電極X1和Y2被接地，而放電係被致使發生於電極X1和Y1與電極X2和Y2之間，即，在奇數顯示線。這時，在形成偶數顯示線之電極Y1與X2之間的電壓差是為零且無放電被致使發生。同樣地，在偶數圖場中，一電壓 $V_s$ 係施加至電極X1和Y2，電極Y1和X2被接地，而放電係被致使發生於電極Y1和X2與電極Y2和X1之間，即，在偶數顯示線。有關在重置周期與位址周期期間之驅動訊號的說明係被省略。

在第3圖中所顯示的電力恢復電路中，係必須有效率地

(請先閱讀背面之注意事項再填寫本頁)

訂

續

## 五、發明說明 ( 7 )

執行電力的恢復和運用，而且電力恢復之高比率的獲得係被預期。電力恢復之高比率的獲得係受輸出元件31,33,37,和40的開啟/關閉時序影響。第6A和6B圖顯示該影響，第6A圖顯示電平箝位時序(clamping timing)被推前的情況而  
5 第6B圖顯示電平箝位時序被延後的情況。

如以上所說明般，當維持脈衝被施加時，輸出元件40開啟且累積於電容器39內的電力被供應至該電極，而且剛在該電極之電位的增加被完成之前，訊號V3轉變成L，輸出元件40關閉，且同時，訊號V1轉變成H，輸出元件31開啟，因此該電極的電  
10 位被箝固至 $V_s$ 。然而，如在第6A圖中所顯示般，如果輸出元件31在輸出元件40關閉之前開啟的話，因為輸出元件31的開啟，當在該電極的電位正在因累積於電容器39的電力而上升時，則該電極係中途地連接至電壓 $V_s$ 的電源，而因此餘下之處理的電力係從該電力源供應出來而且累積於電容器39內之電力的一  
15 部份被浪費且不被使用。同樣地，當維持脈衝的施加被終止時，如果輸出元件37開啟來致使輸出元件33開啟且電力正被恢復至電容器39的話，該電極係在該電力被充分恢復之前被箝固至接地位階，因此，電力的恢復不被完成。

此外，如在第6B圖中所顯示般，當維持脈衝被施加時，  
20 如果輸出元件31係在輸出元件40關閉之後開啟的話，該電極之電位之藉由累積於電容器39之電力所作的增加被終止，而且由於輸出元件31係在該電極的電位開始下降之後開啟，且由於該電極被箝固至電壓 $V_s$ 的電源，係必須提升該下降的電位，導

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 8 )

致過度的電力消耗。同樣地，當維持脈衝的施加被終止時，如果輸出元件33係在輸出元件37關閉之後開啟的話，該電極係在該已下降一次的電位開始再次上升之後被箝固至接地位階，因此，係必須把該上升的電位降低，導致過度的電力消耗。

- 5 如以上所說明般，如果維持電路中之輸出元件31,33,37,和40的開啟/關閉時序被位移的話，電力恢復速率被降低且電力消耗增加的問題係發生。輸出元件31,33,37,和40的開啟/關閉時序是為訊號V1,V2,V3,和V4之改變的時序加上驅動電路32,34,38,和41的延遲時間，並再加上輸出元件31,33,37,和40的
- 10 延遲時間。雖然訊號V1,V2,V3,和V4之改變的時序能夠在比較上高精準度下被決定，驅動電路32,34,38,和41的延遲時間，及輸出元件31,33,37,和40的延遲時間係端視所使用之元件之特性上的變化來被分散。因此，每一PDP裝置的電力恢復速率被分散，該電力恢復速率係比理想之情況中的速率低，而且電力
- 15 消耗增加的問題係發生。

- 如以上所說明般，如果電路元件之延遲時間上的變化致使維持脈衝的形狀與時序改變的話，故障發生的機率係增加。通常，在運作電壓 $V_s$ 之運作範圍中之最高值 $V_s(\max)$ 與最低值 $V_s(\min)$ 的差異 $\Delta V_s$ ，其係被稱為運作限界(operation margin)，
- 20 係在電路元件的延遲時間被分散且維持脈衝的時序被改變時被降低。這表示裝置之運作穩定度的降級。

在該ALIS系統中，光線發射用的放電不發生於分別施加有相同電壓之相鄰的電極之間。然而，如果施加的時序被位移

(請先閱讀背面之注意事項再填寫本頁)

訂

總

## 五、發明說明 ( 9 )

的話，光線發射用之放電暫時地發生於顯示用之顯示線且在位址周期期間累積之壁電荷減少的一個問題出現，導致不正常顯示的結果。例如，在第5A圖中，如果維持脈衝係在一延遲之後施加至Y1電極和X2電極的話，一種情況係暫時地發生，在其中，Y1電極為H且同時X2電極為L，而光線發射用之錯誤的放電會發生在Y1電極與X2電極之間。雖然光線發射用之如此之錯誤的放電在維持脈衝被施加至X2電極時係停止，Y1電極與X2電極的壁電荷減少且顯示用之正常的光線發射會被妨礙。

10 如以上所說明般，有一個問題為電力損耗被增加且故障係在維持電路中之每一電路元件中的時間延遲被分散時發生而因此，維持脈衝的開啟/關閉時序與形狀係被位移或改變。

本發明係被研發來解決這些問題且本發明之目的是為實現一個在其之內之維持脈衝之開啟/關閉時序與形狀不被位移或改變的維持電路，且一具有低電力消耗和免於故障的PDP裝置係被提供。

要實現以上所述之目的，本發明的PDP裝置係被設置有一具有相位調整電路的維持電路，該等相位調整電路調整維持脈衝之改變邊緣的時序。藉由調整該等相位調整電路及藉由使維持脈衝之改變邊緣之時序的狀態最佳化，電力恢復電路能夠有效率地運作且電力消耗將會被降低。此外，由於自每一維持電路施加之維持脈衝的開啟/關閉時序係彼此被最佳化，故障或錯誤的放電係能夠避免。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 10 )

如果本發明被使用於設置有具有電力恢復電路之維持電路的PDP裝置或者被使用於利用ALIS系統的PDP裝置的話係尤其有效的。

5 在設置有電力恢復電路之維持電路的情況中，如在第3圖中所顯示般，係需要相位調整電路能夠把從第三輸出元件之開啟至第一輸出元件之開啟，及從第四輸出元件之開啟至第二輸出元件之開啟的時間差異作調整。

10 在第4圖中所顯示之ALIS系統的情況中，係需要能夠調整施加在相鄰電極之間之維持脈衝的時序以防止錯誤的放電。例如，在由第一X維持電路輸出之維持脈衝與由第一或第二Y維持電路輸出之維持脈衝之間之上升時序或下降時序的差異，及在由第二X維持電路輸出之維持脈衝與由第一或第二Y維持電路輸出之維持脈衝之間之上升時序或下降時序的差異，係被調整為比一預定值低，例如， $\pm 30\text{ns}$ 。

15 當該調整係利用安裝至PDP的相位調整電路來被執行時，最佳化的狀態能夠根據PDP之電極的實際容量來獲得。

此外，最好的是在選擇該等電路元件的組合之後安裝該組被選擇的電路元件，以致於維持脈衝之改變邊緣的時序係落於一預定的容許值之內，該等電路元件係輸先根據延遲時間來被  
20 分類而且係要被使用於維持電路中。

本發明之特徵和優點將會由於後面配合圖式的描述而得到更清楚的了解，其中：

第1圖是為顯示PDP裝置之大致結構的方塊圖；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 11 )

第2圖是為顯示該PDP裝置之驅動訊號的時序圖；

第3圖是為顯示設置有電力恢復電路之維持電路之結構之例子的示意圖；

第4圖是為顯示使用ALIS系統之PDP裝置之大致結構的方塊圖；

第5A和5B圖是為顯示在ALIS系統中於維持放電周期期間之驅動訊號的時序圖；

第6A和6B圖是為顯示電力恢復電路中之時序之位移之影響的時序圖；

第7圖是為顯示本發明之實施例中之維持電路之結構的示意圖；

第8圖是為顯示在該實施例中之維持電路之運作的時序圖；

第9圖是為顯示降低本發明之電力消耗之效應的示意圖；

第10圖是為顯示增加本發明之ALIS系統中之運作限界之效應的示意圖；

第11A至11P圖顯示在該等實施例中之相位調整電路之例子的示意圖；

第12圖是為顯示設定該相位調整電路之過程的流程圖；

第13圖是為顯示在PDP之特性上之變化加入考量下，設定該相位調整電路之過程的流程圖；

第14圖是為顯示結合維持電路中之電路元件之製造方法的流程圖，該等電路元件係事先根據延遲時間來被分類；

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 12 )

第15圖是為顯示當僅有電力恢復速率的增加被計劃時，製造方法的流程圖；及

第16圖是為當PDP之特性上之變化被加入考量時，製造方法的流程圖。

5

下文將描述把本發明之ALIS系統應用於PDP裝置的一些實施例。本發明的PDP裝置具有如在第4圖中所顯示般的大致結構，而且該第一和第二X維持電路18-O和18-E，及該第一和第二Y維持電路19-O和19-E具有如在第7圖中所顯示的結構。

10 同樣地，如在第3圖中所顯示般，產生訊號V1至V4的電路未被顯示。

在該等實施例中的維持電路與第3圖中所顯示般之結構不同的地方係在於，該第一相位調整電路51至該第四相位調整電路54係設置於每一驅動電路32,34,38,和41的前級。即使輸出元  
15 件31,33,37,和40的延遲時間，及驅動電路32,34,38,和41的延遲時間被分散，藉著調整該第一相位調整電路51至該第四相位調整電路54中的延遲，要獲得如在第8圖中所顯示般之輸出元件31,33,37,和40之開啟/關閉時序的最佳化狀態仍是有可能的。

第9圖是為顯示降低本發明中之電力消耗之效應的示意  
20 圖。如圖所示，電力消耗係與維持電路中之維持脈衝的數目成比例增加。增加之比例的常數在電力恢復電路不被使用時是為最大而藉由使用如在第3圖中所顯示般的電力恢復電路，它能夠被相當地減少，而且藉由使用本發明，它能夠被進一步減少

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明 ( 13 )

且電力消耗被降低。

第10圖是為顯示本發明之運作限界之進步效應的示意圖。前述之運作電壓之最大值 $V_s(\max)$ 與最小值 $V_s(\min)$ 的差異 $\Delta V_s$ 係被使用作為運作限界。如圖所示，隨著放電電流增加，  
5 運作限界縮減，但當本發明被應用時，與第3圖中的結構比較起來，運作限界的縮減係較小。

該相位調整電路的電路結構係接著被描述。該相位調整電路係用來調整一訊號的延遲時間而且各式各樣的延遲電路係眾所周知且係可利用的。第11A至11P圖是為顯示相位調  
10 整電路的示意圖。第11A圖顯示由一可變電阻器VR與一電容器C構成的延遲電路，第11B圖顯示由一可變電感器VL與電容器C構成的延遲電路，第11C圖顯示由一供粗調用的可變電阻器VR1、一供微調用的可變電阻器VR2、和一電容器C構成的延遲電路，第11D圖顯示由一供粗調用之可變電感器  
15 VL1、一供微調用之可變電感器VL2、及一電容器C構成的延遲電路，第11E圖顯示由一電晶體TR與一電容器C構成的延遲電路，該電晶體TR的電阻值能夠藉由微調作調整，第11F圖顯示由一電感器TL與一電容器構成的延遲電路，該電感器TL的電感值能夠藉由微調作調整，第11G圖顯示由一供粗調  
20 用之微調電阻器TR1、一供微調用之微調電阻器TR2、及一電容器C構成的延遲電路，第11H圖顯示由一供粗調用之微調電感器VL1、一供微調用之微調電感器VL2、及一電容器C構成的延遲電路，第11I和11J圖分別顯示具有額外之緩衝器電

(請先閱讀背面之注意事項再填寫本頁)

訂

結

## 五、發明說明 ( 14 )

路B1於第11G和11H圖中之電路之輸入端和額外之緩衝器電  
路B2於第11G和11H圖中之電路之輸出端的電路，第11K圖顯  
示由一暫存器陣列RA、一開關陣列SA、及一電容器C構成的  
電路，在其中，RA和SA合作產生一選擇電阻值，第11L圖顯  
5 示由一電感器陣列LA、一開關陣列SA、及一電容器C構成的  
電路，在其中，LA和SA合作產生一選擇電感值，第11M圖顯  
示設置有一電子可變電阻器EVR和一電容器C的電路，該電  
子可變電阻器EVR的電阻值能夠藉由相位控制訊號來從外  
部設定，第11N圖顯示設置有一延遲線DL的電路，該延遲線  
10 DL能夠利用相位控制訊號來選擇該延遲，第11O圖顯示一電  
路，在其中，一相位位移電路PS係設置於一驅動電路D之前，  
一輸出元件T的實際輸出Vout係於一輸出電壓偵測電路OD中  
被偵測，該相位差係從該輸入訊號Vin與該輸出電壓偵  
測電路OD的偵測結果來在一相位差偵測電路中被決定，且該  
15 相位位移電路PS的延遲係據此被調整，而第11P圖顯示一與第  
11O圖不同的電路，第11P圖顯示的電路與第11O圖的電路不同  
僅在於取代該輸出電壓偵測電路OD，一偵測該驅動電路D之  
輸出的驅動電壓偵測電路DD係被使用，且輸出元件T的延遲時  
間無法於這電路中被調整。雖然於此未被顯示，一電容能夠被  
20 改變的可變電容器C亦可以被使用。

接著，調整及設定該等實施例中之每一維持電路之每一相  
位調整電路的過程係被描述。

第12圖是為顯示設定該相位調整電路之過程的流程圖。在

(請先閱讀背面之注意事項再填寫本頁)

訂

續

## 五、發明說明 ( 15 )

步驟101中，一輸出元件的延遲時間被測量，在步驟102中，一驅動電路的延遲時間，其係與以上所述的輸出元件一起使用，係被測量，在步驟103中，要被一起使用之相位調整電路的延遲時間係藉由從一預定的延遲時間減去以上所述的兩個延遲時間來被計算出來，而且在步驟104中，要被一起使用之相位調整電路的延遲時間係根據所計算的延遲時間來被設定。如此的過程係被施加至全部的組群。結果，每一輸出元件在一預定時序下開啟或關閉。因此，電力消耗能夠被降低至最小程度且錯誤的放電和故障能夠被避免。

10 在第12圖中所顯示的過程補償輸出元件和驅動電路之延遲時間上的變化而且係在維持電路被設定至該PDP裝置之前被執行。然而，最好的是根據該PDP裝置來把維持脈衝的時序最佳化，因為端視製造過程而定，在該PDP裝置之電極之間的電容上係會有變化，改變電力恢復電路中之振盪電路的時間常數。第13圖是為顯示在把由維持電路驅動之PDP裝置中的變化加入考慮下，設定相位調整電路之延遲時間至最佳值之過程的流程圖。

在步驟111中，維持電路被裝配並被設定至包括該PDP裝置的元件。在這步驟中，僅一運作狀態被要求，非完整的裝配。

20 在步驟112中，一用於調整的電路係從該第一X維持電路18-O、該第二X維持電路18-E、該第一Y維持電路19-O、和該第二Y維持電路19-E之中被選擇。在步驟113中，一用於調整的組群係被選擇，更明確地，一用於調整的相位調整電路係從

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

## 五、發明說明 ( 16 )

該第一至第四相位調整電路51至54之中被選擇。在步驟114中，與該PDP裝置之所選擇的組群相關的波形被測量，在步驟115中，對應於特定的參考訊號，該等結果係被檢查是否在容許值之內，而如果該等結果不在容許值之內，該相位調整電路係在步驟116中被調整，而步驟114至116係被重覆直到該等結果係在容許值之內。

在步驟117中，以上所述的過程是否對所有組群完成係被決定，而如果不是的話，用於調整的組群係於步驟118中被改變且程序係返回到步驟114。如以上所說明般，用於調整之電路之四個相位調整電路的調整被完成，且從該電路輸出的維持脈衝係在一預定時序下開啟和關閉。此外，在步驟119中，以上所述之過程是否對所有的電路完成係被決定，而如果不是的話，用於調整的電路係於步驟120中被改變且程序返回至步驟114。最後，所有電路的調整被完成。

雖然相位調整電路係設置於以上所述的實施例中，維持脈衝的時序能夠藉著測量要被使用該維持電路中之電路元件的延遲時間、選擇延遲時間之總和係在容許值之內的一組群或者，更明確地，輸出元件與驅動電路之延遲時間之總和係在容許值之內的一組群、及設定該組群至該PDP裝置，來被最佳化。第14圖是為顯示以上所述之製造過程的流程圖。

在步驟131中，輸出元件的延遲時間被測量，而且該等元件係在步驟132中根據該等延遲時間來被分類。與這過程平行，驅動電路的延遲時間係於步驟133中被測量而且該等電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 17 )

係於步驟134中根據該等延遲時間來被分類。藉由以上所述的過程步驟，該等輸出元件與該等驅動電路係根據該等延遲時間來被分類。

5 在步驟135中，組群係被做成以致於每一組群之延遲時間的總和係相同。例如，使用該ALIS系統的PDP裝置具有四個維持電路，而且每一維持電路具有四組輸出元件與驅動電路。即，必須選擇具有相同延遲時間之總和的16個組群，因為該PDP裝置具有16組輸出元件與驅動電路。該等組群的輸出元件和驅動電路係於步驟136中被設定。

10 在以上所述的過程中，雖然該16個組群係為了一PDP裝置的維持電路來被選擇以致於每一組群之延遲時間的總和係相同，僅該等輸出元件31和34的開啟/關閉時序，與該等輸出元件33和37的開啟/關閉時序被要求為每一維持電路之特定的關係俾可提升電力恢復速率。第15圖是為顯示在這情況中之製造  
15 過程的流程圖。

在如於第14圖中所顯示的步驟131至134之後，具有相同之延遲時間之總和的兩組輸出元件和驅動電路係於步驟141被選擇並且被設定為第一輸出元件31和驅動電路32，及第三輸出元件40和驅動電路53。同樣，具有相同之延遲時間之總和的兩組  
20 輸出元件和驅動電路係於步驟142中被選擇並且被設定為第二輸出元件33與驅動電路34，及第四輸出元件37與驅動電路54。

為了防止在ALIS系統中之錯誤的放電，當維持脈衝被施加於兩相鄰的電極之間時，在開啟/關閉時序上係應該沒有差

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 18 )

異。即，在從該第一X維持電路輸出並且施加至奇數X電極的維持脈衝與從該第一和第二Y維持電路輸出並且施加至奇數與偶數Y電極的維持脈衝之間的時序上係應該沒有差異，而且，在從該第二X維持電路輸出並且施加至偶數X電極的維持脈衝與從該第一和第二Y維持電路輸出並且施加至奇數與偶數Y電極的維持脈衝之間的時序上係應該沒有差異。這最後表示在每一維持脈衝之間的時序上係沒有差異。根據該時序差異之研究的結果，當在施加至相鄰電極之維持脈衝之間的差異係在 $\pm 30\text{ns}$ 之內時，錯誤之放電的發生率係微小的，在該時序差異下，沒有錯誤的放電發生於使用ALIS系統的PDP裝置中。

即使該等組群係在延遲時間被測量之後被選擇，係適當地把電容上的變化加入考慮。第16圖是為顯示在這情況中之製造過程的流程圖。

15 在步驟151中，維持電路驅動之PDP的電容被測量，而且要被設至其那裡之維持電路的最佳延遲時間係被計算出來。在步驟152中，一組被分類的輸出元件與驅動電路係被選擇以，致於該延遲時間係在步驟153中被最佳化且係被設定。

20 雖然本發明的實施例係於以上作描述，如果係有某些其他引致維持脈衝之延遲的電路的話，當然的事為把它們的延遲時間加入考慮。

如以上所說明般，根據本發明，維持脈衝之受到維持電路中之驅動電路之延遲時間與輸出元件之延遲時間上之變化所影響

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 19 )

的開啟/關閉時序，及電力恢復電路之輸出元件的開啟/關閉時序能夠被最佳化，因此，在每一PDP裝置中之電力恢復速率上的變化能夠被降低，電力消耗平均而言亦能夠被降低，而且運作限界上的變化能夠被改進，而此外，在ALIS系統中之錯誤之放電之

5 發生的機率能夠被降低。

元件標號對照表

10	PDP	11	X電極
12	Y電極	13	位址電極
10	14 掃描驅動器	16	開關
15	掃描訊號產生電路	19	Y維持電路
18	X維持電路	17	位址驅動器電路
20	驅動控制電路	21	影像訊號處理電路
V1	訊號	V2	訊號
15	V3 訊號	V4	訊號
Cp	參考碼	31	輸出元件
33	輸出元件	32	驅動電路
34	驅動電路	37	輸出元件
40	輸出元件	38	驅動電路
20	41 驅動電路	35	電感元件
43	電感元件	39	電容器
36	二極體	42	二極體
VG1	訊號	VG2	訊號

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明 ( 20 )

12-O	奇數Y電極	19-O	第一Y維持電路
12-E	偶數Y電極	19-E	第二Y維持電路
11-O	奇數X電極	18-O	第一X維持電路
11-E	偶數X電極	18-E	第二X維持電路
5	Vs 電壓	X1	電極
	X2 電極	Y1	電極
	Y2 電極	51	第一相位調整電路
	52 第二相位調整電路	53	第三相位調整電路
	54 第四相位調整電路	VR	可變電阻器
10	C 電容器	VL	可變電感器
	VR1 可變電阻器	VR2	可變電阻器
	VL1 可變電感器	VL2	可變電感器
	TR 電阻器	TL	電感器
	TR1 微調電阻器	TR2	微調電阻器
15	VL1 微調電感器	VL2	微調電感器
	B1 緩衝器電路	B2	緩衝器電路
	RA 暫存器陣列	SA	開關陣列
	LA 電感器陣列	EVR	電子可變電阻器
	DL 延遲線	PS	相位位移電路
20	D 驅動電路	T	輸出元件
	Vout 輸出	OD	輸出電壓偵測電路
	Vin 輸入訊號	DD	驅動電壓偵測電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱： 電漿顯示器裝置及製造方法 )

一種設有防止維持脈衝之退化與開啟/關閉時序移位之維持電路之低電力消耗及沒有錯誤故障的PDP裝置係被揭露，其中，相位調整電路，其調整該維持脈衝之改變邊緣的時序，係設置到該維持電路而藉由使該維持脈衝之改變邊緣的時序最佳化，電力恢復電路係被有效地改進且電力消耗係被降低。在該等維持電路中所使用的電路元件係根據延遲時間來被分類而該等電路元件組別係被選擇以致於該維持脈衝之改變邊緣的時序係落在一個預定的容許值之內且被選擇的電路元件組別係被設定到該PDP。

英文發明摘要（發明之名稱： Plasma Display Apparatus and Manufacturing Method )

A PDP apparatus of low power consumption and without erroneous malfunctions equipped with the sustaining circuit that prevents the on/off timing shift and deterioration of the sustaining pulse, wherein phase adjusting circuits, which adjust the timing of the changing edge of the sustaining pulse, are provided to the sustaining circuit and the power recovery circuit is improved efficiently and the power consumption is reduced by optimizing the timing of the changing edge of the sustaining pulse, has been disclosed. The circuit devices used in the sustaining circuits are classified according to delay times and sets of the circuit devices are selected so that the timing of the changing edge of the sustaining pulse falls within a predetermined allowance, and the selected sets of the circuit devices are set to the PDP.

## 六、申請專利範圍

1. 一種電漿顯示器裝置，包含一設置有交替相鄰地排列之第一電極與第二電極及在與該第一和第二電極延伸之方向成直角之方向上延伸之位址電極的電漿顯示器面板、一供應維持脈衝至該等第一電極的X維持電路、及一供應維持脈衝至該等第二電極的Y維持電路，其中，該X維持電路與該Y維持電路係設置有把維持脈衝之改變邊緣之時序作調整的相位調整電路。
2. 如申請專利範圍第1項所述之電漿顯示器裝置，其中，該X維持電路與該Y維持電路包括電力恢復電路，每一電力恢復電路具有一形成有該電漿顯示器面板之顯示電容器的諧振電路、當該維持脈衝的施加被釋放時恢復能量並且把恢復的能量使用於該等維持脈衝的下一個施加。
3. 如申請專利範圍第2項所述之電漿顯示器裝置，其中，該X維持電路與該Y維持電路包含分別連接在一個經由它該等維持脈衝係被供應之路徑與一高電壓電源線之間，及在該路徑與一低電壓電源線之間的第一和第二輸出元件、把該路徑與該電力恢復電路之連接狀態切換成電力係從該電力恢復電路供應到該路徑之狀態的第三輸出元件、把該路徑與該電力恢復電路之連接狀態切換成電力係從該路徑恢復到該電力恢復電路之狀態的第四輸出元件、及驅動該第一至第四輸出元件的第一至第四驅動電路；且該相位調整電路能夠調整在該第三輸出元件之開啟與該第一輸出元件之開啟之間的時間差異，及在該第四輸出元件之開啟與該第二輸出元件之開啟之間的時間差異。

## 六、申請專利範圍

4. 如申請專利範圍第3項所述之電漿顯示器裝置，其中，該相位調整電路包含分別設置於該第一至第四驅動電路之各前一級的第一至第四相位調整電路。
5. 如申請專利範圍第1項所述之電漿顯示器裝置，其中，該電漿顯示器面板形成第一顯示線於該第二電極之一側與該相鄰之第一電極之間、第二顯示線於該第二電極之另一側與該相鄰之第一電極之間，及藉由數個次圖場來形成一圖框的顯示圖場，並且藉由選擇地結合該等次圖場來提供一顯示用的灰度級；該X維持電路係設有一個把維持脈衝供應到該等第一電極中之以奇數編號之電極的第一X維持電路，及一個把維持脈衝供應到該等第一電極中之以偶數編號之電極的第二X維持電路；及該Y維持電路係設有一個把維持脈衝供應到該等第二電極中之以奇數編號之電極的第一Y維持電路，及一個把維持脈衝供應到該等第二電極中之以偶數編號之電極的第二Y維持電路。
6. 如申請專利範圍第5項所述之電漿顯示器裝置，其中，該第一和第二X維持電路及該第一與第二Y維持電路係分別設有該等相位調整電路；及在由該第一X維持電路輸出之維持脈衝與由該第一或第二Y維持電路輸出之維持脈衝之間之上升或下降時序上的差異，與在由該第二X維持電路輸出之維持脈衝與由該第一或第二Y維持電路輸出之維持脈衝之間之上升或下降時序上的差異係被調整以致於該等時序的差異係在一預定的範圍之內。
7. 如申請專利範圍第6項所述之電漿顯示器裝置，其中，該

## 六、申請專利範圍

預定的範圍係在 $\pm 30\text{ns}$ 之內。

8. 如申請專利範圍第1項所述之電漿顯示器裝置，其中，該相位調整電路係藉由觀察在該維持脈衝被施加至該電漿顯示器面板之第一或第二電極時的波形來被設定。

5 9. 一種電漿顯示器裝置的製造方法，該電漿顯示器裝置包含一具有交替相鄰地排列之第一電極與第二電極及在與該第一和第二電極延伸之方向成直角之方向上延伸之位址電極的電漿顯示器面板、一供應維持脈衝至該等第一電極的X維持電路、及一供應維持脈衝至該等第二電極的Y維持電路，其中，形成該X維持電路與該Y維持電路之電路元件之關於訊號的延遲時間係被測量且該等電路元件係根據該等延遲時間來被分類；被分類之電路元件的組別係被選擇以致於該維持脈衝之改變邊緣的時序係落在一個預定的容許值之內；且該等被選擇之電路元件的組別係  
10 設定到該電漿顯示器裝置。

15 10. 如申請專利範圍第9項所述之電漿顯示器裝置的製造方法，其中，該電漿顯示器面板形成一第一顯示線於該第二電極之一側與該相鄰之第一電極之間、一第二顯示線於該第二電極之另一側與該相鄰之第一電極之間，藉由數個次圖場來形成一圖框的顯示圖場，並且藉由選擇地結合該等次圖場來提供一顯示用的灰度級；該X維持電路係設有一個把維持脈衝供應到該等第一電極中之以奇數編號之電極的第一X維持電路，及一個把維持脈衝供應到該等第一電極中之以偶數編號之電極的第二X維持電路；及該Y維  
20

## 六、申請專利範圍

持電路係設有一個把維持脈衝供應到該等第二電極中之  
以奇數編號之電極的第一Y維持電路，及一個把維持脈衝  
供應到該等第二電極中之以偶數編號之電極的第二Y維  
持電路；且在由該第一X維持電路輸出之維持脈衝與由該  
5 第一或第二Y維持電路輸出之維持脈衝之間之上升或下  
降時序上的差異，與在由該第二X維持電路輸出之維持脈  
衝與由該第一或第二Y維持電路輸出之維持脈衝之間之  
上升或下降時序上的差異係被調整，以致於當該第一和第  
二X維持電路與該第一和第二Y維持電路的電路元件被選  
10 擇時，該等時序的差異係在一預定的範圍之內。