

[12] 实用新型专利说明书

[21] ZL 专利号 00246137.4

[45]授权公告日 2001年7月4日

[11]授权公告号 CN 2438275Y

[22]申请日 2000.8.10 [24]颁证日 2001.6.9
 [73]专利权人 信息产业部电子第五十四研究所
 地址 050081 河北省石家庄市中山西路 589 号
 信息产业部电子第 54 所技术处
 [72]设计人 李强 闵洁

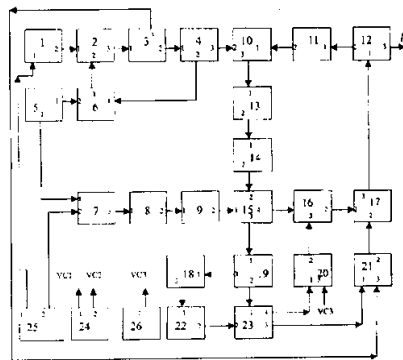
[21]申请号 00246137.4
 [74]专利代理机构 河北省科技专利事务所
 代理人 高锡明

权利要求书 4 页 说明书 10 页 附图页数 2 页

[54]实用新型名称 一种数字直接频率合成加锁相环式的宽带频率综合器

[57]摘要

本实用新型公开了一种数字直接频率合成加锁相环式的宽带频率合成器,它由前置分频、鉴相器、压控振荡、程序分频、DDS、放大器、相加器、电子开关、采样保持等部件组成。利用大步进频率综合器与 DDS 的极小频率步进组成小步进宽带频率综合器,既保留 DDS 低相位噪声,又使 DDS 杂散功率在环路带宽外抑制、在环路带宽内不增加。并具有电路及结构简单,易调试生产,体积小,成本低等特点,特别适合作通信设备中的频率源。

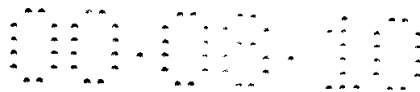


ISSN 1008-4274



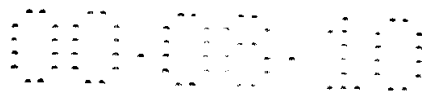
权 利 要 求 书

1. 一种由前置分频器(1)、鉴相器(2)、环路滤波器(3)、压控振荡器(4)、频率设置器(5)、程序分频器(6)、直接数字频率合成器(7)、低通滤波器(8)、放大整形器(9)、混频器(10)、隔离放大器(11)、压控振荡器(12)、低通滤波器(13)、放大整形器(14)、鉴频鉴相器(15)、电源(24)、晶体振荡器(25)组成的数字直接频率合成加锁相环式的宽带频率综合器,其特征在于还有环路滤波器器(16)、相加器(17)、电子开关(18)、锁定检测器(19)、电子开关(20)、采样保持器(21)、多谐振荡器(22)、与门(23)、可调电压产生器(26)组成;其中晶体振荡器(25)的输出端1脚与前置分频器(1)的输入端1脚相连,晶体振荡器(25)的输出端2脚与直接数字频率合成器(7)的输入端2脚相连,频率设置器(5)的输出端1脚与程序分频器(6)的输入端2脚相连,频率设置器(5)的输出端2脚与直接数字频率合成器(7)的输入端1脚相连,前置分频器(1)的输出端2脚与鉴相器(2)的输入端1脚相连,鉴相器(2)的输出端3脚与环路滤波器(3)的输入端1脚相连,环路滤波器(3)的输出端2脚与压控振荡器(4)的输入端1脚相连,压控振荡器(4)的输出端2脚与程序分频器(6)的输入端1脚相连,程序分频器(6)的输出端3脚与鉴相器(2)的输入端2脚相连,直接数字频率合成器(7)的输出端3脚与低通滤波器(8)的输入端1脚相连,低通滤波器(8)的输出端2脚与放大整形器(9)的输入端1脚相连,放大整形器(9)的输出端2脚与鉴频鉴相器(15)的输入端1脚相连,鉴频鉴相器(15)的输出端4脚与环路滤波器器(16)的输入端1脚相连,环路滤波器(16)的输出端2脚与相加器(17)的输入端1脚相连,相加器(17)的输出端3脚与压控振荡器(12)的输入端1脚相连,压控振荡器(12)的输出端2脚与隔离放大器(11)的输入端1脚相连,压控振荡器(12)的输出端3脚与输出端口A连接,隔离放大器(11)的输出端2脚与混频器(10)的输入端1脚相连,混频器(10)的输出端3脚与低通滤波器(13)的输入端1脚相连,低通滤波器(13)的输出端2脚与放大整形器(14)的输入端1脚相连,放大整形器(14)的输出端2脚与鉴频鉴相器(15)的

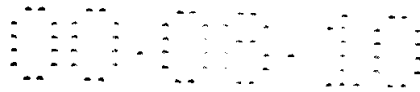


输入端 2 脚相连，鉴频鉴相器 (15) 的输出端 3 脚与锁定检测器 (19) 的输入端 1 脚相连，锁定检测器 (19) 的输出端 2 脚与与门 (23) 的输入端 1 脚相连，锁定检测器 (19) 的输出端 3 脚与电子开关 (18) 的输入端 1 脚相连，电子开关 (18) 的输出端 2 脚与多谐振荡器 (22) 的输入端 1 脚相连，多谐振荡器 (22) 的输出端 2 脚与与门 (23) 的输入端 2 脚相连，与门 (23) 的输出端 4 脚与电子开关 (20) 的输入端 1 脚相连，电子开关 (20) 的输出端 2 脚与环路滤波器 (16) 输入端 3 脚相连，与门 (23) 的输出端 3 脚与采样保持器 (21) 的输入端 1 脚相连，采样保持器 (21) 的输出端 2 脚与相加器 (17) 的输入端 2 脚相连，环路滤波器 (3) 的输出端 3 脚与采样保持器 (21) 的输入端 3 脚相连，可调电压产生器 (26) 的输出端 1 脚电压 VC3 端与电子开关 (20) 的输入端 3 脚电压 VC3 端相连，电源 (24) 的输出端 VC1、VC2 与各级相应电源的输入端相连。

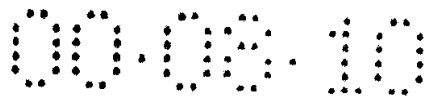
2. 根据权利要求书 1 所述的一种数字直接频率合成加锁相环式的宽带频率综合器，其特征在于环路滤波器 16 由电阻 R5、R9、R10、R11、R12、R13、电容 C3、C4、C5、C7 和运算放大器 N2 组成；相加器 (17) 由电阻 R7、R8、R14、R17 和运算放大器 N1 组成；电子开关 (18) 由开关 S4 组成；锁定检测器 (19) 由电阻 R15、R16、R18、电位器 RP2、稳压管 W1、电容 C6 和运算放大器 N3 组成；电子开关 (20) 由开关 S2、S3 组成；采样保持器 (21) 由三极管 V1、V2、电阻 R1、R2、R3、开关 S1、电容 C1 组成；多谐振荡器 (22) 由电阻 R19、R20、电容 C8、C9 与多谐振荡集成块 D2 组成；与门 (23) 由与门集成块 D1 组成；可调电压产生器 (26) 由电阻 R4、R6、电位器 RP1 和运算放大器 N4 组成，其中环路滤波器 (3) 的输出端 3 脚与三极管 V1 的基极连接，三极管 V1 的集电极接电源 (24) 的出端 VC1，三极管 V1 的发射极与电阻 R1 的一端、开关 S1 的输入端 1 脚连接，电阻 R1 的另一端接地端，开关 S1 的输出端 3 脚与电阻 R2、电容 C1 的一端及三极管 V2 的基极连接，电阻 R2、电容 C1 的另一端接地端，三极管 V2 的集电极接电源 (24) 的出端 VC1，三极管 V2 的发射极与电阻 R3、R14 一端连接，电阻 R3 的另一端接地端，电阻 R14 的另一端与运算放大器 N1 的正输入端 2 脚连接；电位器 RP1 的一端接电源 (24) 的出端 VC1，另一端接地端，电位器 RP1 的中间输出



端与电阻 R4 的一端连接，电阻 R4 的另一端与运算放大器 N4 的正输入端 1 脚连接，运算放大器 N4 的负输入端 2 脚通过电阻 R6 后与运算放大器 N4 的输出端 5 脚连接，运算放大器 N4 的输出端 5 脚与开关 S3 的输入端 3 脚连接；运算放大器 N1 的负输入端 1 脚串接电阻 R8 后接地端，运算放大器 N1 的负输入端 1 脚并联串接电阻 R7 后与输出端 5 脚连接，运算放大器 N1 的输出端 5 脚与压控振荡器 (12) 输入端 1 脚连接；鉴频鉴相器 (15) 的输出端 4 脚串接电阻 R9 后与电容 C4、电阻 R5 一端并联，电容 C4 的另一端接地端，电阻 R5 的另一端与开关 S2 入端 1 脚、电阻 R10 一端、运算放大器 N2 的负输入端 1 脚并联连接，鉴频鉴相器 (15) 的输出端 5 脚串接电阻 R11 后与电容 C5、电阻 R12 一端并联，电容 C5 的另一端接地端，电阻 R12 的另一端与开关 S3 入端 1 脚、电阻 R13 一端、运算放大器 N2 的正输入端 2 脚并联连接，电阻 R13 另一端串接电容 C7 后接地端，电阻 R10 的另一端串接电容 C3 后与开关 S3 的入端 3 脚、运算放大器 N2 的输出端 5 脚及电阻 R17 的一端并联连接，电阻 R17 另一端与运算放大器 N1 的正输入端 2 脚及电阻 R14 一端并联连接，开关 S1、S2、S3 的各控制端 2 脚与与门集成块 D1 的输出端 3 脚连接；鉴频鉴相器 (15) 的输出端 3、6 连在一起后与电阻 R15、R16 的一端连接，电阻 R15 的另一端接地端，电阻 R16 的另一端与电容 C6 的一端及运算放大器 N3 的正输入端 1 脚连接，电容 C6 的另一端接地端，电位器 RP2 的一个输入端接电源 (24) 出端 VC2 电压端后再串接电容 C11 接地端、另一个输入端接地端，电位器 RP2 的中间输出端与运算放大器 N3 的负输入端 2 脚连接，运算放大器 N3 的输出端 5 脚接电阻 R18 的一端，电阻 R18 的另一端与稳压管 W1 的稳压端、开关 S4 的控制端 2 脚、与门集成块 D1 的输入端 2 脚并联连接，稳压管 W1 的正端接地端；电源 (24) 出端 VC2 电压端与多谐振荡集成块 D2 的 4、8 两脚并联再串接电阻 R19 后与多谐振荡集成块 D2 的 7 脚连接，多谐振荡集成块 D2 的 2、6 两脚连在一起后串接电阻 R20 与多谐振荡集成块 D2 的 7 脚连接，多谐振荡集成块 D2 的 2、6 两脚还与开关 S4 入端 1 脚、电容 C9 的一端并联连接，开关 S4 入端 3 脚、电容 C9 的另一端接地端，多谐振荡集成块 D2 的 5 脚串接电容 C8 后接地端，多谐振荡集成块 D2 的输出端 3 脚和与门集成块 D1 的另外一个输入端 1 脚连接，多谐振荡集



成块 D2 的 1 脚接地端，运算放大器 N1 至 N4 各入端 3 脚与电源（24）出端 VC1 电压端并接、各入端 4 脚与接地端并接。



说 明 书

一种数字直接频率合成加锁相环式的宽带频率综合器

本实用新型涉及一种无线电通信领域中的频率源，特别适用于要求提供低相位噪声、低杂散的宽带小步进频率综合器。

目前无线电工程中用来实现宽带小步进频率综合器的方法很多，主要有以下几种方法：一种是采用锁相环路实现，但是它的体积、功耗、可靠性、最小步进、相位噪声、杂散等很难兼顾；第二种是采用模拟直接频率合成技术，这种方案也有同样的问题；第三种是采用数字直接频率合成技术，以下简称 DDS，我们知道 DDS 具有极低的相位噪声、极小的频率步进、极快的频率转换时间，但也存在某些点上的杂散比较大，在晶振频率提高时杂散会更加严重，这种方案用在几十 MHz 以下时比较合适，当用于上百 MHz 时它的杂散就难以满足高性能指标。

本实用新型的目的在于避免上述背景技术中的不足之处而提供一种既保留了 DDS 的极低的相位噪声、极小的频率步进的优点，又能使 DDS 的杂散功率在锁相环路带宽以内不增加、在锁相环路带宽以外得到抑制的数字直接频率合成加锁相环式的宽带频率综合器；并且本实用新型还具有电路及结构简单，易调试生产，体积小，成本低等特点，特别适合用作通信设备中的频率源。

本实用新型的设计理论如下：

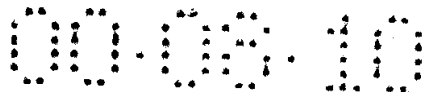
我们知道受 DDS 本身原理的限制，DDS 的输出必然存在杂散。在采用 DDS 加锁相环的方案中，以 DDS 的输出加到锁相倍频器的方案最为流行，在对杂散要求不高时，这种方案还可以应用，但是在对杂散要求比较严时，根据锁相原理在环路带宽以内的杂散与相位噪声的功率就要增加 ΔP ，

$$\Delta P = 20 \log N \quad (1)$$

式 (1) 中： ΔP 为杂散与相位噪声功率的相对增加量

N 为 DDS 输出频率的最终倍频比

由式 (1) 可知，当最终倍频比较大时，受锁相环本身特性的限制，以 DDS



的输出加到锁相倍频器的方案的杂散不可能做的很好；而且 DDS 优良的相位噪声性能也不会存在。本实用新型采用的方案 DDS 的输出频率不会倍增，而且条件允许时还可以通过分频后再加到相加锁相环上，这样环路带宽以内的杂散与相位噪声的功率还要衰减

$$\Delta P = -20 \log N \quad (2)$$

式(2)中： ΔP 为杂散与相位噪声功率的相对衰减量

N 为 DDS 输出频率的最终分频比

由此可知采用本实用新型避免直接锁倍 DDS 而造成在 PLL 环路带宽以内的杂散与相位噪声的恶化，从而提供一种宽带微步进具有优秀的杂散与相位噪声的频率源。

本实用新型的目的是这样实现的：它由前置分频器 1、鉴相器 2、环路滤波器 3、压控振荡器 4、频率设置器 5、程序分频器 6、直接数字频率合成器 7、低通滤波器 8、放大整形器 9、混频器 10、隔离放大器 11、压控振荡器 12、低通滤波器 13、放大整形器 14、鉴频鉴相器 15、环路滤波器 16、相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23、电源 24、晶体振荡器 25、可调电压产生器 26 组成。其中晶体振荡器 25 的输出端 1 脚与前置分频器 1 的输入端 1 脚相连，晶体振荡器 25 的输出端 2 脚与直接数字频率合成器 7 的输入端 2 脚相连，频率设置器 5 的输出端 1 脚与程序分频器 6 的输入端 2 脚相连，频率设置器 5 的输出端 2 脚与直接数字频率合成器 7 的输入端 1 脚相连，前置分频器 1 的输出端 2 脚与鉴相器 2 的输入端 1 脚相连，鉴相器 2 的输出端 3 脚与环路滤波器 3 的输入端 1 脚相连，环路滤波器 3 的输出端 2 脚与压控振荡器 4 的输入端 1 脚相连，压控振荡器 4 的输出端 2 脚与程序分频器 6 的输入端 1 脚相连，程序分频器 6 的输出端 3 脚与鉴相器 2 的输入端 2 脚相连，直接数字频率合成器 7 的输出端 3 脚与低通滤波器 8 的输入端 1 脚相连，低通滤波器 8 的输出端 2 脚与放大整形器 9 的输入端 1 脚相连，放大整形器 9 的输出端 2 脚与鉴频鉴相器 15 的输入端 1 脚相连，鉴频鉴相器 15 的输出端 4 脚与环路滤波器器 16 的输入端 1 脚相连，环路滤波器器 16 的输出端 2 脚与相加器 17 的输入端 1 脚相连，相加器 17 的输出端 3 脚与压控振荡器 12 的输入端 1 脚相连，压控振荡器 12 的输出端 2 脚与隔离放大



器 11 的输入端 1 脚相连，压控振荡器 12 的输出端 3 脚与输出端口 A 连接，隔离放大器 11 的输出端 2 脚与混频器 10 的输入端 1 脚相连，混频器 10 的输出端 3 脚与低通滤波器 13 的输入端 1 脚相连，低通滤波器 13 的输出端 2 脚与放大整形器 14 的输入端 1 脚相连，放大整形器 14 的输出端 2 脚与鉴频鉴相器 15 的输入端 2 脚相连，鉴频鉴相器 15 的输出端 3 脚与锁定检测器 19 的输入端 1 脚相连，锁定检测器 19 的输出端 2 脚与与门 23 的输入端 1 脚相连，锁定检测器 19 的输出端 3 脚与电子开关 18 的输入端 1 脚相连，电子开关 18 的输出端 2 脚与多谐振荡器 22 的输入端 1 脚相连，多谐振荡器 22 的输出端 2 脚与与门 23 的输入端 2 脚相连，与门 23 的输出端 4 脚与电子开关 20 的输入端 1 脚相连，电子开关 20 的输出端 2 脚与环路滤波器 16 输入端 3 脚相连，与门 23 的输出端 3 脚与采样保持器 21 的输入端 1 脚相连，采样保持器 21 的输出端 2 脚与相加器 17 的输入端 2 脚相连，环路滤波器 3 的输出端 3 脚与采样保持器 21 的输入端 3 脚相连，可调电压产生器 26 的输出端 1 脚电压 VC3 端与电子开关 20 的输入端 3 脚电压 VC3 端相连，电源 24 的输出端 VC1、VC2 与各级相应电源的输入端相连。

本实用新型的目的还可以通过以下措施达到：环路滤波器 16 由电阻 R5、R9、R10、R11、R12、R13、电容 C3、C4、C5、C7 和运算放大器 N2 组成；相加器 17 由电阻 R7、R8、R14、R17 和运算放大器 N1 组成；电子开关 18 由开关 S4 组成；锁定检测器 19 由电阻 R15、R16、R18、电位器 RP2、稳压管 W1、电容 C6 和运算放大器 N3 组成；电子开关 20 由开关 S2、S3 组成；采样保持器 21 由三极管 V1、V2、电阻 R1、R2、R3、开关 S1、电容 C1 组成；多谐振荡器 22 由电阻 R19、R20、电容 C8、C9 和多谐振荡集成块 D2 组成；与门 23 由与门集成块 D1 组成；可调电压产生器 26 由电阻 R4、R6、电位器 RP1 和运放 N4 组成，其中环路滤波器 3 的输出端 3 脚与三极管 V1 的基极连接，三极管 V1 的集电极接电源 24 的出端 VC1 电压端，三极管 V1 的发射极与电阻 R1 的一端、开关 S1 的输入端 1 脚并接，电阻 R1 的另一端接地端，开关 S1 的输出端 3 脚与电阻 R2、电容 C1 的一端及三极管 V2 的基极连接，电阻 R2、电容 C1 的另一端接地端，三极管 V2 的集电极接电源 24 的出端 VC1 电压端，三极管 V2 的发射极与电阻 R3、R14 一端连接，电阻 R3

的另一端接地端，电阻 R14 的另一端与运算放大器 N1 的正输入端 2 脚连接；电位器 RP1 的一端接电源 24 的出端 VC1 电压端，另一端接地端，电位器 RP1 的中间输出端与电阻 R4 的一端连接，电阻 R4 的另一端与运算放大器 N4 的正输入端 1 脚连接，运算放大器 N4 的负输入端 2 脚通过电阻 R6 后与运算放大器 N4 的输出端 5 脚连接，运算放大器 N4 的输出端 5 脚与开关 S3 的输入端 3 脚连接；运算放大器 N1 的负输入端 1 脚串接电阻 R8 后接地端，运算放大器 N1 的负输入端 1 脚并联串接电阻 R7 后与输出端 5 脚连接，运算放大器 N1 的输出端 5 脚与压控振荡器 12 的输入端 1 脚连接；鉴频鉴相器 15 的输出端 4 脚串接电阻 R9 后与电容 C4、电阻 R5 一端并接，电容 C4 的另一端接地端，电阻 R5 的另一端与开关 S2 入端 1 脚、电阻 R10 一端、运算放大器 N2 的负输入端 1 脚并联连接，鉴频鉴相器 15 的输出端 5 脚串接电阻 R11 后与电容 C5、电阻 R12 一端并接，电容 C5 的另一端接地端，电阻 R12 的另一端与开关 S3 入端 1 脚、电阻 R13 一端、运算放大器 N2 的正输入端 2 脚并联连接，电阻 R13 另一端串接电容 C7 后接地端，电阻 R10 的另一端串接电容 C3 后与开关 S3 的入端 3 脚、运算放大器 N2 的输出端 5 脚及电阻 R17 的一端并联连接，电阻 R17 另一端与运算放大器 N1 的正输入端 2 脚及电阻 R14 一端并联连接，开关 S1、S2、S3 的各控制端 2 脚与与门集成块 D1 的输出端 3 脚连接；鉴频鉴相器 15 的输出端 3、6 连在一起后与电阻 R15、R16 的一端连接，电阻 R15 的另一端接地端，电阻 R16 的另一端与电容 C6 的一端及运算放大器 N3 的正输入端 1 脚连接，电容 C6 的另一端接地端，电位器 RP2 的一个输入端接电源 24 出端 VC2 后再串接电容 C11 接地端、另一个输入端接地端，电位器 RP2 的中间输出端与运算放大器 N3 的负输入端 2 脚连接，运算放大器 N3 的输出端 5 脚接电阻 R18 的一端，电阻 R18 的另一端与稳压管 W1 的稳压端、开关 S4 的控制端 2 脚、与门集成块 D1 的输入端 2 脚并联连接，稳压管 W1 的正端接地端；电源 24 出端 VC2 电压端与多谐振荡集成块 D2 的 4、8 两脚并接再串接电阻 R19 后与多谐振荡集成块 D2 的 7 脚连接，多谐振荡集成块 D2 的 2、6 两脚连在一起后串接电阻 R20 与多谐振荡集成块 D2 的 7 脚连接，多谐振荡集成块 D2 的 2、6 两脚还与开关 S4 入端 1 脚、电容 C9 的一端并联连接，开关 S4 入端 3 脚、电容 C9 的另一端接地端，

多谐振荡集成块 D2 的 5 脚串接电容 C8 后接地端，多谐振荡集成块 D2 的输出端 3 脚和与门集成块 D1 的另外一个输入端 1 脚连接，多谐振荡集成块 D2 的 1 脚接地端，运算放大器 N1 至 N4 各入端 3 脚与电源 24 出端 VC1 电压端并接、各入端 4 脚与接地端并接。

本实用新型与背景技术相比有如下优点：

1. 本实用新型中采用了混频器 10、隔离放大器 11、压控振荡器 12、低通滤波器 13、放大整形器 14、鉴频鉴相器 15、环路滤波器 16、相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23 组成的大步进频率综合器与微步进频率综合器的相加锁相环，从而实现了宽频带内的微步进。由于在相加锁相环的环路带宽内微步进频率综合器（DDS）频率没有倍乘，所以在相加锁相环的环路带宽内 DDS 的杂散与相位噪声不会增加，而在相加锁相环的环路带宽外 DDS 的杂散与相位噪声还会被抑制。因而在杂散性能上本实用新型有着比背景技术好的多的杂散性能。

2. 本实用新型所用元器件集成化程度高，对元器件无苛刻要求，并且体积小，对环境适应能力强，在工程上有广泛的实用价值。

3. 本实用新型结构简易，电路简单易调整，成本低廉，具有推广应用价值。

以下结合附图对本实用新型作进一步详细描述。

图 1 是本实用新型的电原理方框图。

图 2 是本实用新型的环路滤波器 16、相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23、可调电压产生器 26 的一种实施例电原理图。

参照图 1、图 2，本实用新型由前置分频器 1、鉴相器 2、环路滤波器 3、压控振荡器 4、频率设置器 5、程序分频器 6、直接数字频率合成器 7、低通滤波器 8、放大整形器 9、混频器 10、隔离放大器 11、压控振荡器 12、低通滤波器 13、放大整形器 14、鉴频鉴相器 15、环路滤波器 16、相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23、电源 24、晶体振荡器 25、可调电压产生器 26 组成。其中由前置分频器 1、鉴相器 2、环路滤波器 3、

压控振荡器 4、频率设置器 5、程序分频器 6 与频率设置器 5、电源 24、晶体振荡器 25 一同组成大步进频率综合器；其作用是让整个频率综合器提供大的频率步进，从而覆盖整个所需的频率范围。其中由频率设置器 5、电源 24、晶体振荡器 25 与直接数字频率合成器（简称 DDS）7、低通滤波器 8 一同组成微步进频率综合器；其作用是让整个频率综合器提供覆盖任意两个相邻的大频率步进之间的微步进，从而在整个所需的频率范围内实现微步进。晶体振荡器 25 为整个频率综合器提供高稳定的参考信号源；频率设置器 5 为设置频率综合器的频率而提供设置接口，它可以是微机、也可以是编码盘；放大整形器 9 与放大整形器 14 的作用是提供合适的电平给鉴频鉴相器 15，放大整形器 9 对 DDS7 的杂散也有一定的抑制作用；其中混频器 10、隔离放大器 11、压控振荡器 12、低通滤波器 13、放大整形器 14、鉴频鉴相器 15、环路滤波器 16 构成相加锁相环，其作用是将大步进频率综合器提供的大步进、宽的覆盖范围与 DDS7 提供的微步进有机的结合起来，从而在整个所需的频率范围内实现微步进；由相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23、可调电压产生器 26 构成辅助扫描电路，其作用是保证相加锁相环在频率转换时的正确锁定以及由于各种原因造成的失锁时的重新扫描捕获。实施例本实用新型中宽带微步进频率综合器的大步进频率综合器中前置分频器 1、鉴相器 2、环路滤波器 3、压控振荡器 4、程序分频器 6 与频率设置器 5、电源 24、晶体振荡器 25 各部件的原理用法都参考人民邮电出版社 84 年出版的《频率合成技术》一书中的通用电路作用原理，各部件电路均采用市场销售的通用的相应集成电路制作。DDS7 的选择可以参考美国 AMD 等生产厂家的电路参考资料。相加锁相环的作用原理也参考人民邮电出版社 84 年出版的《频率合成技术》一书中的通用电路作用原理及市场销售的通用的相应集成电路及器件制作。简单作用原理描述如下：假设 DDS7 的输出频率为 F_D ，大步进频率综合器的输出频率为 F_1 ，压控振荡器 12 的输出频率为 F_0 ，放大整形器 14 的输出频率为 F_A ，根据锁相环路的工作原理，当环路锁定后， $F_A = F_D$ ； $F_A = F_0 - F_1$ （或 $F_A = F_1 - F_0$ 但此时环路滤波器 16 的设置与 $F_A = F_0 - F_1$ 反相），所以输出频率 $F_0 = F_1 + F_A = F_1 + F_D$ ，由此可见相加锁相环完成了大步进频率综合器的输出频率与 DDS 的输出频率

的相加。当环路失锁时，设 $F_1 > F_0$ ，则放大整形器 14 的输出频率 $F_A = F_1 - F_0$ ，当 $F_A > F_D$ 时，由于鉴频鉴相器 15 的鉴频作用推出环路滤波器 16 的输出电平下降，再推出压控振荡器 12 的输出频率 F_0 下降，由放大整形器 14 的输出频率 $F_A = F_1 - F_0$ ，再推出 F_A 增大，一直到环路滤波器 16 的输出电平下降到最底点后 F_A 才基本稳定，相加锁相环不会入锁；当环路失锁时，设 $F_1 < F_0$ ，则放大整形器 14 的输出频率 $F_A = F_1 - F_0$ ，若 F_A 大于低通滤波器 13 的截止频率，则同样可以推出，直到环路滤波器 16 的输出电平上升到运放的最高输出电平后才基本稳定，相加锁相环也不会入锁；相加锁相环可以自己入锁的范围为当 $F_1 > F_0$ 时为 $F_1 - F_0 < F_D$ ，当 $F_1 < F_0$ 时为 $F_0 - F_1 < F_L$ ，其中 F_L 为低通滤波器 13 的截止频率。所以由上所述，相加锁相环必须附加扫描电路才能稳定工作。图 1 是本实用新型的电原理方框图，实施例组成的大步进频率综合器、微步进频率综合器、相加锁相环、辅助扫描电路按图 1 方框原理图连接线路，组成本实用新型。

本实用新型的环路滤波器 16 由电阻 R5、R9、R10、R11、R12、R13、电容 C3、C4、C5、C7 和运算放大器 N2 组成；相加器 17 由电阻 R7、R8、R14、R17 和运放 N1 组成；电子开关 18 由开关 S4 组成；锁定检测器 19 由电阻 R15、R16、R18、电位器 RP2、稳压管 W1、电容 C6 和运算放大器 N3 组成；电子开关 20 由开关 S2、S3 组成；采样保持器 21 由三极管 V1、V2、电阻 R1、R2、R3、开关 S1、电容 C1 组成；多谐振荡器 22 由电阻 R19、R20、电容 C8、C9 与一只多谐振荡集成块 D2 组成；与门 23 由与门 D1 组成，可调电压产生器 26 由电阻 R4、R6、电位器 RP1 和运放 N4 组成。锁定检测器 19 的作用是正确的判断相加锁相环的入锁与否，其实质就是用运放 N3 作为单电压比较器，当相加锁相环失锁时出电平 '1'，当相加锁相环入锁时出电平 '0'。多谐振荡器 22 的作用是产生方波振荡。电子开关 18 的作用是当相加锁相环的入锁时（电平 '0'），使多谐振荡器 22 停止振荡，以避免对相加锁相环的输出形成干扰；当相加锁相环失锁时，使多谐振荡器 22 产生方波振荡，从而形成相加锁相环的预置扫描。与门 23 的作用是当相加锁相环入锁时（控制电平 '0'），使多谐振荡器 22 的输出不论为何种状态，都使扫描停止；当相加锁相环失锁时，使多谐振荡器 22 的输出通过从而形成相加锁相环的预置扫描。电子



开关 20 的作用是当相加锁相环失锁时，在多谐振荡器 22 的控制下（与门 23 出电平 '1' 时）对环路滤波器 16 预置一个起始扫描电压，而后在多谐振荡器 22 的控制下（与门 23 出电平 '0' 时）断开预置，让环路滤波器 16 在鉴频鉴相器 15 的控制下进行扫描，如果扫描一次不能入锁在多谐振荡器 22 的控制下重复预置扫描的过程直至入锁；当相加锁相环的入锁时，与门 23（与门 23 出电平 '0'）断开预置，使环路滤波器 16 正常的工作。采样保持器 21 的作用是当相加锁相环路失锁时，在多谐振荡器 22 的控制下（与门 23 出电平 '1' 时）对大步进频率综合器的环路滤波器 3 的输出电压进行采样，而后在多谐振荡器 22 的控制下（与门 23 出电平 '0'）采样保持器 21 进入保持状态，如果在此期间相加锁相环路入锁，采样保持器 21 保存在电容 C1 中的电荷就通过三极管 V1、电阻 R1 缓慢放掉，直到采样保持器 21 的输出电压为 0V；如果在此期间相加锁相环路没有入锁，保存在电容 C1 中的电荷放掉一小部分后，在多谐振荡器 22 的控制下（与门 23 出电平 '1'）采样保持器 21 又重新进入采样。相加器 17 的作用是完成采样保持器 21 的输出电压与环路滤波器 16 的输出电压同相相加。可调电压产生器 26 的作用是产生低输出电阻的可变电压 VC3。实施例中的运算放大器 N3、N4 采用一只市售 TL072 型的集成块来实现；运算放大器 N1、N2 分别采用一只市售 NE5534 型的集成块来实现；电位器 RP1、RP2 由市售的 3296 型多圈电位器实现；开关 S4、S3 采用一只市售 MAX325 型的集成电子开关实现，S4 用 MAX325 的常闭开关；开关 S1、S2 采用一只市售 MAX323 型的集成电子开关实现；多谐振荡集成块 D2 采用一只 NE555 型的集成电子器件实现；与门 23 采用一只市售 74HC08 型的集成电子器件实现；三极管 V1、V2 均采用普通市售 BY316 型的晶体管实现；稳压管 W1 采用一只市售 2CW53 型的稳压管实现。

本实用新型电路中的电阻 R、电容 C 元器件均采用市售通用表面贴装元器件制作。电源 24 采用市售通用直流稳压电源。其输出 VC1 为+15V 电压，其输出 VC2 为+5V 电压，为各级提供电源。

由于电子产品的多种多样性，因此本实用新型还可以采用其它方式的实施例，如：采样保持器 21 还有其它形式的分立元件或有现成的集成电路来实现；相加器

17 也可以用运放反相相加或用分立元件来实现；与门 23 也可以用与非门再加非门实现；锁定检测器 19 除用运放实现外也可以用现成的比较器或用分立元件来实现；多谐振荡器 22 除用多谐振荡集成块 D2 实现外也可以用其它形式的多谐振荡器来实现，图 2 仅示出了所有可实现方式的一种实施例。

本实用新型的工作原理如下：在频率设置时，当大步进频率综合器的锁相环路入锁后，如果相加锁相环路没有入锁，锁定检测器 19 输出电平 '1'，开关 S4 断开，多谐振荡器 22 产生方波振荡，与门 23 输出同相的方波，在方波电平为 '1' 的期间，与门 23 输出控制采样保持器 21 的开关 S1 导通从而完成对大步进频率综合器的环路滤波器 3 的输出电压进行采样、同时控制开关 S3、S2 使环路滤波器 16 在此期间作为电压跟随器输出可调电压产生器 26 电压 VC3，这样相加器 17 的输出电压就含有与应输出频率相关的控制电压，相加器 17 的输出电压加到压控振荡器 12 上，使压控振荡器 12 的输出频率总大于大步进频率综合器的输出频率（这可以通过调整可调电压产生器 26 的电位器 RP1 得到）；在方波电平为 '0' 的瞬间，开关 S1、S2、S3 断开，由于电容 C1、C3、C7 上的电压不能突变，所以此时相加器 17 的输出电压仍保持原来的电压值，压控振荡器 12 的输出频率仍保持原来的频率，因此放大整形器 14 的输出频率等于压控振荡器 12 的输出频率减大步进频率综合器的输出频率；在方波振荡电平为 '0' 的期间，断开开关 S1、S2、S3 从而使采样保持器 21 处于保持状态，同时环路滤波器 16 作为真正的环路滤波器起作用，闭合锁相环路，在鉴频鉴相器 15 的作用下，相加器 17 的输出电压就朝正确锁定的方向变化，一直到相加锁相环路入锁；环路入锁后，锁定检测器 19 输出电平 '0'，开关 S4 导通，多谐振荡器 22 停止振荡，与门 23 输出 '0' 电平，断开开关 S1 从而使采样保持器 21 处于保持状态，采样保持器 21 保存在电容 C1 中的电荷就通过三极管 V1、电阻 R1 缓慢放掉，因此采样保持器 21 的输出电压缓慢下降直到降为 0V，同时环路滤波器 16 的输出电压由于环路的作用缓慢上升，直到相加器 17 的输出电压只含有来自环路滤波器 16 的输出电压。如果由于 DDS 没输出等原因相加锁相环路没有入锁，在多谐振荡器 22 的控制下相加锁相环路就处在采样、预置和保持、扫描的重复过程中，直至环路入锁。

本实用新型的安装结构如下：整机安装在一块长×宽为 120×95mm 的四层印制版上，印制版安装在一只长×宽×高为 120×95×19mm 的屏蔽盒内。屏蔽盒内把印制版隔离成五部分：图 1 中的前置分频器 1、鉴相器 2、环路滤波器 3、程序分频器 6、直接数字频率合成器（DDS）7、低通滤波器 8 的印制版占用盒内一块长×宽为 85×35mm 的隔离部分；压控振荡器 4、压控振荡器 12 的印制版各分别占用屏蔽盒内一块长×宽为 28×35mm 的隔离部分；放大整形器 9、放大整形器 14、鉴频鉴相器 15、环路滤波器 16、相加器 17、电子开关 18、锁定检测器 19、电子开关 20、采样保持器 21、多谐振荡器 22、与门 23、可调电压产生器 26 的印制版共同占用屏蔽盒内一块长×宽为 72×51mm 的隔离部分；混频器 10、隔离放大器 11、低通滤波器 13 的印制版占用屏蔽盒内一块长×宽为 39×17mm 的隔离部分；在屏蔽盒的盒壁上安装压控振荡器 12 的输出 SMA 插座，晶体振荡器 25 的输出到宽带频率综合器的 SMA 插座，频率设置器 5、电源 24 输出到宽带频率综合器的 20 芯扁平插座，组装成本实用新型装置。

说明书附图

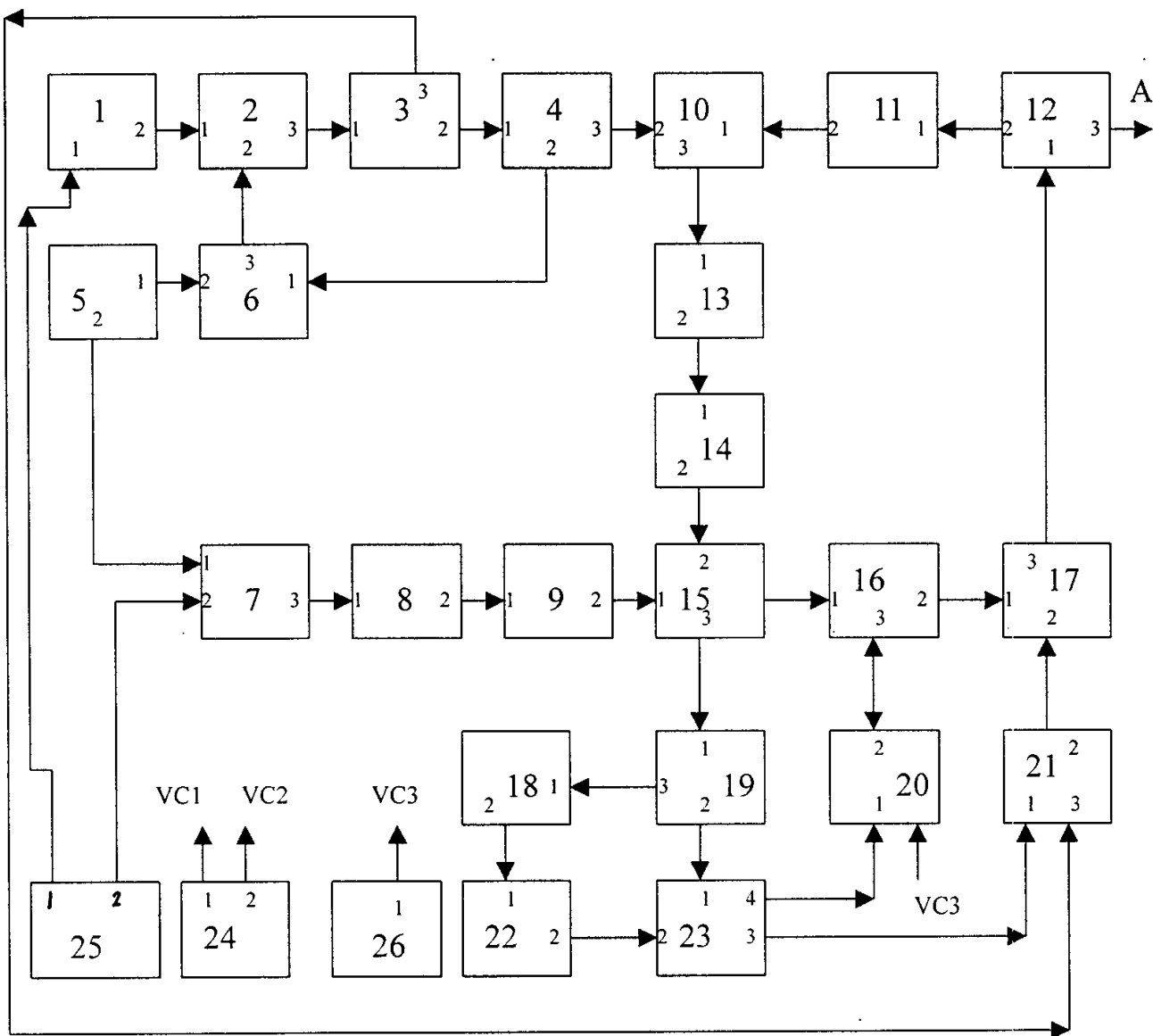


图 1

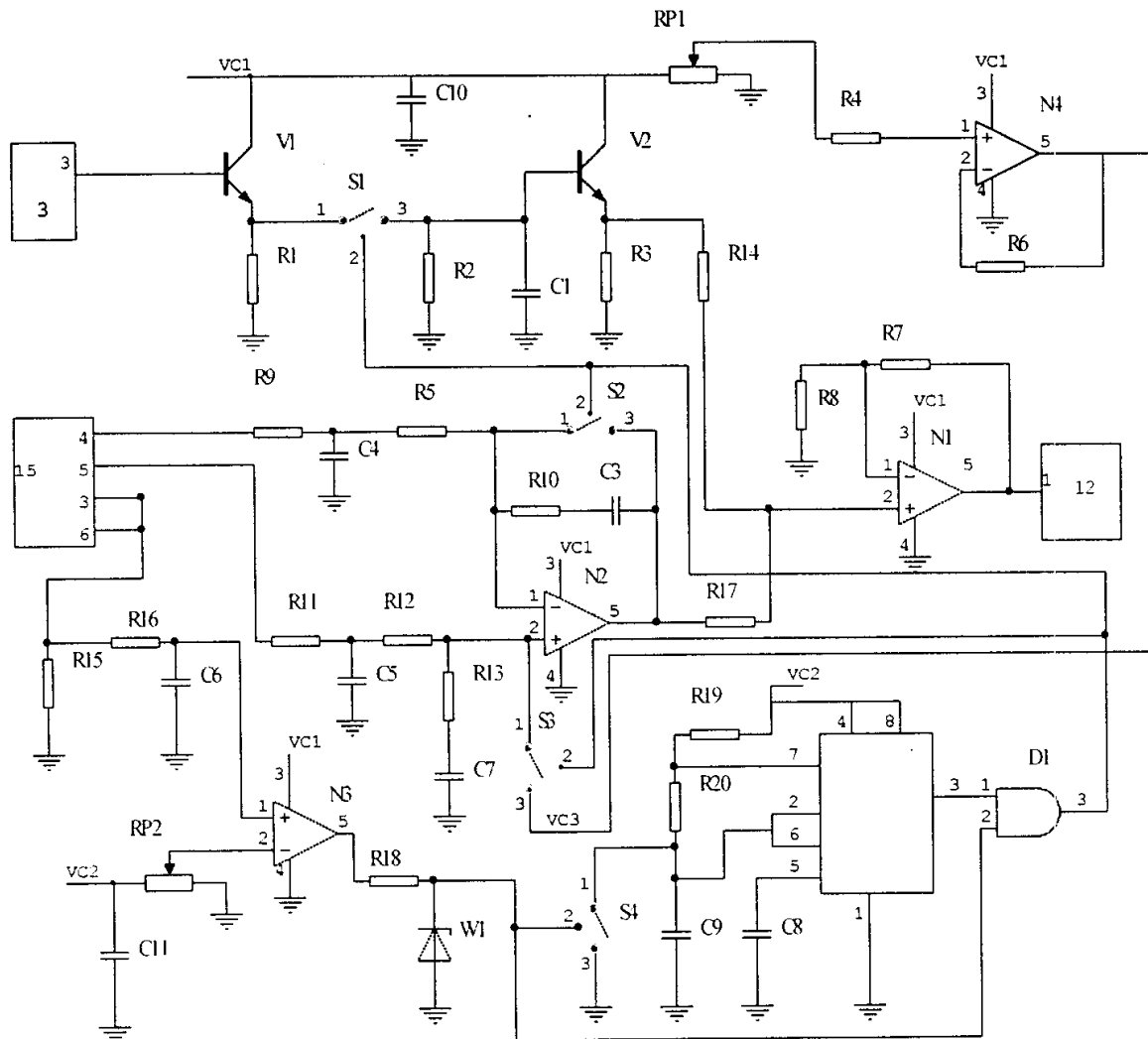


图 2