



(12)发明专利

(10)授权公告号 CN 103389961 B

(45)授权公告日 2017. 10. 27

(21)申请号 201310168083.0

(51)Int.Cl.

(22)申请日 2013.05.06

G06F 15/167(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103389961 A

(56)对比文件

US 2009/0037658 A1, 2009.02.05,

US 2009/0083493 A1, 2009.03.26,

(43)申请公布日 2013.11.13

审查员 张艳春

(30)优先权数据

10-2012-0048455 2012.05.08 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道水原市

(72)发明人 李会镇 申荣敏

(74)专利代理机构 北京铭硕知识产权代理有限公司
11286

代理人 王艳娇 郑玉

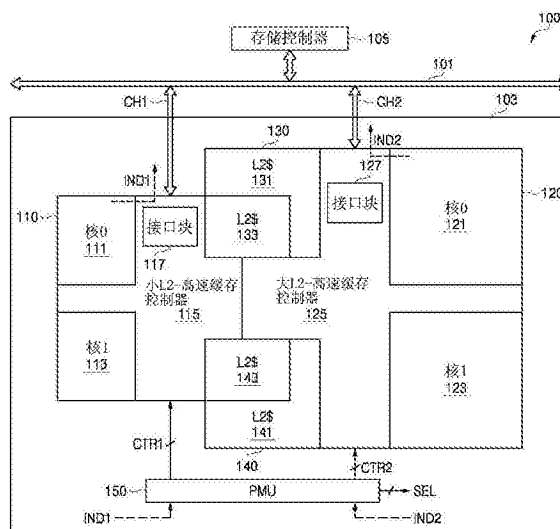
权利要求书3页 说明书11页 附图12页

(54)发明名称

多CPU系统以及具有多CPU系统的计算系统

(57)摘要

一种多CPU系统以及具有多CPU系统的计算系统,其中,一种多CPU数据处理系统,包括:多CPU处理器,包括:第一CPU,被配置有至少一个第一核、第一高速缓存器和被配置为访问第一高速缓存器的第一高速缓存控制器;第二CPU,被配置有至少一个第二核和被配置为访问第二高速缓存器的第二高速缓存控制器,其中,第一高速缓存器被配置为来自第二高速缓存器的共享的部分。



1. 一种多CPU数据处理系统,包括:

多CPU处理器,包括:

第一CPU,被配置有至少一个第一核、第一高速缓存器和配置为访问第一高速缓存器的第一高速缓存控制器;

第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二高速缓存器的第二高速缓存控制器,其中,第一高速缓存器被配置为来自第二高速缓存器的共享的部分。

2. 如权利要求1所述的系统,还包括:共享的电路,被配置为基于选择信号从第一高速缓存控制器或第二高速缓存控制器将数据输入到第一高速缓存器。

3. 如权利要求1所述的系统,还包括:电源管理单元,被配置为输出控制信号来在第一CPU、第二CPU、第一高速缓存器中独立地控制打开和关闭电源。

4. 如权利要求3所述的系统,其中,电源管理单元还被配置为选择性地切换排除了第一高速缓存器的第一CPU和排除了第一高速缓存器的第二CPU之间的电源,同时保持第一高速缓存器的电源打开。

5. 如权利要求2所述的系统,其中,第一高速缓存器和共享的电路被嵌入在第一片上系统SoC中,排除了第一高速缓存器的第一CPU被嵌入在第二片上系统SoC中。

6. 如权利要求5所述的系统,其中,排除了第一高速缓存器的第一CPU被实现在第一电源域中,排除了第一高速缓存器的第二CPU被实现在第二电源域中,第一高速缓存器被实现在第三电源域中,其中,每个电源域是独立可控的。

7. 一种多CPU数据处理系统,包括:

第一CPU,被配置有至少一个第一核、第一高速缓存器和被配置为访问来自第一高速缓存器的数据的第一高速缓存控制器;

第二CPU,被配置有至少一个第二核、第二高速缓存器和被配置为访问来自第二高速缓存器的数据的第二高速缓存控制器,其中,第一高速缓存器被配置为来自第二高速缓存器的共享的部分,

其中,排除了第一高速缓存器的第一CPU被实现在第一模具中,第二CPU被实现在第二模具中。

8. 如权利要求7所述系统,还包括:共享的电路,被配置为基于选择信号将数据从第一高速缓存器输出到第一高速缓存控制器或第二高速缓存控制器,其中,共享的电路被实现在第二模具中。

9. 如权利要求8所述的系统,其中,共享的电路的控制信号线包括在第一模具和第二模具之间连接的通过硅通孔。

10. 如权利要求7所述的系统,其中,第一CPU和第二CPU还包括L1高速缓存器,L1高速缓存器和第一高速缓存器被实现在共同基片上。

11. 如权利要求7所述的系统,其中,第一CPU和第二CPU还包括L1高速缓存器,至少一条地址线对于L1高速缓存器和第一高速缓存器是共用的。

12. 如权利要求7所述的系统,其中,排除了第一高速缓存器的第一CPU被布置在第一电源域中,排除了第一高速缓存器的第二CPU被布置在第二电源域中,第一高速缓存器被布置在第三电源域中。

13. 如权利要求12所述的系统,还包括:电源管理单元,被配置为选择性地将电源施加

到第一电源域和第二电源域,同时保持第三电源域处于电源打开。

14. 如权利要求7所述的系统,其中,所述系统被实现在智能手机、膝上型计算机或平板电脑中的一个中。

15. 如权利要求7所述的系统,其中,第一高速缓存器是L2或L3高速缓存器中的一个。

16. 一种使用多CPU处理器的数据处理方法,包括:

由第一CPU经由第一高速缓存控制器访问第一高速缓存器;

由第二CPU经由第二高速缓存控制器访问第二高速缓存器,其中,第一高速缓存器被配置为来自第二高速缓存器的共享的部分;

在没有第一高速缓存器的清空操作的情况下,从第一CPU到第二CPU切换高速缓存器访问操作。

17. 如权利要求16所述的方法,还包括:基于选择信号对从第一CPU或第二CPU输入到第二高速缓存器的数据进行多路复用。

18. 如权利要求16所述的方法,还包括:在没有监听的情况下,从第一CPU到第二CPU的切换高速缓存器访问操作。

19. 如权利要求16所述的方法,还包括:从第二CPU到第一CPU的切换高速缓存器访问操作,并且在第二高速缓存器的非共享的部分上执行清空操作。

20. 如权利要求16所述的方法,还包括:从第二CPU到第一CPU的切换高速缓存器访问操作,并且在第二高速缓存器的非共享的部分上执行监听操作。

21. 一种处理器,包括:

第一CPU,被配置有至少一个第一核、第一高速缓存器和配置为访问第一高速缓存器的第一高速缓存控制器;

第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二高速缓存器的第二高速缓存控制器,第二高速缓存器在存储容量方面比第一高速缓存器大;

多路复用器,被配置为基于选择信号,经由第一高速缓存控制器将数据从第一核传递到第一高速缓存器,或者经由第二高速缓存控制器将数据从第二核传递到第一高速缓存器;

多路解复用器,被配置为基于选择信号经由第一高速缓存控制器将数据从第一高速缓存器传递到第一核,或者经由第二高速缓存控制器将数据从第一高速缓存器传递到第二核。

22. 如权利要求21所述的处理器,其中,第一高速缓存器被配置为来自第二高速缓存器的共享的部分。

23. 一种多CPU数据处理系统,包括:

多CPU处理器,包括:

第一CPU,被配置有至少一个第一核、第一高速缓存器和配置为访问第一高速缓存器的第一高速缓存控制器;

第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二高速缓存器的第二高速缓存控制器,其中,第一高速缓存器被配置来自第二高速缓存器的共享的部分;

电源管理单元,被配置为选择性地提供电源到排除了第一高速缓存器的第一CPU,排除了第一高速缓存器的第二CPU,同时保持将电源提供给第一高速缓存器;

存储控制器,被配置为经由总线控制存储器与多CPU系统之间的数据通信。

24. 如权利要求23所述的系统,其中,电源管理单元还被配置为输出控制信号来独立地控制第一CPU和第二CPU的打开和关闭电源,同时保持第一高速缓存器的电源打开。

25. 如权利要求23所述的系统,其中,排除了第一高速缓存器的第一CPU被配置在第一电源域中,排除了第一高速缓存器的第二CPU被配置在第二电源域中,第一高速缓存器被配置在第三电源域中。

26. 如权利要求25所述的系统,其中,电源管理单元还被配置为选择性地在第一电源域和第二电源域之间切换电源打开,同时保持第三电源域电源打开。

27. 如权利要求23所述的系统,其中,所述系统被实现在智能手机、膝上型计算机或平板电脑中的一个中。

多CPU系统以及具有多CPU系统的计算系统

[0001] 本申请要求于2012年5月8日提交的第10-2012-0048455号韩国专利申请的优先权,其公开通过全部引用合并于此。

技术领域

[0002] 本发明构思的实施例涉及多中央处理单元(CPU)系统,具体地,涉及包括由两个CPU共享的2级(L2)高速缓存器的多CPU系统和具有所述多CPU系统的计算系统。

背景技术

[0003] 随着CPU的操作频率变高,CPU的功耗增加。动态频率和电压调节(DVFS)是用于优化CPU操作频率和功耗的一种技术。

[0004] 在多CPU系统中,CPU资源(诸如,高速缓存器)的共享会增加芯片密度并减少功耗;然而,折衷可能在增加的处理和操作中,例如,为了保持高速缓存器一致性。

[0005] 例如,当高速缓存器由多于一个的CPU共享时,当共享的高速缓存器的使用从一个CPU切换到另一个CPU时,需要数据清空(flush)和监听(snoop)。额外清空和监听操作会增加处理延迟,并影响多CPU系统的整体性能。

发明内容

[0006] 根据本发明构思的实施例,提供一种多CPU数据处理系统,包括:多CPU处理器,包括:第一CPU,被配置有至少一个第一核、第一L2高速缓存器和被配置为访问第一L2高速缓存器的第一高速缓存控制器;第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二L2高速缓存器的第二高速缓存控制器,其中,第一L2高速缓存器被配置为来自第二L2高速缓存器的共享的部分。

[0007] 根据本发明构思的实施例,所述系统还包括:共享的电路,被配置为基于选择信号从第一高速缓存控制器或第二高速缓存控制器将数据输入到第一L2高速缓存器,其中,共享的电路包括:多路复用器,被配置为选择输入到第一L2高速缓存器的数据;多路解复用器,被配置为基于选择信号传递从第一L2高速缓存器读取的数据以输出到第一高速缓存控制器或第二高速缓存控制器。

[0008] 根据本发明构思的实施例,所述系统还包括:电源管理单元,被配置为输出控制信号来在第一CPU、第二CPU、第一L2高速缓存器中独立地控制打开和关闭电源,其中,电源管理单元还被配置为选择性地切换排除了第一L2高速缓存器的第一CPU和第二CPU之间的电源,同时保持第一L2高速缓存器的电源打开。

[0009] 根据本发明构思的实施例,第一L2高速缓存器和共享的电路被嵌入在第一SoC中,排除了第一L2高速缓存器的第一CPU被嵌入在第二SoC中。

[0010] 根据本发明构思的实施例,排除了第一L2高速缓存器的第一CPU被实现在第一电源域中,排除了第一L2高速缓存器的第二CPU被实现在第二电源域中,第一L2高速缓存器被实现在第三电源域中,其中,每个电源域是独立可控的。

[0011] 根据本发明构思的实施例,所述系统还包括:接口块,被配置为连接多CPU处理器与存储装置、显示器和无线接口块。

[0012] 根据本发明构思的实施例,所述系统被实现在智能手机、膝上型计算机或平板电脑中的一个中。

[0013] 根据本发明构思的实施例,提供一种多CPU数据处理系统,包括:第一CPU,被配置有至少一个第一核、第一L2高速缓存器和被配置为访问来自第一L2高速缓存器的数据的第一高速缓存控制器;第二CPU,被配置有至少一个第二核、第二高速缓存器和被配置为访问来自第二L2高速缓存器的数据的第二高速缓存控制器,其中,第一L2高速缓存器被配置为来自第二L2高速缓存器的共享的部分,其中,排除了第一L2高速缓存器的第一CPU被实现在第一模具中,第二CPU被实现在第二模具中。

[0014] 根据本发明构思的实施例,所述系统还包括:共享的电路,被配置为基于选择信号将数据从第一L2高速缓存器输出到第一L2高速缓存控制器或第二L2高速缓存控制器,其中,共享的电路被实现在第二模具中,其中,共享的电路的控制信号线包括在第一模具和第二模具之间连接的通过硅通孔(TSV),并且通过TSV进行由第一CPU将数据写入第一L2高速缓存器/从第一L2高速缓存器读取数据。

[0015] 根据本发明构思的实施例,第一CPU和第二CPU还包括L1高速缓存器,L1高速缓存器和L2高速缓存器被实现在共同基片上,并且至少一条地址线对于L1高速缓存器和L2高速缓存器两者是共用的。

[0016] 根据本发明构思的实施例,所述系统还包括:电源管理单元,被配置为选择性地将电源施加到第一电源域和第二电源域,同时保持第三电源域处于电源打开。

[0017] 根据本发明构思的实施例,提供一种使用多CPU处理器的数据处理方法,包括:由第一CPU经由第一高速缓存控制器访问第一L2高速缓存器;由第二CPU经由第二高速缓存控制器访问第二L2高速缓存器,其中,第一L2高速缓存器被配置为来自第二L2高速缓存器的共享的部分。

[0018] 根据本发明构思的实施例,所述方法包括:基于选择信号对从第一CPU或第二CPU输入到第二L2高速缓存器的数据进行多路复用。

[0019] 根据本发明构思的实施例,所述方法包括:在没有第一L2高速缓存器的清空和监听的情况下,从第一CPU到第二CPU切换高速缓存器访问操作。

[0020] 根据本发明构思的实施例,所述方法还包括:从第二CPU到第一CPU切换高速缓存器访问操作,并且在第二L2高速缓存器的非共享的部分上执行清空或监听操作。

[0021] 根据本发明构思的实施例,所述方法还包括:通过共同地址线来访问L1高速缓存器或L2高速缓存器。

[0022] 根据本发明构思的实施例,所述方法还包括:连接处理器与存储装置、显示器和无线接口块。

[0023] 根据本发明构思的实施例,提供一种便携式计算装置,包括:第一CPU,被配置有至少一个第一核、第一L2高速缓存器和配置为访问第一L2高速缓存器的第一高速缓存控制器;第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二L2高速缓存器的第二高速缓存控制器,其中,第一L2高速缓存器被配置为来自第二L2高速缓存器的共享的部分。

[0024] 根据本发明构思的实施例,所述装置还包括:无线收发器,被配置为无线地接收和发送数据。

[0025] 根据本发明构思的实施例,提供一种处理器,包括:第一CPU,被配置有至少一个第一核、第一L2高速缓存器和配置为访问第一L2高速缓存器的第一高速缓存控制器;第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二L2高速缓存器的第二高速缓存控制器,第二L2高速缓存器在存储容量方面比第一L2高速缓存器大;多路复用器,被配置为基于选择信号,经由第一高速缓存控制器将数据从第一核传递到第一L2高速缓存器,或者经由第二高速缓存控制器将数据从第二核传递到第一L2高速缓存器;多路解复用器,被配置为基于选择信号经由第一高速缓存控制器将数据从第一L2高速缓存器传递到第一核,或者经由第二高速缓存控制器将数据从第一L2高速缓存器传递到第二核,其中,第一L2高速缓存器被配置为来自第二L2高速缓存器的共享的部分,并且L1高速缓存器和L2高速缓存器被实现在共同基片上。

[0026] 根据本发明构思的实施例,提供一种多CPU数据处理系统,包括:多CPU处理器,包括:第一CPU,被配置有至少一个第一核、第一L2高速缓存器和配置为访问第一L2高速缓存器的第一高速缓存控制器;第二CPU,被配置有至少一个第二核、第二高速缓存器和配置为访问第二L2高速缓存器的第二高速缓存控制器,其中,第一L2高速缓存器被配置来自第二L2高速缓存器的共享的部分;电源管理单元,被配置为选择性地将电源提供到排除了第一高速缓存器的第一CPU,排除了第一高速缓存器的第二CPU,同时保持将电源提供给第一高速缓存器;存储控制器,被配置为经由总线控制存储器与多CPU系统之间的数据通信。

附图说明

[0027] 通过下面结合附图对实施例进行的描述,本发明构思的这些和/或其它方面将变得清楚和更容易理解,其中:

[0028] 图1A是根据本发明构思的示例实施例的多中央处理单元(CPU)系统的示意框图;

[0029] 图1B是包括图1A的多CPU系统的计算系统的框图;

[0030] 图2是集成到图1A的第二CPU的2级(L2)高速缓存器的示意框图;

[0031] 图3是示出图1A的多CPU的电源域的框图;

[0032] 图4A和图4B示出图1A的多CPU的CPU调节的示例实施例;

[0033] 图5是根据本发明构思的示例实施例的CPU调节处理的流程图;

[0034] 图6A、图6B、图6C和图6D示出图1A的多CPU的CPU调节的另一示例实施例;

[0035] 图7是根据本发明构思的示例实施例的另一CPU调节处理的流程图;

[0036] 图8是根据本发明构思的另一示例实施例的多CPU系统的示意框图;

[0037] 图9是根据本发明构思的示例实施例的电路板组件的框图;

[0038] 图10是根据本发明构思的示例实施例的计算机平台;

[0039] 图11是根据本发明构思的示例实施例的包括多CPU系统的计算系统;

[0040] 图12是根据本发明构思的示例实施例的制造多CPU系统的方法的流程图。

具体实施方式

[0041] 图1A是根据本发明构思的示例实施例的多中央处理单元(CPU)系统的示意框图。

[0042] 参考图1A,多CPU系统100包括系统总线101、多CPU103和存储控制器105。这里,多CPU系统100可被实现在片上系统(SoC)中。例如,多CPU系统100可通过使用单个掩模来实现。

[0043] 多CPU103可包括第一CPU110和第二CPU120。根据示例实施例,多CPU103可还包括电源管理单元(PMU)150。

[0044] 为了方便说明,在图1A中示出包括两个CPU110和CPU120的多CPU103;然而,本发明构思可被应用于包括多于两个CPU的多CPU。

[0045] 第一CPU110可包括至少一个第一CPU核111和113和第一2级(L2)高速缓存控制器115。因此,第一CPU110可被实现在多核CPU中。所述至少一个第一CPU核111和113可包括1级(L1)高速缓存器(未示出),例如,指令高速缓存器和数据高速缓存器。所述至少一个第一CPU核111和113可还包括用于与第一2级(L2)高速缓存控制器115通信的外围电路。

[0046] 第一L2高速缓存控制器115还可包括:通过第一通信信道CH1与系统总线101连接的第一接口块117。

[0047] 第二CPU120可包括至少一个第二CPU核121和123、第二L2高速缓存控制器125和至少一个L2高速缓存器130和140。因此,第二CPU120可被实现在多核CPU中。所述至少一个第二CPU核121和123可包括L1高速缓存器(未示出),例如,指令高速缓存器和数据高速缓存器。所述至少一个第二CPU核121和123可还包括用于与第二L2高速缓存控制器125通信的外围电路。

[0048] 第二L2高速缓存控制器125可包括通过第二通信信道CH2与系统总线101连接的第二接口块127。

[0049] 这里,第一L2高速缓存控制器115和第二L2高速缓存控制器125可被实现在单独的结构中,独立地操作,并且通过通信信道CH1和CH2单独地与系统总线101通信。

[0050] 除了相应的L1高速缓存器,第一CPU110和第二CPU120中的每一个还包括相应的L2高速缓存器。为了说明本实施例的目的,组件的“第一”组(诸如,第一CPU110、第一L2高速缓存控制器115和第一L2高速缓存器)被称为“小”组—小CPU110、小L2高速缓存控制器115等。组件的“第二”组(诸如,第二CPU120、第二L2高速缓存控制器125和第二L2高速缓存器)被称为“大”组—大CPU120、大L2高速缓存控制器等。第一CPU110包括L2高速缓存器133和143。第二CPU120包括L2高速缓存器130和140。根据如图1A中示出的本发明构思的实施例,第一(小)L2高速缓存器133和143由第一CPU110和第二CPU120两者在功能上共享。换句话说,第一L2高速缓存器133和143可由第一CPU110或第二CPU120访问。这里,“访问”是指写入操作或读取操作所需的操作。此外,第一(小)L2高速缓存器133和143是第二(大)L2高速缓存器130和140的一部分。例如,可从大L2高速缓存器的一部分中形成小L2高速缓存器,例如,大L2高速缓存器可以是2MB存储装置,并且可从大L2高速缓存器的25%部分中形成由小和大CPU共享的具有512KB容量的小L2高速缓存器。

[0051] 第二L2高速缓存器130和140的非共享的部分131和141(例如,2MB存储装置的1.5MB)可仅由第二CPU120经由第二L2高速缓存控制器125访问。

[0052] 第二L2高速缓存控制器125可访问整个第二L2高速缓存器130和140,其中,所述第二L2高速缓存器130和140同时包括共享的L2高速缓存器133和143和非共享的L2高速缓存器131和141。然而,共享的L2高速缓存器133和143不可同时由第一L2高速缓存控制器115和

第二L2高速缓存控制器125访问。

[0053] 电源管理单元PMU150被配置为基于从第一CPU110输出的第一指示信号IND1和从第二CPU120输出的第二指示信号IND2中的至少一个使用控制信号CTR1和CTR2和/或选择信号SEL选择性地将电源施加到小CPU110和/或大CPU120。

[0054] 每个指示信号IND1和IND2可通过系统总线101被提供给PMU150。信号SEL、CTR1和CTR2可包括一个或多个控制模式信号。

[0055] 基于第一控制信号CTR1,第一CPU110可通过电源域独立地控制电源供应和/或复位。基于第二控制信号CTR2,第二CPU120可通过电源域独立地控制电源供应和/或复位。

[0056] 另外,第一CPU110和第二CPU120可响应于选择信号SEL来控制CPU调节,即,CPU110和CPU120之间的切换。

[0057] 虽然已经结合L2高速缓存器描述了如图1A中示出的结构和与之结合的操作,但是本领域普通技术人员可容易地理解,相同的结构和操作可应用于不同级别的高速缓存器,例如,3级(L3)高速缓存器。

[0058] 例如,在第二CPU120中实现的功能块(例如,L2高速缓存器或L3高速缓存器)由CPU110和CPU120的每个共享。当功能块是L3高速缓存器时,每个L2高速缓存控制器可由L3高速缓存控制器代替。

[0059] 每个CPU110和CPU120可通过每个通信信道CH1和CH2和系统总线101与存储控制器105通信。存储控制器105可访问连接到多CPU系统的存储器,例如,主存储器。

[0060] 为了便于说明,在图1A中,在多CPU103外部示出每个元件101和105;然而,每个元件101和105可被实现在多CPU103的内部。

[0061] 图1B是包括图1A中示出的多CPU系统的计算系统的框图。

[0062] 参照图1B,计算系统可包括多CPU系统100和存储器107。如上所述,存储控制器105可控制或连接多CPU系统100和存储器107之间的数据通信。

[0063] 图2是根据本发明构思的实施例的共享的L2高速缓存器和共享的电路的框图。

[0064] 如图1A和图2中所示,L2高速缓存器130包括作为非共享的区域的专用区域131和共享的区域133。此外,L2高速缓存器140包括专用区域141和共享的区域143。由于L2高速缓存器130和140具有基本相同的结构,因此L2高速缓存器130的描述同样适用于L2高速缓存器140。由于共享的区域133或143被配置为来自L2高速缓存器130或140的部分,因此共享的区域还共享L2高速缓存器130或140的至少一条地址线。如前所述,第一CPU和第二CPU还包括L1高速缓存器,至少一条地址线对于L1高速缓存器和第一L2高速缓存器是共用的。

[0065] 如上所述,专用区域131可仅由第二L2高速缓存控制器125访问,共享的区域133可基于选择信号SEL选择性地由第一L2高速缓存控制器115和第二L2高速缓存控制器125中的一个访问。

[0066] 共享的电路包括第一选择器160和第二选择器161。根据一个实施例,共享的电路被布置在大CPU120内,但是在共享的区域133的外部。根据可选择实施例,第一选择器160和第二选择器161可被实现在共享的区域133内部。根据本实施例,第一选择器160被实现在多路复用器中,第二选择器161被实现在多路解复用器中。根据可选择实施例,共享的电路可包括第一选择器160而不是第二选择器161。

[0067] 当第一L2高速缓存控制器115试图访问共享的区域133时,第一选择器160响应于

选择信号SEL将从第一L2高速缓存控制器115输出的第一访问信号ACC1发送到共享的区域133的输入端口IN1。

[0068] 对于由第一(小)组进行的写入操作,第一L2高速缓存控制器115将数据写入共享的区域133,第一访问信号ACC1(例如,在存储单元阵列133-1中写入数据所需的数据和控制信号)通过第一选择器160被发送到第一输入端口IN1。

[0069] 对于由第一组进行的读取操作,第一L2高速缓存控制器115读取存储在共享的区域133中的数据,第一访问信号ACC1(例如,从存储单元阵列133-1中读取数据所需的控制信号)通过第一选择器160被发送到第一输入端口IN1,并且从共享的区域133的第一输出端口OUT1输出的数据通过第二选择器161被发送到第一L2高速缓存控制器115。

[0070] 在不包括第二选择器161的实施例中,从第一输出端OUT1输出的数据可被直接发送到第一L2高速缓存控制器115。

[0071] 对于由第二(大)组(例如,L2高速缓存控制器125)访问共享的区域133,第一选择器160响应于选择信号SEL将从第二L2高速缓存控制器125输出的第二访问信号ACC2发送到第一输入端口IN1。

[0072] 例如,当第二L2高速缓存控制器125将数据写入共享的区域133中时,第二访问信号ACC2(例如,在存储单元阵列133-1中写入数据所需的数据和控制信号)通过第一选择器160被发送到第一输入端口IN1。

[0073] 当第二L2高速缓存控制器125读取存储在共享的区域133中的数据时,第二访问信号ACC2(例如,从存储单元阵列133-1中读取数据所需的控制信号)通过第二选择器161被发送到第一输入端口IN1,并且通过第一输出端口OUT1输出的数据通过第二选择器161被发送到第二L2高速缓存控制器125。

[0074] 在不包括第二选择器161的实施例中,从第一输出端口OUT1输出的数据可被直接发送到第二L2高速缓存控制器125。

[0075] 当第二L2高速缓存控制器125将数据写入专用区域131中时,从第二L2高速缓存控制器125输出的第三访问信号ACC3(例如,在存储单元阵列133-1中写入数据所需的数据和控制信号)被输入到专用区域131的第二输入端口IN2。

[0076] 当第二L2高速缓存控制器125读取存储在专用区域131中的数据时,第三访问信号ACC3(例如,从存储单元阵列133-1中读取数据所需的控制信号)被直接发送到第二输入端口IN2,并且通过专用区域131的第二输出端口OUT2输出的数据被直接发送到第二L2高速缓存控制器125。

[0077] 可以看出,共享的电路提供这样一种结构,该结构防止小或大L2高速缓存控制器执行的错误数据存入共享的L2高速缓存器/从共享的L2高速缓存器读取错误数据。

[0078] 图3是结合示出电源域的分配和控制使用的图1的多CPU的框图。参照图1和图3,第一CPU110包括电源域111、113和115。第一控制信号CTR1-1到CTR1-3(统称“CTR1”)中的每一个被提供给电源域111、113和115中的每一个。

[0079] 根据第一控制信号CTR1、CTR1-2和CTR1-3中的每一个,提供给电源域111、113和115中的每一个的电源和/或电源域111、113和115中的每一个的复位可被独立地控制。此外,当第一接口块117被定义为附加电源域时,附加控制信号可被提供给第一接口块117。附加控制信号可被包括在第一控制信号CTR1中。

[0080] 第二CPU120包括电源域121、123、125、131、133、141和143。第二控制信号CTR2-1到CTR2-5(统称“CTR2”)中的每一个被提供给电源域121、125、123、131和141中的每一个。

[0081] 根据第二控制信号CTR2-1到CTR2-5中的每一个,提供给相应的电源域121、125、123、131和141中的每一个的电源和/或电源域中的每一个的复位可被独立地控制。

[0082] 另外,当第二接口块127被定义为附加电源域时,附加控制信号可被提供给第二接口块127。附加控制信号可被包括在第二控制信号CTR2中。

[0083] 共享的L2高速缓存器133和143的域是由控制信号CTR3-1和CTR3-2独立可控的。根据可选择的实施例,CTR3-1和CTR3-2信号可与CTR1或CTR2集成。

[0084] 图4A和图4B示出根据本发明构思的实施例的从小CPU110到大CPU120的CPU调节处理。

[0085] 在具有在大小和容量方面不同的CPU的多CPU数据处理系统中,可通过CPU中的调节使用来实现峰值性能(peak performance)。例如,在低工作负载,为了最优的电源使用,小CPU110可被作为在最高每秒每毫瓦特百万条指令(MIPS/mW)操作的电源驱动CPU。在高工作负载,大CPU120可被用作在峰值性能操作的性能驱动CPU,即使它具有较低的MIPS/mW。

[0086] 这里,CPU调节是指在相同的操作电压下从小CPU110到大CPU120或从大CPU120到小CPU110的切换的操作。也就是说,在改变电压的情况下,CPU调节可在功耗上(例如,MIPS/mW)改变工作负载性能能力,或者改变执行CPU指令所需的能量的量。

[0087] 参照图4A,示出工作的小CPU110,其中,所述小CPU110具有处于电源打开状态POWER ON的电源域111、113和115(如果需要,包括117),并且大CPU120的每个电源域121到125、131和141(如果需要,包括127)处于电源关闭状态POWER OFF。服务共享的L2高速缓存器的电源域133和143也是POWER ON。第一L2高速缓存控制器115可通过每个选择器160和161访问至少一个共享的区域133和143。

[0088] 当小CPU110的工作负载增加时,可期望将其调节到大CPU120。为了从小CPU调节到大CPU,第一CPU110的第一核111通过第一通信信道CH1和系统总线101将第一指示信号IND1发送到PMU150来执行CPU调节或从小CPU110到大CPU120的CPU切换。

[0089] PMU150响应于第一指示信号IND1来输出第一控制信号CTR1、第二控制信号CTR2和选择信号SEL。因此,响应于第一控制信号CTR1中的每一个,施加到电源域111、113和115中的每一个的电源被关闭,并且小CPU110停止当前工作。

[0090] 同时,施加到大CPU120的电源域121、123、125、131和141中的每一个的电源被打开,并且响应于第二控制信号CTR2-1到CTR2-5中的每一个,大CPU120开始工作。

[0091] 至少一个共享的区域133和143可被用作大CPU120的L2高速缓存器130或140的子集。上述从小CPU110到大CPU120的调节处理不需要监听操作。

[0092] 此外,针对L2高速缓存器130或140,大CPU120不需要执行冷启动。随同电源域121、123和125一起,至少一个L2高速缓存器130和140的至少一个专用区域131和141可处于就绪状态。

[0093] 在从小CPU110到大CPU120的CPU调节期间,提供给至少一个共享的区域133和143的电源被保持打开ON。另外,在从小CPU110到大CPU120的CPU调节期间,每个选择器160和161被切换,使得第二L2高速缓存控制器125可通过每个选择器160和161访问至少一个共享的区域133和143。

[0094] 因此,在CPU调节或CPU切换之后,包括根据本发明构思的这个实施例的大CPU120的结构立即被配置为最优性能。

[0095] 如图4B中所示,在从小CPU110到大CPU120的CPU调节之后,小CPU110的每个电源域处于电源关闭状态POWER OFF,并且大CPU120的每个电源域121至125、131和141处于电源打开状态POWER ON。提供给共享的区域133和143的电源保持打开ON。

[0096] 在不支持监听操作的多CPU系统100的情况下,小CPU110通过信道CH1、总线101和存储控制器105将存储在至少一个共享的区域133和143中的数据(例如,不包括纠错码(ECC)的数据)清空(flush)到存储器107中。此后,大CPU120可通过存储控制器105、总线101和信道CH2读取存储在存储器107中的数据。大CPU可将ECC添加到已读取的数据,并将已添加ECC的数据存储在至少一个共享的L2高速缓存器133和143中。

[0097] 图5是用于解释CPU调节处理的流程图。参照图1A到图5,由发出调节信号IND1的小CPU110发起从小CPU110到大CPU120的CPU调节(S110);PMU150关闭小CPU110的电源域,打开大CPU120的电源域,但保持共享的L2高速缓存器133和143的电源域打开(S120);在没有监听操作的情况下,停止小CPU110的操作并且启动大CPU120的操作(S130)。

[0098] 根据示例实施例,当小CPU110将存储在至少一个共享的区域133和143中的数据发送到存储器107时,大CPU120当需要时可读出存储在存储器107中的数据。

[0099] 图6A到图6D示出从大CPU120到小CPU110的CPU调节处理。

[0100] 参考图1A到图3和图6A到图6D,当大CPU120如图6A中所示操作时,小CPU110的每个电源域111、113和115处于电源关闭状态POWER OFF,大CPU120的每个电源域121、123、125、131、133、141和143处于电源打开状态POWER ON。这里,第二L2高速缓存控制器125可访问共享的区域133和143中的任意一个或两者。

[0101] 对于从大CPU120到小CPU110的CPU调节,大CPU120的第一核121通过第二通信信道CH2和系统总线101将第二指示信号IND2输出到PMU150。

[0102] PMU150响应于第二指示信号IND2来输出第一控制信号CTR1、第二控制信号CTR2和选择信号SEL。

[0103] 每个选择器160和161响应于选择信号SEL来形成至少一个共享的区域133和143与第二L2高速缓存控制器115之间的通信信道。

[0104] 如图6B中所示,响应于第一控制信号CTR1中的每一个,小CPU110的每个电源域111到115变为处于电源打开状态POWER ON,并且响应于第二控制信号CTR2中的每一个,大CPU120的每个电源域121到125、130和140保持处于电源打开状态POWER ON。用第三控制信号CTR3,共享的L2高速缓存器133和143的电源域保持打开。

[0105] 这里,大CPU120的电源域121到125中的至少一个的数据更新到至少一个L2高速缓存器130和140,并且当执行监听操作时,大CPU120通过第二通信信道CH2在至少一个专用区域131和141上执行清空操作。来自清空操作的数据可通过信道CH2、总线101和存储控制器105被发送到存储器107。

[0106] 如图6C所示,当执行清空操作时,响应于第二控制信号CTR2中的相应的控制信号中的每一个,大CPU120的每个电源域121和123变为处于电源关闭状态POWER OFF。

[0107] 如图6D所示,当清空操作完成时,响应于第二控制信号CTR2中的相应的控制信号中的每一个,大CPU120的每个电源域125、131和141变为处于电源关闭POWER OFF。因此,当

CPU调节完成时,小CPU110的第一L2高速缓存控制器115可通过每个选择器160和161访问至少一个共享的区域133和143。

[0108] 如图6A到6D所示,在CPU调节期间,使用控制信号CTR3,提供到共享的区域133和143的电源保持打开。

[0109] 另外,在CPU调节期间,至少一个共享的区域133和143不通过第二通信信道CH2执行监听操作。即,至少一个共享的区域133和143由每个CPU110和CPU120物理地共享,使得执行监听操作的区域减少。

[0110] 图7是用于解释图6中示出的CPU调节的流程图。参照图6和图7,大CPU120通过发出指示信号IND2发起调节操作(S210);PMU150打开小CPU110的域(S220);大CPU120可仅在至少一个专用区域131和141上执行监听操作,并且供应到CPU核121和123的电源被关闭(S230);当监听完成时,到域131、141、125和127(大CPU120的其余部分)的电源被关闭(S240);操作对象CPU从大CPU120改变为小CPU110(S250)。

[0111] 图8是根据本发明构思的另一示例实施例的多CPU系统的示意框图。参照图8,多CPU系统包括:第一CPU110-1和第二CPU120-1。图8中的上部示意图示出多CPU系统的前视图,图8中的下部示意图示出多CPU系统的平面图。

[0112] 如图8所示,第一CPU110-1被堆叠在第二CPU120-1上。

[0113] 第一CPU110-1和第二CPU120-1可在不同的芯片或模具中实现。共享的L2高速缓存区域133和143在第二CPU120-1中实现。共享的区域是由第一CPU110-1通过电通孔(例如,通过硅通孔(TSV)技术)可访问。根据本实施例,实现小CPU110的组件的芯片110-1不包括它自己的L2高速缓存器。而是,大CPU120的整个L2高速缓存器130和140被布置在芯片120-1中,物理地布置在芯片120-1中的L2高速缓存器的共享的部分(133和143)被小CPU110和大CPU120两者使用。

[0114] 第一CPU110-1的结构包括图1A的第一CPU110的结构,第二CPU120-1的结构包括图1A的第二CPU120的结构。这里,与图1A的PMU150相应的PMU也可在第二CPU120-1中实现。在这个实施例中,与PMU相关的控制信号(诸如,CTR1)也可经由TSV中的一个被连接。

[0115] 图9是根据本发明构思的示例实施例的电路板组件的框图。参照图9,电路板组件200包括第一CPU110-2、第二CPU120-2、至少一个共享的区域133和143、PMU150、总线210和存储器220。

[0116] 参照图1A、图8和图9,至少一个共享的区域133和143可与第一CPU110-2和第二CPU120-2分离地实现。

[0117] 除了至少一个共享的区域133和143,图1A的第一CPU110具有与图9的第一CPU110-2基本相同的结构和操作,图1A的第二CPU120具有与图9的第二CPU120-2基本相同的结构和操作。

[0118] 第一L2高速缓存控制器115或第一接口块117可通过第一通信信道CH1与总线210通信。第二L2高速缓存控制器125或第二接口块127可通过第二通信信道CH2与总线210通信。

[0119] 每个第一通信信道CH1和第二通信信道CH2可被实现在电通信信道或光通信信道中。每个L2高速缓存控制器115和125可选择性地访问至少一个共享的区域133和143。

[0120] 图10是根据本发明构思的示例实施例的计算机平台。参照图10,计算机平台300可

像计算系统一样被用在电子装置中。电子装置可被实现在个人计算机(PC)、便携式装置、移动装置或数字TV中。

[0121] 便携式装置可被实现在膝上型计算机或平板电脑中。移动装置可被实现在蜂窝电话、智能电话、个人数字助理(PDA)、企业数字助理(EDA)、数字照相机、数字摄像机、便携式多媒体播放器(PMP)、个人导航装置或便携式导航装置(PND)、掌上游戏机或电子书中。

[0122] 计算机平台300包括多CPU系统100、接口块320和存储器330。根据示例实施例,计算机平台300可还包括无线接口块340和显示器350中的至少一个。

[0123] 多CPU系统100可通过接口块320与存储器330、无线接口块340或显示器350通信。

[0124] 接口块320包括一个或多个可执行各种接口控制功能的电路块。控制功能包括存储器访问控制、图形控制、输入/输出接口控制或无线网络访问控制。

[0125] 电路块中的每一个都被实现在附加的独立芯片、多CPU系统100的一部分或多CPU系统100的内部中。

[0126] 存储器330可通过接口块320与多CPU系统100发送或接收数据。

[0127] 无线接口块340可通过天线将计算机平台300连接到无线网络,例如,移动通信网络或无线局域网(LAN)。

[0128] 图11是根据本发明构思的示例实施例的包括多CPU系统的计算系统的示例实施例。参照图11,计算系统400可被实现在PC、数据服务器、膝上型计算机或便携装置中。

[0129] 计算系统400可包括多CPU系统100、电源420、存储器430、输入/输出端口440、扩展卡450、网络装置460和显示器470。根据示例实施例,计算系统400还可包括相机模块480。

[0130] 多CPU系统100可控制元件420到元件480中的至少一个的操作。电源420可将操作电压提供到元件100和元件430到元件480中的至少一个。

[0131] 存储器430可被实现在易失性存储器或非易失性存储器中。根据示例实施例,针对存储器430控制数据访问操作(例如,读取操作、写入操作(或程序操作)或擦除操作)的存储控制器可被集成或内置在多CPU系统100中。根据另一示例实施例,存储控制器可被附加地实现在多CPU系统100和存储器430之间。

[0132] 输入/输出端口440是指可将数据发送到计算系统400,或者可将从计算系统400输出的数据发送到外部装置的端口。

[0133] 例如,输入/输出端口440可包括用于连接指向装置(如计算机鼠标)的端口、用于连接打印机的端口和用于连接USB驱动器的端口中的至少一个。

[0134] 扩展卡450可被实现在安全数字(SD)卡或多媒体卡(MMC)中。根据示例实施例,扩展卡450可以是用户识别模块(SIM)卡或通用用户识别模块(USIM)卡。

[0135] 网络装置460可以指可将计算系统400连接到有线网络或无线网络的装置。显示器470可显示从存储器430、输入/输出端口440、扩展卡450或网络装置460输出的数据。

[0136] 相机模块480是指可将光图像转换为电图像的模块。因此,从相机模块480输出的电图像可被存储在存储器430或扩展卡450中。此外,可根据多CPU系统100的控制通过显示器470显示从相机模块480输出的电图像。

[0137] 在图10和图11中,多CPU系统100作为每个计算系统300或400的元件被示出;然而,多CPU系统100可被替换为根据示例实施例的多CPU103或电路板组件200。在这种情况下,可针对多CPU103或电路板组件200适当改变每个计算系统300或400的结构。

[0138] 图12是用于解释根据本发明构思的示例实施例的制造多CPU系统的方法的流程图。参照图1A和图12,准备半导体基片(S310)。第一CPU110和第二CPU120被形成在半导体基片上,其中,第一CPU110包括连接到至少一个第一CPU核111和113的第一L2高速缓存控制器115,第二CPU120包括连接到至少一个第二CPU核121和123的第二L2高速缓存控制器125(S320)。如前所述,第一CPU110和第二CPU120还包括L1高速缓存器,L1高速缓存器和第一L2高速缓存器被实现在共同基片上。

[0139] 在第一CPU110和第二CPU120之间的重叠区域133和143中,可被选择性地由第一L2高速缓存控制器115和第二L2高速缓存控制器125访问共享的L2高速缓存器被形成。

[0140] 在半导体基片上,系统总线101、系统总线101和第一高速缓存控制器115之间的第一通信信道CH1、系统总线101和第二高速缓存控制器125之间的第二通信信道CH2被形成。根据示例实施例,可在同一时间或不同时间实现S310的步骤和S320的步骤。

[0141] 如图8中所示,在不同芯片或模具上形成第一CPU110-1和第二CPU120-1之后,它们可通过垂直电通孔(TSV)彼此连接,使得共享的组件(诸如,L2高速缓存的共享的区域133和143)可被访问。

[0142] 根据本发明构思的示例实施例的L2高速缓存器的共享减少了多CPU系统的物理大小;降低监听操作的开销;消除L2高速缓存器的冷启动。

[0143] 虽然已经示出并描述本发明构思的实施例,本领域的技术人员将理解,在不脱离本发明构思的原理和精神的情况下,可在这些实施例中进行改变,其中,本发明构思的范围由权利要求及其等同物限定。

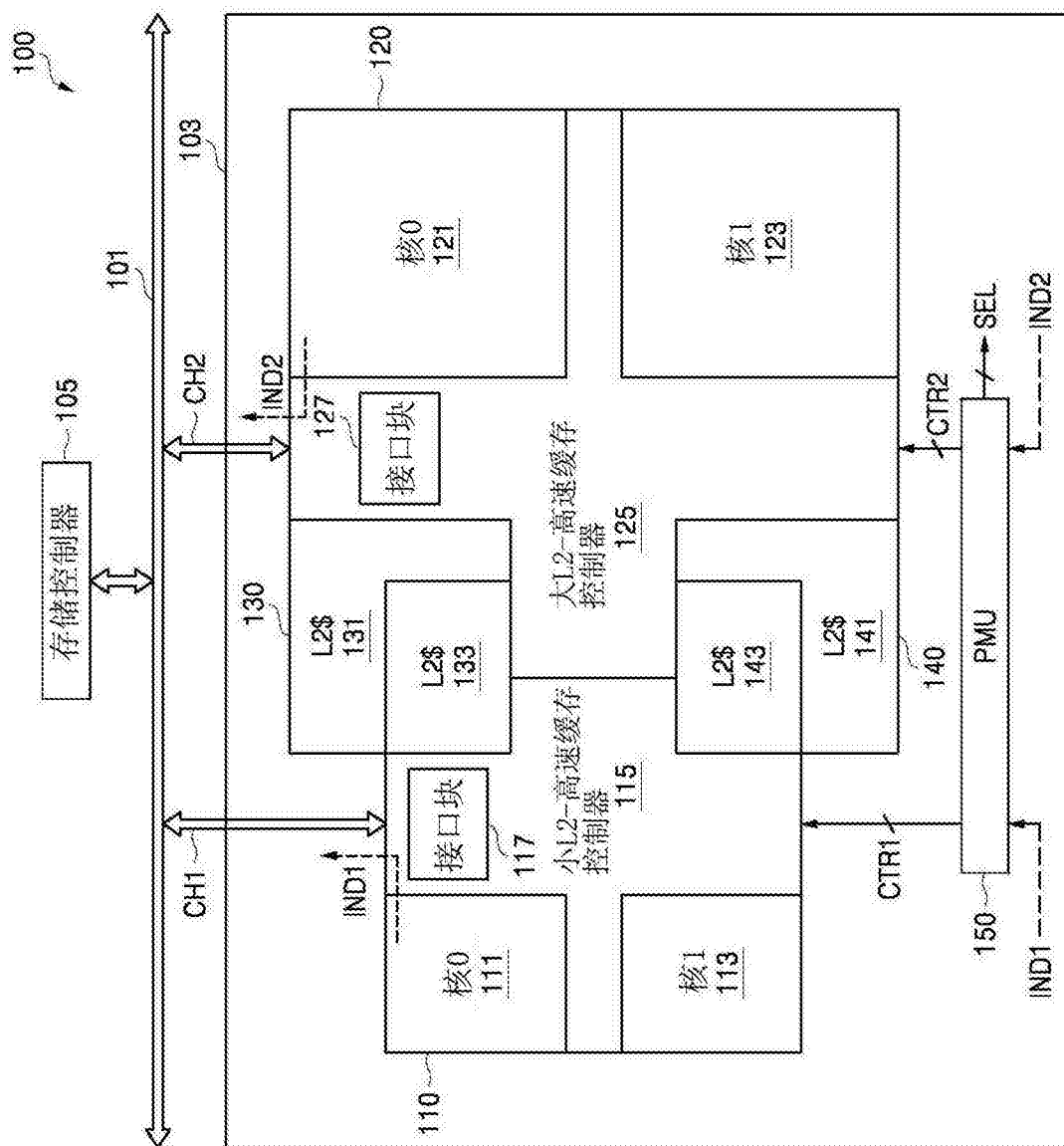


图1A

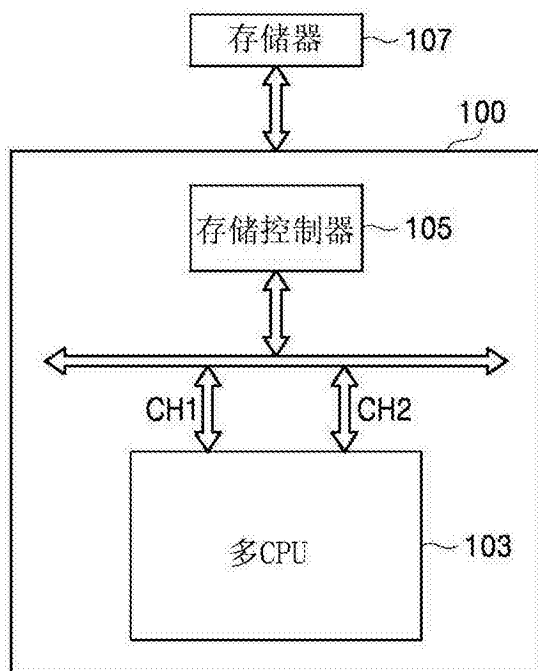


图1B

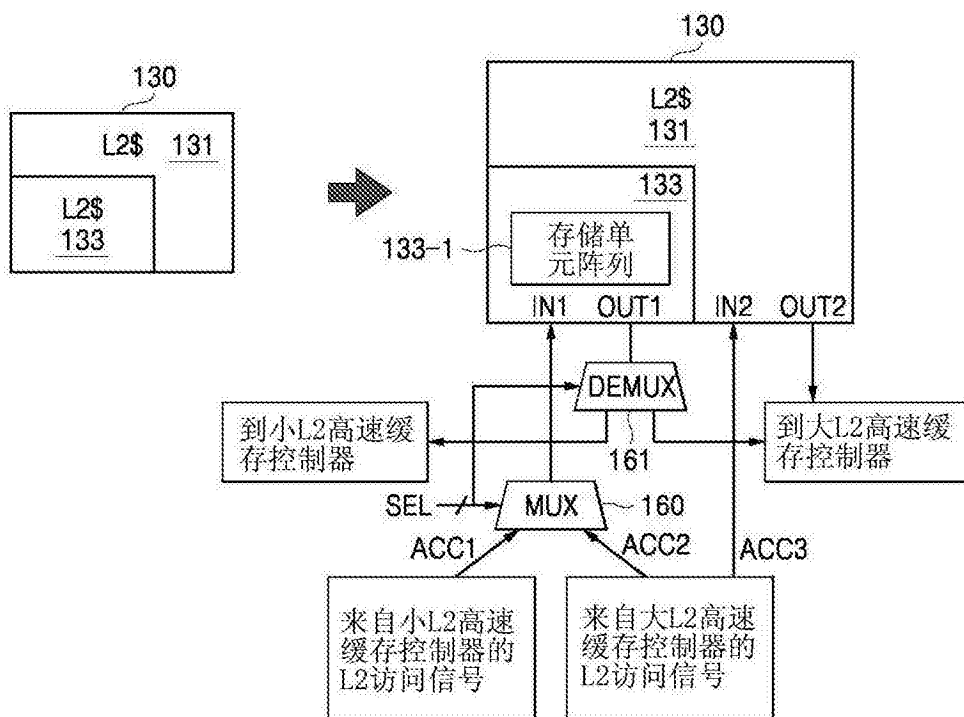


图2

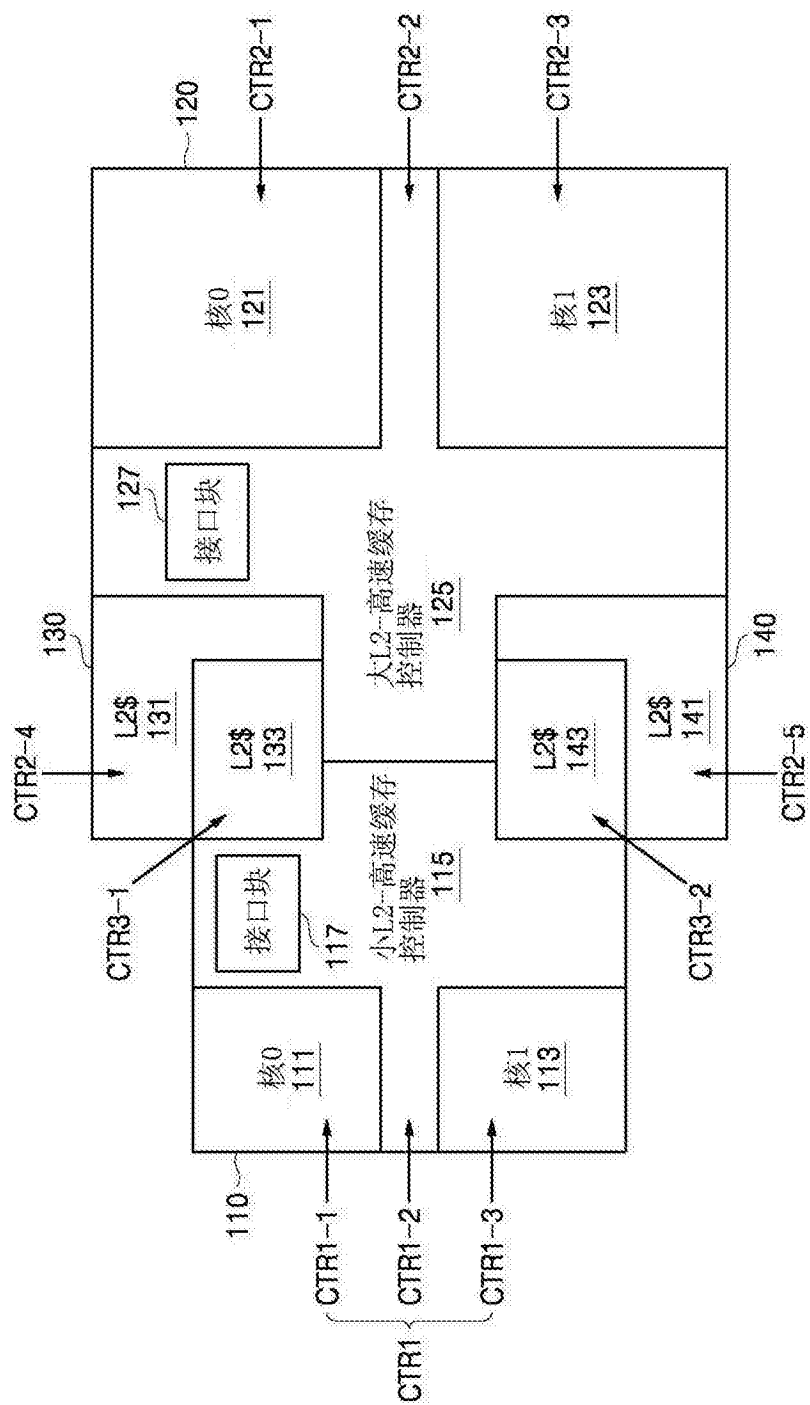


图3

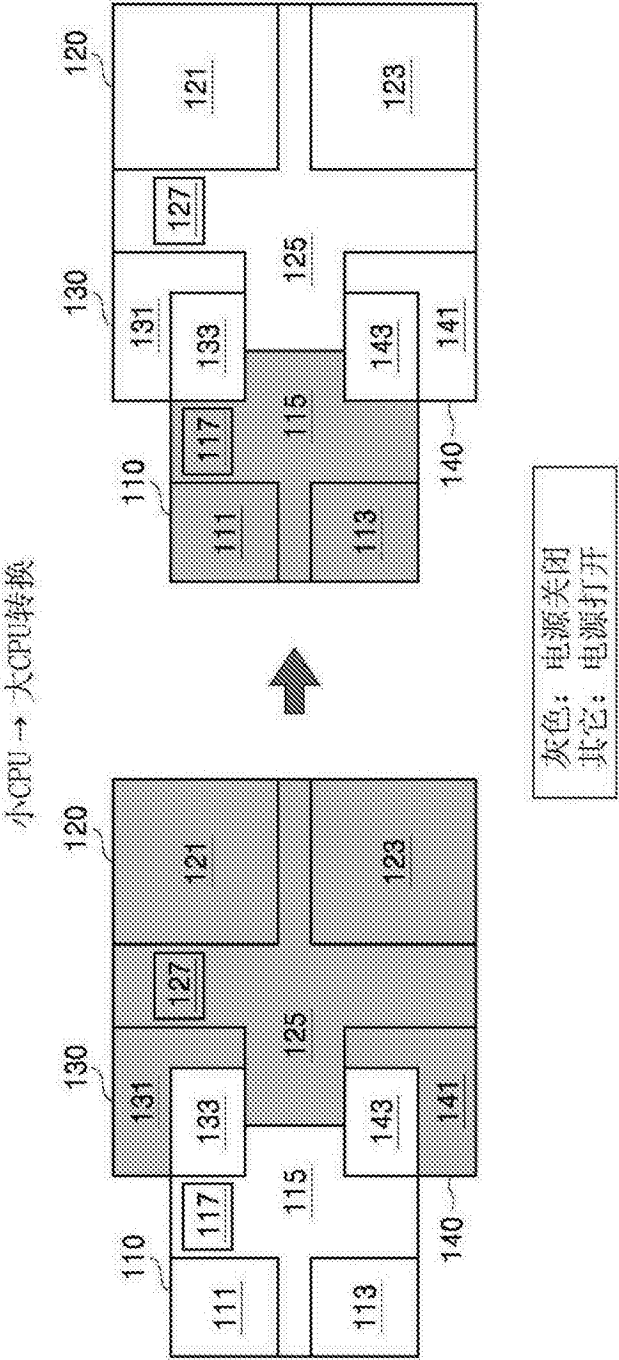


图 4A

图 4B

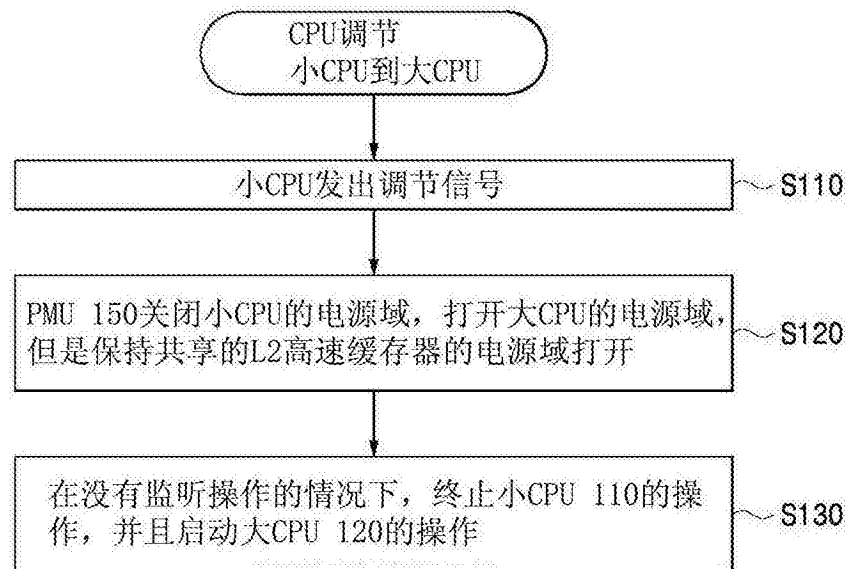


图5

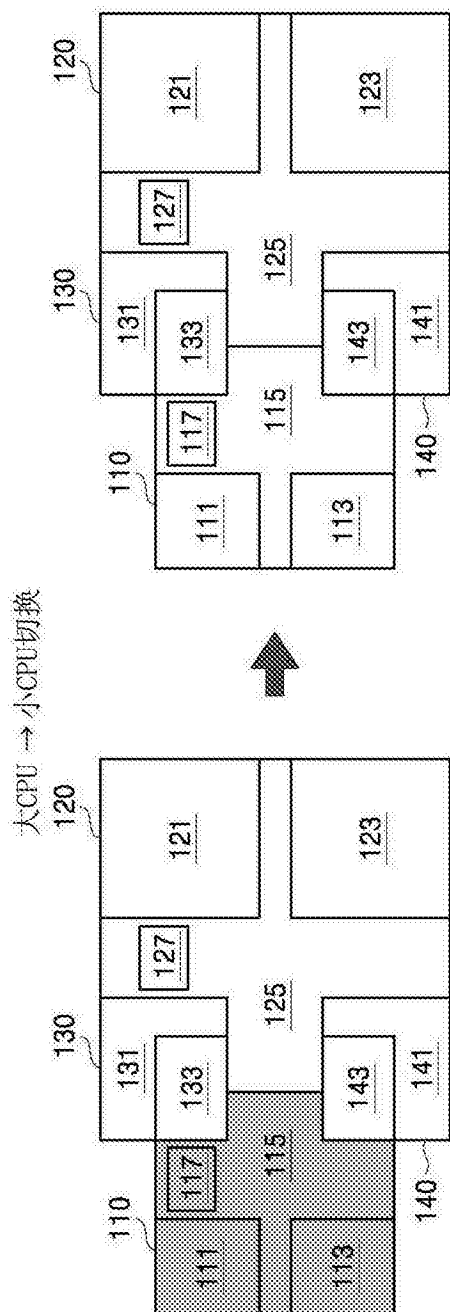


图 6A

灰色：电源关闭
其它：电源打开

图 6B

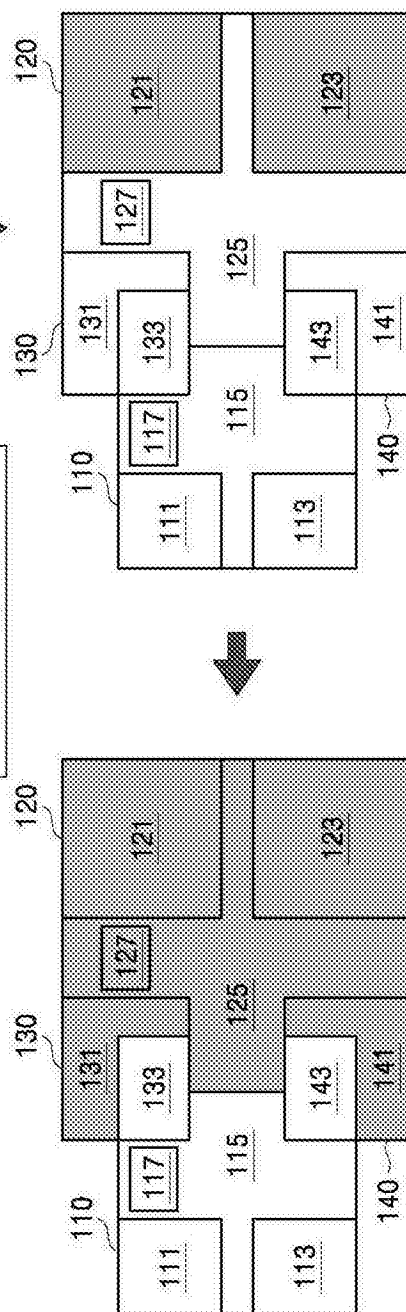


图 6D

图 6C

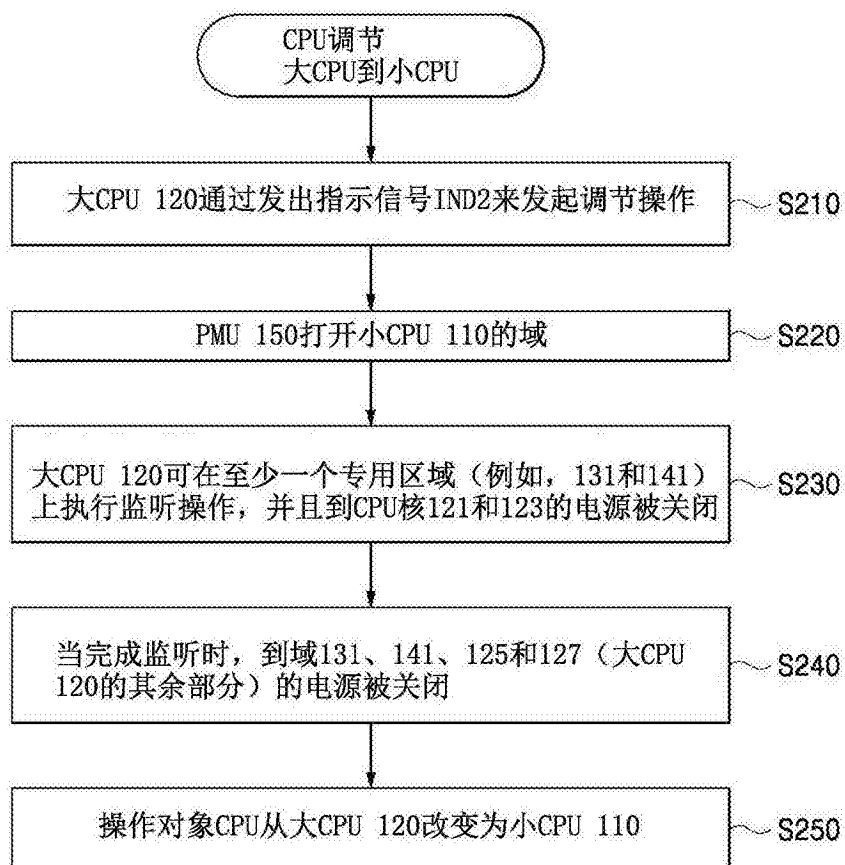


图7

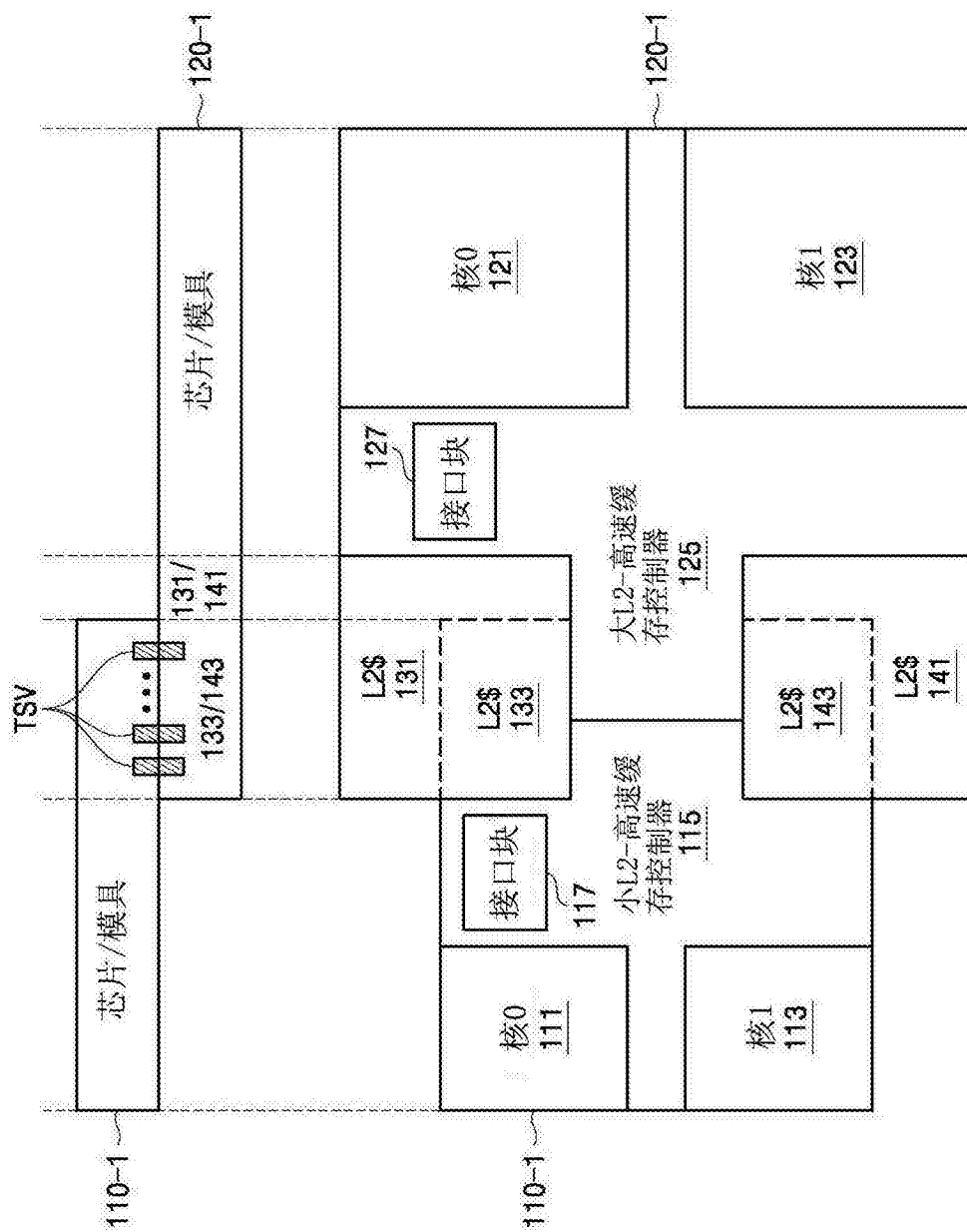


图8

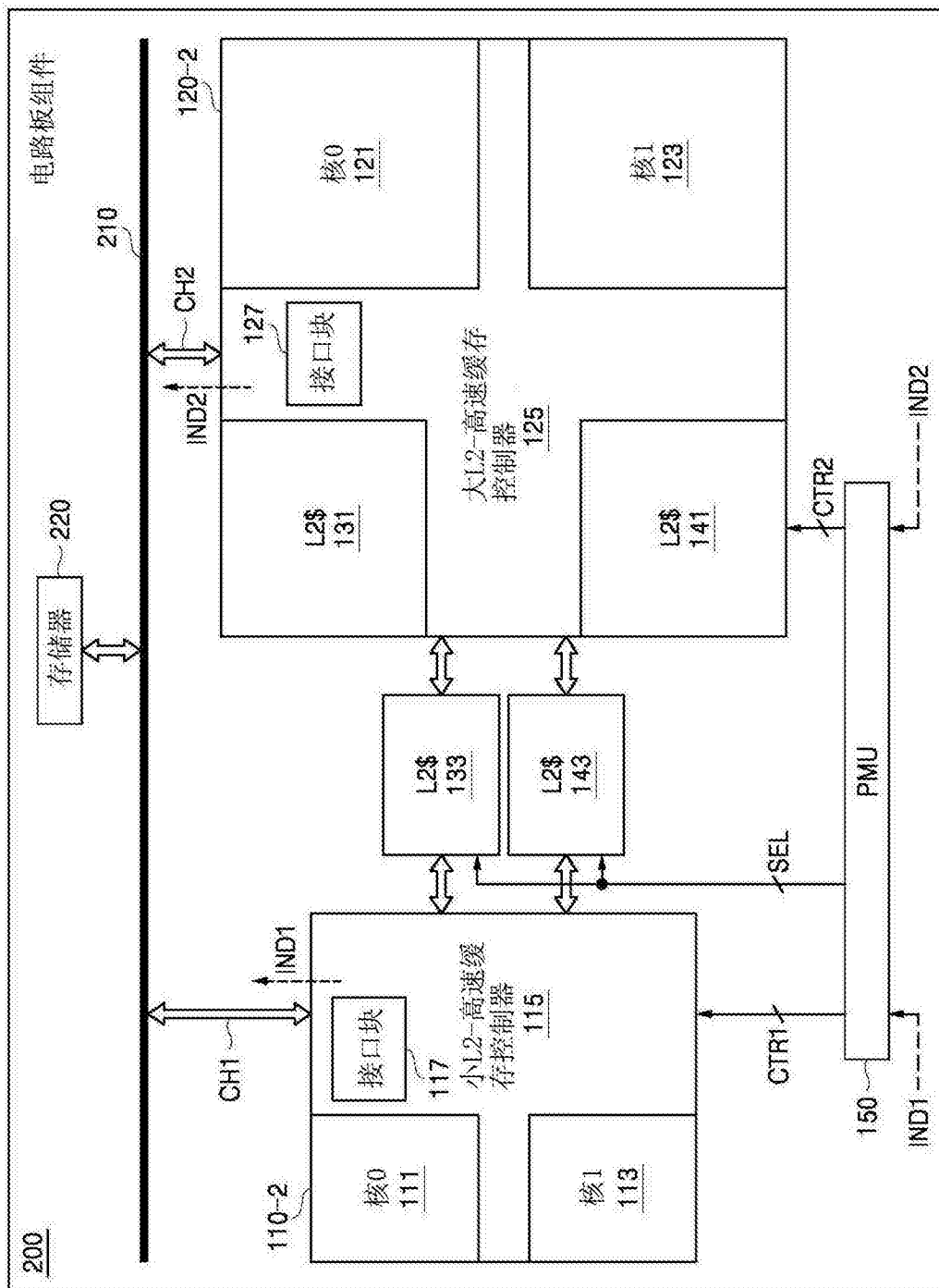


图9

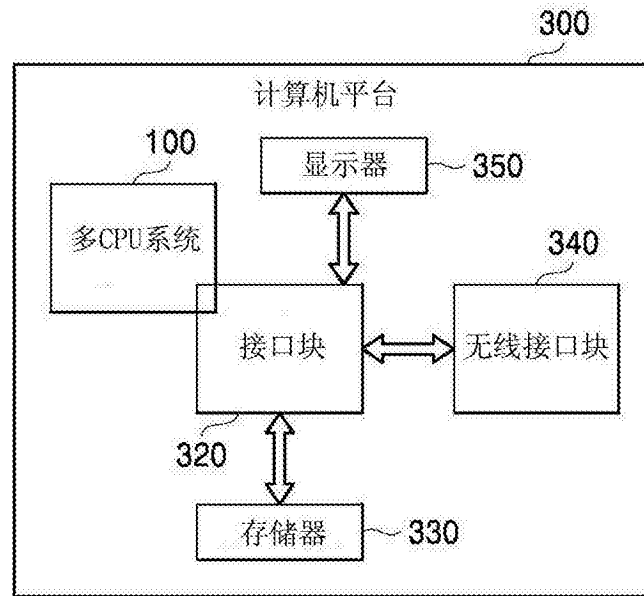


图10

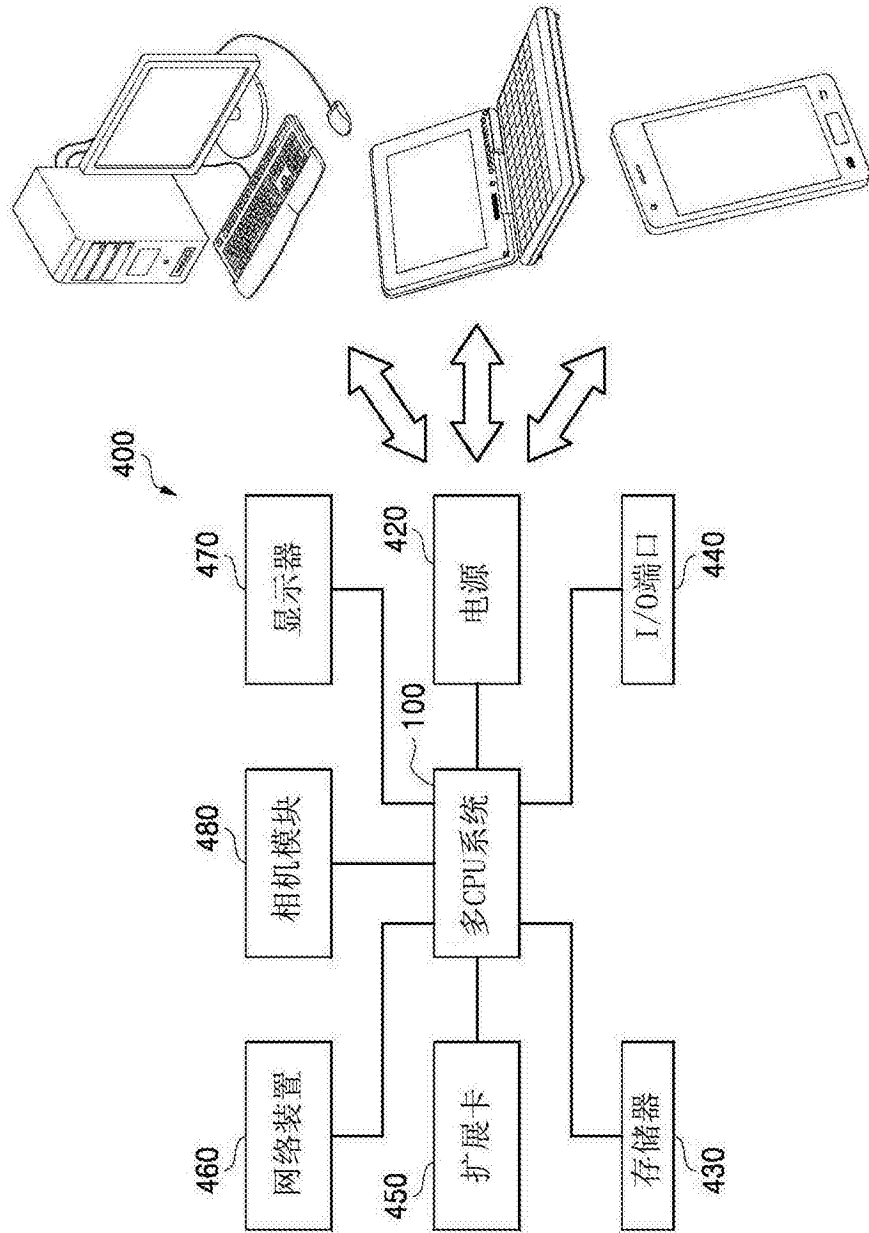


图11

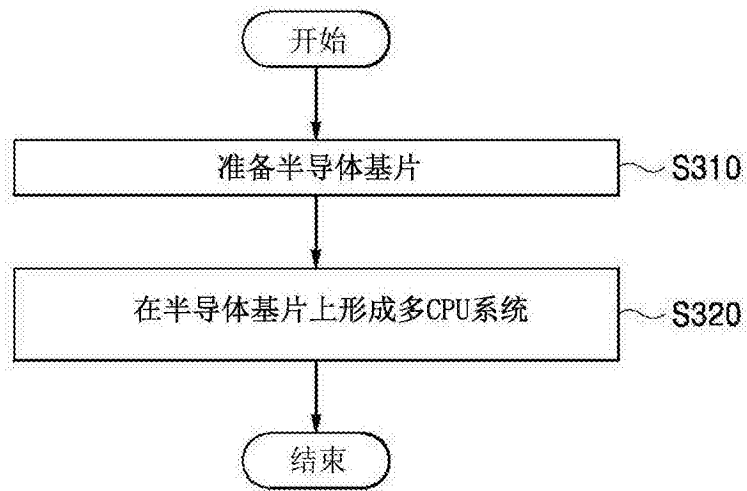


图12