

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6259148号
(P6259148)

(45) 発行日 平成30年1月10日(2018.1.10)

(24) 登録日 平成29年12月15日(2017.12.15)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 6 1 1 J

G 0 9 G 3/20 6 7 0 J

G 0 9 G 3/20 6 1 1 D

G 0 9 G 3/20 6 1 1 A

請求項の数 5 (全 104 頁) 最終頁に続く

(21) 出願番号 特願2017-99390 (P2017-99390)
 (22) 出願日 平成29年5月19日(2017.5.19)
 (62) 分割の表示 特願2017-12979 (P2017-12979)
 の分割
 原出願日 平成23年9月2日(2011.9.2)
 (65) 公開番号 特開2017-198997 (P2017-198997A)
 (43) 公開日 平成29年11月2日(2017.11.2)
 審査請求日 平成29年5月19日(2017.5.19)
 (31) 優先権主張番号 特願2010-201621 (P2010-201621)
 (32) 優先日 平成22年9月9日(2010.9.9)
 (33) 優先権主張国 日本国(JP)

早期審査対象出願

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1のゲートドライバ回路と、第2のゲートドライバ回路と、前記第1のゲートドライバ回路と前記第2のゲートドライバ回路との間の画素部と、ゲート線と、を有し、

前記第1のゲートドライバ回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第6のトランジスタと、を有し、

前記第2のゲートドライバ回路は、第7のトランジスタと、第8のトランジスタと、第9のトランジスタと、第10のトランジスタと、第11のトランジスタと、第12のトランジスタと、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第1のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのソース又はドレインの他方と電氣的に接続され、

10

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのソース又はドレインの一方と電氣的に接続され、

20

前記第 7 のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 10 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 12 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 9 のトランジスタのゲートと電氣的に接続され、

30

前記第 7 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、第 5 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、第 6 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのゲートと電氣的に接続され、

40

前記第 10 のトランジスタのソース又はドレインの他方は、前記第 12 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 10 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 12 のトランジスタのゲートと電氣的に接続され、

前記第 3 の配線に入力される信号は、前記第 6 の配線に入力される信号と異なり、

前記第 1 の配線に入力される信号は、前記第 4 の配線に入力される信号と同じであり、

第 1 のフレームは、前記第 1 のトランジスタがオンである第 1 の期間を有し、

前記第 1 の期間において、前記第 7 のトランジスタはオンである表示装置。

50

【請求項 2】

第 1 のゲートドライバ回路と、第 2 のゲートドライバ回路と、前記第 1 のゲートドライバ回路と前記第 2 のゲートドライバ回路との間の画素部と、ゲート線と、を有し、

前記第 1 のゲートドライバ回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 2 のゲートドライバ回路は、第 7 のトランジスタと、第 8 のトランジスタと、第 9 のトランジスタと、第 10 のトランジスタと、第 11 のトランジスタと、第 12 のトランジスタと、を有し、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、 10

前記第 1 のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、 20

前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、 30

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、 40

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 10 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 12 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 9 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続さ 50

れ、

前記第 8 のトランジスタのソース又はドレインの他方は、第 5 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、第 6 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのゲートと電氣的に接続され、

前記第 10 のトランジスタのソース又はドレインの他方は、前記第 12 のトランジスタのソース又はドレインの他方と電氣的に接続され、

10

前記第 7 のトランジスタのゲートは、前記第 10 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 12 のトランジスタのゲートと電氣的に接続され、

前記第 3 の配線に入力される信号は、前記第 6 の配線に入力される信号と異なり、

前記第 1 の配線に入力される信号は、前記第 4 の配線に入力される信号と同じであり、

第 1 のフレームは、前記第 1 のトランジスタがオンである第 1 の期間と、前記第 2 のトランジスタがオンである第 2 の期間と、を有し、

前記第 1 の期間において、前記第 7 のトランジスタはオンであり、

20

前記第 2 の期間において、前記第 8 のトランジスタはオフである表示装置。

【請求項 3】

第 1 のゲートドライバ回路と、第 2 のゲートドライバ回路と、前記第 1 のゲートドライバ回路と前記第 2 のゲートドライバ回路との間の画素部と、ゲート線と、を有し、

前記第 1 のゲートドライバ回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 6 のトランジスタと、を有し、

前記第 2 のゲートドライバ回路は、第 7 のトランジスタと、第 8 のトランジスタと、第 9 のトランジスタと、第 10 のトランジスタと、第 11 のトランジスタと、第 12 のトランジスタと、を有し、

30

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 6 のトランジスタのソース又はドレインの一方と電氣的に接続され、

40

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、第 1 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、第 2 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 3 の配線と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのソース又はドレインの他方と電氣的に接続され、

50

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 5 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、前記第 6 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 4 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのゲートは、前記第 6 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのソース又はドレインの一方と電氣的に接続され、

10

前記第 7 のトランジスタのソース又はドレインの一方は、前記ゲート線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 10 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの一方は、前記第 8 のトランジスタのゲートと電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 12 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 9 のトランジスタのゲートと電氣的に接続され、

20

前記第 7 のトランジスタのソース又はドレインの他方は、第 4 の配線と電氣的に接続され、

前記第 8 のトランジスタのソース又はドレインの他方は、第 5 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、第 6 の配線と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 9 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのゲートと電氣的に接続され、

30

前記第 10 のトランジスタのソース又はドレインの他方は、前記第 12 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 10 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 12 のトランジスタのゲートと電氣的に接続され、

前記第 3 の配線に入力される信号は、前記第 6 の配線に入力される信号と異なり、

前記第 1 の配線に入力される信号は、前記第 4 の配線に入力される信号と同じであり、

第 1 のフレームは、前記第 1 のトランジスタがオンである第 1 の期間と、前記第 2 のトランジスタがオンである第 2 の期間と、を有し、

40

前記第 1 の期間において、前記第 7 のトランジスタはオンであり、

前記第 2 の期間において、前記第 8 のトランジスタはオフであり、

第 2 のフレームは、前記第 7 のトランジスタがオンである第 3 の期間と、前記第 8 のトランジスタがオンである第 4 の期間と、を有し、

前記第 3 の期間において、前記第 1 のトランジスタはオンであり、

前記第 4 の期間において、前記第 2 のトランジスタはオフである表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 1 の配線は、前記第 4 の配線と電氣的に接続されている表示装置。

【請求項 5】

50

請求項 1 乃至請求項 4 のいずれか一項において、

前記第 2 の配線は、前記第 5 の配線と電氣的に接続されている表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、ゲートドライバ回路を有する半導体装置に関する。

【背景技術】

【0002】

アクティブマトリクス方式で駆動する表示装置は、スイッチとして機能する素子（トランジスタ等）が設けられた画素を複数有する画素部と、ソースドライバ回路及びゲートドライバ回路を含むドライバ回路と、を有する。ソースドライバ回路は、スイッチとして機能する素子がオンの時に、当該素子が設けられた画素にビデオ信号を出力する。ゲートドライバ回路は、スイッチとして機能する素子のスイッチングを制御する。

10

【0003】

ゲートドライバ回路は、画素部に近接して設けられる。画素部の一辺に近接してゲートドライバ回路が設けられる場合、画素部が占める領域が表示装置の片側に偏ることがある。そのため、ゲートドライバ回路を画素部の左右に分割した構成を有する表示装置が提案されている。

【0004】

例として、特許文献 1 で開示される表示装置の構成を図 5 8 に示す。図 5 8 に示す表示装置では、表示領域の左右周辺領域に、第 1 のゲートドライバ回路 5 1 0 8 及び第 2 のゲートドライバ回路 5 1 1 0 が、左右対称にそれぞれ配置される。

20

【0005】

第 1 のゲートドライバ回路 5 1 0 8 は、表示領域の左側周辺領域に配置されている。第 1 のゲートドライバ回路 5 1 0 8 は、奇数番目のゲートライン（ GL_1 、 GL_3 乃至 GL_{n+1} ）にそれぞれの出力端子が連結された複数のシフトレジスタ（ SRC_1 、 SRC_3 、乃至 SRC_{n+1} ）により構成される。第 2 のゲートドライバ回路 5 1 1 0 は、表示領域の右側周辺領域に配置されている。第 2 のゲートドライバ回路 5 1 1 0 は、偶数番目のゲートライン（ GL_2 、 GL_4 、 \dots 、 GL_n ）にそれぞれの出力端子が連結された複数のシフトレジスタ（ SRC_2 、 SRC_4 、 \dots 、 SRC_n ）により構成される。

30

【0006】

第 1 のゲートドライバ回路 5 1 0 8 によって、画素部 5 1 0 2 の奇数行に配列された画素とソースドライバ回路 5 1 1 2 の電氣的な接続が制御され、第 2 のゲートドライバ回路 5 1 1 0 によって、画素部 5 1 0 2 の偶数行に配列された画素とソースドライバ回路 5 1 1 2 の電氣的な接続が制御される。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2 0 0 3 - 0 7 6 3 4 6 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0008】

図 5 8 を参照して説明した表示装置のように、ゲートドライバ回路を画素部の左右に分割した構成を有する表示装置では、ゲート線（「ゲート信号線」ともいう。）が選択される期間（「選択期間」ともいう。）において、第 1 のゲートドライバ回路及び第 2 のゲートドライバ回路の一方からゲート線に信号が出力される。また、ゲート線が選択されない期間（「非選択期間」ともいう。）では、第 1 のゲートドライバ回路及び第 2 のゲートドライバ回路の両方から、ゲート線に信号が出力されない。

【0009】

本発明の一態様では、選択期間においてゲート信号線に出力される信号の遅延又はなま

50

りが低減された半導体装置を提供することを課題とする。

【0010】

または、本発明の一態様では、第1のゲートドライバ回路及び第2のゲートドライバ回路が有するトランジスタの劣化が抑制された半導体装置を提供することを課題とする。

【0011】

または、本発明の一態様では、ゲート信号線の電位の立ち上がり時間又は立ち下がり時間が短い半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0012】

本発明の一態様は、ゲート信号線と、ゲート信号線に選択信号及び非選択信号を出力する、第1のゲートドライバ回路及び第2のゲートドライバ回路と、ゲート信号線と電氣的に接続され、選択信号及び非選択信号が入力される複数の画素と、を有する半導体装置であって、ゲート信号線が選択される期間において、第1のゲートドライバ回路及び第2のゲートドライバ回路の双方は、ゲート信号線に選択信号を出力し、ゲート信号線が選択されない期間において、第1のゲートドライバ回路及び第2のゲートドライバ回路の一方は、ゲート信号線に非選択信号を出力し、第1のゲートドライバ回路及び第2のゲートドライバ回路の他方は、ゲート信号線に選択信号及び非選択信号を出力しない。

【0013】

また、第1のゲートドライバ回路及び第2のゲートドライバ回路は、複数の画素を有する画素部を挟んで配置されてもよい。

【0014】

また、半導体装置は、選択信号が出力されたゲート信号線に対応する画素にビデオ信号を書き込むソースドライバ回路を有していてもよい。

【発明の効果】

【0015】

本発明の一態様は、選択期間においてゲート信号線に出力される信号の遅延又はなまりが低減された半導体装置を提供することができる。

【0016】

または、本発明の一態様は、第1のゲートドライバ回路及び第2のゲートドライバ回路が有するトランジスタの劣化が抑制された半導体装置を提供することができる。

【0017】

または、本発明の一態様は、ゲート信号線の電位の立ち上がり時間又は立ち下がり時間が短い半導体装置を提供することができる。

【図面の簡単な説明】

【0018】

【図1】半導体装置の構成の一例を示す図、及び半導体装置の動作の一例を示すタイミングチャート。

【図2】半導体装置の動作の一例を説明するための図。

【図3】半導体装置の動作の一例を説明するための図。

【図4】ゲートドライバ回路の構成の一例及び動作の一例を説明するための図。

【図5】ゲートドライバ回路が行う各動作の一例に対応する模式図。

【図6】ゲートドライバ回路の動作の一例を示すタイミングチャート。

【図7】ゲートドライバ回路の動作の一例を示すタイミングチャート。

【図8】ゲートドライバ回路の動作の一例を示すタイミングチャート。

【図9】ゲートドライバ回路の構成の一例及び動作の一例を説明するための図。

【図10】ゲートドライバ回路の構成の一例及び動作の一例を説明するための図。

【図11】ゲートドライバ回路の構成の一例を説明するための図。

【図12】ゲートドライバ回路の動作の一例を説明するための図。

【図13】ゲートドライバ回路の動作の一例を説明するための図。

【図14】ゲートドライバ回路の構成の一例及び動作の一例を説明するための図。

10

20

30

40

50

【図 1 5】ゲートドライバ回路の動作の一例を説明するための図。	
【図 1 6】半導体装置の回路図の一例を示す図。	
【図 1 7】半導体装置の動作の一例を示すタイミングチャート。	
【図 1 8】半導体装置の動作の一例を説明するための図。	
【図 1 9】半導体装置の動作の一例を説明するための図。	
【図 2 0】半導体装置の動作の一例を説明するための図。	
【図 2 1】半導体装置の動作の一例を説明するための図。	
【図 2 2】半導体装置の動作の一例を示すタイミングチャート。	
【図 2 3】半導体装置の動作の一例を示すタイミングチャート。	
【図 2 4】半導体装置の回路図の一例を示す図。	10
【図 2 5】半導体装置の回路図の一例を示す図。	
【図 2 6】半導体装置の回路図の一例を示す図。	
【図 2 7】半導体装置の動作の一例を示すタイミングチャート。	
【図 2 8】半導体装置の動作の一例を説明するための図。	
【図 2 9】半導体装置の動作の一例を説明するための図。	
【図 3 0】半導体装置の動作の一例を示すタイミングチャート。	
【図 3 1】半導体装置の回路図の一例を示す図。	
【図 3 2】半導体装置の動作の一例を説明するための図。	
【図 3 3】半導体装置の動作の一例を説明するための図。	
【図 3 4】半導体装置の動作の一例を説明するための図。	20
【図 3 5】半導体装置の動作の一例を説明するための図。	
【図 3 6】半導体装置の回路図の一例を示す図。	
【図 3 7】半導体装置の回路図の一例を示す図。	
【図 3 8】半導体装置の回路図の一例を示す図。	
【図 3 9】半導体装置の回路図の一例を示す図。	
【図 4 0】半導体装置の回路図の一例を示す図。	
【図 4 1】半導体装置の回路図の一例を示す図。	
【図 4 2】半導体装置の動作の一例を説明するための図。	
【図 4 3】半導体装置の動作の一例を説明するための図。	
【図 4 4】半導体装置の動作の一例を説明するための図。	30
【図 4 5】半導体装置の動作の一例を説明するための図。	
【図 4 6】表示装置の構成の一例及び画素の構成の一例を示す図。	
【図 4 7】シフトレジスタの回路図の一例を示す図。	
【図 4 8】シフトレジスタの回路図の一例を示す図。	
【図 4 9】シフトレジスタの動作の一例を示すタイミングチャート。	
【図 5 0】ソースドライバ回路の構成の一例を示す図、及びソースドライバ回路の動作の一例を示すタイミングチャート。	
【図 5 1】保護回路の回路図の一例を示す図。	
【図 5 2】保護回路を設けた半導体装置の構成の一例を示す図。	
【図 5 3】表示装置の構造の一例、及びトランジスタの構造の一例を示す図。	40
【図 5 4】表示装置の構成の一例を示す図。	
【図 5 5】半導体装置のレイアウト図を示す図。	
【図 5 6】電子機器の一例を説明するための図。	
【図 5 7】電気機器の一例、及び半導体装置の応用例を説明するための図。	
【図 5 8】表示装置の構成を示す図。	
【図 5 9】比較例の半導体装置の回路図を示す図。	
【図 6 0】回路シミュレーションによる計算結果を示す図。	
【図 6 1】回路シミュレーションによる計算結果を示す図。	
【発明を実施するための形態】	
【 0 0 1 9】	50

本発明を説明するための実施の形態の一例について、図面を参照して以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではないものとする。なお、図面を参照するにあたり、異なる図面間において、同じものを指し示す符号を共通して用いる場合がある。また、異なる図面間において、同様のものを指し示す際には同じハッチパターンを使用し、符号を付さない場合がある。

【0020】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

10

【0021】

また、本明細書において用いる「第 k 」(k は自然数)という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。

【0022】

なお、一般に、二点間における電位の差(電位差ともいう。)を電圧という。しかし、電子回路では、回路図等において、ある一点の電位と基準となる電位(基準電位ともいう。)との電位差を用いることがある。また、電圧と電位はいずれも、単位としてボルト(V)を用いることがある。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準電位との電位差を、当該一点の電圧として用いる場合がある。

【0023】

20

なお、本明細書において、トランジスタは少なくとも3つの端子(ソース、ドレイン、及びゲート)を有し、1つの端子の電位により他の2つの端子間の導通が制御される構成を有する。また、トランジスタの構造や動作条件等によって、トランジスタのソースとドレインが互いに入れ替わる場合がある。

【0024】

なお、ソースとは、ソース電極の一部若しくは全部、又は、ソース配線の一部若しくは全部のことをいう。また、ソース電極とソース配線とを区別せずに、ソース電極及びソース配線の両方の機能を有する導電層をソースという場合がある。また、ドレインとは、ドレイン電極の一部若しくは全部、又は、ドレイン配線の一部若しくは全部のことをいう。また、ドレイン電極とドレイン配線とを区別せずに、ドレイン電極及びドレイン配線の両方の機能を有する導電層をドレインという場合がある。また、ゲートとは、ゲート電極の一部若しくは全部、又は、ゲート配線の一部若しくは全部のことをいう。また、ゲート電極とゲート配線とを区別せずに、ゲート電極及びゲート配線の両方の機能を有する導電層をゲートという場合がある。

30

【0025】

なお、本明細書において、「 A と B とが接続されている」とは、 A と B とが直接接続されているものの他に、電氣的に接続されているものを含むものとする。具体的には、トランジスタ等のスイッチとして機能する素子を介して A と B とが接続され、当該スイッチとして機能する素子が、導通状態であるときに A と B とが概略同電位である場合や、抵抗素子を介して A と B とが接続され、当該抵抗素子の両端に発生する電位差が、 A と B とを含む回路の所定の動作に影響を与えない程度である場合等、回路の動作を説明する上で、 A と B との間の部分が、同じノードであると捉えて差し支えない状態にある場合に、 A と B とが接続されているという。

40

【0026】

なお、本明細書において、「概ね」とは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、又は測定誤差等の、様々な誤差を含むものとする。

【0027】

なお、本明細書において、 L レベルの信号(「 L 信号」ともいう。)の電位を V_1 とし、 H レベルの信号(「 H 信号」ともいう。)の電位を V_2 ($V_2 > V_1$)とする。また、

50

「L信号の電位」、「Lレベルの電位」、又は「電圧V1」と記載する場合は、これらの電位が概ねV1であるものとし、「H信号の電位」、「Hレベルの電位」、又は「電圧V2」と記載する場合は、これらの電位が概ねV2であるものとする。

【0028】

(実施の形態1)

本実施の形態では、ゲートドライバ回路(「ゲートドライバ」ともいう。)を有する半導体装置について、図1(A)~図3(C)を参照して説明する。

【0029】

図1(A)に、ゲートドライバ回路を有する半導体装置の構成の一例を示す。また、図1(B)は、半導体装置の動作の一例を示すタイミングチャートである。なお、半導体装置は、ゲートドライバ回路の他にも、ソースドライバ回路(「ソースドライバ」ともいう。)、制御回路等を有していてもよい。

【0030】

図1(A)において、半導体装置は、画素部50と、第1のゲートドライバ回路51と、第2のゲートドライバ回路52と、第1のゲートドライバ回路51及び第2のゲートドライバ回路52に接続されたゲート線54(「ゲート信号線」ともいう。)を有する。図1(A)では、半導体装置が有する複数のゲート線 $G_1 \sim$ ゲート線 G_m (m は自然数)のうち、ゲート線 $G_i \sim$ ゲート線 G_{i+2} (i は $1 \sim m-2$ のいずれか一つ)を示している。

【0031】

ゲート線54が選択される場合、ゲートドライバ回路51及びゲートドライバ回路52から、ゲート線54にH信号が入力される。このように、ゲートドライバ回路51及びゲートドライバ回路52の両方からH信号が入力されることによって、ゲート線54の電位の立ち上がり時間又は立ち下がり時間を短くすることができ、また、ゲート線54に出力される信号の遅延又はなまりを低減することができる。

【0032】

一方、ゲート線54が選択されない場合、ゲートドライバ回路51及びゲートドライバ回路52の一方から、ゲート線54にL信号が出力され、他方からはゲート線54に信号が出力されない。よって、当該他方のゲートドライバ回路が有するトランジスタの一部又は全てをオフにすることができる。

【0033】

また、図1(A)に示す半導体装置の動作の一例について、以下に説明する。図2(A)~図2(C)は k フレーム目、図3(A)~図3(C)は $k+1$ フレーム目における半導体装置の動作の一例を示す。

【0034】

なお、図2(A)~図3(C)において、矢印は、ゲートドライバ回路(第1のゲートドライバ回路51又は第2のゲートドライバ回路52)がゲート線54に信号を出力することを意味し、×印は、ゲートドライバ回路がゲート線54に信号を出力しないことを意味する。

【0035】

ここで、ゲートドライバ回路がゲート線54に出力する信号の種類によって、矢印の向きを使い分ける。ゲートドライバ回路がゲート線54に、信号(例えば、非選択信号)を出力する場合は、矢印の向きをゲート線54からゲートドライバ回路への方向とする。一方、ゲートドライバ回路がゲート線54に、上記信号(例えば、非選択信号)とは別の信号(例えば、選択信号)を出力する場合は、矢印の向きをゲートドライバ回路からゲート線54への方向とする。

【0036】

図2(A)に示すように、 k フレーム目において、ゲート線 G_i が選択され、ゲート線 G_{i+1} 及びゲート線 G_{i+2} が選択されない場合(図1(B)の期間 k_i に対応)、ゲートドライバ回路51及びゲートドライバ回路52からゲート線 G_i にH信号が出力さ

10

20

30

40

50

れる。また、ゲートドライバ回路 5 1 からゲート線 G_{i+1} 及びゲート線 G_{i+2} に L 信号が出力され、ゲートドライバ回路 5 2 からゲート線 G_{i+1} 及びゲート線 G_{i+2} に信号が出力されない。よって、ゲートドライバ回路 5 2 が有するトランジスタの一部又は全てをオフにすることができる。

【0037】

次に、図 3 (A) に示すように、 $k+1$ フレーム目において、ゲート線 G_i が選択され、ゲート線 G_{i+1} 及びゲート線 G_{i+2} が選択されない場合 (図 1 (B) の期間 $k+1$ — i に対応)、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 からゲート線 G_i に H 信号が出力される。また、ゲートドライバ回路 5 1 からゲート線 G_{i+1} 及びゲート線 G_{i+2} に信号が出力されず、ゲートドライバ回路 5 2 からゲート線 G_{i+1} 及びゲート線 G_{i+2} に L 信号が出力される。よって、ゲートドライバ回路 5 1 が有するトランジスタの一部又は全てをオフにすることができる。

10

【0038】

同様に、図 2 (B) に示すように、 k フレーム目において、ゲート線 G_{i+1} が選択され、ゲート線 G_i 及びゲート線 G_{i+2} が選択されない場合、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 からゲート線 G_{i+1} に H 信号が出力される。また、ゲートドライバ回路 5 1 からゲート線 G_i 及びゲート線 G_{i+2} に L 信号が出力され、ゲートドライバ回路 5 2 からゲート線 G_i 及びゲート線 G_{i+2} に信号が出力されない。よって、ゲートドライバ回路 5 2 が有するトランジスタの一部又は全てをオフにすることができる。

【0039】

20

次に、図 3 (B) に示すように、 $k+1$ フレーム目において、ゲート線 G_{i+1} が選択され、ゲート線 G_i 及びゲート線 G_{i+2} が選択されない場合、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 からゲート線 G_{i+1} に H 信号が出力される。また、ゲートドライバ回路 5 1 からゲート線 G_i 及びゲート線 G_{i+2} に信号が出力されず、ゲートドライバ回路 5 2 からゲート線 G_i 及びゲート線 G_{i+2} に L 信号が出力される。よって、ゲートドライバ回路 5 1 が有するトランジスタの一部又は全てをオフにすることができる。

【0040】

同様に、図 2 (C) に示すように、 k フレーム目において、ゲート線 G_{i+2} が選択され、ゲート線 G_i 及びゲート線 G_{i+1} が選択されない場合、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 からゲート線 G_{i+2} に H 信号が出力される。また、ゲートドライバ回路 5 1 からゲート線 G_i 及びゲート線 G_{i+1} に L 信号が出力され、ゲートドライバ回路 5 2 からゲート線 G_i 及びゲート線 G_{i+1} に信号が出力されない。よって、ゲートドライバ回路 5 2 が有するトランジスタの一部又は全てをオフにすることができる。

30

【0041】

次に、図 3 (C) に示すように、 $k+1$ フレーム目において、ゲート線 G_{i+2} が選択され、ゲート線 G_i 及びゲート線 G_{i+1} が選択されない場合、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 からゲート線 G_{i+2} に H 信号が出力される。また、ゲートドライバ回路 5 1 からゲート線 G_i 及びゲート線 G_{i+1} に信号が出力されず、ゲートドライバ回路 5 2 からゲート線 G_i 及びゲート線 G_{i+1} に L 信号が出力される。よって、ゲートドライバ回路 5 1 が有するトランジスタの一部又は全てをオフにすることができる。

40

【0042】

このようにして、選択されないゲート線 5 4 には、ゲートドライバ回路 5 1 及びゲートドライバ回路 5 2 の一方からは信号が出力されないので、当該一方のゲートドライバ回路が有するトランジスタの一部又は全てをオフにすることができる。よって、当該トランジスタの劣化を抑制することができる。

【0043】

(実施の形態 2)

本実施の形態では、ゲートドライバ回路の構成及び動作について説明する。

50

【 0 0 4 4 】

< ゲートドライバ回路の構成 >

ゲートドライバ回路の構成について、図 4 (A) を参照して説明する。

【 0 0 4 5 】

図 4 (A) に、ゲートドライバ回路の構成の一例を示す。ゲートドライバ回路は、回路 1 0 A と回路 1 0 B とを有する。なお、図 4 (A) では、ゲートドライバ回路が、回路 1 0 A と回路 1 0 B の 2 つの回路を有する場合を示しているが、ゲートドライバ回路が、回路 1 0 A と回路 1 0 B を含む 3 つ以上の回路を有していてもよい。

【 0 0 4 6 】

回路 1 0 A は配線 1 1 と接続され、回路 1 0 B は配線 1 1 と接続される。

10

【 0 0 4 7 】

配線 1 1 に回路 1 0 A 又は回路 1 0 B から信号が入力され、配線 1 1 は、信号線としての機能を有する。なお、回路 1 0 A 及び回路 1 0 B とは別の回路から、配線 1 1 に信号が入力されてもよい。

【 0 0 4 8 】

なお、図 4 (A) のゲートドライバ回路を、画素部を有する表示装置に用いる場合、配線 1 1 は画素部に延伸して配置され、画素部を構成する画素のトランジスタ（例えば、スイッチングトランジスタ、選択トランジスタ等）のゲートと接続される。この場合、配線 1 1 はゲート線（「ゲート信号線」ともいう。）、走査線、又は電源線としての機能を有する。

20

【 0 0 4 9 】

または、配線 1 1 に回路 1 0 A 又は回路 1 0 B から一定の電圧が供給され、配線 1 1 は、電源線としての機能を有する。なお、回路 1 0 A 及び回路 1 0 B とは別の回路から、配線 1 1 に電圧が入力されてもよい。

【 0 0 5 0 】

次に、回路 1 0 A と回路 1 0 B の機能について説明する。

【 0 0 5 1 】

回路 1 0 A は、配線 1 1 に信号（例えば、選択信号又は非選択信号）を出力するタイミングを制御する機能を有する。または、回路 1 0 A は、配線 1 1 に信号を出力しないタイミングを制御する機能を有する。または、回路 1 0 A は、ある期間において配線 1 1 に信号（例えば、非選択信号）を出力し、別の期間では配線 1 1 に別の信号（例えば、選択信号）を出力する機能を有する。または、回路 1 0 A は、ある期間において配線 1 1 に信号（例えば、選択信号又は非選択信号）を出力し、別の期間において配線 1 1 に信号を出力しない機能を有する。

30

【 0 0 5 2 】

このように、回路 1 0 A は、駆動回路、又は制御回路としての機能を有する。なお、回路 1 0 A は、配線 1 1 にさらに別の信号を出力してもよい。この場合、回路 1 0 A は、配線 1 1 に 3 種類以上の信号を出力することができる。

【 0 0 5 3 】

回路 1 0 B は、配線 1 1 に信号（例えば、選択信号又は非選択信号）を出力するタイミングを制御する機能を有する。または、回路 1 0 B は、配線 1 1 に信号を出力しないタイミングを制御する機能を有する。または、回路 1 0 B は、ある期間において配線 1 1 に信号（例えば、非選択信号）を出力し、別の期間では配線 1 1 に別の信号（例えば、選択信号）を出力する機能を有する。または、回路 1 0 B は、ある期間において配線 1 1 に信号（例えば、選択信号又は非選択信号）を出力し、別の期間において配線 1 1 に信号を出力しない機能を有する。

40

【 0 0 5 4 】

このように、回路 1 0 B は、駆動回路、又は制御回路としての機能を有する。なお、回路 1 0 B は、配線 1 1 にさらに別の信号を出力してもよい。この場合、回路 1 0 B は、配線 1 1 に 3 種類以上の信号を出力することができる。

50

【 0 0 5 5 】

< ゲートドライバ回路の動作 >

図 4 (A) のゲートドライバ回路の動作について、図 4 (B) 及び図 5 (A) ~ 図 5 (I) を参照して説明する。

【 0 0 5 6 】

図 4 (B) に、ゲートドライバ回路の動作の一例を示す。図 4 (B) では、ゲートドライバ回路が行う各動作における、回路 1 0 A の出力信号 O U T A 及び回路 1 0 B の出力信号 O U T B を示している。図 5 (A) ~ 図 5 (I) は、図 4 (A) のゲートドライバ回路が行う各動作の一例に対応する模式図である。

【 0 0 5 7 】

なお、図 4 (A) のゲートドライバ回路は、回路 1 0 A と回路 1 0 B のそれぞれが、配線 1 1 に信号（例えば、非選択信号）を出力する場合と、回路 1 0 A と回路 1 0 B のそれぞれが、配線 1 1 に当該信号とは別の信号（例えば、選択信号）を出力する場合と、回路 1 0 A と回路 1 0 B のそれぞれが、配線 1 1 に信号（例えば、非選択信号及び選択信号）を出力しない場合と、を適宜組み合わせることによって、図 4 (B) に示す 9 つの動作を行うことができる。

【 0 0 5 8 】

本実施の形態では、上記 9 つの動作について説明する。なお、図 4 (A) のゲートドライバ回路は、9 つの動作の全てを行う必要はなく、9 つの動作の一部を選択して行うことができる。また、図 4 (A) のゲートドライバ回路は、この 9 つの動作以外の動作を行ってもよい。

【 0 0 5 9 】

なお、図 4 (B) において、「」は、回路（回路 1 0 A 又は回路 1 0 B ）が配線 1 1 に信号（例えば、非選択信号）を出力することを意味する。「」は、回路が配線 1 1 に当該信号とは別の信号（例えば、選択信号）を出力することを意味する。「×」は、回路が配線 1 1 に信号（例えば、非選択信号及び選択信号）を出力しないことを意味する。

【 0 0 6 0 】

なお、図 5 (A) ~ 図 5 (I) の模式図において、矢印は、回路（回路 1 0 A 又は回路 1 0 B ）が配線 1 1 に信号を出力することを意味し、×印は、回路が配線 1 1 に信号を出力しないことを意味する。ここで、回路が配線 1 1 に出力する信号の種類によって、矢印の向きを使い分ける。回路が配線 1 1 に、信号（例えば、非選択信号）を出力する場合は、矢印の向きを配線 1 1 から回路へ方向とする。一方、回路が配線 1 1 に、上記信号（例えば、非選択信号）とは別の信号（例えば、選択信号）を出力する場合は、矢印の向きを回路から配線 1 1 へ方向とする。

【 0 0 6 1 】

なお、図 5 (A) ~ 図 5 (I) の模式図において、矢印の向きは、電流の向き及び電流が生じることを示すものではなく、回路（回路 1 0 A 又は回路 1 0 B ）から配線 1 1 に信号が出力されることを意味する。なお、電流の向きは、配線 1 1 の電位によって決まる。また、回路から出力される信号の電位と配線 1 1 の電位とがおおむね等しいと、電流が生じない又は電流が微少になることがある。

【 0 0 6 2 】

図 4 (A) のゲートドライバ回路の動作の一例について、以下に説明する。

【 0 0 6 3 】

図 5 (A) の動作 1 では、回路 1 0 A は配線 1 1 に信号（例えば、非選択信号）を出力し、回路 1 0 B は配線 1 1 に信号（例えば、非選択信号）を出力する。図 5 (B) の動作 2 では、回路 1 0 A は配線 1 1 に信号（例えば、非選択信号）を出力し、回路 1 0 B は配線 1 1 に信号を出力しない。図 5 (C) の動作 3 では、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に信号（例えば、非選択信号）を出力する。図 5 (D) の動作 4 では、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に信号を出力しない。

【 0 0 6 4 】

図 5 (E) の動作 5 では、回路 1 0 A は配線 1 1 に別の信号 (例えば、選択信号) を出力し、回路 1 0 B は配線 1 1 に別の信号 (例えば、選択信号) を出力する。図 5 (F) の動作 6 では、回路 1 0 A は配線 1 1 に別の信号 (例えば、選択信号) を出力し、回路 1 0 B は配線 1 1 に信号を出力しない。図 5 (G) の動作 7 では、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に別の信号 (例えば、選択信号) を出力する。図 5 (H) の動作 8 では、回路 1 0 A は配線 1 1 に信号 (例えば、非選択信号) を出力し、回路 1 0 B は配線 1 1 に別の信号 (例えば、選択信号) を出力する。図 5 (I) の動作 9 では、回路 1 0 A は配線 1 1 に別の信号 (例えば、選択信号) を出力し、回路 1 0 B は配線 1 1 に信号 (例えば、非選択信号) を出力する。

10

【 0 0 6 5 】

以上のように、図 4 (A) のゲートドライバ回路は、様々な動作を行うことができる。次に、それぞれの動作における利点について説明する。

【 0 0 6 6 】

動作 1 及び動作 5 において、回路 1 0 A と回路 1 0 B が配線 1 1 に同じ信号を出力することにより、配線 1 1 の電位をノイズが少なく安定した値にすることができる。例えば、配線 1 1 と接続された画素に本来書き込まれるべきでない信号 (例えば、別の行の画素に入力されるビデオ信号) が書き込まれるのを防止することができる。または、配線 1 1 と接続された画素が保持するビデオ信号の電位が変化するのを防止することができる。これらの結果、表示装置の表示品位の向上を図ることができる。

20

【 0 0 6 7 】

また、動作 1 及び動作 5 において、回路 1 0 A と回路 1 0 B が配線 1 1 に同じ信号を出力することにより、配線 1 1 の電位の変化を急峻にする (例えば、立ち上がり時間を短くする又は立ち下がり時間を短くする) ことができる。よって、配線 1 1 の電位のなまりを低減することができる。例えば、配線 1 1 と接続された画素に本来書き込まれるべきでない信号 (例えば、前の行の画素に入力されるビデオ信号) が書き込まれるのを防止することができる。この結果、クロストークを低減することができるので、表示装置の表示品位の向上を図ることができる。

【 0 0 6 8 】

動作 8 及び動作 9 において、回路 1 0 A と回路 1 0 B が配線 1 1 に別々の信号 (例えば、選択信号及び非選択信号) を出力することにより、配線 1 1 の電位を、回路 1 0 A が出力する信号の電位と、回路 1 0 B が出力する信号の電位との間の電位にすることができる。そのため、配線 1 1 の電位を精度良く制御することができる。

30

【 0 0 6 9 】

動作 2、動作 3、動作 6、及び動作 7 において、回路 1 0 A 及び回路 1 0 B の一方から配線 1 1 に信号を出力することにより、回路 1 0 A と回路 1 0 B の他方は信号を出力しないため、当該信号を出力しない回路が有するトランジスタをオフにすることができる。よって、当該トランジスタの劣化を抑制することができる。

【 0 0 7 0 】

動作 4 において、回路 1 0 A 及び回路 1 0 B から配線 1 1 に信号を出力しないため、回路 1 0 A と回路 1 0 B が有するトランジスタをオフにすることができる。よって、当該トランジスタの劣化を抑制することができる。

40

【 0 0 7 1 】

上記のように、動作 2、動作 3、動作 4、動作 6、動作 7 において、トランジスタの劣化を抑制することができるため、トランジスタの半導体層として、非晶質半導体若しくは微結晶半導体等の非単結晶半導体、有機半導体、又は酸化物半導体等の、劣化しやすい材料を用いることができる。よって、半導体装置を作製する際に、工程数を削減し、歩留まりを高くし、又はコストを削減することができる。また、半導体装置の作製方法が容易になるため、表示装置を大型にすることができる。

【 0 0 7 2 】

50

また、動作 2、動作 3、動作 4、動作 6、動作 7 において、トランジスタの劣化を抑制することができるため、トランジスタの劣化を考慮してトランジスタのチャネル幅を大きくする必要がない。このため、トランジスタのチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。特に、本実施の形態のゲートドライバ回路を表示装置に用いる場合、ゲートドライバ回路のレイアウト面積を小さくすることができるので、画素の解像度を高くすることができる。

【0073】

また、上記のように、動作 2、動作 3、動作 4、動作 6、動作 7 において、トランジスタのチャネル幅を小さくすることができるので、ゲートドライバ回路の負荷を小さくすることができる。そのため、本実施の形態のゲートドライバ回路に信号等を供給する回路（例えば、外部回路）の電流供給能力を小さくすることができる。この結果、当該信号等を供給する回路の規模を小さくすること、又は、当該信号等を供給する回路として用いられる IC チップの数を減らすことができる。また、ゲートドライバ回路の負荷を小さくすることができるため、ゲートドライバ回路の消費電力を低減することができる。

【0074】

次に、図 4（A）のゲートドライバ回路の動作が、図 5（A）～図 5（I）で示す動作 1～動作 9 のうちのいくつかを組み合わせで行われる場合の、タイミングチャートについて以下に説明する。

【0075】

ここで、図 4（A）のゲートドライバ回路の動作を示すタイミングチャートは、複数の期間を有する。各期間、又は、ある期間から別の期間に移行する期間において、図 4（A）のゲートドライバ回路は、図 5（A）～図 5（I）で示す動作 1～動作 9 のいずれかを行うことができる。また、図 4（A）のゲートドライバ回路は、図 5（A）～図 5（I）で示す動作 1～動作 9 以外の動作を行ってもよい。

【0076】

図 6（A）～図 6（L）は、ゲートドライバ回路の動作の一例を示すタイミングチャートである。図 6（A）～図 6（L）のタイミングチャートでは、期間 a と期間 b と期間 c とを順に有し、それ以外に期間 d を有する。なお、図 6（A）～図 6（L）では、期間 a～期間 d がこの順に配置されているが、期間 a～期間 d の配置の順番はこれに限定されない。また、タイミングチャートは、期間 a～期間 d 以外の期間を有していてもよい。

【0077】

また、図 6（A）～図 6（L）のタイミングチャートにおいて、実線は回路（回路 10 A 又は回路 10 B）が配線 11 に信号を出力していることを意味し、点線は回路が配線 11 に信号を出力していないことを意味する。

【0078】

図 6（A）に示すタイミングチャートを参照して、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に移行する期間、期間 c、及び期間 d における、図 4（A）のゲートドライバ回路の動作について説明する。

【0079】

期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 4（A）のゲートドライバ回路は図 5（B）の動作 2 を行う。つまり、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、回路 10 A は配線 11 に信号（例えば、非選択信号）を出力し、回路 10 B は配線 11 に信号を出力しない。

【0080】

期間 a から期間 b に移行する期間、及び期間 b において、図 4（A）のゲートドライバ回路は図 5（F）の動作 6 を行う。つまり、期間 a から期間 b に移行する期間、及び期間 b において、回路 10 A は配線 11 に別の信号（例えば、選択信号）を出力し、回路 10 B は配線 11 に信号を出力しない。

【0081】

このように、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に

10

20

30

40

50

移行する期間、期間 c、及び期間 d において、回路 10B は、配線 11 に信号を出力しない。そのため、回路 10B が有するトランジスタの劣化を抑制することができる。また、回路 10B において、信号を出力しないためのスイッチを設ける、又は、トランジスタをオフにする等、簡単な回路設計によって、回路 10B の消費電力を低減することができる。

【0082】

なお、図 6 (A) に示すタイミングチャートにおいて、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に移行する期間、期間 c、及び期間 d のうちの少なくとも一つにおいて、回路 10A は、配線 11 に信号を出力しなくてもよい。

【0083】

また、図 6 (B) に示すように、回路 10B は、期間 a から期間 b に移行する期間において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0084】

また、図 6 (C) に示すように、回路 10B は、期間 a において、配線 11 に信号（例えば、非選択信号）を出力し、期間 a から期間 b に移行する期間において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0085】

また、図 6 (D) に示すように、回路 10B は、期間 a から期間 b に移行する期間、及び期間 b において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0086】

また、図 6 (E) に示すように、回路 10B は、期間 a において、配線 11 に信号（例えば、非選択信号）を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0087】

また、図 6 (F) に示すように、回路 10B は、期間 b から期間 c に移行する期間において、配線 11 に信号（例えば、非選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0088】

また、図 6 (G) に示すように、回路 10B は、期間 b から期間 c に移行する期間において、配線 11 に信号（例えば、非選択信号）を出力し、期間 b において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0089】

また、図 6 (H) に示すように、回路 10B は、期間 b から期間 c に移行する期間、及び期間 c において、配線 11 に信号（例えば、非選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0090】

また、図 6 (I) に示すように、回路 10B は、期間 b から期間 c に移行する期間、及び期間 c において、配線 11 に信号（例えば、非選択信号）を出力し、期間 b において、配線 11 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

【0091】

また、図 6 (J) に示すように、回路 10B は、期間 a から期間 b に移行する期間において、配線 11 に別の信号（例えば、選択信号）を出力し、期間 b から期間 c に移行する期間において、配線 11 に信号（例えば、非選択信号）を出力してもよい。これにより、配線 11 の電位の変化を急峻にすることができる。

10

20

30

40

50

【 0 0 9 2 】

また、図 6 (K) に示すように、回路 1 0 B は、期間 a、及び期間 b から期間 c に移行する期間において、配線 1 1 に信号（例えば、非選択信号）を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 0 9 3 】

また、図 6 (L) に示すように、回路 1 0 B は、期間 a、期間 b から期間 c に移行する期間、及び期間 c において、配線 1 1 に信号（例えば、非選択信号）を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

10

【 0 0 9 4 】

なお、上記の説明において、選択信号及び非選択信号は、回路 1 0 A 及び回路 1 0 B が出力する信号の一例であって、互いに異なる信号であればよい。

【 0 0 9 5 】

次に、図 4 (A) のゲートドライバ回路の動作が、図 5 (A) ~ 図 5 (I) で示す動作 1 ~ 動作 9 のうちのいくつかを組み合わせで行われる場合の、図 6 (A) ~ 図 6 (L) とは異なるタイミングチャートについて以下に説明する。

【 0 0 9 6 】

図 7 (A) ~ 図 7 (L) は、ゲートドライバ回路の動作の一例を示すタイミングチャートである。

20

【 0 0 9 7 】

図 7 (A) に示すタイミングチャートを参照して、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に移行する期間、期間 c、及び期間 d における、図 4 (A) のゲートドライバ回路の動作について説明する。

【 0 0 9 8 】

期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 4 (A) のゲートドライバ回路は図 5 (C) の動作 3 を行う。つまり、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に信号（例えば、非選択信号）を出力する。

【 0 0 9 9 】

期間 a から期間 b に移行する期間、及び期間 b において、図 4 (A) のゲートドライバ回路は図 5 (G) の動作 7 を行う。つまり、期間 a から期間 b に移行する期間、及び期間 b において、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に別の信号（例えば、選択信号）を出力する。

30

【 0 1 0 0 】

このように、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、回路 1 0 A は、配線 1 1 に信号を出力しない。そのため、回路 1 0 A が有するトランジスタの劣化を抑制することができる。また、回路 1 0 A において、信号を出力しないためのスイッチを設ける、又は、トランジスタをオフにする等、簡単な回路設計によって、回路 1 0 A の消費電力を低減することができる。

40

【 0 1 0 1 】

なお、図 7 (A) に示すタイミングチャートにおいて、期間 a、期間 a から期間 b に移行する期間、期間 b、期間 b から期間 c に移行する期間、期間 c、及び期間 d のうちの少なくとも一つにおいて、回路 1 0 B は、配線 1 1 に信号を出力しなくてもよい。

【 0 1 0 2 】

また、図 7 (B) に示すように、回路 1 0 A は、期間 a から期間 b に移行する期間において、配線 1 1 に別の信号（例えば、選択信号）を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 0 3 】

50

また、図 7 (C) に示すように、回路 1 0 A は、期間 a において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 a から期間 b に移行する期間において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 0 4 】

また、図 7 (D) に示すように、回路 1 0 A は、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 0 5 】

また、図 7 (E) に示すように、回路 1 0 A は、期間 a において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

10

【 0 1 0 6 】

また、図 7 (F) に示すように、回路 1 0 A は、期間 b から期間 c に移行する期間において、配線 1 1 に信号 (例えば、非選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 0 7 】

また、図 7 (G) に示すように、回路 1 0 A は、期間 b から期間 c に移行する期間において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

20

【 0 1 0 8 】

また、図 7 (H) に示すように、回路 1 0 A は、期間 b から期間 c に移行する期間、及び期間 c において、配線 1 1 に信号 (例えば、非選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 0 9 】

また、図 7 (I) に示すように、回路 1 0 A は、期間 b から期間 c に移行する期間、及び期間 c において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

30

【 0 1 1 0 】

また、図 7 (J) に示すように、回路 1 0 A は、期間 a から期間 b に移行する期間において、配線 1 1 に別の信号 (例えば、選択信号) を出力し、期間 b から期間 c に移行する期間において、配線 1 1 に信号 (例えば、非選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 1 1 】

また、図 7 (K) に示すように、回路 1 0 A は、期間 a、及び期間 b から期間 c に移行する期間において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

40

【 0 1 1 2 】

また、図 7 (L) に示すように、回路 1 0 A は、期間 a、期間 b から期間 c に移行する期間、及び期間 c において、配線 1 1 に信号 (例えば、非選択信号) を出力し、期間 a から期間 b に移行する期間、及び期間 b において、配線 1 1 に別の信号 (例えば、選択信号) を出力してもよい。これにより、配線 1 1 の電位の変化を急峻にすることができる。

【 0 1 1 3 】

なお、上記の説明において、選択信号及び非選択信号は、回路 1 0 A 及び回路 1 0 B が出力する信号の一例であって、互いに異なる信号であればよい。

【 0 1 1 4 】

50

次に、図 4 (A) のゲートドライバ回路の動作が、図 5 (A) ~ 図 5 (I) で示す動作 1 ~ 動作 9 のうちのいくつかを組み合わせで行われる場合の、図 6 (A) ~ 図 6 (L) 及び図 7 (A) ~ 図 7 (L) とは異なるタイミングチャートについて以下に説明する。

【 0 1 1 5 】

図 8 (A) ~ 図 8 (E) は、ゲートドライバ回路の動作の一例を示すタイミングチャートである。

【 0 1 1 6 】

図 8 (A) ~ 図 8 (C) のタイミングチャートは、期間 T 1 と期間 T 2 とを有する。また、図 8 (A) 及び図 8 (C) では、期間 T 1 と期間 T 2 とが交互に配置されているが、図 8 (B) に示すように、複数の期間 T 1 と複数の期間 T 2 とが交互に配置されていてもよい。また、期間 T 1 及び期間 T 2 以外の期間を有していてもよい。

10

【 0 1 1 7 】

図 8 (A) のタイミングチャートを参照して、期間 T 1 と期間 T 2 における、図 4 (A) のゲートドライバ回路の動作について説明する。

【 0 1 1 8 】

期間 T 1 では、図 6 (A) に示すタイミングチャートを用いている。そのため、期間 T 1 では、回路 1 0 B が有するトランジスタの劣化を抑制することができる。また、期間 T 2 では、図 7 (A) に示すタイミングチャートを用いている。そのため、期間 T 2 では、回路 1 0 A が有するトランジスタの劣化を抑制することができる。

【 0 1 1 9 】

20

このように、図 8 (A) では、回路 1 0 B が有するトランジスタの劣化を抑制することができる期間 T 1 と、回路 1 0 A が有するトランジスタの劣化を抑制することができる期間 T 2 とが、交互に配置されている。

【 0 1 2 0 】

ここで、回路 1 0 A と回路 1 0 B とが同様の構成を有する場合、期間 T 1 と期間 T 2 との長さを概ね等しくすることにより、回路 1 0 A が有するトランジスタと回路 1 0 B が有するトランジスタとの劣化の度合いを概ね等しくすることができる。これにより、期間 T 1 と期間 T 2 とを交互に配置することによって回路 1 0 A と回路 1 0 B の動作が切り替わっても、配線 1 1 の電位の変化をおおむね等しくすることができる。

【 0 1 2 1 】

30

したがって、図 4 (A) のゲートドライバ回路を、ビデオ信号を保持する画素を有する表示装置に用い、配線 1 1 の電位によってビデオ信号が変化する場合（例えば、フィードスルー、容量結合等）、回路 1 0 A と回路 1 0 B の動作が切り替わっても、配線 1 1 に接続された画素が保持するビデオ信号の変化を概ね等しくすることができる。よって、画素の輝度又は透過率等を概ね等しくすることができるので、表示品位の向上を図ることができる。

【 0 1 2 2 】

また、期間 T 1 では、図 6 (A) ~ 図 6 (L) に示すタイミングチャートのいずれを用いてもよく、期間 T 2 では、図 7 (A) ~ 図 7 (L) に示すタイミングチャートのいずれを用いてもよい。例えば、図 8 (C) に示すように、期間 T 1 では図 6 (K) のタイミングチャートを用い、期間 T 2 では図 7 (K) のタイミングチャートを用いてもよい。

40

【 0 1 2 3 】

次に、図 6 (A) ~ 図 6 (L)、図 7 (A) ~ 図 7 (L)、図 8 (A)、及び図 8 (C) に示す期間 d における、図 4 (A) のゲートドライバ回路の動作の一例を示すタイミングチャートについて、図 8 (D) を参照して説明する。

【 0 1 2 4 】

図 8 (D) は、期間 d におけるゲートドライバ回路の動作の一例を示すタイミングチャートである。

【 0 1 2 5 】

図 6 (A) ~ 図 6 (L)、図 7 (A) ~ 図 7 (L)、図 8 (A)、及び図 8 (C) に示

50

すタイミングチャートにおいて、期間 d を複数の期間に分割する。例えば、図 8 (D) に示すように、期間 d を、期間 d 1 と期間 d 2 の 2 つの期間に分割する。ただし、期間 d の分割数などはこれに限定されず、期間 d を 3 つ以上の期間に分割してもよい。また、図 8 (D) では、期間 d 1 と期間 d 2 とが交互に配置されているが、複数の期間 d 1 と複数の期間 d 2 とが交互に配置されていてもよい。

【 0 1 2 6 】

図 8 (D) のタイミングチャートを参照して、期間 d 1 と期間 d 2 における、図 4 (A) のゲートドライバ回路の動作について説明する。

【 0 1 2 7 】

期間 d 1 において、ゲートドライバ回路は図 5 (B) の動作 2 を行う。つまり、期間 d 1 において、回路 1 0 A は配線 1 1 に信号を出力し、回路 1 0 B は配線 1 1 に信号を出力しない。また、期間 d 2 において、ゲートドライバ回路は図 5 (C) の動作 3 を行う。つまり、期間 d 2 において、回路 1 0 A は配線 1 1 に信号を出力せず、回路 1 0 B は配線 1 1 に信号を出力する。

【 0 1 2 8 】

このように、回路 1 0 A と回路 1 0 B のそれぞれが有するトランジスタのゲートに信号を入力することができるので、それぞれのトランジスタの劣化を抑制することができる。よって、回路 1 0 A と回路 1 0 B の動作が切り替わっても、配線 1 1 の電位の変化をおおむね等しくすることができる。

【 0 1 2 9 】

したがって、図 4 (A) のゲートドライバ回路を、ビデオ信号を保持する画素を有する表示装置に用い、配線 1 1 の電位によってビデオ信号が変化する場合 (例えば、フィードスルー、容量結合等)、回路 1 0 A と回路 1 0 B の動作が切り替わっても、配線 1 1 に接続された画素が保持するビデオ信号の変化を概ね等しくすることができる。よって、画素の輝度又は透過率等を概ね等しくすることができるので、表示品位の向上を図ることができる。

【 0 1 3 0 】

次に、図 4 (A) のゲートドライバ回路の動作の他の一例を示すタイミングチャートについて説明する。

【 0 1 3 1 】

図 6 (A) ~ 図 6 (L)、図 7 (A) ~ 図 7 (L)、図 8 (A)、図 8 (C)、及び図 8 (D) において、回路 1 0 A の出力信号 O U T A の電位及び回路 1 0 B の出力信号 O U T B の電位は、それぞれの期間において一定である。または、ある期間において、出力信号の電位が複数の値を有していてもよい。例えば、図 8 (E) に示すように、期間 d において、回路 1 0 A の出力信号 O U T A の電位及び回路 1 0 B の出力信号 O U T B の電位のそれぞれが、交互に繰り返される二つの値を有していてもよい。

【 0 1 3 2 】

また、期間 d における出力信号 O U T A の電位及び出力信号 O U T B の電位のそれぞれを、アナログ的に変化させてもよい。

【 0 1 3 3 】

以上のように、図 4 (A) のゲートドライバ回路は、様々な動作を行うことができる。

【 0 1 3 4 】

< ゲートドライバ回路の他の構成 >

次に、図 4 (A) とは異なるゲートドライバ回路の構成について、図 9 (A) を参照して説明する。

【 0 1 3 5 】

図 9 (A) に、ゲートドライバ回路の構成の一例を示す。ゲートドライバ回路は、回路 1 0 A と、回路 1 0 B と、回路 1 0 C と、回路 1 0 D とを有する。回路 1 0 C 及び回路 1 0 D はそれぞれ、回路 1 0 A 又は回路 1 0 B と同様の機能を有していてもよい。

【 0 1 3 6 】

なお、図9(A)のゲートドライバ回路は、回路10A～回路10Dがそれぞれ、配線11に信号(例えば、非選択信号)を出力する場合と、回路10A～回路10Dがそれぞれ、配線11に当該信号とは別の信号(例えば、選択信号)を出力する場合と、回路10A～回路10Dがそれぞれ、配線11に信号(例えば、非選択信号及び選択信号)を出力しない場合と、を適宜組み合わせることによって、様々な動作を行うことができる。

【0137】

なお、図9(A)では、ゲートドライバ回路が配線11と接続される4つの回路(回路10A～回路10D)を有する場合について説明したが、本実施の形態のゲートドライバ回路の構成は、これに限定されない。本実施の形態のゲートドライバ回路がN(Nは自然数)個の回路を有していてもよい。なお、N個の回路のそれぞれは、回路10A又は回路10Bと同様の機能を有していてもよい。

【0138】

<ゲートドライバ回路の動作>

図9(A)のゲートドライバ回路の動作について、図9(B)を参照して説明する。図9(B)に、ゲートドライバ回路の動作の一例を示す。

【0139】

動作1では、回路10Aは、配線11に信号(例えば、非選択信号)を出力し、回路10B、回路10C、及び回路10Dは、配線11に信号を出力しない。動作2では、回路10Bは、配線11に信号(例えば、非選択信号)を出力し、回路10A、回路10C、及び回路10Dは、配線11に信号を出力しない。動作3では、回路10Cは、配線11に信号(例えば、非選択信号)を出力し、回路10A、回路10B、及び回路10Dは、配線11に信号を出力しない。動作4では、回路10Dは、配線11に信号(例えば、非選択信号)を出力し、回路10A、回路10B、及び回路10Cは、配線11に信号を出力しない。

【0140】

動作5では、回路10A及び回路10Cは、配線11に信号(例えば、非選択信号)を出力し、回路10B及び回路10Dは、配線11に信号を出力しない。動作6では、回路10B及び回路10Dは、配線11に信号(例えば、非選択信号)を出力し、回路10A及び回路10Cは、配線11に信号を出力しない。動作7では、回路10A、回路10B、回路10C、及び回路10Dは、配線11に信号(例えば、非選択信号)を出力する。動作8では、回路10A、回路10B、回路10C、及び回路10Dは、配線11に信号を出力しない。

【0141】

動作9では、回路10Aは、配線11に別の信号(例えば、選択信号)を出力し、回路10B、回路10C、及び回路10Dは、配線11に信号を出力しない。動作10では、回路10Bは、配線11に別の信号(例えば、選択信号)を出力し、回路10A、回路10C、及び回路10Dは、配線11に信号を出力しない。動作11では、回路10Cは、配線11に別の信号(例えば、選択信号)を出力し、回路10A、回路10B、及び回路10Dは、配線11に信号を出力しない。動作12では、回路10Dは、配線11に別の信号(例えば、選択信号)を出力し、回路10A、回路10B、及び回路10Cは、配線11に信号を出力しない。

【0142】

動作13では、回路10A及び回路10Cは、配線11に別の信号(例えば、選択信号)を出力し、回路10B及び回路10Dは、配線11に信号を出力しない。動作14では、回路10B及び回路10Dは、配線11に別の信号(例えば、選択信号)を出力し、回路10A及び回路10Cは、配線11に信号を出力しない。動作15では、回路10A、回路10B、回路10C、及び回路10Dは、配線11に別の信号(例えば、選択信号)を出力する。

【0143】

以上のように、図9(A)のゲートドライバ回路は、様々な動作を行うことができる。

10

20

30

40

50

【 0 1 4 4 】

なお、本実施の形態のゲートドライバ回路が有する回路（回路 1 0 A、回路 1 0 B、等）の数が多きほど、すなわち、回路の個数を示す N が大きいほど、各回路が信号を出力する回数を減らすことができる。よって、各回路が有するトランジスタの劣化を抑制することができる。ただし、N が大きすぎると回路規模が大きくなってしまうため、N を 6 よりも小さくし、好ましくは N を 4 よりも小さくし、さらに好ましくは、N = 2 とするとよい。

【 0 1 4 5 】

また、本実施の形態のゲートドライバ回路を表示装置に用いる場合、表示装置の額縁を左右で概ね等しくするために、N が偶数であることが好ましい。また、画素部を挟んで両側に配置される回路の数を等しくするために、N が偶数であることが好ましい。

10

【 0 1 4 6 】

（実施の形態 3）

本実施の形態では、ゲートドライバ回路の構成及び動作について説明する。

【 0 1 4 7 】

< ゲートドライバ回路の構成 >

ゲートドライバ回路の構成について、以下に説明する。

【 0 1 4 8 】

図 1 0 (A)、図 1 0 (B)、図 1 1 (A)、及び図 1 1 (B) に、ゲートドライバ回路の構成の一例を示す。ゲートドライバ回路は、回路 1 0 0 A と回路 1 0 0 B とを有する。

20

【 0 1 4 9 】

回路 1 0 0 A は、スイッチ 1 0 1 A 及びスイッチ 1 0 2 A を有する。スイッチ 1 0 1 A は、配線 1 1 2 A と配線 1 1 1 との間に接続される。スイッチ 1 0 2 A は、配線 1 1 3 A と配線 1 1 1 との間に接続される。

【 0 1 5 0 】

回路 1 0 0 B は、スイッチ 1 0 1 B 及びスイッチ 1 0 2 B を有する。スイッチ 1 0 1 B は、配線 1 1 2 B と配線 1 1 1 との間に接続される。スイッチ 1 0 2 B は、配線 1 1 3 B と配線 1 1 1 との間に接続される。

【 0 1 5 1 】

30

ここで、図 1 0 (B) 及び図 1 1 (B) に示すように、配線 1 1 2 A と配線 1 1 1 との間の経路を経路 1 2 1 A、配線 1 1 3 A と配線 1 1 1 との間の経路を経路 1 2 2 A、配線 1 1 2 B と配線 1 1 1 との間の経路を経路 1 2 1 B、配線 1 1 3 B と配線 1 1 1 との間の経路を経路 1 2 2 B とする。

【 0 1 5 2 】

なお、A と B との間の経路と記載する場合、A と B との間には、スイッチが接続されてもよい。また、A と B との間には、スイッチの他にも、素子（例えば、トランジスタ、ダイオード、抵抗素子、又は容量素子等）、又は回路（例えば、バッファ回路、インバータ回路、又はシフトレジスタ回路等）が接続されてもよい。または、A と B との間には、スイッチと直列に、又はスイッチと並列に、素子（例えば、抵抗素子、又はトランジスタ等）が接続されてもよい。

40

【 0 1 5 3 】

なお、回路 1 0 0 A、回路 1 0 0 B、及び配線 1 1 1 はそれぞれ、実施の形態 2 の回路 1 0 A、回路 1 0 B、及び配線 1 1 に対応し、同様の機能を有する。

【 0 1 5 4 】

次に、配線 1 1 2 A、配線 1 1 3 A、配線 1 1 2 B、及び配線 1 1 3 B について説明する。

【 0 1 5 5 】

配線 1 1 2 A 及び配線 1 1 2 B にクロック信号 C K 1 が入力される場合、配線 1 1 2 A 及び配線 1 1 2 B は、信号線又はクロック信号線（「クロック線」、「クロック供給線」

50

ともいう。)としての機能を有する。または、配線 1 1 2 A 及び配線 1 1 2 B に一定の電圧が供給される場合、配線 1 1 2 A 及び配線 1 1 2 B は、電源線としての機能を有する。

【 0 1 5 6 】

なお、配線 1 1 2 A と配線 1 1 2 B に同じ信号又は同じ電圧が入力される場合、配線 1 1 2 A と配線 1 1 2 B を接続してもよい。また、この場合、図 1 1 (A) に示すように、配線 1 1 2 A と配線 1 1 2 B とに同じ配線 1 1 2 を用いてもよい。または、配線 1 1 2 A と配線 1 1 2 B には、別々の信号又は別々の電圧が供給されてもよい。

【 0 1 5 7 】

配線 1 1 3 A 及び配線 1 1 3 B に電源電圧、基準電圧、グランド電圧、アース、又は負電源電位等の機能を有する電圧 V 1 が供給される場合、配線 1 1 3 A 及び配線 1 1 3 B は、電源線又はグランドとしての機能を有する。または、配線 1 1 3 A 及び配線 1 1 3 B に信号が入力される場合、配線 1 1 3 A 及び配線 1 1 3 B は、信号線としての機能を有する。

10

【 0 1 5 8 】

なお、配線 1 1 3 A と配線 1 1 3 B に同じ信号又は同じ電圧が供給される場合、配線 1 1 3 A と配線 1 1 3 B を接続してもよい。また、この場合、図 1 1 (A) に示すように、配線 1 1 3 A と配線 1 1 3 B とに同じ配線 1 1 3 を用いてもよい。または、配線 1 1 3 A と配線 1 1 3 B には、別々の信号又は別々の電圧が供給されてもよい。

【 0 1 5 9 】

次に、スイッチ 1 0 1 A、スイッチ 1 0 2 A、スイッチ 1 0 1 B、及びスイッチ 1 0 2 B について説明する。

20

【 0 1 6 0 】

スイッチ 1 0 1 A は、配線 1 1 2 A と配線 1 1 1 とが導通するタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、配線 1 1 2 A の電位を配線 1 1 1 に供給するタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、配線 1 1 2 A に供給される信号又は電圧等（例えば、クロック信号 C K 1、クロック信号 C K 2、又は電圧 V 2）を配線 1 1 1 に供給するタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、信号又は電圧等を配線 1 1 1 に供給しないタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、H 信号（例えば、クロック信号 C K 1）を配線 1 1 1 に供給するタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、L 信号（例えば、クロック信号 C K 1）を配線 1 1 1 に供給するタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、配線 1 1 1 の電位を上昇させるタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、配線 1 1 1 の電位を減少させるタイミングを制御する機能を有する。または、スイッチ 1 0 1 A は、配線 1 1 1 の電位を維持するタイミングを制御する機能を有する。

30

【 0 1 6 1 】

なお、クロック信号 C K 2 がクロック信号 C K 1 の反転信号に相当する場合、クロック信号 C K 1 とクロック信号 C K 2 は、互いに反転した信号、又は位相が概ね 1 8 0 ° ずれた信号とするとよい。

【 0 1 6 2 】

また、クロック信号 C K 1 又はクロック信号 C K 2 は、平衡であっても非平衡（「不平衡」ともいう。）であってもよい。平衡とは、1 周期のうち、H レベルになる期間と L レベルになる期間とが概ね等しいことをいう。非平衡とは、H レベルになる期間と L レベルになる期間とが異なることをいう。

40

【 0 1 6 3 】

なお、クロック信号 C K 1 及びクロック信号 C K 2 が非平衡であり、且つクロック信号 C K 2 がクロック信号 C K 1 の反転信号ではない場合は、クロック信号 C K 1 の H レベルになる期間とクロック信号 C K 2 が H レベルになる期間との長さを、概ね等しくしてもよい。

【 0 1 6 4 】

50

スイッチ 102A は、配線 113A と配線 111 とが導通するタイミングを制御する機能を有する。または、スイッチ 102A は、配線 113A の電位を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102A は、配線 113A に供給される信号又は電圧等（例えば、クロック信号 CK2、又は電圧 V1）を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102A は、信号又は電圧等を配線 111 に供給しないタイミングを制御する機能を有する。または、スイッチ 102A は、電圧 V1 を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102A は、配線 111 の電位を減少させるタイミングを制御する機能を有する。または、スイッチ 102A は、配線 111 の電位を維持するタイミングを制御する機能を有する。

10

【0165】

スイッチ 101B は、配線 112B と配線 111 とが導通するタイミングを制御する機能を有する。または、スイッチ 101B は、配線 112B の電位を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 101B は、配線 112B に供給される信号又は電圧等（例えば、クロック信号 CK1、クロック信号 CK2、又は電圧 V2）を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 101B は、信号又は電圧等を配線 111 に供給しないタイミングを制御する機能を有する。または、スイッチ 101B は、H 信号（例えば、クロック信号 CK1）を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 101B は、L 信号（例えば、クロック信号 CK1）を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 101B は、配線 111 の電位を上昇させるタイミングを制御する機能を有する。または、スイッチ 101B は、配線 111 の電位を減少させるタイミングを制御する機能を有する。または、スイッチ 101B は、配線 111 の電位を維持するタイミングを制御する機能を有する。

20

【0166】

スイッチ 102B は、配線 113B と配線 111 とが導通するタイミングを制御する機能を有する。または、スイッチ 102B は、配線 113B の電位を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102B は、配線 113B に供給される信号又は電圧等（例えば、クロック信号 CK2、又は電圧 V1）を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102B は、信号又は電圧等を配線 111 に供給しないタイミングを制御する機能を有する。または、スイッチ 102B は、電圧 V1 を配線 111 に供給するタイミングを制御する機能を有する。または、スイッチ 102B は、配線 111 の電位を減少させるタイミングを制御する機能を有する。または、スイッチ 102B は、配線 111 の電位を維持するタイミングを制御する機能を有する。

30

【0167】

< ゲートドライバ回路の動作 >

次に、図 10（A）のゲートドライバ回路の動作について、以下に説明する。

【0168】

図 10（C）に、図 10（A）のゲートドライバ回路が行う動作の一例を示す。図 10（C）では、ゲートドライバ回路が行う各動作における、スイッチ 101A、スイッチ 102A、スイッチ 101B、及びスイッチ 102B の状態（オン又はオフ）を示す。これらのスイッチのオンとオフとを組み合わせることによって、図 10（A）のゲートドライバ回路は、様々な動作を行うことができる。

40

【0169】

図 10（A）のゲートドライバ回路の各動作について、図 10（C）、及び図 12（A）～図 13（E）を参照して説明する。ここでは、実施の形態 2 で説明した図 5（A）～図 5（G）で示す動作 1～動作 7 を実現するための、図 10（A）のゲートドライバ回路の動作について説明する。

【0170】

50

まず、図5(A)の動作1を実現するための、図10(A)のゲートドライバ回路の動作について説明する。

【0171】

図12(A)の動作1aに示すように、スイッチ101Aはオンになるので、配線112Aと配線111とは導通状態になる。よって、配線112Aの電位(例えば、クロック信号CK1)は、配線111に供給される。スイッチ102Aはオンになるので、配線113Aと配線111とは導通状態になる。よって、配線113Aの電位(例えば、電圧V1)は、配線111に供給される。スイッチ101Bはオンになるので、配線112Bと配線111とは導通状態になる。よって、配線112Bの電位(例えば、クロック信号CK1)は、配線111に供給される。また、スイッチ102Bはオンになるので、配線113Bと配線111とは導通状態になる。よって、配線113Bの電位(例えば、電圧V1)は、配線111に供給される。

10

【0172】

よって、回路100A及び回路100Bから配線111に電位が供給されることにより、図5(A)の動作1を実現することができる。

【0173】

また、図12(A)の動作1aにおいて、図12(B)の動作1bに示すように、スイッチ101A及びスイッチ101Bをオフにしてもよい。または、図12(A)の動作1aにおいて、図12(C)の動作1cに示すように、スイッチ102A及びスイッチ102Bをオフにしてもよい。または、図12(A)の動作1aにおいて、スイッチ101A、スイッチ102A、スイッチ101B、及びスイッチ102Bのいずれか一つをオフにしてもよい。または、図12(A)の動作1aにおいて、スイッチ101A及びスイッチ102Bをオフにしてもよい。または、図12(A)の動作1aにおいて、スイッチ101B及びスイッチ102Aをオフにしてもよい。

20

【0174】

次に、図5(B)の動作2を実現するための、図10(A)のゲートドライバ回路の動作について説明する。

【0175】

図12(D)の動作2aに示すように、スイッチ101Aはオンになるので、配線112Aと配線111とは導通状態になる。よって、配線112Aの電位(例えば、クロック信号CK1)は、配線111に供給される。スイッチ102Aはオンになるので、配線113Aと配線111とは導通状態になる。よって、配線113Aの電位(例えば、電圧V1)は、配線111に供給される。スイッチ101Bはオフになるので、配線112Bと配線111とは非導通状態になる。また、スイッチ102Bはオフになるので、配線113Bと配線111とは非導通状態になる。

30

【0176】

よって、回路100Aから配線111に電位が供給され、回路100Bから配線111に電位が供給されないことにより、図5(B)の動作2を実現することができる。

【0177】

なお、図12(D)の動作2aにおいて、図12(E)の動作2bに示すように、スイッチ102Aをオフにしてもよい。または、図12(D)の動作2aにおいて、図12(F)の動作2cに示すように、スイッチ101Aをオフにしてもよい。

40

【0178】

次に、図5(C)の動作3を実現するための、図10(A)のゲートドライバ回路の動作について説明する。

【0179】

図12(G)の動作3aに示すように、スイッチ101Aはオフになるので、配線112Aと配線111とは非導通状態になる。スイッチ102Aはオフになるので、配線113Aと配線111とは非導通状態になる。スイッチ101Bはオンになるので、配線112Bと配線111とは導通状態になる。よって、配線112Bの電位(例えば、クロック

50

信号 C K 1) は、配線 1 1 1 に供給される。また、スイッチ 1 0 2 B はオンになるので、配線 1 1 3 B と配線 1 1 1 とは導通状態になる。よって、配線 1 1 3 B の電位 (例えば、電圧 V 1) は、配線 1 1 1 に供給される。

【 0 1 8 0 】

よって、回路 1 0 0 A から配線 1 1 1 に電位が供給されず、回路 1 0 0 B から配線 1 1 1 に電位が供給されることにより、図 5 (C) の動作 3 を実現することができる。

【 0 1 8 1 】

なお、図 1 2 (G) の動作 3 a において、図 1 2 (H) の動作 3 b に示すように、スイッチ 1 0 2 B をオフにしてもよい。または、図 1 2 (G) の動作 3 a において、図 1 3 (A) の動作 3 c に示すように、スイッチ 1 0 1 B をオフにしてもよい。

10

【 0 1 8 2 】

次に、図 5 (D) の動作 4 を実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 1 8 3 】

図 1 3 (B) の動作 4 a に示すように、スイッチ 1 0 1 A はオフになるので、配線 1 1 2 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオフになるので、配線 1 1 2 B と配線 1 1 1 とは非導通状態になる。また、スイッチ 1 0 2 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

20

【 0 1 8 4 】

よって、回路 1 0 0 A 及び回路 1 0 0 B から配線 1 1 1 に電位が供給されないことにより、図 5 (D) の動作 4 を実現することができる。

【 0 1 8 5 】

次に、図 5 (E) の動作 5 を実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 1 8 6 】

図 1 3 (C) の動作 5 a に示すように、スイッチ 1 0 1 A はオンになるので、配線 1 1 2 A と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 A の別の電位 (例えば、クロック信号 C K 2) は、配線 1 1 1 に供給される。スイッチ 1 0 2 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオンになるので、配線 1 1 2 B と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 B の別の電位 (例えば、クロック信号 C K 2) は、配線 1 1 1 に供給される。また、スイッチ 1 0 2 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

30

【 0 1 8 7 】

よって、回路 1 0 0 A 及び回路 1 0 0 B から配線 1 1 1 に別の電位が供給されることにより、図 5 (E) の動作 5 を実現することができる。

【 0 1 8 8 】

次に、図 5 (F) の動作 6 を実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 1 8 9 】

40

図 1 3 (D) の動作 6 a に示すように、スイッチ 1 0 1 A はオンになるので、配線 1 1 2 A と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 A の別の電位 (例えば、クロック信号 C K 2) は、配線 1 1 1 に供給される。スイッチ 1 0 2 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオフになるので、配線 1 1 2 B と配線 1 1 1 とは非導通状態になる。また、スイッチ 1 0 2 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 1 9 0 】

よって、回路 1 0 0 A から配線 1 1 1 に別の電位が供給され、回路 1 0 0 B から配線 1 1 1 に電位が出力されないことにより、図 5 (F) の動作 6 を実現することができる。

【 0 1 9 1 】

50

次に、図 5 (G) の動作 7 を実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 1 9 2 】

図 1 3 (E) の動作 7 a に示すように、スイッチ 1 0 1 A はオフになるので、配線 1 1 2 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオンになるので、配線 1 1 2 B と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 B の別の電位 (例えば、クロック信号 C K 2) は、配線 1 1 1 に供給される。また、スイッチ 1 0 2 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 1 9 3 】

よって、回路 1 0 0 A から配線 1 1 1 に電位が供給されず、回路 1 0 0 B から配線 1 1 1 に別の電位が供給されることにより、図 5 (G) の動作 7 を実現することができる。

【 0 1 9 4 】

以上のように、スイッチ 1 0 1 A、スイッチ 1 0 2 A、スイッチ 1 0 1 B、及びスイッチ 1 0 2 B のオンとオフとを制御することによって、実施の形態 2 の図 5 (A) ~ 図 5 (G) を参照して説明したゲートドライバ回路の動作を実現することができる。

【 0 1 9 5 】

なお、図 1 2 (A) の動作 1 a、図 1 2 (D) の動作 2 a、及び図 1 2 (G) の動作 3 a において、配線 1 1 2 A 及び配線 1 1 2 B の電位は、概ね等しいことが好ましい。また、配線 1 1 3 A 及び配線 1 1 3 B の電位は概ね等しいことが好ましい。例えば、配線 1 1 3 A 及び配線 1 1 3 B に電圧 V 1 が供給される場合、クロック信号 C K 1 は L レベルであることが好ましい。

【 0 1 9 6 】

また、図 1 3 (C) の動作 5 a、図 1 3 (D) の動作 6 a、及び図 1 3 (E) の動作 7 a において、配線 1 1 3 A 及び配線 1 1 3 B の電位が V 1 である場合、配線 1 1 2 A 及び配線 1 1 2 B の電位は、概ね V 2 であることが好ましい。例えば、配線 1 1 2 A 及び配線 1 1 2 B に入力されるクロック信号 C K 2 は、H レベルであることが好ましい。

【 0 1 9 7 】

次に、実施の形態 2 で説明した図 6 (A) ~ 図 6 (L)、及び図 7 (A) ~ 図 7 (L) に示すタイミングチャートを実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 1 9 8 】

なお、実施の形態 2 では、任意の期間における図 4 (A) のゲートドライバ回路の動作について図 5 (A) ~ (I) を参照して説明したが、当該動作を実現するために、図 1 0 (A) のゲートドライバ回路は、当該任意の期間において図 1 0 (C) に示す動作のいずれかを行うことができる。例えば、図 5 (A) に示す動作 1 を実現するために、図 1 0 (A) のゲートドライバ回路は、図 1 0 (C) に示す動作 1 a、動作 1 b、及び動作 1 c (図 1 2 (A)、図 1 2 (B)、及び図 1 2 (C) に対応) のいずれかを行うことができる。

【 0 1 9 9 】

まず、図 6 (A) に示すタイミングチャートを実現するための、図 1 0 (A) のゲートドライバ回路の動作について説明する。

【 0 2 0 0 】

実施の形態 2 で説明したように、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 1 0 (A) のゲートドライバ回路は図 5 (B) に示す動作 2 を行う。よって、当該動作 2 を実現するために、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 1 0 (A) のゲートドライバ回路は、例えば、図 1 0 (C) に示す動作 2 a、動作 2 b、及び動作 2 c (図 1 2 (D)、図 1 2 (E)、及び図 1 2 (F) に対応) のいずれかを行うことができる。

【 0 2 0 1 】

また、期間 a から期間 b に移行する期間、及び期間 b において、図 10 (A) のゲートドライバ回路は図 5 (F) の動作 6 を行う。よって、当該動作 6 を実現するために、期間 a から期間 b に移行する期間、及び期間 b において、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 6 a (図 13 (D) に対応) を行うことができる。

【 0 2 0 2 】

このようにして、図 10 (A) のゲートドライバ回路が、図 6 (A) に示すタイミングチャートに対応する動作を行うことができる。

【 0 2 0 3 】

なお、図 6 (A) のタイミングチャートにおいて、期間 a、及び期間 b から期間 c に移行する期間において、回路 100 B が、配線 111 に信号 (例えば、非選択信号) を出力する場合、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 1 a、動作 1 b、及び動作 1 c (図 12 (A)、図 12 (B)、及び図 12 (C) に対応) のいずれかを行うことができる。

10

【 0 2 0 4 】

また、図 6 (A) のタイミングチャートにおいて、期間 a から期間 b に移行する期間、及び期間 b において、回路 100 B が、配線 111 に別の信号 (例えば、選択信号) を出力する場合、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 5 a (図 13 (C) に対応) を行うことができる。

【 0 2 0 5 】

このようにして、図 10 (A) のゲートドライバ回路が、図 6 (K) に示すタイミングチャートに対応する動作を行うことができる。

20

【 0 2 0 6 】

同様にして、図 10 (A) のゲートドライバ回路は、図 10 (C) で説明した動作のいずれかを行うことにより、図 6 (B) ~ 図 6 (J)、及び図 6 (L) に示すタイミングチャートを実現することができる。

【 0 2 0 7 】

次に、図 7 (A) に示すタイミングチャートを実現するための、図 10 (A) のゲートドライバ回路の動作について説明する。

【 0 2 0 8 】

実施の形態 2 で説明したように、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 10 (A) のゲートドライバ回路は図 5 (C) に示す動作 3 を行う。よって、当該動作 3 を実現するために、期間 a、期間 b から期間 c に移行する期間、期間 c、及び期間 d において、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 3 a、動作 3 b、及び動作 3 c (図 12 (G)、図 12 (H)、及び図 13 (A) に対応) のいずれかを行うことができる。

30

【 0 2 0 9 】

また、期間 a から期間 b に移行する期間、及び期間 b において、図 10 (A) のゲートドライバ回路は図 5 (G) の動作 7 を行う。よって、当該動作 7 を実現するために、期間 a から期間 b に移行する期間、及び期間 b において、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 7 a (図 13 (E) に対応) を行うことができる。

40

【 0 2 1 0 】

このようにして、図 10 (A) のゲートドライバ回路が、図 7 (A) に示すタイミングチャートに対応する動作を行うことができる。

【 0 2 1 1 】

なお、図 7 (A) のタイミングチャートにおいて、期間 a、及び期間 b から期間 c に移行する期間において、回路 100 A が、配線 111 に信号 (例えば、非選択信号) を出力する場合、図 10 (A) のゲートドライバ回路は、例えば、図 10 (C) に示す動作 1 a、動作 1 b、及び動作 1 c (図 12 (A)、図 12 (B)、及び図 12 (C) に対応) のいずれかを行うことができる。

【 0 2 1 2 】

50

また、図 7 (A) のタイミングチャートにおいて、期間 a から期間 b に移行する期間、及び期間 b において、回路 1 0 0 A が、配線 1 1 1 に別の信号（例えば、選択信号）を出力する場合、図 1 0 (A) のゲートドライバ回路は、例えば、図 1 0 (C) に示す動作 5 a (図 1 3 (C) に対応) を行うことができる。

【 0 2 1 3 】

このようにして、図 1 0 (A) のゲートドライバ回路が、図 7 (K) に示すタイミングチャートに対応する動作を行うことができる。

【 0 2 1 4 】

同様にして、図 1 0 (A) のゲートドライバ回路は、図 1 0 (C) で説明した動作のいずれかを行うことにより、図 7 (B) ~ 図 7 (J) 、及び図 7 (L) に示すタイミングチャートを実現することができる。

10

【 0 2 1 5 】

以上のように、図 1 0 (A) のゲートドライバ回路は、図 1 0 (C) に示す動作を組み合わせることによって、図 6 (A) ~ 図 6 (L) 、及び図 7 (A) ~ 図 7 (L) に示すタイミングチャートを実現することができる。

【 0 2 1 6 】

< ゲートドライバ回路の構成 >

次に、図 1 0 (A) とは異なるゲートドライバ回路の構成について、以下に説明する。ここでは、ゲートドライバ回路が、回路 1 0 0 A 又は回路 1 0 0 B と同様の機能を有する N (N は自然数) 個の回路を有する場合について説明する。

20

【 0 2 1 7 】

図 1 1 (C) に、ゲートドライバ回路の構成の一例を示す。ゲートドライバ回路は、回路 1 0 0 A 、回路 1 0 0 B 、回路 1 0 0 C 、及び回路 1 0 0 D を有する。回路 1 0 0 C 及び回路 1 0 0 D は、回路 1 0 0 A 又は回路 1 0 0 B と同様の機能を有する。

【 0 2 1 8 】

回路 1 0 0 C は、スイッチ 1 0 1 C 及びスイッチ 1 0 2 C を有する。そして、スイッチ 1 0 1 C は、配線 1 1 2 C と配線 1 1 1 との間に接続され、スイッチ 1 0 2 C は、配線 1 1 3 C と配線 1 1 1 との間に接続される。スイッチ 1 0 1 C は、スイッチ 1 0 1 A 又はスイッチ 1 0 1 B と同様の機能を有する。スイッチ 1 0 2 C は、スイッチ 1 0 2 A 又はスイッチ 1 0 2 B と同様の機能を有する。配線 1 1 2 C は、配線 1 1 2 A 又は配線 1 1 2 B と同様の機能を有し、同様の信号又は電圧が入力される。配線 1 1 3 C は、配線 1 1 3 A 又は配線 1 1 3 B と同様の機能を有し、同様の信号又は電圧が入力される。

30

【 0 2 1 9 】

回路 1 0 0 D は、スイッチ 1 0 1 D 及びスイッチ 1 0 2 D を有する。そして、スイッチ 1 0 1 D は、配線 1 1 2 D と配線 1 1 1 との間に接続され、スイッチ 1 0 2 D は、配線 1 1 3 D と配線 1 1 1 との間に接続される。スイッチ 1 0 1 D は、スイッチ 1 0 1 A 又はスイッチ 1 0 1 B と同様の機能を有する。スイッチ 1 0 2 D は、スイッチ 1 0 2 A 又はスイッチ 1 0 2 B と同様の機能を有する。配線 1 1 2 D は、配線 1 1 2 A 又は配線 1 1 2 B と同様の機能を有し、同様の信号又は電圧が入力される。配線 1 1 3 D は、配線 1 1 3 A 又は配線 1 1 3 B と同様の機能を有し、同様の信号又は電圧が入力される。

40

【 0 2 2 0 】

図 1 4 (A) に、ゲートドライバ回路の別の構成の一例を示す。ゲートドライバ回路は、回路 1 0 0 A 及び回路 1 0 0 B を有する。

【 0 2 2 1 】

回路 1 0 0 A は、スイッチ 1 0 1 A 及びスイッチ 1 0 2 A に加え、スイッチ 1 0 3 A を有する。スイッチ 1 0 3 A は、配線 1 1 3 A と配線 1 1 1 との間に接続される。スイッチ 1 0 3 A は、スイッチ 1 0 2 A と同様の動作を行うことができる。

【 0 2 2 2 】

回路 1 0 0 B は、スイッチ 1 0 1 B 及びスイッチ 1 0 2 B に加え、スイッチ 1 0 3 B を有する。スイッチ 1 0 3 B は、配線 1 1 3 B と配線 1 1 1 との間に接続される。スイッチ

50

103Bは、スイッチ102Bと同様の動作を行うことができる。

【0223】

<ゲートドライバ回路の動作>

図14(A)のゲートドライバ回路の動作について、図14(B)、及び図15(A)～図15(E)を参照して説明する。ここでは、実施の形態2で説明した図5(A)～図5(G)で示す動作1～動作7を実現するための、図14(A)のゲートドライバ回路の動作について説明する。

【0224】

まず、図5(A)の動作1を実現するための、図14(A)のゲートドライバ回路の動作について説明する。

【0225】

図14(B)の動作1dに示すように、スイッチ101Aはオフになるので、配線112Aと配線111とは非導通状態になる。スイッチ102A及びスイッチ103Aはオンになるので、配線113Aと配線111とは導通状態になる。よって、配線113Aの電位(例えば、電圧V1)は、配線111に供給される。スイッチ101Bはオフになるので、配線112Bと配線111とは非導通状態になる。スイッチ102B及びスイッチ103Bはオンになるので、配線113Bと配線111とは導通状態になる。よって、配線113Bの電位(例えば、電圧V1)は、配線111に供給される。

【0226】

なお、図14(B)の動作1dにおいて、図14(B)の動作1eに示すように、スイッチ103A及びスイッチ103Bをオフにしてもよい。または、図14(B)の動作1dにおいて、図14(B)の動作1fに示すように、スイッチ102A及びスイッチ102Bをオフにしてもよい。または、図14(B)の動作1d、動作1e、及び動作1fにおいて、スイッチ101A又はスイッチ101Bをオンにしてもよい。

【0227】

次に、図5(B)の動作2を実現するための、図14(A)のゲートドライバ回路の動作について説明する。

【0228】

図14(B)の動作2dに示すように、スイッチ101Aはオフになるので、配線112Aと配線111とは非導通状態になる。スイッチ102A及びスイッチ103Aはオンになるので、配線113Aと配線111とは導通状態になる。よって、配線113Aの電位(例えば、電圧V1)は、配線111に供給される。スイッチ101Bはオフになるので、配線112Bと配線111とは非導通状態になる。スイッチ102B及びスイッチ103Bはオフになるので、配線113Bと配線111とは非導通状態になる。

【0229】

なお、図14(B)の動作2dにおいて、図14(B)の動作2e(図15(A)に対応)に示すように、スイッチ103Aをオフにしてもよい。または、図14(B)の動作2dにおいて、図14(B)の動作2f(図15(B)に対応)に示すように、スイッチ102Aをオフにしてもよい。または、図14(B)の動作2d、動作2e、及び動作2fにおいて、スイッチ101Aをオンにしてもよい。

【0230】

次に、図5(C)の動作3を実現するための、図14(A)のゲートドライバ回路の動作について説明する。

【0231】

図14(B)の動作3dに示すように、スイッチ101Aはオフになるので、配線112Aと配線111とは非導通状態になる。スイッチ102A及びスイッチ103Aはオフになるので、配線113Aと配線111とは非導通状態になる。スイッチ101Bはオフになるので、配線112Bと配線111とは非導通状態になる。スイッチ102B及びスイッチ103Bはオンになるので、配線113Bと配線111とは導通状態になる。よって、配線113Bの電位(例えば、電圧V1)は、配線111に供給される。

10

20

30

40

50

【 0 2 3 2 】

なお、図 1 4 (B) の動作 3 d において、図 1 4 (B) の動作 3 e (図 1 5 (C) に対応) に示すように、スイッチ 1 0 3 B をオフにしてもよい。または、図 1 4 (B) の動作 3 d において、図 1 4 (B) の動作 3 f (図 1 5 (D) に対応) に示すように、スイッチ 1 0 2 B をオフにしてもよい。または、図 1 4 (B) の動作 3 d、動作 3 e、及び動作 3 f において、スイッチ 1 0 1 B をオンにしてもよい。

【 0 2 3 3 】

次に、図 5 (D) の動作 4 を実現するための、図 1 4 (A) のゲートドライバ回路の動作について説明する。

【 0 2 3 4 】

10

図 1 4 (B) の動作 4 b に示すように、スイッチ 1 0 1 A はオフになるので、配線 1 1 2 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 A 及びスイッチ 1 0 3 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオフになるので、配線 1 1 2 B と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 B 及びスイッチ 1 0 3 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 2 3 5 】

次に、図 5 (E) の動作 5 を実現するための、図 1 4 (A) のゲートドライバ回路の動作について説明する。

【 0 2 3 6 】

20

図 1 4 (B) の動作 5 b (図 1 5 (E) に対応) に示すように、スイッチ 1 0 1 A はオンになるので、配線 1 1 2 A と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 A の電位 (例えば、クロック信号 C K 1) は、配線 1 1 1 に供給される。スイッチ 1 0 2 A 及びスイッチ 1 0 3 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオンになるので、配線 1 1 2 B と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 B の電位 (例えば、クロック信号 C K 1) は、配線 1 1 1 に供給される。スイッチ 1 0 2 B 及びスイッチ 1 0 3 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 2 3 7 】

次に、図 5 (F) の動作 6 を実現するための、図 1 4 (A) のゲートドライバ回路の動作について説明する。

30

【 0 2 3 8 】

図 1 4 (B) の動作 6 b に示すように、スイッチ 1 0 1 A はオンになるので、配線 1 1 2 A と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 A の電位 (例えば、クロック信号 C K 1) は、配線 1 1 1 に供給される。スイッチ 1 0 2 A 及びスイッチ 1 0 3 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオフになるので、配線 1 1 2 B と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 B 及びスイッチ 1 0 3 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 2 3 9 】

次に、図 5 (G) の動作 7 を実現するための、図 1 4 (A) のゲートドライバ回路の動作について説明する。

40

【 0 2 4 0 】

図 1 4 (B) の動作 7 b に示すように、スイッチ 1 0 1 A はオフになるので、配線 1 1 2 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 2 A 及びスイッチ 1 0 3 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。スイッチ 1 0 1 B はオンになるので、配線 1 1 2 B と配線 1 1 1 とは導通状態になる。よって、配線 1 1 2 B の電位 (例えば、クロック信号 C K 1) は、配線 1 1 1 に供給される。スイッチ 1 0 2 B 及びスイッチ 1 0 3 B はオフになるので、配線 1 1 3 B と配線 1 1 1 とは非導通状態になる。

【 0 2 4 1 】

以上のように、スイッチ 1 0 1 A、スイッチ 1 0 2 A、スイッチ 1 0 3 A、スイッチ 1 0 1 B、スイッチ 1 0 2 B、及びスイッチ 1 0 3 B のオンとオフとを制御することによ

50

て、実施の形態 2 の図 5 (A) ~ 図 5 (G) を参照して説明したゲートドライバ回路の動作を実現することができる。

【 0 2 4 2 】

(実施の形態 4)

本実施の形態では、上記実施の形態で説明したゲートドライバ回路を有する半導体装置について説明する。

【 0 2 4 3 】

< 半導体装置の構成 >

本実施の形態の半導体装置の構成の一例について、図 1 6 (A) を参照して説明する。図 1 6 (A) に、半導体装置の回路図の一例を示す。図 1 6 (A) の半導体装置は、ゲートドライバを構成する回路 2 0 0 A 及び回路 2 0 0 B を有する。

【 0 2 4 4 】

回路 2 0 0 A は、トランジスタ 2 0 1 A、トランジスタ 2 0 2 A、及び回路 3 0 0 A を有する。回路 2 0 0 B は、トランジスタ 2 0 1 B、トランジスタ 2 0 2 B、及び回路 3 0 0 B を有する。

【 0 2 4 5 】

なお、図 1 6 (A) において、トランジスタ 2 0 1 A、トランジスタ 2 0 2 A、トランジスタ 2 0 1 B、及びトランジスタ 2 0 2 B は、N チャネル型トランジスタとして説明する。N チャネル型のトランジスタは、ゲートとソースとの間の電位差 (V_{gs}) がしきい値電圧 (V_{th}) を上回った場合にオンになる。

【 0 2 4 6 】

なお、これらのトランジスタは、P チャネル型トランジスタであってもよい。P チャネル型トランジスタは、ゲートとソースとの間の電位差 (V_{gs}) がしきい値電圧 (V_{th}) を下回った場合にオンになる。

【 0 2 4 7 】

トランジスタ 2 0 1 A は、第 1 の端子が配線 1 1 2 A と接続され、第 2 の端子が配線 1 1 1 と接続される。トランジスタ 2 0 2 A は、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子が配線 1 1 1 と接続される。回路 3 0 0 A は、配線 1 1 3 A、配線 1 1 4 A、配線 1 1 5 A、配線 1 1 6 A、トランジスタ 2 0 1 A のゲート、及びトランジスタ 2 0 2 A のゲートと接続される。なお、回路 3 0 0 A は、配線 1 1 3 A ~ 配線 1 1 6 A の全てと接続される必要はなく、配線 1 1 3 A ~ 配線 1 1 6 A のいずれかと接続されない構成としてもよい。

【 0 2 4 8 】

なお、トランジスタ 2 0 1 A のゲートと回路 3 0 0 A との接続箇所をノード A 1、トランジスタ 2 0 2 A のゲートと回路 3 0 0 A との接続箇所をノード A 2、と示す。また、ノード A 1 の電位のことを電位 V_{a1} 、ノード A 2 の電位のことを電位 V_{a2} と示す。

【 0 2 4 9 】

トランジスタ 2 0 1 B は、第 1 の端子が配線 1 1 2 B と接続され、第 2 の端子が配線 1 1 1 と接続される。トランジスタ 2 0 2 B は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子が配線 1 1 1 と接続される。回路 3 0 0 B は、配線 1 1 3 B、配線 1 1 4 B、配線 1 1 5 B、配線 1 1 6 B、トランジスタ 2 0 1 B のゲート、及びトランジスタ 2 0 2 B のゲートと接続される。なお、回路 3 0 0 B は、配線 1 1 3 B ~ 配線 1 1 6 B の全てと接続される必要はなく、配線 1 1 3 B ~ 配線 1 1 6 B のいずれかと接続されない構成としてもよい。

【 0 2 5 0 】

なお、トランジスタ 2 0 1 B のゲートと回路 3 0 0 B との接続箇所をノード B 1、トランジスタ 2 0 2 B のゲートと回路 3 0 0 B との接続箇所をノード B 2、と示す。また、ノード B 1 の電位のことを電位 V_{b1} 、ノード B 2 の電位のことを電位 V_{b2} と示す。

【 0 2 5 1 】

次に、配線 1 1 1、配線 1 1 4 A、配線 1 1 5 A、配線 1 1 6 A、配線 1 1 4 B、配線

10

20

30

40

50

1 1 5 B、及び配線 1 1 6 B について説明する。

【 0 2 5 2 】

配線 1 1 1 には、回路 2 0 0 A から信号 O U T A が出力され、回路 2 0 0 B から信号 O U T B が出力される。

【 0 2 5 3 】

配線 1 1 1 は画素部に延伸して配置され、ゲート信号線（「ゲート線」ともいう。）、走査線、又は信号線としての機能を有する。よって、信号 O U T A 及び信号 O U T B は、ゲート信号、走査信号、又は選択信号に相当する。

【 0 2 5 4 】

また、半導体装置が回路 2 0 0 A を複数有する場合、配線 1 1 1 は、別の段（例えば、次段）の回路 2 0 0 A の配線 1 1 4 A と接続されてもよい。この場合、信号 O U T A は、転送用の信号又はスタート信号に相当する。また、半導体装置が回路 2 0 0 A を複数有する場合、配線 1 1 1 は、別の段（例えば、前段）の回路 2 0 0 A の配線 1 1 6 A と接続されてもよい。この場合、信号 O U T A は、リセット信号に相当する。

【 0 2 5 5 】

また、半導体装置が回路 2 0 0 B を複数有する場合、配線 1 1 1 は、別の段（例えば、次段）の回路 2 0 0 B の配線 1 1 4 B と接続されてもよい。この場合、信号 O U T B は、転送用の信号又はスタート信号に相当する。また、半導体装置が回路 2 0 0 B を複数有する場合、配線 1 1 1 は、別の段（例えば、前段）の回路 2 0 0 B の配線 1 1 6 B と接続されてもよい。この場合、信号 O U T B は、リセット信号に相当する。

【 0 2 5 6 】

配線 1 1 4 A 及び配線 1 1 4 B には、スタート信号 S P が入力される。よって、配線 1 1 4 A 及び配線 1 1 4 B は、信号線としての機能を有する。

【 0 2 5 7 】

また、半導体装置が回路 2 0 0 A を複数有する場合、配線 1 1 4 A は、別の段（例えば、前段）の回路 2 0 0 A の配線 1 1 1 と接続されてもよい。この場合、配線 1 1 4 A は、ゲート信号線（「ゲート線」ともいう。）、走査線、又は信号線としての機能を有する。よって、スタート信号 S P は、ゲート信号、走査信号、又は選択信号に相当する。

【 0 2 5 8 】

また、半導体装置が回路 2 0 0 B を複数有する場合、配線 1 1 4 B は、別の段（例えば、前段）の回路 2 0 0 B の配線 1 1 1 と接続されてもよい。この場合、配線 1 1 4 B は、ゲート信号線（「ゲート線」ともいう。）、信号線、又は走査線としての機能を有する。よって、スタート信号 S P は、ゲート信号、選択信号、又は走査信号に相当する。

【 0 2 5 9 】

なお、配線 1 1 4 A と配線 1 1 4 B に同じ信号が入力される場合、配線 1 1 4 A と配線 1 1 4 B とが接続されてもよい。また、この場合、配線 1 1 4 A と配線 1 1 4 B とに同じ配線を用いてもよい。または、配線 1 1 4 A と配線 1 1 4 B に、別々の信号が入力されてもよい。

【 0 2 6 0 】

配線 1 1 5 A には、信号 S E L A が入力され、配線 1 1 5 B には、信号 S E L B が入力される。

【 0 2 6 1 】

信号 S E L A と信号 S E L B は、互いに反転した信号、又は位相が概ね 1 8 0 ° ずれた信号とするとよい。そして、信号 S E L A 及び信号 S E L B が、ある期間毎（例えば、フレーム期間毎）に H レベルと L レベルとを繰り返す場合、信号 S E L A 及び信号 S E L B は、制御信号、クロック信号、又はクロック制御信号に相当する。よって、配線 1 1 5 A 及び配線 1 1 5 B は、信号線、制御線、又はクロック信号線（「クロック線」、「クロック供給線」ともいう。）としての機能を有する。また、信号 S E L A 及び信号 S E L B は、数フレーム毎、電源が投入される毎、又はランダムに、H レベルと L レベルとを繰り返してもよい。また、同じ期間に、信号 S E L A と信号 S E L B との両方を、H レベル又は

10

20

30

40

50

Lレベルとしてもよい。

【0262】

配線116A及び配線116Bには、リセット信号REが入力される。よって、配線116A及び配線116Bは、信号線としての機能を有する。

【0263】

また、半導体装置が回路200Aを複数有する場合、配線116Aは、別の段（例えば、次段）の回路200Aの配線111と接続されてもよい。この場合、配線116Aは、ゲート信号線（「ゲート線」ともいう。）、信号線、又は走査線としての機能を有する。よって、リセット信号REは、ゲート信号、選択信号、又は走査信号に相当する。

【0264】

また、半導体装置が回路200Bを複数有する場合、配線116Bは、別の段（例えば、次段）の回路200Bの配線111と接続されてもよい。この場合、配線116Bは、ゲート信号線（「ゲート線」ともいう。）、信号線、又は走査線としての機能を有する。よって、リセット信号REは、ゲート信号、選択信号、又は走査信号に相当する。

【0265】

なお、配線116Aと配線116Bに同じ信号が入力される場合、配線116Aと配線116Bとが接続されてもよい。また、この場合、配線116Aと配線116Bとに同じ配線を用いてもよい。または、配線116Aと配線116Bに、別々の信号が入力されてもよい。

【0266】

次に、トランジスタ201A、トランジスタ202A、回路300A、トランジスタ201B、トランジスタ202B、及び回路300Bについて説明する。

【0267】

トランジスタ201Aは、実施の形態3で説明したスイッチ101Aと同様の機能を有する。または、トランジスタ201Aは、ブートストラップ動作を行う機能を有していてもよい。または、トランジスタ201Aは、ノードA1の電位をブートストラップ動作によって上昇させる機能を有していてもよい。

【0268】

このように、トランジスタ201Aは、スイッチとしての機能、又はバッファとしての機能等を有する。なお、トランジスタ201Aは、ノードA1の電位に応じて制御されてもよい。

【0269】

トランジスタ202Aは、実施の形態3で説明したスイッチ102Aと同様の機能を有する。なお、トランジスタ202Aは、ノードA2の電位に応じて制御されてもよい。

【0270】

回路300Aは、ノードA1の電位又はノードA2の電位を制御する機能を有する。または、回路300Aは、ノードA1又はノードA2に、信号又は電圧等を供給するタイミングを制御する機能を有する。または、回路300Aは、ノードA1又はノードA2に、信号又は電圧等を供給しないタイミングを制御する機能を有する。または、回路300Aは、ノードA1又はノードA2に、H信号又は電圧V2を供給するタイミングを制御する機能を有する。または、回路300Aは、ノードA1又はノードA2に、L信号又は電圧V1を供給するタイミングを制御する機能を有する。または、回路300Aは、ノードA1の電位又はノードA2の電位を上昇させるタイミングを制御する機能を有する。または、回路300Aは、ノードA1の電位又はノードA2の電位を減少させるタイミングを制御する機能を有する。または、回路300Aは、ノードA1の電位又はノードA2の電位を維持するタイミングを制御する機能を有する。または、回路300Aは、ノードA1又はノードA2を浮遊状態にするタイミングを制御する機能を有する。

【0271】

なお、回路300Aは、スタート信号SP、信号SELA、又はリセット信号REに応じて制御されてもよい。または、回路300Aは、前述の信号（スタート信号SP、信号

10

20

30

40

50

S E L A、及びリセット信号 R E)とは別の信号(例えば、信号 O U T A、クロック信号 C K 1、又はクロック信号 C K 2等)に応じて制御されてもよい。

【0272】

トランジスタ 201 Bは、実施の形態3で説明したスイッチ 101 Bと同様の機能を有する。または、トランジスタ 201 Bは、ブートストラップ動作を行う機能を有していてもよい。または、トランジスタ 201 Bは、ノード B 1の電位をブートストラップ動作によって上昇させる機能を有していてもよい。

【0273】

このように、トランジスタ 201 Bは、スイッチとしての機能、又はバッファとしての機能等を有する。なお、トランジスタ 201 Bは、ノード B 1の電位に応じて制御されてもよい。

10

【0274】

トランジスタ 202 Bは、実施の形態3で説明したスイッチ 102 Bと同様の機能を有する。なお、トランジスタ 202 Bは、ノード B 2の電位に応じて制御されてもよい。

【0275】

回路 300 Bは、ノード B 1の電位又はノード B 2の電位を制御する機能を有する。または、回路 300 Bは、ノード B 1又はノード B 2に、信号又は電圧等を供給するタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1又はノード B 2に、信号又は電圧等を供給しないタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1又はノード B 2に、H信号又は電圧 V 2を供給するタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1又はノード B 2に、L信号又は電圧 V 1を供給するタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1の電位又はノード B 2の電位を上昇させるタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1の電位又はノード B 2の電位を減少させるタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1の電位又はノード B 2の電位を維持するタイミングを制御する機能を有する。または、回路 300 Bは、ノード B 1又はノード B 2を浮遊状態にするタイミングを制御する機能を有する。

20

【0276】

なお、回路 300 Bは、スタート信号 S P、信号 S E L B、又はリセット信号 R Eに応じて制御されてもよい。または、回路 300 Bは、前述の信号(スタート信号 S P、信号 S E L B、及びリセット信号 R E)とは別の信号(例えば、信号 O U T B、クロック信号 C K 1、又はクロック信号 C K 2等)に応じて制御されてもよい。

30

【0277】

<半導体装置の動作>

図16(A)の半導体装置の動作の一例について、図17に示すタイミングチャートを参照して説明する。また、図18(A)~図23はそれぞれ、図16(A)の半導体装置の動作の一例を説明するための図及び動作の一例を示すタイミングチャートである。なお、上記実施の形態で説明した内容と共通するところは、その説明を省略する。

【0278】

まず、期間 a 1において、図18(A)に示すように、スタート信号 S PがHレベルになる。このスタート信号 S PがHレベルになるタイミングで、回路 300 Aは、H信号又は電圧 V 2をノード A 1に供給し始める。よって、ノード A 1の電位は上昇する。このとき、ノード A 1の電位が上昇するので、回路 300 Aは、L信号又は電圧 V 1をノード A 2に供給する。よって、ノード A 2の電位は減少して、Lレベルになる。すると、トランジスタ 202 Aはオフになるので、配線 113 Aと配線 111とは非導通状態になる。

40

【0279】

その後、ノード A 1の電位は上昇し続ける。やがて、ノード A 1の電位が $V_1 + V_{th_{201A}}$ ($V_{th_{201A}}$: トランジスタ 201 Aのしきい値電圧)まで上昇すると、トランジスタ 201 Aはオンになるので、配線 112 Aと配線 111とは導通状態になる。すると、Lレベルのクロック信号 C K 1が、トランジスタ 201 Aを介して配線 111に

50

供給される。この結果、信号OUT AはLレベルになる。

【0280】

その後、ノードA1の電位はさらに上昇する。やがて、回路300 Aは、ノードA1への信号又は電圧の供給を止めるので、回路300 AとノードA1とは非導通状態になる。この結果、ノードA1は、浮遊状態になり、ノードA1の電位は、 $V_1 + V_{th_{201A}} + V_x$ (V_x は正の数)に維持される。

【0281】

なお、期間a1において、回路300 Aは、ノードA1への信号又は電圧の供給を止めるかわりに、 $V_1 + V_{th_{201A}} + V_x$ の電圧をノードA1に供給し続けてもよい。

【0282】

一方、期間a1において、スタート信号SPがHレベルになるタイミングで、回路300 Bは、H信号又は電圧V2をノードB1に供給し始める。よって、ノードB1の電位は上昇する。このとき、信号SEL BがLレベルなので、又はノードB1の電位が上昇するので、回路300 Bは、L信号又は電圧V1をノードB2に供給する。よって、ノードB2の電位は減少して、Lレベルになる。すると、トランジスタ202 Bはオフになるので、配線113 Bと配線111とは非導通状態になる。

【0283】

その後、ノードB1の電位は上昇し続ける。やがて、ノードB1の電位が $V_1 + V_{th_{201B}}$ ($V_{th_{201B}}$:トランジスタ201 Bのしきい値電圧)まで上昇すると、トランジスタ201 Bはオンになるので、配線112 Bと配線111とは導通状態になる。すると、Lレベルのクロック信号CK1が、トランジスタ201 Bを介して配線111に供給される。この結果、信号OUT BはLレベルになる。

【0284】

その後、ノードB1の電位はさらに上昇する。やがて、回路300 Bは、ノードB1への信号又は電圧の供給を止めるので、回路300 BとノードB1とは非導通状態になる。この結果、ノードB1は、浮遊状態になり、ノードB1の電位は、 $V_1 + V_{th_{201B}} + V_x$ に維持される。

【0285】

なお、期間a1において、回路300 Bは、ノードB1への信号又は電圧の供給を止めるかわりに、 $V_1 + V_{th_{201B}} + V_x$ の電圧をノードB1に供給し続けてもよい。

【0286】

次に、期間b1において、図18(B)に示すように、スタート信号SPがLレベルになる。よって、回路300 Aは、信号又は電圧をノードA1に供給しない状態に保たれる。よって、ノードA1は浮遊状態を保持しているので、ノードA1の電位は、 $V_1 + V_{th_{201A}} + V_x$ に維持される。つまり、トランジスタ201 Aはオンの状態を保持するので、配線112 Aと配線111とは導通状態を保持する。

【0287】

また、ノードA1の電位が期間a1において上昇した値に保たれるので、回路300 Aは、L信号又は電圧V1をノードA2に供給する状態に保たれる。よって、トランジスタ202 Aはオフの状態を保持するので、配線113 Aと配線111とは非導通状態を保持する。

【0288】

このとき、クロック信号CK1はLレベルからHレベルに上昇する。すると、Hレベルのクロック信号CK1が、トランジスタ201 Aを介して配線111に供給されるので、配線111の電位が上昇する。すると、ノードA1は浮遊状態を保持しているので、ノードA1の電位は、トランジスタ201 Aのゲートと第2の端子との間の寄生容量によって、 $V_2 + V_{th_{202A}} + V_x$ ($V_{th_{202A}}$:トランジスタ202 Aのしきい値電圧)まで上昇する。いわゆる、ブートストラップ動作である。こうして、配線111の電位は、V2まで上昇するので、信号OUT AはHレベルになる。

【0289】

10

20

30

40

50

一方、期間 b_1 において、スタート信号 SP が L レベルになるので、回路 $300B$ は、信号又は電圧をノード B_1 に供給しない状態に保たれる。よって、ノード B_1 は浮遊状態を保持しているため、ノード B_1 の電位は、 $V_1 + V_{th_{201B}} + V_x$ に維持される。つまり、トランジスタ $201B$ はオンの状態を保持するので、配線 $112B$ と配線 111 とは導通状態を保持する。

【0290】

また、信号 $SELB$ が L レベルなので、又はノード B_1 の電位が期間 a_1 において上昇した値に保たれるので、回路 $300B$ は、 L 信号又は電圧 V_1 をノード B_2 に供給する状態に保たれる。よって、トランジスタ $202B$ はオフの状態を保持するので、配線 $113B$ と配線 111 とは非導通状態を保持する。

10

【0291】

このとき、クロック信号 CK_1 は L レベルから H レベルに上昇する。すると、 H レベルのクロック信号 CK_1 が、トランジスタ $201B$ を介して配線 111 に供給されるので、配線 111 の電位が上昇する。すると、ノード B_1 は浮遊状態を保持しているため、ノード B_1 の電位は、トランジスタ $201B$ のゲートと第2の端子との間の寄生容量によって、 $V_2 + V_{th_{202B}} + V_x$ ($V_{th_{202B}}$: トランジスタ $202B$ のしきい値電圧) まで上昇する。いわゆる、ブートストラップ動作である。こうして、配線 111 の電位は、 V_2 まで上昇するので、信号 $OUTB$ は H レベルになる。

【0292】

次に、期間 c_1 において、図19(A)に示すように、リセット信号 RE が H レベルになる。このリセット信号 RE が H レベルになるタイミングで、回路 $300A$ は、 L 信号又は電圧 V_1 をノード A_1 に供給する。よって、ノード A_1 の電位は、電圧 V_1 になるように減少する。すると、トランジスタ $201A$ はオフになるので、配線 $112A$ と配線 111 とは非導通状態になる。一方、ノード A_1 の電位が減少するので、回路 $300A$ は、 H 信号又は電圧 V_2 をノード A_2 に供給する。よって、ノード A_2 の電位は上昇する。すると、トランジスタ $202A$ はオンになるので、配線 $113A$ と配線 111 とは導通状態になる。この結果、電圧 V_1 は、トランジスタ $202A$ を介して配線 111 に供給される。こうして、配線 111 の電位は減少するので、信号 $OUTA$ は L レベルになる。

20

【0293】

なお、期間 c_1 において、クロック信号 CK_1 が L レベルになるタイミングは、トランジスタ $201A$ がオフになるタイミングよりも早い場合がある。そのため、トランジスタ $201A$ がオフになるまでは、 L レベルのクロック信号 CK_1 が、トランジスタ $201A$ を介して配線 111 に供給されるとよい。また、トランジスタ $201A$ のチャネル幅を大きくすると、信号 $OUTA$ の立ち下がり時間を短くすることができる。

30

【0294】

期間 c_1 において、配線 111 に関しては、電圧 V_1 がトランジスタ $202A$ を介して配線 111 に供給される場合と、 L レベルのクロック信号 CK_1 がトランジスタ $201A$ を介して配線 111 に供給される場合と、電圧 V_1 がトランジスタ $202A$ を介して配線 111 に供給され、且つ L レベルのクロック信号 CK_1 がトランジスタ $201A$ を介して配線 111 に供給される場合と、の三つのパターンがある。

40

【0295】

一方、期間 c_1 において、リセット信号 RE が H レベルになるタイミングで、回路 $300B$ は、 L 信号又は電圧 V_1 をノード B_1 に供給する。よって、ノード B_1 の電位は、電圧 V_1 になるように減少する。すると、トランジスタ $201B$ はオフになるので、配線 $112B$ と配線 111 とは非導通状態になる。一方、信号 $SELB$ は L レベルに維持されているため、回路 $300B$ は、 L 信号又は電圧 V_1 をノード B_2 に供給する状態に保たれる。よって、ノード B_2 の電位は L レベルに維持される。すると、トランジスタ $202B$ はオフの状態を保持するので、配線 $113B$ と配線 111 とは非導通状態を保持する。

【0296】

なお、期間 c_1 において、クロック信号 CK_1 が L レベルになるタイミングは、トラン

50

ジスタ 201B がオフになるタイミングよりも早い場合がある。そのため、トランジスタ 201B がオフになるまでは、L レベルのクロック信号 CK1 が、トランジスタ 201B を介して配線 111 に供給されるとよい。また、トランジスタ 201B のチャネル幅を大きくすると、信号 OUTB の立ち下がり時間を短くすることができる。

【0297】

次に、期間 d1 において、図 19 (B) に示すように、回路 300A は、L 信号又は電圧 V1 をノード A1 に供給する状態に保たれる。よって、ノード A1 の電位は L レベルに維持される。すると、トランジスタ 201A はオフの状態に保たれるので、配線 112A と配線 111 とは非導通状態を保持する。

【0298】

また、回路 300A は、H 信号又は電圧 V2 をノード A2 に供給する状態に保たれる。よって、ノード A2 の電位は H レベルに維持される。すると、トランジスタ 202A はオンの状態に保たれるので、配線 113A と配線 111 とは導通状態を保持する。この結果、電圧 V1 が、トランジスタ 202A を介して配線 111 に供給される状態に保たれる。

【0299】

一方、期間 d1 において、回路 300B は、L 信号又は電圧 V1 をノード B1 に供給する状態に保たれる。よって、ノード B1 の電位は L レベルに維持される。すると、トランジスタ 201B はオフの状態に保たれるので、配線 112B と配線 111 とは非導通状態を保持する。

【0300】

また、回路 300B は、L 信号又は電圧 V1 をノード B2 に供給する状態に保たれる。よって、ノード B2 の電位は L レベルに維持される。すると、トランジスタ 202B はオフの状態に保たれるので、配線 113B と配線 111 とは非導通状態を保持する。

【0301】

次に、期間 a2 における半導体装置の動作は、図 20 (A) に示すように、期間 a1 における半導体装置の動作と同様である。ただし、信号 SELA が L レベルになり、信号 SELB が H レベルになるところが異なる。

【0302】

次に、期間 b2 における半導体装置の動作は、図 20 (B) に示すように、期間 b1 における半導体装置の動作と同様である。ただし、信号 SELA が L レベルになり、信号 SELB が H レベルになるところが異なる。

【0303】

次に、期間 c2 における半導体装置の動作について、図 21 (A) を参照して説明する。期間 c1 における半導体装置の動作とは、信号 SELA が L レベルになり、信号 SELB が H レベルになるところが異なる。

【0304】

信号 SELA が L レベルになるので、回路 300A は、L 信号又は電圧 V1 をノード A2 に供給する。よって、トランジスタ 202A はオフになるので、配線 113A と配線 111 とは非導通状態になる。

【0305】

一方、信号 SELB が H レベルになるので、回路 300B は、H 信号又は電圧 V2 をノード B2 に供給する。よって、トランジスタ 202B はオンになるので、配線 113B と配線 111 とは導通状態になる。すると、電圧 V1 が、トランジスタ 202B を介して配線 111 に供給される。

【0306】

なお、期間 c2 において、クロック信号 CK1 が L レベルになるタイミングは、トランジスタ 201A がオフになるタイミングよりも早い場合がある。そのため、トランジスタ 201A がオフになるまでは、L レベルのクロック信号 CK1 が、トランジスタ 201A を介して配線 111 に供給されるとよい。また、トランジスタ 201A のチャネル幅を大きくすると、信号 OUTA の立ち下がり時間を短くすることができる。

10

20

30

40

50

【 0 3 0 7 】

なお、期間 c 2 において、クロック信号 C K 1 が L レベルになるタイミングは、トランジスタ 2 0 1 B がオフになるタイミングよりも早い場合がある。そのため、トランジスタ 2 0 1 B がオフになるまでは、L レベルのクロック信号 C K 1 が、トランジスタ 2 0 1 B を介して配線 1 1 1 に供給されるとよい。また、トランジスタ 2 0 1 B のチャネル幅を大きくすると、信号 O U T B の立ち下がり時間を短くすることができる。

【 0 3 0 8 】

期間 c 2 において、配線 1 1 1 に関しては、電圧 V 1 がトランジスタ 2 0 2 B を介して配線 1 1 1 に供給される場合と、L レベルのクロック信号 C K 1 がトランジスタ 2 0 1 B を介して配線 1 1 1 に供給される場合と、電圧 V 1 がトランジスタ 2 0 2 B を介して配線 1 1 1 に供給され、且つ L レベルのクロック信号 C K 1 がトランジスタ 2 0 1 B を介して配線 1 1 1 に供給される場合と、の三つのパターンがある。

10

【 0 3 0 9 】

次に、期間 d 2 における半導体装置の動作について、図 2 1 (B) を参照して説明する。期間 d 1 における半導体装置の動作とは、信号 S E L A が L レベルになり、信号 S E L B が H レベルになるところが異なる。

【 0 3 1 0 】

信号 S E L A が L レベルになるので、回路 3 0 0 A は、L 信号又は電圧 V 1 をノード A 2 に供給する。よって、トランジスタ 2 0 2 A はオフになるので、配線 1 1 3 A と配線 1 1 1 とは非導通状態になる。

20

【 0 3 1 1 】

一方、信号 S E L B が H レベルになるので、回路 3 0 0 B は、H 信号又は電圧 V 2 をノード B 2 に供給する。よって、トランジスタ 2 0 2 B はオンになるので、配線 1 1 3 B と配線 1 1 1 とは導通状態になる。すると、電圧 V 1 が、トランジスタ 2 0 2 B を介して配線 1 1 1 に供給される。

【 0 3 1 2 】

以上のように、トランジスタ 2 0 2 A とトランジスタ 2 0 2 B のうち、交互にオンにすることによって、それぞれのトランジスタの特性劣化を抑制することができる。そのため、トランジスタの半導体層として、非晶質半導体若しくは微結晶半導体等の非単結晶半導体、有機半導体、又は酸化物半導体等の、劣化しやすい材料を用いることができる。よって、半導体装置を作製する際に、工程数を削減し、歩留まりを高くし、又はコストを削減することができる。また、本実施の形態の半導体装置を表示装置に用いる場合、半導体装置の作製方法が容易になるため、表示装置を大型にすることができる。

30

【 0 3 1 3 】

また、トランジスタの特性劣化を抑制することができるため、トランジスタの劣化を考慮してトランジスタのチャネル幅を大きくする必要がない。このため、トランジスタのチャネル幅を小さくすることができるので、レイアウト面積を小さくすることができる。特に、本実施の形態の半導体装置を表示装置に用いる場合、ゲートドライバ回路のレイアウト面積を小さくすることができるので、画素の解像度を高くすることができる。また、トランジスタのチャネル幅を小さくすることができるので、ゲートドライバ回路の負荷を小さくすることができる。そのため、ゲートドライバ回路を有するドライバ回路の消費電力を低減することができる。

40

【 0 3 1 4 】

また、期間 b 1 と期間 b 2 において、H レベルのクロック信号 C K 1 が、トランジスタ 2 0 1 A とトランジスタ 2 0 1 B とを介して配線 1 1 1 に供給されるので、配線 1 1 1 に供給される信号の立ち上がり時間又は立ち下がり時間を短くすることができる。よって、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれるのを防止することができる。この結果、クロストークを低減することができるので、表示装置の表示品位の向上を図ることができる。

【 0 3 1 5 】

50

また、配線 1 1 1 に供給される信号の立ち上がり時間又は立ち下がり時間を短くすることができるため、走査信号がスタート信号等に相当する場合、ゲートドライバ回路の駆動周波数を高くすることができる。よって、本実施の形態の半導体装置を表示装置に用いる場合、表示装置を大型にすることができ、又は画素の解像度を高くすることができる。

【 0 3 1 6 】

なお、期間 T 1 における信号 O U T A 及び信号 O U T B の波形は、図 6 (K) のタイミングチャートに対応する。なお、期間 T 1 における信号 O U T A 及び信号 O U T B の波形としては、図 6 (A) ~ 図 6 (L) を用いることができる。

【 0 3 1 7 】

なお、期間 T 2 における信号 O U T A 及び信号 O U T B の波形は、図 7 (K) のタイミングチャートに対応する。なお、期間 T 2 における信号 O U T A 及び信号 O U T B の波形としては、図 7 (A) ~ 図 7 (L) を用いることができる。

【 0 3 1 8 】

なお、クロック信号 C K 1 を、非平衡とすることができる。図 2 2 は、1 周期のうち、H レベルになる期間が L レベルになる期間よりも短い場合の、半導体装置の動作の一例を示すタイミングチャートである。図 2 2 のタイミングチャートでは、期間 c 1 又は期間 c 2 において、L レベルのクロック信号 C K 1 を配線 1 1 1 に供給することができるので、信号 O U T A 及び信号 O U T B の立ち下がり時間を短くすることができる。特に、配線 1 1 1 が画素部に延伸して形成される場合、画素への本来書き込まれるべきでないビデオ信号の書き込みを防止することができる。また、1 周期のうち、H レベルになる期間を L レベルになる期間よりも長くしてもよい。

【 0 3 1 9 】

なお、半導体装置には、多相のクロック信号を用いることができる。例えば、半導体装置には、 n (n は自然数) 相のクロック信号を用いることができる。 n 相のクロック信号とは、周期がそれぞれ $1/n$ 周期ずつずれた n 個のクロック信号を指す。図 2 3 は、半導体装置に 3 相のクロック信号を用いる場合の、半導体装置の動作の一例を示すタイミングチャートである。

【 0 3 2 0 】

なお、 n が大きいほど、クロック周波数が低くなるので、消費電力の低減を図ることができる。ただし、 n が大きすぎると、信号の数が増えるので、レイアウト面積が大きくなる、又は、外部回路の規模が大きくなる。よって、 n を 8 よりも小さくし、好ましくは n を 6 よりも小さく、さらに好ましくは $n = 4$ 又は $n = 3$ とする。

【 0 3 2 1 】

なお、期間 c 1、期間 d 1、期間 c 2、又は期間 d 2 において、トランジスタ 2 0 2 A とトランジスタ 2 0 2 B とを、同時にオンにすることができる。このため、電圧 V 1 を、トランジスタ 2 0 2 A とトランジスタ 2 0 2 B とを介して配線 1 1 1 に供給すると、配線 1 1 1 のノイズを低減することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

【 0 3 2 2 】

なお、期間 a 1、期間 b 1、期間 a 2、又は期間 b 2 において、トランジスタ 2 0 1 A 及びトランジスタ 2 0 1 B の一方をオンにすることができる。例えば、期間 a 1 及び期間 b 1 において、トランジスタ 2 0 1 A をオンにし、トランジスタ 2 0 1 B をオフにすることができる。または、期間 a 2 及び期間 b 2 において、トランジスタ 2 0 1 A をオフにし、トランジスタ 2 0 1 B をオンにすることができる。よって、トランジスタ 2 0 1 A とトランジスタ 2 0 1 B とが、それぞれオンになる回数が少なくなるので、それぞれのトランジスタの劣化を抑制することができる。

【 0 3 2 3 】

このような駆動方法を実現するために、例えば、期間 T 1 において、配線 1 1 4 B に入力される信号を L レベルに維持し、期間 T 2 において、配線 1 1 4 A に入力される信号を L レベルに維持するとよい。別の例として、回路 2 0 0 A には、期間 T 1 において、信号

10

20

30

40

50

S E L A に応じてノード A 1 の電位を L レベルに維持する機能を有する回路を設け、回路 2 0 0 B には、期間 T 2 において、信号 S E L B に応じてノード B 1 の電位を L レベルに維持する機能を有する回路を設けるとよい。

【 0 3 2 4 】

< トランジスタのサイズ >

次に、トランジスタのチャンネル幅、チャンネル長等の、トランジスタのサイズについて説明する。なお、トランジスタのチャンネル幅と記載する場合、トランジスタの W / L (W はチャンネル幅、L はチャンネル長) 比と言い換えることがある。

【 0 3 2 5 】

トランジスタ 2 0 1 A のチャンネル幅と、トランジスタ 2 0 1 B のチャンネル幅とは、概ね等しいことが好ましい。または、トランジスタ 2 0 2 A のチャンネル幅と、トランジスタ 2 0 2 B のチャンネル幅とは、概ね等しいことが好ましい。

10

【 0 3 2 6 】

このように、トランジスタのチャンネル幅を概ね等しくすることによって、電流供給能力を概ね等しくし、又は、トランジスタの劣化の程度を概ね等しくすることができる。よって、選択されるトランジスタが切り替わっても、出力される信号 O U T の波形を概ね等しくすることができる。

【 0 3 2 7 】

なお、同様の理由で、トランジスタ 2 0 1 A のチャンネル長と、トランジスタ 2 0 1 B のチャンネル長とは、概ね等しいことが好ましい。または、トランジスタ 2 0 2 A のチャンネル長と、トランジスタ 2 0 2 B のチャンネル長とは、概ね等しいことが好ましい。

20

【 0 3 2 8 】

なお、トランジスタ 2 0 1 A 又はトランジスタ 2 0 1 B に接続されるゲート信号線の負荷が大きい場合、回路 2 0 0 A において、回路 2 0 0 A が有する他のトランジスタよりもトランジスタ 2 0 1 A のチャンネル幅を大きくし、又は、回路 2 0 0 B において、回路 2 0 0 B が有する他のトランジスタよりもトランジスタ 2 0 1 B のチャンネル幅を大きくすることが好ましい。

【 0 3 2 9 】

なお、トランジスタ 2 0 1 A 又はトランジスタ 2 0 1 B が駆動するゲート信号線の負荷が大きい場合、トランジスタ 2 0 1 A 又はトランジスタ 2 0 1 B のチャンネル幅を大きくすることが好ましい。具体的には、トランジスタ 2 0 1 A のチャンネル幅及びトランジスタ 2 0 1 B のチャンネル幅を、好ましくは $1000\mu\text{m} \sim 30000\mu\text{m}$ 、より好ましくは $2000\mu\text{m} \sim 20000\mu\text{m}$ 、さらに好ましくは $3000\mu\text{m} \sim 8000\mu\text{m}$ 又は $1000\mu\text{m} \sim 18000\mu\text{m}$ とするとよい。

30

【 0 3 3 0 】

< 半導体装置の構成 >

次に、本実施の形態の半導体装置の構成の一例について、図 1 6 (A) とは異なる半導体装置の回路図の一例を、図 1 6 (B)、及び図 2 4 (A) ~ 図 2 5 (B) を参照して説明する。

【 0 3 3 1 】

図 1 6 (B)、及び図 2 4 (A) ~ 図 2 5 (B) に、半導体装置の回路図の一例を示す。

40

【 0 3 3 2 】

図 1 6 (B) に示す半導体装置は、図 1 6 (A) に示す半導体装置が有するトランジスタ 2 0 1 A のゲートと第 2 の端子との間に容量素子 2 0 3 A を接続した構成に対応する。または、トランジスタ 2 0 1 B のゲートと第 2 の端子との間に容量素子 2 0 3 B を接続した構成に対応する。

【 0 3 3 3 】

このような構成とすることによって、ブートストラップ動作時に、ノード A 1 の電位又はノード B 1 の電位が上昇しやすくなる。よって、トランジスタ 2 0 1 A のゲートとソー

50

スとの間の電位差 (V_{gs}) 又はトランジスタ 201B のゲートとソースとの間の電位差 (V_{gs}) を大きくすることができる。この結果、トランジスタ 201A 又はトランジスタ 201B のチャネル幅を小さくすることができる。または、信号 OUT A 又は信号 OUT B の立ち上がり時間又は立ち上がり時間を短くすることができる。

【0334】

容量素子 203A 及び容量素子 203B としては、例えば MOS 容量を用いることができる。なお、容量素子 203A 及び容量素子 203B の一方の電極の材料は、トランジスタ 201A 及びトランジスタ 201B のゲートとそれぞれ同様な材料であることが好ましい。または、容量素子 203A 及び容量素子 203B の他方の電極の材料は、トランジスタ 201A 及びトランジスタ 201B のソース又はドレインとそれぞれ同様な材料であることが好ましい。このような材料を用いることによって、レイアウト面積を小さくすることができ、又は、容量値を大きくすることができる。

10

【0335】

なお、容量素子 203A の容量値と容量素子 203B の容量値は、概ね等しいことが好ましい。または、容量素子 203A と容量素子 203B において、一方の電極と他方の電極とが重なる面積は、概ね等しいことが好ましい。このような構成とすることによって、回路 200A から配線 111 に信号が入力される場合と、回路 200B から配線 111 に信号が入力される場合とで、配線 111 に入力される信号の波長を概ね等しくすることができる。

【0336】

20

また、図 16 (A) 及び図 16 (B) に示す半導体装置において、図 24 (A) に示すように、トランジスタ 201A を、一方の電極 (例えば、正極) がノード A1 と接続され、他方の電極 (例えば、負極) が配線 111 と接続されるダイオード 211A と置き換えてもよい。または、トランジスタ 202A を、一方の電極 (例えば、正極) が配線 111 と接続され、他方の電極 (例えば、負極) がノード A2 と接続されるダイオード 212A と置き換えてもよい。

【0337】

また、トランジスタ 201B を、一方の電極 (例えば、正極) がノード B1 と接続され、他方の電極 (例えば、負極) が配線 111 と接続されるダイオード 211B と置き換えてもよい。または、トランジスタ 202B を、一方の電極 (例えば、正極) が配線 111 と接続され、他方の電極 (例えば、負極) がノード B2 と接続されるダイオード 212B と置き換えてもよい。

30

【0338】

また、図 16 (A) 及び図 16 (B) に示す半導体装置において、図 24 (B) に示すように、トランジスタ 201A の第 1 の端子は、ノード A1 に接続されてもよい。また、トランジスタ 202A の第 1 の端子は、ノード A2 に接続され、トランジスタ 202A のゲートは、配線 111 と接続されてもよい。

【0339】

又は、トランジスタ 201B の第 1 の端子は、ノード B1 に接続されてもよい。また、トランジスタ 202B の第 1 の端子は、ノード B2 に接続され、トランジスタ 202B のゲートは、配線 111 と接続されてもよい。

40

【0340】

次に、信号 OUT A とは別に転送用の信号を生成する構成を有する、又は信号 OUT B とは別に転送用の信号を生成する構成を有する半導体装置の一例を、図 25 (A) 及び図 25 (B) を参照して説明する。

【0341】

半導体装置が、複数の回路 (回路 200A 及び回路 200B を含む) を有する場合、転送用の信号を、配線 111 に入力せずに、次段の回路にスタート信号として入力することにより、転送用の信号の遅延又はなまりを、信号 OUT A 又は信号 OUT B よりも小さくすることができる。したがって、遅延又はなまりが低減された信号を用いて半導体装置を

50

駆動することができるので、半導体装置の出力信号の遅延を低減することができる。または、ノードA1又はノードB1を充電するタイミングを早くすることができるので、動作範囲を広くすることができる。また、転送用の信号を、配線111に出力してもよい。

【0342】

このため、図16(A)、図16(B)、図24(A)、及び図24(B)に示す半導体装置において、図25(A)に示すように、回路200Aに、第1の端子が配線112Aと接続され、第2の端子が配線117Aと接続され、ゲートがノードA1と接続される、トランジスタ204Aを設けてもよい。また、回路200Bに、第1の端子が配線112Bと接続され、第2の端子が配線117Bと接続され、ゲートがノードB1と接続される、トランジスタ204Bを設けてもよい。

10

【0343】

又は、図16(A)、図16(B)、図24(A)、及び図24(B)に示す半導体装置において、図25(B)に示すように、回路200Aに、第1の端子が配線113Aと接続され、第2の端子が配線117Aと接続され、ゲートがノードA2と接続される、トランジスタ205Aを設けてもよい。また、回路200Bに、第1の端子が配線113Bと接続され、第2の端子が配線117Bと接続され、ゲートがノードB2と接続される、トランジスタ205Bを設けてもよい。

【0344】

なお、トランジスタ204Aはトランジスタ201Aと同様の機能を有し、同じ極性を有することが好ましい。また、トランジスタ205Aはトランジスタ202Aと同様の機能を有し、同じ極性を有することが好ましい。また、トランジスタ204Bはトランジスタ201Bと同様の機能を有し、同じ極性を有することが好ましい。また、トランジスタ205Bはトランジスタ202Bと同様の機能を有し、同じ極性を有することが好ましい。なお、トランジスタ204A、トランジスタ204B、トランジスタ205A、及びトランジスタ205Bは、Nチャネル型トランジスタ及びPチャネル型トランジスタのいずれを用いてもよい。

20

【0345】

なお、半導体装置が有する複数の回路が接続される場合、配線117Aは、別の段(例えば、次段)の半導体装置の配線114Aと接続されてもよい。また、配線117Bは、別の段(例えば、次段)の半導体装置の配線114Bと接続されてもよい。このような構成を有することにより、配線117A及び配線117Bは、信号線としての機能を有する。

30

【0346】

なお、半導体装置が有する複数の回路が接続される場合、配線117Aは、別の段(例えば、前段)の半導体装置の配線116Aと接続されてもよい。また、配線117Bは、別の段(例えば、前段)の半導体装置の配線116Bと接続されてもよい。また、配線117Aは、画素部に延伸して配置されてもよい。また、配線117Bは、画素部に延伸して配置されてもよい。このような構成を有することにより、配線117A及び配線117Bは、ゲート信号線又は走査線としての機能を有する。

40

【0347】

<半導体装置の構成>

次に、本実施の形態の半導体装置の構成の一例について、図16(A)、図16(B)、及び図24(A)～図25(B)とは異なる半導体装置の回路図の一例について、図26を参照して説明する。

【0348】

図26に示す半導体装置は、図16(A)に示す半導体装置において、トランジスタ207Aとトランジスタ207Bを設けた構成に対応する。

【0349】

トランジスタ207Aは、第1の端子が配線113Aと接続され、第2の端子が配線111と接続され、ゲートが回路300Aと接続されている。また、トランジスタ207B

50

は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子が配線 1 1 1 と接続され、ゲートが回路 3 0 0 B と接続されている。

【 0 3 5 0 】

なお、トランジスタ 2 0 7 A のゲートと回路 3 0 0 A との接続箇所をノード A 3、トランジスタ 2 0 7 B のゲートと回路 3 0 0 B との接続箇所をノード B 3、と示す。

【 0 3 5 1 】

なお、トランジスタ 2 0 7 A はトランジスタ 2 0 2 A と同様の機能を有することが好ましい。また、トランジスタ 2 0 7 B はトランジスタ 2 0 2 B と同様の機能を有することが好ましい。

【 0 3 5 2 】

< 半導体装置の動作 >

図 2 6 の半導体装置の動作の一例について、図 2 7 に示すタイミングチャートを参照して説明する。また、図 2 8 (A) ~ 図 2 9 (B) は、図 2 6 の半導体装置の動作の一例を説明するための図である。

【 0 3 5 3 】

トランジスタ 2 0 2 A とトランジスタ 2 0 7 A は、期間 T 1 において、1 ゲート選択期間毎、又はクロック信号 C K 1 の半周期毎に、交互にオンになる。例えば、期間 d 1 のうちクロック信号 C K 1 が H レベルになる期間では、図 2 8 (A) に示すように、トランジスタ 2 0 2 A がオンになり、トランジスタ 2 0 7 A がオフになる。一方、期間 d 1 のうちクロック信号 C K 1 が L レベルになる期間では、図 2 8 (B) に示すように、トランジスタ 2 0 2 A がオフになり、トランジスタ 2 0 7 A がオンになる。

【 0 3 5 4 】

また、トランジスタ 2 0 2 B とトランジスタ 2 0 7 B は、期間 T 2 において、1 ゲート選択期間毎、又はクロック信号 C K 1 の半周期毎に、交互にオンになる。例えば、期間 d 2 のうちクロック信号 C K 1 が H レベルになる期間では、図 2 9 (A) に示すように、トランジスタ 2 0 2 B がオンになり、トランジスタ 2 0 7 B がオフになる。一方、期間 d 2 のうちクロック信号 C K 1 が L レベルになる期間では、図 2 9 (B) に示すように、トランジスタ 2 0 2 B がオフになり、トランジスタ 2 0 7 B がオンになる。

【 0 3 5 5 】

このように、期間 T 1 において、トランジスタ 2 0 2 A とトランジスタ 2 0 7 A とが交互にオンになり、期間 T 2 において、トランジスタ 2 0 2 B とトランジスタ 2 0 7 B とが交互にオンになる。これにより、各トランジスタがオンになる時間を短くすることができるため、各トランジスタの劣化を抑制することができる。

【 0 3 5 6 】

又は、ノード A 2 及びノード A 3 の一方に、クロック信号 C K 2 (例えば、クロック信号 C K 1 の反転信号) が入力される配線が接続されていてもよい。また、ノード B 2 及びノード B 3 の一方に、クロック信号 C K 2 が入力される配線が接続されていてもよい。

【 0 3 5 7 】

又は、同じ期間 (例えば、期間 b 1 又は期間 b 2) において、トランジスタ 2 0 2 A、トランジスタ 2 0 7 A、トランジスタ 2 0 2 B、及びトランジスタ 2 0 7 B は、オフであってもよい。または、同じ期間 (例えば、期間 a 1 又は期間 a 2) において、トランジスタ 2 0 2 A、トランジスタ 2 0 7 A、トランジスタ 2 0 2 B、及びトランジスタ 2 0 7 B の二つ以上のトランジスタがオンであってもよい。

【 0 3 5 8 】

又は、トランジスタ 2 0 2 A とトランジスタ 2 0 7 A がオンになる順番は任意に設定してもよく、また、トランジスタ 2 0 2 B とトランジスタ 2 0 7 B がオンになる順番は任意に設定してもよい。

【 0 3 5 9 】

次に、図 2 6 の半導体装置の動作の一例について、図 2 7 とは異なるタイミングチャートについて、図 3 0 を参照して説明する。

【0360】

トランジスタ202A、トランジスタ207A、トランジスタ202B、及びトランジスタ207Bは、1フレーム期間毎にオンであってもよい。図30において、期間T1のうち、トランジスタ202Aがオンになる期間を期間T1a、トランジスタ207Aがオンになる期間を期間T1bと示す。また、期間T2のうち、トランジスタ202Bがオンになる期間を期間T2a、トランジスタ207Bがオンになる期間を期間T2bと示す。

【0361】

なお、図30のタイミングチャートでは、期間T1a、期間T2a、期間T1b、及び期間T2bが順番に配置される場合について示しているが、これらの期間の順番は任意に設定してもよい。例えば、期間T1a、期間T1b、期間T2a、期間T2bの順に配置、複数期間ずつ配置、又はランダムに配置されてもよい。

10

【0362】

期間T1aの期間d1では、ノードA2の電位はHレベルになり、ノードA3の電位(ノードA3の電位のことを電位Va3とも示す)、ノードB2の電位、及びノードB3の電位(ノードB3の電位のことを電位Vb3とも示す)はLレベルになる。したがって、図28(A)に示すように、トランジスタ202Aがオンになり、トランジスタ207A、トランジスタ202B、及びトランジスタ207Bがオフになる。

【0363】

期間T1bの期間d1では、ノードA3の電位はHレベルになり、ノードA2の電位、ノードB2の電位、及びノードB3の電位はLレベルになる。したがって、図28(B)に示すように、トランジスタ207Aがオンになり、トランジスタ202A、トランジスタ202B、及びトランジスタ207Bがオフになる。

20

【0364】

期間T2aの期間d2では、ノードB2の電位はHレベルになり、ノードA2の電位、ノードA3の電位、及びノードB3の電位はLレベルになる。したがって、図29(A)に示すように、トランジスタ202Bがオンになり、トランジスタ202A、トランジスタ207A、及びトランジスタ207Bがオフになる。

【0365】

期間T2bの期間d2では、ノードB3の電位はHレベルになり、ノードA2の電位、ノードA3の電位、及びノードB2の電位はLレベルになる。したがって、図29(B)に示すように、トランジスタ207Bがオンになり、トランジスタ202A、トランジスタ207A、及びトランジスタ202Bがオフになる。

30

【0366】

図26に示す半導体装置が上記の動作を行うことによって、トランジスタがオンになる時間を短くすることができる。または、トランジスタの導通状態を制御するための信号の周波数を低くすることができるので、消費電力を小さくすることができる。

【0367】

又は、第1の端子が配線113Aと接続され、第2の端子が配線111と接続されるトランジスタを複数設けてもよい。当該複数のトランジスタは、トランジスタ202A又はトランジスタ207Aと同様の機能を有する。そして、これら複数のトランジスタを、1ゲート選択期間毎、又は1フレーム毎等に、順番にオンにすればよい。

40

【0368】

また、第1の端子が配線113Bと接続され、第2の端子が配線111と接続されるトランジスタを複数設けてもよい。当該複数のトランジスタは、トランジスタ202B又はトランジスタ207Bと同様の機能を有する。そして、これら複数のトランジスタを、1ゲート選択期間毎、又は1フレーム毎等に、順番にオンにすればよい。

【0369】

このような複数トランジスタを設けることによって、それぞれのトランジスタがオンになる時間を短くすることができるので、それぞれのトランジスタの劣化を抑制することができる。

50

【 0 3 7 0 】

(実施の形態 5)

本実施の形態では、上記実施の形態で説明したゲートドライバ回路を有する半導体装置について説明する。

【 0 3 7 1 】

< 半導体装置の構成 >

本実施の形態の半導体装置の構成について、図 3 1 (A) 及び図 3 1 (B) を参照して説明する。図 3 1 (A) 及び図 3 1 (B) に、半導体装置の回路図の一例を示す。

【 0 3 7 2 】

図 3 1 (A) において、回路 3 0 0 A は、トランジスタ 3 0 1 A、トランジスタ 3 0 2 A、及び回路 4 0 0 A を有する。回路 3 0 0 B は、トランジスタ 3 0 1 B、トランジスタ 3 0 2 B、及び回路 4 0 0 B を有する。

10

【 0 3 7 3 】

トランジスタ 3 0 1 A、トランジスタ 3 0 2 A、回路 4 0 0 A、トランジスタ 3 0 1 B、トランジスタ 3 0 2 B、及び回路 4 0 0 B の構成の一例について、図 3 1 (A) を参照して説明する。ここで、トランジスタ 3 0 1 A、トランジスタ 3 0 2 A、トランジスタ 3 0 1 B、及びトランジスタ 3 0 2 B は、Nチャネル型トランジスタとして説明する。なお、これらのトランジスタは、Pチャネル型トランジスタであってもよい。

【 0 3 7 4 】

トランジスタ 3 0 1 A は、第 1 の端子が配線 1 1 4 A と接続され、第 2 の端子がノード A 1 と接続され、ゲートが配線 1 1 4 A と接続される。トランジスタ 3 0 2 A は、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がノード A 1 と接続され、ゲートが配線 1 1 6 A と接続される。回路 4 0 0 A は、配線 1 1 5 A、ノード A 1、配線 1 1 3 A、及びノード A 2 と接続される。

20

【 0 3 7 5 】

トランジスタ 3 0 1 B は、第 1 の端子が配線 1 1 4 B と接続され、第 2 の端子がノード B 1 と接続され、ゲートが配線 1 1 4 B と接続される。トランジスタ 3 0 2 B は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がノード B 1 と接続され、ゲートが配線 1 1 6 B と接続される。回路 4 0 0 B は、配線 1 1 5 B、ノード B 1、配線 1 1 3 B、及びノード B 2 と接続される。

30

【 0 3 7 6 】

次に、トランジスタ 3 0 1 A、トランジスタ 3 0 2 A、回路 4 0 0 A、トランジスタ 3 0 1 B、トランジスタ 3 0 2 B、及び回路 4 0 0 B の機能の一例について説明する。

【 0 3 7 7 】

トランジスタ 3 0 1 A は、配線 1 1 4 A とノード A 1 とが導通するタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、配線 1 1 4 A の電位をノード A 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、配線 1 1 4 A に供給される信号又は電圧等（例えば、スタート信号 S P、クロック信号 C K 1、クロック信号 C K 2、信号 S E L A、信号 S E L B、又は電圧 V 2）をノード A 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、信号又は電圧等をノード A 1 に供給しないタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、H 信号又は電圧 V 2 をノード A 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、ノード A 1 の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ 3 0 1 A は、ノード A 1 を浮遊状態にするタイミングを制御する機能を有する。

40

【 0 3 7 8 】

このように、トランジスタ 3 0 1 A は、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。なお、トランジスタ 3 0 1 A は、スタート信号 S P に応じて制御されてもよい。

【 0 3 7 9 】

50

トランジスタ302Aは、配線113AとノードA1とが導通するタイミングを制御する機能を有する。または、トランジスタ302Aは、配線113Aの電位をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ302Aは、配線113Aに供給される信号又は電圧等（例えば、クロック信号CK2、又は電圧V1）をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ302Aは、電圧V1をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ302Aは、ノードA1の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ302Aは、ノードA1の電位を維持するタイミングを制御する機能を有する。

【0380】

10

このように、トランジスタ302Aは、スイッチとしての機能を有する。なお、トランジスタ302Aは、リセット信号REに応じて制御されてもよい。

【0381】

回路400Aは、ノードA2の電位を制御する機能を有する。または、回路400Aは、信号又は電圧等をノードA2に供給するタイミングを制御する機能を有する。または、回路400Aは、信号又は電圧等をノードA2に供給しないタイミングを制御する機能を有する。または、回路400Aは、H信号又は電圧V2をノードA2に供給するタイミングを制御する機能を有する。または、回路400Aは、L信号又は電圧V1をノードA2に供給するタイミングを制御する機能を有する。または、回路400Aは、ノードA2の電位を上昇させるタイミングを制御する機能を有する。または、回路400Aは、ノードA2の電位を減少させるタイミングを制御する機能を有する。または、回路400Aは、ノードA2の電位を維持するタイミングを制御する機能を有する。

20

【0382】

このように、回路400Aは、制御回路としての機能を有する。なお、回路400Aは、信号SEL A、又はノードA1の電位に応じて制御されてもよい。

【0383】

トランジスタ301Bは、配線114BとノードB1とが導通するタイミングを制御する機能を有する。または、トランジスタ301Bは、配線114Bの電位をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ301Bは、配線114Bに供給される信号又は電圧等（例えば、スタート信号SP、クロック信号CK1、クロック信号CK2、信号SEL A、信号SEL B、又は電圧V2）をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ301Bは、信号又は電圧等をノードB1に供給しないタイミングを制御する機能を有する。または、トランジスタ301Bは、H信号又は電圧V2をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ301Bは、ノードB1の電位を上昇させるタイミングを制御する機能を有する。または、トランジスタ301Bは、ノードB1を浮遊状態にするタイミングを制御する機能を有する。

30

【0384】

このように、トランジスタ301Bは、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。なお、トランジスタ301Bは、スタート信号SPに応じて制御されてもよい。

40

【0385】

トランジスタ302Bは、配線113BとノードB1とが導通するタイミングを制御する機能を有する。または、トランジスタ302Bは、配線113Bの電位をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ302Bは、配線113Bに供給される信号又は電圧等（例えば、クロック信号CK2、又は電圧V1）をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ302Bは、電圧V1をノードB1に供給するタイミングを制御する機能を有する。または、トランジスタ302Bは、ノードB1の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ302Bは、ノードB1の電位を維持するタイミングを制御する

50

機能を有する。

【 0 3 8 6 】

このように、トランジスタ 3 0 2 B は、スイッチとしての機能を有する。なお、トランジスタ 3 0 2 B は、リセット信号 R E に応じて制御されてもよい。

【 0 3 8 7 】

回路 4 0 0 B は、ノード B 2 の電位を制御する機能を有する。または、回路 4 0 0 B は、信号又は電圧等をノード B 2 に供給するタイミングを制御する機能を有する。または、回路 4 0 0 B は、信号又は電圧等をノード B 2 に供給しないタイミングを制御する機能を有する。または、回路 4 0 0 B は、H 信号又は電圧 V 2 をノード B 2 に供給するタイミングを制御する機能を有する。または、回路 4 0 0 B は、L 信号又は電圧 V 1 をノード B 2 に供給するタイミングを制御する機能を有する。または、回路 4 0 0 B は、ノード B 2 の電位を上昇させるタイミングを制御する機能を有する。または、回路 4 0 0 B は、ノード B 2 の電位を減少させるタイミングを制御する機能を有する。または、回路 4 0 0 B は、ノード B 2 の電位を維持するタイミングを制御する機能を有する。

【 0 3 8 8 】

このように、回路 4 0 0 B は、制御回路としての機能を有する。なお、回路 4 0 0 B は、信号 S E L B、又はノード B 1 の電位に応じて制御されてもよい。

【 0 3 8 9 】

次に、回路 4 0 0 A 及び回路 4 0 0 B の構成の一例について、図 3 1 (B) を参照して説明する。

【 0 3 9 0 】

回路 4 0 0 A は、トランジスタ 4 0 1 A 及びトランジスタ 4 0 2 A を有する。回路 4 0 0 B は、トランジスタ 4 0 1 B 及びトランジスタ 4 0 2 B を有する。

【 0 3 9 1 】

トランジスタ 4 0 1 A、トランジスタ 4 0 2 A、トランジスタ 4 0 1 B、及びトランジスタ 4 0 2 B の構成の一例について、図 3 1 (B) を参照して説明する。ここで、トランジスタ 4 0 1 A、トランジスタ 4 0 2 A、トランジスタ 4 0 1 B、及びトランジスタ 4 0 2 B は、N チャネル型トランジスタとして説明する。なお、これらのトランジスタは、P チャネル型トランジスタであってもよい。

【 0 3 9 2 】

トランジスタ 4 0 1 A は、第 1 の端子が配線 1 1 5 A と接続され、第 2 の端子がノード A 2 と接続され、ゲートが配線 1 1 5 A と接続される。トランジスタ 4 0 2 A は、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がノード A 2 と接続され、ゲートがノード A 1 と接続される。

【 0 3 9 3 】

トランジスタ 4 0 1 B は、第 1 の端子が配線 1 1 5 B と接続され、第 2 の端子がノード B 2 と接続され、ゲートが配線 1 1 5 B と接続される。トランジスタ 4 0 2 B は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がノード B 2 と接続され、ゲートがノード B 1 と接続される。

【 0 3 9 4 】

次に、トランジスタ 4 0 1 A、トランジスタ 4 0 2 A、トランジスタ 4 0 1 B、及びトランジスタ 4 0 2 B の機能の一例について説明する。

【 0 3 9 5 】

トランジスタ 4 0 1 A は、配線 1 1 5 A とノード A 2 とが導通するタイミングを制御する機能を有する。または、トランジスタ 4 0 1 A は、配線 1 1 5 A の電位をノード A 2 に供給するタイミングを制御する機能を有する。または、トランジスタ 4 0 1 A は、配線 1 1 5 A に供給される信号又は電圧等（例えば、信号 S E L A、又は電圧 V 2）をノード A 2 に供給するタイミングを制御する機能を有する。または、トランジスタ 4 0 1 A は、信号又は電圧をノード A 2 に供給しないタイミングを制御する機能を有する。または、トランジスタ 4 0 1 A は、H 信号又は電圧 V 2 等をノード A 2 に供給するタイミングを制御す

10

20

30

40

50

る機能を有する。または、トランジスタ401Aは、ノードA2の電位を上昇させるタイミングを制御する機能を有する。

【0396】

このように、トランジスタ401Aは、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。なお、トランジスタ401Aは、信号SEL Aに応じて制御されてもよい。

【0397】

トランジスタ402Aは、配線113AとノードA2とが導通するタイミングを制御する機能を有する。または、トランジスタ402Aは、配線113Aの電位をノードA2に供給するタイミングを制御する機能を有する。または、トランジスタ402Aは、配線113Aに供給される信号又は電圧等（例えば、クロック信号CK2、又は電圧V1）をノードA2に供給するタイミングを制御する機能を有する。または、トランジスタ402Aは、電圧V1をノードA2に供給するタイミングを制御する機能を有する。または、トランジスタ402Aは、ノードA2の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ402Aは、ノードA2の電位を維持するタイミングを制御する機能を有する。

【0398】

このように、トランジスタ402Aは、スイッチとしての機能を有する。なお、トランジスタ402Aは、ノードA1の電位又は配線111の電位に応じて制御されてもよい。

【0399】

トランジスタ401Bは、配線115BとノードB2とが導通するタイミングを制御する機能を有する。または、トランジスタ401Bは、配線115Bの電位をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ401Bは、配線115Bに供給される信号又は電圧等（例えば、信号SEL B、又は電圧V2）をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ401Bは、信号又は電圧をノードB2に供給しないタイミングを制御する機能を有する。または、トランジスタ401Bは、H信号又は電圧V2等をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ401Bは、ノードB2の電位を上昇させるタイミングを制御する機能を有する。

【0400】

このように、トランジスタ401Bは、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。なお、トランジスタ401Bは、信号SEL Bに応じて制御されてもよい。

【0401】

トランジスタ402Bは、配線113BとノードB2とが導通するタイミングを制御する機能を有する。または、トランジスタ402Bは、配線113Bの電位をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ402Bは、配線113Bに供給される信号又は電圧等（例えば、クロック信号CK2、又は電圧V1）をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ402Bは、電圧V1をノードB2に供給するタイミングを制御する機能を有する。または、トランジスタ402Bは、ノードB2の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ402Bは、ノードB2の電位を維持するタイミングを制御する機能を有する。

【0402】

このように、トランジスタ402Bは、スイッチとしての機能を有する。なお、トランジスタ402Bは、ノードB1の電位又は配線111の電位に応じて制御されてもよい。

【0403】

<半導体装置の動作>

次に、図31(B)の半導体装置の動作の一例について、図32(A)～図35(B)を参照して説明する。図32(A)～図35(B)は、順に、実施の形態4で説明した期

10

20

30

40

50

間 a 1、期間 b 1、期間 c 1、期間 d 1、期間 a 2、期間 b 2、期間 c 2、期間 d 2 における半導体装置の模式図に相当する。

【0404】

なお、図 3 1 (B) の半導体装置のうち、図 1 6 (A) の半導体装置と共通する部分における動作については、図 1 7 のタイミングチャートを参照して説明する。

【0405】

まず、図 3 2 (A) に示すように、期間 a 1 において、スタート信号 S P が H レベルになる。よって、トランジスタ 3 0 1 A はオンになるので、配線 1 1 4 A とノード A 1 とは導通状態になる。すると、H レベルのスタート信号 S P は、トランジスタ 3 0 1 A を介してノード A 1 に供給されるので、ノード A 1 の電位が上昇する。

10

【0406】

やがて、ノード A 1 の電位が、トランジスタ 3 0 1 A のゲートの電位 (例えば、電圧 V 2) から、トランジスタ 3 0 1 A の閾値電圧 ($V_{th_{301A}}$) を引いた値 ($V_2 - V_{th_{301A}}$) になったところで、トランジスタ 3 0 1 A はオフになる。よって、配線 1 1 4 A とノード A 1 とは非導通状態になるため、ノード A 1 の電位が上昇する。ノード A 1 の電位が上昇すると、トランジスタ 4 0 2 A はオンになるので、配線 1 1 3 A とノード A 2 とは導通状態になる。すると、電圧 V 1 は、トランジスタ 4 0 2 A を介してノード A 2 に供給される。

【0407】

また、期間 a 1 において、信号 S E L A は H レベルになる。よって、トランジスタ 4 0 1 A はオンになるので、配線 1 1 5 A とノード A 2 とは導通状態になる。この結果、H レベルの信号 S E L A は、トランジスタ 4 0 1 A を介してノード A 2 に供給される。ここで、トランジスタ 4 0 2 A の電流供給能力をトランジスタ 4 0 1 A の電流供給能力よりも大きくする (例えば、トランジスタ 4 0 2 A のチャネル幅をトランジスタ 4 0 1 A のチャネル幅よりも大きくする) ことによって、ノード A 2 の電位は L レベルになる。

20

【0408】

なお、期間 a 1 において、リセット信号 R E は L レベルになる。よって、トランジスタ 3 0 2 A はオフになるので、配線 1 1 3 A とノード A 1 とは非導通状態になる。

【0409】

一方、期間 a 1 において、スタート信号 S P が H レベルになる。よって、トランジスタ 3 0 1 B はオンになるので、配線 1 1 4 B とノード B 1 とは導通状態になる。すると、H レベルのスタート信号 S P は、トランジスタ 3 0 1 B を介してノード B 1 に供給されるので、ノード B 1 の電位が上昇する。

30

【0410】

やがて、ノード B 1 の電位が、トランジスタ 3 0 1 B のゲートの電位 (例えば、電圧 V 2) から、トランジスタ 3 0 1 B の閾値電圧 ($V_{th_{301B}}$) を引いた値 ($V_2 - V_{th_{301B}}$) になったところで、トランジスタ 3 0 1 B はオフになる。よって、配線 1 1 4 B とノード B 1 とは非導通状態になるため、ノード B 1 の電位が上昇する。ノード B 1 の電位が上昇すると、トランジスタ 4 0 2 B はオンになるので、配線 1 1 3 B とノード B 2 とは導通状態になる。すると、電圧 V 1 は、トランジスタ 4 0 2 B を介してノード B 2 に供給される。

40

【0411】

また、期間 a 1 において、信号 S E L B は L レベルになる。よって、トランジスタ 4 0 1 B はオフになるので、配線 1 1 5 B とノード B 2 とは非導通状態になる。この結果、ノード B 2 の電位は L レベルになる。

【0412】

なお、期間 a 1 において、リセット信号 R E は L レベルになる。よって、トランジスタ 3 0 2 B はオフになるので、配線 1 1 3 B とノード B 1 とは非導通状態になる。

【0413】

次に、図 3 2 (B) に示すように、期間 b 1 において、スタート信号 S P は L レベルに

50

なる。よって、トランジスタ 3 0 1 A はオフの状態を保持するので、配線 1 1 4 A とノード A 1 とは非導通状態を保持する。

【 0 4 1 4 】

また、期間 b 1 において、リセット信号 R E は L レベルに維持されている。よって、トランジスタ 3 0 2 A はオフの状態を保持するので、配線 1 1 3 A とノード A 1 とは非導通状態を保持する。ノード A 1 の電位は、ブートストラップ動作によって上昇する。よって、トランジスタ 4 0 2 A はオンの状態を保持するので、配線 1 1 3 A とノード A 2 とは導通状態を保持する。

【 0 4 1 5 】

また、期間 b 1 において、信号 S E L A は H レベルに維持されている。よって、トランジスタ 4 0 1 A はオンの状態を保持するので、配線 1 1 5 A とノード A 2 とは導通状態を保持する。この結果、ノード A 2 の電位は L レベルに維持される。

10

【 0 4 1 6 】

一方、期間 b 1 において、スタート信号 S P が L レベルになると、トランジスタ 3 0 1 B はオフの状態を保持するので、配線 1 1 4 B とノード B 1 とは非導通状態を保持する。

【 0 4 1 7 】

また、期間 b 1 において、リセット信号 R E は L レベルに維持されている。よって、トランジスタ 3 0 2 B はオフの状態を保持するので、配線 1 1 3 B とノード B 1 とは非導通状態を保持する。ノード B 1 の電位は、ブートストラップ動作によって上昇する。よって、トランジスタ 4 0 2 B はオンの状態を保持するので、配線 1 1 3 B とノード B 2 とは導通状態を保持する。

20

【 0 4 1 8 】

また、期間 b 1 において、信号 S E L B は L レベルに維持されている。よって、トランジスタ 4 0 1 B はオフの状態を保持するので、配線 1 1 5 B とノード B 2 とは非導通状態を保持する。この結果、ノード B 2 の電位は L レベルに維持される。

【 0 4 1 9 】

次に、図 3 3 (A) に示すように、期間 c 1 において、スタート信号 S P は L レベルに維持されている。よって、トランジスタ 3 0 1 A はオフの状態を保持するので、配線 1 1 4 A とノード A 1 とは非導通状態を保持する。

【 0 4 2 0 】

30

また、期間 c 1 において、リセット信号 R E は H レベルになる。よって、トランジスタ 3 0 2 A はオンになるので、配線 1 1 3 A とノード A 1 とは導通状態になる。すると、電圧 V 1 は、トランジスタ 3 0 2 A を介してノード A 1 に供給されるので、ノード A 1 の電位は減少し、L レベルになる。ノード A 1 の電位が L レベルになると、トランジスタ 4 0 2 A はオフになるので、配線 1 1 3 A とノード A 2 とは非導通状態になる。

【 0 4 2 1 】

また、期間 c 1 において、信号 S E L A は H レベルに維持されている。よって、トランジスタ 4 0 1 A はオンの状態を保持するので、配線 1 1 5 A とノード A 2 とは導通状態を保持する。すると、H レベルの信号 S E L A は、トランジスタ 4 0 1 A を介してノード A 2 に供給されるので、ノード A 2 の電位は上昇し、H レベルになる。

40

【 0 4 2 2 】

一方、期間 c 1 において、スタート信号 S P は L レベルに維持されている。よって、トランジスタ 3 0 1 B はオフの状態を保持するので、配線 1 1 4 B とノード B 1 とは非導通状態を保持する。

【 0 4 2 3 】

また、期間 c 1 において、リセット信号 R E は H レベルになる。よって、トランジスタ 3 0 2 B はオンになるので、配線 1 1 3 B とノード B 1 とは導通状態になる。すると、電圧 V 1 は、トランジスタ 3 0 2 B を介してノード B 1 に供給されるので、ノード B 1 の電位は減少し、L レベルになる。ノード B 1 の電位が L レベルになると、トランジスタ 4 0 2 B はオフになるので、配線 1 1 3 B とノード B 2 とは非導通状態になる。

50

【 0 4 2 4 】

また、期間 c 1 において、信号 S E L B は L レベルに維持されている。よって、トランジスタ 4 0 1 B はオフの状態を保持するので、配線 1 1 5 B とノード B 2 とは非導通状態を保持する。この結果、ノード B 2 は浮遊状態になるので、ノード B 2 の電位は L レベルに維持される。

【 0 4 2 5 】

次に、図 3 3 (B) に示すように、期間 d 1 において、スタート信号 S P は L レベルに維持されている。よって、トランジスタ 3 0 1 A はオフの状態を保持するので、配線 1 1 4 A とノード A 1 とは非導通状態を保持する。

【 0 4 2 6 】

また、期間 d 1 において、リセット信号 R E は L レベルになる。よって、トランジスタ 3 0 2 A はオフになるので、配線 1 1 3 A とノード A 1 とは非導通状態になる。すると、ノード A 1 は浮遊状態になり、ノード A 1 の電位は L レベルに維持される。よって、トランジスタ 4 0 2 A はオフの状態を保持するので、配線 1 1 3 A とノード A 2 とは非導通状態を保持する。

【 0 4 2 7 】

また、期間 d 1 において、信号 S E L A は H レベルに維持されている。よって、トランジスタ 4 0 1 A はオンの状態を保持するので、配線 1 1 5 A とノード A 2 とは導通状態を保持する。すると、H レベルの信号 S E L A は、トランジスタ 4 0 1 A を介してノード A 2 に供給されるので、ノード A 2 の電位は上昇し、H レベルになる。

【 0 4 2 8 】

一方、期間 d 1 において、スタート信号 S P は L レベルに維持されている。よって、トランジスタ 3 0 1 B はオフの状態を保持するので、配線 1 1 4 B とノード B 1 とは非導通状態を保持する。

【 0 4 2 9 】

また、期間 d 1 において、リセット信号 R E は L レベルになる。よって、トランジスタ 3 0 2 B はオフになるので、配線 1 1 3 B とノード B 1 とは非導通状態になる。すると、ノード B 1 は浮遊状態になり、ノード B 1 の電位は L レベルに維持される。よって、トランジスタ 4 0 2 B はオフの状態を保持するので、配線 1 1 3 B とノード B 2 とは非導通状態を保持する。

【 0 4 3 0 】

また、期間 d 1 において、信号 S E L B は L レベルに維持されている。よって、トランジスタ 4 0 1 B はオフの状態を保持するので、配線 1 1 5 B とノード B 2 とは非導通状態を保持する。この結果、ノード A 2 は浮遊状態を保持するので、ノード B 2 の電位は L レベルに維持される。

【 0 4 3 1 】

次に、期間 a 2 における半導体装置の動作について、図 3 4 (A) を参照して説明する。図 3 2 (A) に示す期間 a 1 における半導体装置と動作と異なるところは、信号 S E L A が L レベルになり、信号 S E L B が H レベルになるところである。

【 0 4 3 2 】

よって、トランジスタ 4 0 1 A はオフになるので、配線 1 1 5 A とノード A 2 とは非導通状態になる。

【 0 4 3 3 】

一方、トランジスタ 4 0 1 B はオンになるので、配線 1 1 5 B とノード B 2 とは導通状態になる。よって、H レベルの信号 S E L B が、トランジスタ 4 0 1 B を介してノード B 2 に供給される。ここで、トランジスタ 4 0 2 B の電流供給能力をトランジスタ 4 0 1 B の電流供給能力よりも大きくする（例えば、トランジスタ 4 0 2 B のチャネル幅をトランジスタ 4 0 1 B のチャネル幅よりも大きくする）ことによって、ノード B 2 の電位は L レベルになる。

【 0 4 3 4 】

次に、期間 b 2 における半導体装置の動作について、図 3 4 (B) を参照して説明する。図 3 2 (B) に示す期間 b 1 における半導体装置と動作と異なるところは、信号 S E L A が L レベルになり、信号 S E L B が H レベルになるところである。

【 0 4 3 5 】

よって、トランジスタ 4 0 1 A はオフの状態を保持するので、配線 1 1 5 A とノード A 2 とは非導通状態になる。

【 0 4 3 6 】

一方、トランジスタ 4 0 1 B はオンの状態を保持するので、配線 1 1 5 B とノード B 2 とは導通状態を保持する。

【 0 4 3 7 】

次に、期間 c 2 における半導体装置の動作について、図 3 5 (A) を参照して説明する。図 3 3 (A) に示す期間 c 1 における半導体装置と動作と異なるところは、信号 S E L A が L レベルになり、信号 S E L B が H レベルになるところである。

【 0 4 3 8 】

よって、トランジスタ 4 0 1 A はオフの状態を保持するので、配線 1 1 5 A とノード A 2 とは非導通状態になる。すると、ノード A 2 は浮遊状態になるので、その電位は L レベルに維持される。

【 0 4 3 9 】

一方、トランジスタ 4 0 1 B はオンの状態を保持するので、配線 1 1 5 B とノード B 2 とは導通状態を保持する。よって、H レベルの信号 S E L B が、トランジスタ 4 0 1 B を介してノード B 2 に供給されるので、ノード B 2 の電位は上昇する。

【 0 4 4 0 】

次に、期間 d 2 における半導体装置の動作について、図 3 5 (B) を参照して説明する。図 3 3 (B) に示す期間 d 1 における半導体装置と動作と異なるところは、信号 S E L A が L レベルになり、信号 S E L B が H レベルになるところである。

【 0 4 4 1 】

よって、トランジスタ 4 0 1 A はオフの状態を保持するので、配線 1 1 5 A とノード A 2 とは非導通状態になる。すると、ノード A 2 は浮遊状態になるので、その電位は L レベルに維持される。

【 0 4 4 2 】

一方、トランジスタ 4 0 1 B はオンの状態を維持するので、配線 1 1 5 B とノード B 2 とは導通状態を保持する。よって、H レベルの信号 S E L B は、トランジスタ 4 0 1 B を介してノード B 2 に供給されるので、ノード B 2 の電位は H レベルに維持される。

【 0 4 4 3 】

< トランジスタのサイズ >

次に、トランジスタの、チャネル幅、チャネル長等の、トランジスタのサイズについて説明する。

【 0 4 4 4 】

トランジスタ 3 0 1 A のチャネル幅と、トランジスタ 3 0 1 B のチャネル幅とは、概ね等しいことが好ましい。または、トランジスタ 3 0 2 A のチャネル幅と、トランジスタ 3 0 2 B のチャネル幅とは、概ね等しいことが好ましい。または、トランジスタ 4 0 1 A のチャネル幅と、トランジスタ 4 0 1 B のチャネル幅とは、概ね等しいことが好ましい。または、トランジスタ 4 0 2 A のチャネル幅と、トランジスタ 4 0 2 B のチャネル幅とは、概ね等しいことが好ましい。

【 0 4 4 5 】

このように、トランジスタのチャネル幅を概ね等しくすることによって、電流供給能力を概ね等しくし、又は、トランジスタの劣化の程度を概ね等しくすることができる。よって、選択されるトランジスタが切り替わっても、出力される信号 O U T の波形を概ね等しくすることができる。

【 0 4 4 6 】

10

20

30

40

50

なお、同様の理由で、トランジスタ 301A のチャンネル長と、トランジスタ 301B のチャンネル長とは、概ね等しいことが好ましい。または、トランジスタ 302A のチャンネル長と、トランジスタ 302B のチャンネル長とは、概ね等しいことが好ましい。または、トランジスタ 401A のチャンネル長と、トランジスタ 401B のチャンネル長とは、概ね等しいことが好ましい。または、トランジスタ 402A のチャンネル長と、トランジスタ 402B のチャンネル長とは、概ね等しいことが好ましい。

【0447】

具体的には、トランジスタ 301A のチャンネル幅及びトランジスタ 301B のチャンネル幅を、好ましくは $500\mu\text{m} \sim 3000\mu\text{m}$ 、より好ましくは $800\mu\text{m} \sim 2500\mu\text{m}$ 、さらに好ましくは $1000\mu\text{m} \sim 2000\mu\text{m}$ とするとよい。

10

【0448】

また、トランジスタ 302A のチャンネル幅及びトランジスタ 302B のチャンネル幅を、好ましくは $100\mu\text{m} \sim 3000\mu\text{m}$ 、より好ましくは $300\mu\text{m} \sim 2000\mu\text{m}$ 、さらに好ましくは $300\mu\text{m} \sim 1000\mu\text{m}$ とするとよい。

【0449】

また、トランジスタ 401A のチャンネル幅及びトランジスタ 401B のチャンネル幅を、好ましくは $100\mu\text{m} \sim 2000\mu\text{m}$ 、より好ましくは $200\mu\text{m} \sim 1500\mu\text{m}$ 、さらに好ましくは $300\mu\text{m} \sim 700\mu\text{m}$ とするとよい。

【0450】

また、トランジスタ 402A のチャンネル幅及びトランジスタ 402B のチャンネル幅は、好ましくは $300\mu\text{m} \sim 3000\mu\text{m}$ 、より好ましくは $500\mu\text{m} \sim 2000\mu\text{m}$ 、さらに好ましくは $700\mu\text{m} \sim 1500\mu\text{m}$ とするとよい。

20

【0451】

< 半導体装置の構成 >

次に、本実施の形態の半導体装置の回路の一例について、図 31 (B) とは異なる半導体装置の回路図の一例を、図 36 (A) ~ 図 41 (B) を参照して説明する。

【0452】

図 36 (A) ~ 図 41 (B) に、半導体装置の回路図の一例を示す。

【0453】

図 36 (A) に示す半導体装置は、図 31 (B) に示す半導体装置が有するトランジスタ 202A の第 1 の端子とトランジスタ 302A の第 1 の端子とトランジスタ 402A の第 1 の端子とが、別々の配線と接続された構成に対応する。または、図 31 (B) に示す半導体装置が有するトランジスタ 202B の第 1 の端子とトランジスタ 302B の第 1 の端子とトランジスタ 402B の第 1 の端子とが、別々の配線と接続された構成に対応する。

30

【0454】

図 36 (A) では、配線 113A は、配線 113A__1 ~ 配線 113A__3 という複数の配線に分割される。配線 113B は、配線 113B__1 ~ 配線 113B__3 という複数の配線に分割される。トランジスタ 202A の第 1 の端子は配線 113A__1 と接続され、トランジスタ 302A の第 1 の端子は配線 113A__2 と接続され、トランジスタ 402A の第 1 の端子は配線 113A__3 と接続される。トランジスタ 202B の第 1 の端子は配線 113B__1 と接続され、トランジスタ 302B の第 1 の端子は配線 113B__2 と接続され、トランジスタ 402B の第 1 の端子は配線 113B__3 と接続される。

40

【0455】

なお、配線 113A__1 ~ 配線 113A__3 は、配線 113A と同様の機能を有し、配線 113B__1 ~ 配線 113B__3 は、配線 113B と同様の機能を有する。一例として、配線 113A__1 ~ 配線 113A__3 及び配線 113B__1 ~ 配線 113B__3 には、電圧 V1 等の電圧を供給することができる。または、配線 113A__1 ~ 配線 113A__3 には、別々の電圧又は別々の信号を供給してもよい。または、配線 113B__1 ~ 配線 113B__3 には、別々の電圧又は別々の信号を供給してもよい。

50

【 0 4 5 6 】

また、図 3 1 (B) 及び図 3 6 (A) に示す構成において、図 3 7 (A) に示すように、トランジスタ 3 0 2 A を、一方の電極（例えば、正極）がノード A 1 と接続され、他方の電極（例えば、負極）が配線 1 1 6 A と接続されるダイオード 3 1 2 A と置き換えてもよい。または、トランジスタ 4 0 2 A を、一方の電極（例えば、正極）がノード A 2 と接続され、他方の電極（例えば、負極）がノード A 1 と接続されるダイオード 4 1 2 A と置き換えてもよい。

【 0 4 5 7 】

また、トランジスタ 3 0 2 B を、一方の電極（例えば、正極）がノード B 1 と接続され、他方の電極（例えば、負極）が配線 1 1 6 B と接続されるダイオード 3 1 2 B と置き換えてもよい。または、トランジスタ 4 0 2 B を、一方の電極（例えば、正極）がノード B 2 と接続され、他方の電極（例えば、負極）がノード B 1 と接続されるダイオード 4 1 2 B と置き換えてもよい。

10

【 0 4 5 8 】

また、図 3 1 (B) 及び図 3 6 (A) に示す構成において、図 3 7 (B) に示すように、トランジスタ 3 0 2 A の第 1 の端子が配線 1 1 6 A と接続され、トランジスタ 3 0 2 A のゲートがノード A 1 と接続されてもよい。または、トランジスタ 4 0 2 A の第 1 の端子がノード A 1 と接続され、トランジスタ 4 0 2 A のゲートがノード A 2 と接続されてもよい。

【 0 4 5 9 】

20

また、トランジスタ 3 0 2 B の第 1 の端子が配線 1 1 6 B と接続され、トランジスタ 3 0 2 B のゲートがノード B 1 と接続されてもよい。または、トランジスタ 4 0 2 B の第 1 の端子がノード B 1 と接続され、トランジスタ 4 0 2 B のゲートがノード B 2 と接続されてもよい。

【 0 4 6 0 】

また、図 3 1 (B)、図 3 6 (A)、図 3 7 (A)、及び図 3 7 (B) に示す構成において、図 3 8 (A) に示すように、トランジスタ 4 0 2 A のゲートが配線 1 1 1 と接続されてもよい。また、トランジスタ 4 0 2 B のゲートが配線 1 1 1 と接続されてもよい。

【 0 4 6 1 】

また、図 3 1 (B)、図 3 6 (A)、及び図 3 7 (A) ~ 図 3 8 (A) に示す構成において、図 3 8 (B) に示すように、トランジスタ 3 0 1 A の第 1 の端子が配線 1 1 8 A と接続され、トランジスタ 3 0 1 A のゲートが配線 1 1 4 A と接続されてもよい。また、トランジスタ 3 0 1 B の第 1 の端子が配線 1 1 8 B と接続され、トランジスタ 3 0 1 B のゲートが配線 1 1 4 B と接続されてもよい。

30

【 0 4 6 2 】

又は、トランジスタ 3 0 1 A の第 1 の端子は、配線 1 1 4 A と接続され、トランジスタ 3 0 1 A のゲートは、配線 1 1 8 A と接続されてもよい。また、トランジスタ 3 0 1 B の第 1 の端子は、配線 1 1 4 B と接続され、トランジスタ 3 0 1 B のゲートは、配線 1 1 8 B と接続されてもよい。

【 0 4 6 3 】

40

なお、配線 1 1 8 A 及び配線 1 1 8 B に電圧 V 2 が供給される場合、配線 1 1 8 A 及び配線 1 1 8 B は、電源線としての機能を有する。または、配線 1 1 8 A 及び配線 1 1 8 B には、クロック信号 C K 2 が入力されてもよい。または、配線 1 1 8 A と配線 1 1 8 B に、別々の電圧又は別々の信号が供給されてもよい。

【 0 4 6 4 】

なお、配線 1 1 8 A と配線 1 1 8 B に同じ電圧が入力される場合、配線 1 1 8 A と配線 1 1 8 B とが接続されてもよい。また、この場合、配線 1 1 8 A と配線 1 1 8 B とに同じ配線を用いてもよい。

【 0 4 6 5 】

また、図 3 1 (B)、図 3 6 (A)、及び図 3 7 (A) ~ 図 3 8 (B) に示す構成にお

50

いて、図 39 (A) に示すように、トランジスタ 401A を抵抗素子 403A と置き換えてもよい。抵抗素子 403A は、配線 115A とノード A2 との間に接続される。また、図 39 (B) に示すように、トランジスタ 401B を抵抗素子 403B と置き換えてもよい。抵抗素子 403B は、配線 115B とノード B2 との間に接続される。

【0466】

図 39 (A) 及び図 39 (B) に示す構成とすることによって、期間 c1 及び期間 d1 において、ノード B2 に、L レベルの信号 SELB を供給することができる。または、期間 c2 及び期間 d2 において、ノード A2 に、L レベルの信号 SELA を供給することができる。よって、ノード A2 の電位及びノード B2 の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

10

【0467】

また、図 31 (B)、図 36 (A)、及び図 37 (A) ~ 図 38 (B) に示す構成において、図 39 (C) に示すように、第 1 の端子が配線 115A と接続され、第 2 の端子がノード A2 と接続され、ゲートがノード A2 と接続されるトランジスタ 404A を設けてもよい。また、図 39 (D) に示すように、第 1 の端子が配線 115B と接続され、第 2 の端子がノード B2 と接続され、ゲートがノード B2 と接続されるトランジスタ 404B を設けてもよい。

【0468】

図 39 (C) 及び図 39 (D) に示す構成とすることによって、図 39 (A) 及び図 39 (B) の場合と同様に、ノード A2 の電位及びノード B2 の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

20

【0469】

また、図 31 (B)、図 36 (A)、及び図 37 (A) ~ 図 39 (D) に示す構成において、図 39 (E) に示すように、回路 400A は、第 1 の端子が配線 115A と接続され、第 2 の端子がノード A2 と接続され、ゲートがトランジスタ 401A の第 2 の端子とトランジスタ 402A の第 2 の端子との接続箇所と接続されるトランジスタ 405A と、第 1 の端子が配線 113A と接続され、第 2 の端子がノード A2 と接続され、ゲートがノード A1 と接続されるトランジスタ 406A と、を有していてもよい。

【0470】

また、図 39 (F) に示すように、回路 400B は、第 1 の端子が配線 115B と接続され、第 2 の端子がノード B2 と接続され、ゲートがトランジスタ 401B の第 2 の端子とトランジスタ 402B の第 2 の端子との接続箇所と接続されるトランジスタ 405B と、第 1 の端子が配線 113B と接続され、第 2 の端子がノード B2 と接続され、ゲートがノード B1 と接続されるトランジスタ 406B と、を有していてもよい。

30

【0471】

図 39 (E) 及び図 39 (F) に示す構成とすることによって、ノード A2 の電位又はノード B2 の電位を V2 にすることができるので、信号の振幅を大きくすることができる。

【0472】

又は、トランジスタ 401A の第 1 の端子と、トランジスタ 405A の第 1 の端子とは、別々の配線と接続されてもよい。一例として、図 40 (A) において、配線 115A が配線 115A__1 及び 115A__2 という複数の配線に分割され、トランジスタ 401A の第 1 の端子が配線 115A__1 と接続され、トランジスタ 405A の第 1 の端子が配線 115A__2 と接続される。この場合、配線 115A__1 及び 115A__2 の一方に信号 SELA を入力し、他方に電圧 V2 を供給すればよい。

40

【0473】

又は、トランジスタ 401B の第 1 の端子と、トランジスタ 405B の第 1 の端子とは、別々の配線と接続されてもよい。一例として、図 40 (B) において、配線 115B が配線 115B__1 及び 115B__2 という複数の配線に分割され、トランジスタ 401B の第 1 の端子が配線 115B__1 と接続され、トランジスタ 405B の第 1 の端子が配線

50

1 1 5 B__2と接続される。この場合、配線 1 1 5 B__1 及び 1 1 5 B__2 の一方に信号 S E L Bを入力し、他方に電圧 V 2 を供給すればよい。

【 0 4 7 4 】

図 4 0 (A) 及び図 4 0 (B) に示す構成とすることによって、期間 c 1 及び期間 d 1 において、ノード B 2 に、L レベルの信号 S E L B を供給することができる。または、期間 c 2 及び期間 d 2 において、ノード A 2 に、L レベルの信号 S E L A を供給することができる。よって、ノード A 2 の電位及びノード B 2 の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

【 0 4 7 5 】

また、図 3 1 (B)、図 3 6 (A)、及び図 3 7 (A) ~ 図 3 9 (D) に示す構成において、図 4 0 (C) に示すように、回路 4 0 0 A は、第 1 の端子が配線 1 1 8 A と接続され、第 2 の端子がノード A 2 と接続され、ゲートが配線 1 1 8 A と接続されるトランジスタ 4 0 7 A と、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がノード A 2 と接続され、ゲートがノード A 1 と接続されるトランジスタ 4 0 8 A と、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がノード A 2 と接続され、ゲートが配線 1 1 5 A と接続されるトランジスタ 4 0 9 A と、を有していてもよい。

【 0 4 7 6 】

また、図 4 0 (D) に示すように、回路 4 0 0 B は、第 1 の端子が配線 1 1 8 B と接続され、第 2 の端子がノード B 2 と接続され、ゲートが配線 1 1 8 B と接続されるトランジスタ 4 0 7 B と、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がノード B 2 と接続され、ゲートがノード B 1 と接続されるトランジスタ 4 0 8 B と、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がノード B 2 と接続され、ゲートが配線 1 1 5 B と接続されるトランジスタ 4 0 9 B と、を有していてもよい。

【 0 4 7 7 】

図 4 0 (C) 及び図 4 0 (D) に示す構成とすることによって、期間 c 1 及び期間 d 1 において、ノード B 2 に、L レベルの信号 S E L B を供給することができる。または、期間 c 2 及び期間 d 2 において、ノード A 2 に、L レベルの信号 S E L A を供給することができる。よって、ノード A 2 の電位及びノード B 2 の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

【 0 4 7 8 】

また、図 3 1 (B)、図 3 6 (A)、及び図 3 7 (A) ~ 図 4 0 (D) に示す構成において、図 4 1 (A) に示すように、トランジスタ 2 0 6 A 及び回路 5 0 0 A を設けてもよい。回路 5 0 0 A は、トランジスタ 5 0 1 A 及びトランジスタ 5 0 2 A を有する。

【 0 4 7 9 】

トランジスタ 2 0 6 A は、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がノード A 1 と接続される。トランジスタ 5 0 1 A は、第 1 の端子が配線 1 1 8 A と接続され、第 2 の端子がトランジスタ 2 0 6 A のゲートと接続され、ゲートが配線 1 1 8 A と接続される。トランジスタ 5 0 2 A は、第 1 の端子が配線 1 1 3 A と接続され、第 2 の端子がトランジスタ 2 0 6 A のゲートと接続され、ゲートがノード A 1 と接続される。

【 0 4 8 0 】

また、図 4 1 (A) に示すように、トランジスタ 2 0 6 B 及び回路 5 0 0 B を設けてもよい。回路 5 0 0 B は、トランジスタ 5 0 1 B 及びトランジスタ 5 0 2 B を有する。

【 0 4 8 1 】

トランジスタ 2 0 6 B は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がノード B 1 と接続される。トランジスタ 5 0 1 B は、第 1 の端子が配線 1 1 8 B と接続され、第 2 の端子がトランジスタ 2 0 6 B のゲートと接続され、ゲートが配線 1 1 8 B と接続される。トランジスタ 5 0 2 B は、第 1 の端子が配線 1 1 3 B と接続され、第 2 の端子がトランジスタ 2 0 6 B のゲートと接続され、ゲートがノード B 1 と接続される。

【 0 4 8 2 】

なお、図 4 1 (A) において、トランジスタ 2 0 6 A のゲートと、トランジスタ 5 0 1

10

20

30

40

50

Aの第2の端子と、トランジスタ502Aの第2の端子との接続箇所をノードA3と示す。また、トランジスタ206Bのゲートと、トランジスタ501Bの第2の端子と、トランジスタ502Bの第2の端子との接続箇所をノードB3と示す。

【0483】

また、トランジスタ502Aのゲートは、配線111と接続されてもよい。また、トランジスタ502Bのゲートは、配線111と接続されてもよい。

【0484】

別の例として、図41(B)に示すように、回路500Aを省略し、トランジスタ206AのゲートがノードA2と接続されてもよい。また、回路500Bを省略し、トランジスタ206BのゲートがノードB2と接続されてもよい。図41(B)に示す構成とすることによって、回路規模を小さくすることができるので、レイアウト面積を小さくすること、又は消費電力を削減することができる。

10

【0485】

次に、トランジスタ206A、回路500A、トランジスタ501A、トランジスタ502A、トランジスタ206B、回路500B、トランジスタ501B、トランジスタ502Bの機能の一例について、図41(A)及び図41(B)を参照して説明する。

【0486】

トランジスタ206Aは、配線113AとノードA1とが導通するタイミングを制御する機能を有する。または、トランジスタ206Aは、配線113Aの電位をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ206Aは、配線113Aに供給される信号又は電圧等(例えば、クロック信号CK2、又は電圧V1)をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ206Aは、電圧V1をノードA1に供給するタイミングを制御する機能を有する。または、トランジスタ206Aは、ノードA1の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ206Aは、ノードA1の電位を維持するタイミングを制御する機能を有する。

20

【0487】

このように、トランジスタ206Aは、スイッチとしての機能を有する。なお、トランジスタ206Aは、ノードA3の電位に応じて制御されてもよい。

【0488】

回路500Aは、ノードA3の電位を制御する機能を有する。または、回路500Aは、信号又は電圧等をノードA3に供給するタイミングを制御する機能を有する。または、回路500Aは、信号又は電圧等をノードA3に供給しないタイミングを制御する機能を有する。または、回路500Aは、H信号又は電圧V2をノードA3に供給するタイミングを制御する機能を有する。または、回路500Aは、L信号又は電圧V1をノードA3に供給するタイミングを制御する機能を有する。または、回路500Aは、ノードA3の電位を上昇させるタイミングを制御する機能を有する。または、回路500Aは、ノードA3の電位を減少させるタイミングを制御する機能を有する。または、回路500Aは、ノードA3の電位を維持するタイミングを制御する機能を有する。または、回路500Aは、ノードA1の電位を反転してノードA3に出力するタイミングを制御する機能を有する。

30

40

【0489】

このように、回路500Aは、制御回路、又はインバータ回路としての機能を有する。なお、回路500Aは、ノードA1の電位に応じて制御されてもよい。

【0490】

トランジスタ501Aは、配線118AとノードA3とが導通するタイミングを制御する機能を有する。または、トランジスタ501Aは、配線118Aの電位をノードA3に供給するタイミングを制御する機能を有する。または、トランジスタ501Aは、配線118Aに供給される信号又は電圧等(例えば、電圧V2)をノードA3に供給するタイミングを制御する機能を有する。または、トランジスタ501Aは、信号又は電圧等をノードA3に供給するタイミングを制御する機能を有する。

50

ド A 3 に供給しないタイミングを制御する機能を有する。または、トランジスタ 5 0 1 A は、H 信号又は電圧 V 2 をノード A 3 に供給するタイミングを制御する機能を有する。または、トランジスタ 5 0 1 A は、ノード A 3 の電位を上昇させるタイミングを制御する機能を有する。

【 0 4 9 1 】

このように、トランジスタ 5 0 1 A は、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。

【 0 4 9 2 】

トランジスタ 5 0 2 A は、配線 1 1 3 A とノード A 3 とが導通するタイミングを制御する機能を有する。または、トランジスタ 5 0 2 A は、配線 1 1 3 A の電位をノード A 3 に供給するタイミングを制御する機能を有する。または、トランジスタ 5 0 2 A は、配線 1 1 3 A に供給される信号又は電圧等（例えば、クロック信号 C K 2、又は電圧 V 1）をノード A 3 に供給するタイミングを制御する機能を有する。または、トランジスタ 5 0 2 A は、電圧 V 1 をノード A 3 に供給するタイミングを制御する機能を有する。または、トランジスタ 5 0 2 A は、ノード A 3 の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ 5 0 2 A は、ノード A 3 の電位を維持するタイミングを制御する機能を有する。

10

【 0 4 9 3 】

このように、トランジスタ 5 0 2 A は、スイッチとしての機能を有する。

【 0 4 9 4 】

20

トランジスタ 2 0 6 B は、配線 1 1 3 B とノード B 1 とが導通するタイミングを制御する機能を有する。または、トランジスタ 2 0 6 B は、配線 1 1 3 B の電位をノード B 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 2 0 6 B は、配線 1 1 3 B に供給される信号又は電圧等（例えば、クロック信号 C K 2、又は電圧 V 1）をノード B 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 2 0 6 B は、電圧 V 1 をノード B 1 に供給するタイミングを制御する機能を有する。または、トランジスタ 2 0 6 B は、ノード B 1 の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ 2 0 6 B は、ノード B 1 の電位を維持するタイミングを制御する機能を有する。

【 0 4 9 5 】

30

このように、トランジスタ 2 0 6 B は、スイッチとしての機能を有する。なお、トランジスタ 2 0 6 B は、ノード B 3 の電位に応じて制御されてもよい。

【 0 4 9 6 】

回路 5 0 0 B は、ノード B 3 の電位を制御する機能を有する。または、回路 5 0 0 B は、信号又は電圧等をノード B 3 に供給するタイミングを制御する機能を有する。または、回路 5 0 0 B は、信号又は電圧等をノード B 3 に供給しないタイミングを制御する機能を有する。または、回路 5 0 0 B は、H 信号又は電圧 V 2 をノード B 3 に供給するタイミングを制御する機能を有する。または、回路 5 0 0 B は、L 信号又は電圧 V 1 をノード B 3 に供給するタイミングを制御する機能を有する。または、回路 5 0 0 B は、ノード B 3 の電位を上昇させるタイミングを制御する機能を有する。または、回路 5 0 0 B は、ノード B 3 の電位を減少させるタイミングを制御する機能を有する。または、回路 5 0 0 B は、ノード B 3 の電位を維持するタイミングを制御する機能を有する。または、回路 5 0 0 B は、ノード B 1 の電位を反転してノード B 3 に出力するタイミングを制御する機能を有する。

40

【 0 4 9 7 】

このように、回路 5 0 0 B は、制御回路、又はインバータ回路としての機能を有する。なお、回路 5 0 0 B は、ノード B 1 の電位に応じて制御されてもよい。

【 0 4 9 8 】

トランジスタ 5 0 1 B は、配線 1 1 8 B とノード B 3 とが導通するタイミングを制御する機能を有する。または、トランジスタ 5 0 1 B は、配線 1 1 8 B の電位をノード B 3 に

50

供給するタイミングを制御する機能を有する。または、トランジスタ501Bは、配線118Bに供給される信号又は電圧等（例えば、電圧V2）をノードB3に供給するタイミングを制御する機能を有する。または、トランジスタ501Bは、信号又は電圧等をノードB3に供給しないタイミングを制御する機能を有する。または、トランジスタ501Bは、H信号又は電圧V2をノードB3に供給するタイミングを制御する機能を有する。または、トランジスタ501Bは、ノードB3の電位を上昇させるタイミングを制御する機能を有する。

【0499】

このように、トランジスタ501Bは、スイッチ、整流素子、ダイオード、又はダイオード接続のトランジスタ等としての機能を有する。

10

【0500】

トランジスタ502Bは、配線113BとノードB3とが導通するタイミングを制御する機能を有する。または、トランジスタ502Bは、配線113Bの電位をノードB3に供給するタイミングを制御する機能を有する。または、トランジスタ502Bは、配線113Bに供給される信号又は電圧等（例えば、クロック信号CK2、又は電圧V1）をノードB3に供給するタイミングを制御する機能を有する。または、トランジスタ502Bは、電圧V1をノードB3に供給するタイミングを制御する機能を有する。または、トランジスタ502Bは、ノードB3の電位を減少させるタイミングを制御する機能を有する。または、トランジスタ502Bは、ノードB3の電位を維持するタイミングを制御する機能を有する。

20

【0501】

このように、トランジスタ502Bは、スイッチとしての機能を有する。

【0502】

<半導体装置の動作>

次に、図41(A)の半導体装置の動作について、図42(A)～図45(B)を参照して説明する。図42(A)～図45(B)は、順に、期間a1、期間b1、期間c1、期間d1、期間a2、期間b2、期間c2、期間d2における半導体装置の模式図に相当する。

【0503】

期間a1、期間b1、期間a2、及び期間b2では、ノードA1は、Hレベルの電位になる。よって、回路500Aは、回路400Aと同様に、ノードA3にL信号を出力する。すると、トランジスタ206Aはオフになるので、配線113AとノードA1とは非導通状態になる。

30

【0504】

具体的には、期間a1、期間b1、期間a2、及び期間b2において、トランジスタ502Aはオンになるので、配線113AとノードA3とは導通状態になる。よって、電圧V1は、トランジスタ502Aを介してノードA3に供給される。このとき、トランジスタ501Aはオンになるので、配線118AとノードA3とは導通状態になる。よって、電圧V2は、トランジスタ501Aを介してノードA3に供給される。

【0505】

40

ここで、トランジスタ502Aの電流供給能力をトランジスタ501Aの電流供給能力よりも大きくする（例えば、トランジスタ502Aのチャネル幅をトランジスタ501Aのチャネル幅よりも大きくする）ことによって、ノードA3の電位はLレベルになる。

【0506】

また、期間a1、期間b1、期間a2、及び期間b2では、ノードB1は、Hレベルの電位になる。よって、回路500Bは、回路400Bと同様に、ノードB3にL信号を出力する。すると、トランジスタ206Bはオフになるので、配線113BとノードB1とは非導通状態になる。

【0507】

具体的には、期間a1、期間b1、期間a2、及び期間b2において、トランジスタ5

50

02Bはオンになるので、配線113BとノードB3とは導通状態になる。よって、電圧V1は、トランジスタ502Bを介してノードB3に供給される。このとき、トランジスタ501Bはオンになるので、配線118BとノードB3とは導通状態になる。よって、電圧V2は、トランジスタ501Bを介してノードB3に供給される。

【0508】

ここで、トランジスタ502Bの電流供給能力をトランジスタ501Bの電流供給能力よりも大きくする（例えば、トランジスタ502Bのチャネル幅をトランジスタ501Bのチャネル幅よりも大きくする）ことによって、ノードB3の電位はLレベルになる。

【0509】

期間c1、期間d1、期間c2、及び期間d2では、ノードA1は、Lレベルの電位になる。よって、回路500Aは、回路400Aと同様に、ノードA3にH信号を出力する。すると、トランジスタ206Aはオンになるので、配線113AとノードA1とは導通状態になる。すると、電圧V1は、トランジスタ206Aを介してノードA1に供給される。

10

【0510】

具体的には、期間c1、期間d1、期間c2、及び期間d2において、トランジスタ502Aはオフになるので、配線113AとノードA3とは非導通状態になる。このとき、トランジスタ501Aはオンになるので、配線118AとノードA3とは導通状態になる。よって、電圧V2は、トランジスタ501Aを介してノードA3に供給される。

【0511】

20

また、期間c1、期間d1、期間c2、及び期間d2では、ノードB1は、Lレベルの電位になる。よって、回路500Bは、回路400Bと同様に、ノードB3にH信号を出力する。すると、トランジスタ206Bはオンになるので、配線113BとノードB1とは導通状態になる。すると、電圧V1は、トランジスタ206Bを介してノードB1に供給される。

【0512】

具体的には、期間c1、期間d1、期間c2、及び期間d2において、トランジスタ502Bはオフになるので、配線113BとノードB3とは非導通状態になる。このとき、トランジスタ501Bはオンになるので、配線118BとノードB3とは導通状態になる。よって、電圧V2は、トランジスタ501Bを介してノードB3に供給される。

30

【0513】

このように、期間c1及び期間d1において、トランジスタ206Aはオンになるので、配線113AとノードA1とは導通状態になる。すると、電圧V1は、トランジスタ206Aを介してノードA1に供給される。よって、ノードA1の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

【0514】

また、期間c2及び期間d2において、トランジスタ206Bはオンになるので、配線113BとノードB1とは導通状態になる。すると、電圧V1は、トランジスタ206Bを介してノードB1に供給される。よって、ノードB1の電位を固定することができるので、ノイズの影響を受けにくい半導体装置を得ることができる。

40

【0515】

<トランジスタのサイズ>

次に、トランジスタの、チャネル幅、チャネル長等の、トランジスタのサイズについて説明する。

【0516】

トランジスタ501Aのチャネル幅と、トランジスタ501Bのチャネル幅とは、概ね等しいことが好ましい。または、トランジスタ502Aのチャネル幅と、トランジスタ502Bのチャネル幅とは、概ね等しいことが好ましい。

【0517】

このように、トランジスタのチャネル幅を概ね等しくすることによって、電流供給能力

50

を概ね等しくし、又は、トランジスタの劣化の程度を概ね等しくすることができる。よって、選択されるトランジスタが切り替わっても、出力される信号OUTの波形を概ね等しくすることができる。

【0518】

なお、同様の理由で、トランジスタ501Aのチャンネル長と、トランジスタ501Bのチャンネル長とは、概ね等しいことが好ましい。または、トランジスタ502Aのチャンネル長と、トランジスタ502Bのチャンネル長とは、概ね等しいことが好ましい。

【0519】

具体的には、トランジスタ501Aのチャンネル幅及びトランジスタ501Bのチャンネル幅は、好ましくは $100\mu\text{m} \sim 2000\mu\text{m}$ 、より好ましくは $200\mu\text{m} \sim 1500\mu\text{m}$ 、さらに好ましくは $300\mu\text{m} \sim 700\mu\text{m}$ とするとよい。

10

【0520】

また、トランジスタ502Aのチャンネル幅及びトランジスタ502Bのチャンネル幅は、好ましくは $300\mu\text{m} \sim 3000\mu\text{m}$ 、より好ましくは $500\mu\text{m} \sim 2000\mu\text{m}$ 、さらに好ましくは $700\mu\text{m} \sim 1500\mu\text{m}$ とするとよい。

【0521】

なお、図31(B)、図36(A)、及び図37(A)～図41(B)に示す構成において、トランジスタ302Aの第2の端子は、配線111と接続されてもよく、トランジスタ302Bの第2の端子は、配線111と接続されてもよい。または、このような接続関係を実現するためのトランジスタを設けてもよい。このような構成とすることによって、信号OUTAの立ち下がり時間、及び信号OUTBの立ち下がり時間を短くすることができる。

20

【0522】

又は、図31(B)、図36(A)、及び図37(A)～図41(B)に示す構成において、トランジスタ302Aの第1の端子は、配線118Aと接続され、トランジスタ302Aの第2の端子は、ノードA2と接続され、トランジスタ302Aのゲートは、配線116Aと接続されていてもよい。また、トランジスタ302Bの第1の端子は、配線118Bと接続され、トランジスタ302Bの第2の端子は、ノードB2と接続され、トランジスタ302Bのゲートは、配線116Bと接続されていてもよい。または、このような接続関係を実現するためのトランジスタを設けてもよい。このような構成とすることによって、トランジスタ302Aとトランジスタ302Bとに逆バイアスを印加することができるので、それぞれのトランジスタの劣化を抑制することができる。

30

【0523】

なお、図31(B)、図36(A)、及び図37(A)～図41(B)に示す構成において、図36(B)に示すように、トランジスタとして、Pチャンネル型トランジスタを用いてもよい。

【0524】

図36(B)において、トランジスタ201pA、トランジスタ202pA、トランジスタ301pA、トランジスタ302pA、トランジスタ401pA、及びトランジスタ402pAは、Pチャンネル型トランジスタであり、それぞれ、図36(A)におけるトランジスタ201A、トランジスタ202A、トランジスタ301A、トランジスタ302A、トランジスタ401A、及びトランジスタ402Aと同様の機能を有する。

40

【0525】

また、図36(B)において、トランジスタ201pB、トランジスタ202pB、トランジスタ301pB、トランジスタ302pB、トランジスタ401pB、及びトランジスタ402pBは、Pチャンネル型トランジスタであり、それぞれ、図36(A)におけるトランジスタ201B、トランジスタ202B、トランジスタ301B、トランジスタ302B、トランジスタ401B、及びトランジスタ402Bと同様の機能を有する。

【0526】

なお、トランジスタがPチャンネル型トランジスタの場合、配線113A及び配線113

50

Bには、電圧V₁が供給されている。また、この場合、信号OUT A、信号OUT B、クロック信号CK₁、スタート信号SP、リセット信号RE、信号SEL A、信号SEL B、ノードA₁の電位、ノードA₂の電位、ノードB₁の電位、及びノードB₂の電位を示すタイミングチャートは、図17のタイミングチャートを反転したものに对应する。

【0527】

(実施の形態6)

本実施の形態では、ゲートドライバ回路(「ゲートドライバ」ともいう。)、及びゲートドライバ回路を有する表示装置について、図46(A)~図49を参照して説明する。

【0528】

<表示装置の構成>

表示装置の構成の一例について、図46(A)~図46(D)を参照して説明する。図46(A)~図46(D)の表示装置は、回路1001、回路1002、回路1003__1、回路1003__2、画素部1004、及び端子1005を有する。

【0529】

画素部1004には、回路1003__1及び回路1003__2から延伸した複数の配線が配置される。当該複数の配線は、ゲート線(「ゲート信号線」ともいう。)、走査線、又は信号線としての機能を有する。また、画素部1004には、回路1002から延伸した複数の配線が配置される。当該複数の配線は、ビデオ信号線、データ線、信号線、又はソース線(「ソース信号線」ともいう。))としての機能を有する。そして、画素部1004には、回路1003__1及び回路1003__2から延伸した複数の配線と、回路1002から延伸した複数の配線とに対応して、複数の画素が配置される。

【0530】

また、画素部1004には、上記の配線の他にも、電源線、又は容量線等の機能を有する配線が配置されてもよい。

【0531】

回路1001は、回路1002、回路1003__1、及び回路1003__2に、信号、電圧、又は電流等を供給するタイミングを制御する機能を有する。または、回路1001は、回路1002、回路1003__1、及び回路1003__2を制御する機能を有する。このように、回路1001は、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータとしての機能を有する。

【0532】

回路1002は、ビデオ信号を画素部1004に供給するタイミングを制御する機能を有する。または、回路1002は、画素部1004が有する画素の輝度又は透過率等を制御する機能を有する。このように、回路1002は、ソースドライバ回路、又は信号線駆動回路としての機能を有する。

【0533】

回路1003__1は、上記実施の形態で説明した回路10A、回路100A、又は回路200Aと同様の機能を有する。また、回路1003__2は、上記実施の形態で説明した回路10B、回路100B、又は回路200Bと同様の機能を有する。このように、回路1003__1及び回路1003__2はそれぞれ、ゲートドライバ回路としての機能を有する。

【0534】

なお、図46(A)及び図46(B)に示すように、回路1001及び回路1002を、画素部1004が形成された基板1006とは別の基板(例えば、半導体基板、又はSOI基板)に形成してもよい。また、回路1003__1及び回路1003__2を、画素部1004と同じ基板に形成してもよい。

【0535】

回路1003__1及び回路1003__2の駆動周波数が、回路1001及び回路1002と比較して低い場合には、回路1003__1及び回路1003__2を構成するトランジスタとして移動度の低いトランジスタを用いてもよい。そのため、回路1003__1及び

10

20

30

40

50

回路 1 0 0 3 __ 2 を構成するトランジスタの半導体層として、非晶質半導体若しくは微結晶半導体等の非単結晶半導体、有機半導体、又は酸化物半導体等を用いることができる。よって、半導体装置を作製する際に、工程数を削減し、歩留まりを高くし、又はコストを削減することができる。また、半導体装置の作製方法が容易になるため、表示装置を大型にすることができる。

【 0 5 3 6 】

なお、図 4 6 (A)、図 4 6 (C)、及び図 4 6 (D) に示すように、回路 1 0 0 3 __ 1 と回路 1 0 0 3 __ 2 とを、画素部 1 0 0 4 を挟んで対峙して配置してもよい。例えば、図 4 6 (A) に示すように、回路 1 0 0 3 __ 1 は、画素部 1 0 0 4 の左側に配置され、回路 1 0 0 3 __ 2 は、画素部 1 0 0 4 の右側に配置される。または、図 4 6 (B) に示すように、回路 1 0 0 3 __ 1 と回路 1 0 0 3 __ 2 とは、画素部 1 0 0 4 に対して同じ側（例えば左側又は右側）に配置してもよい。

10

【 0 5 3 7 】

なお、図 4 6 (A) 及び図 4 6 (B) に示す構成において、図 4 6 (C) に示すように、回路 1 0 0 2 を画素部 1 0 0 4 と同じ基板 1 0 0 6 に形成してもよい。

【 0 5 3 8 】

なお、図 4 6 (A) ~ 図 4 6 (C) に示す構成において、図 4 6 (D) に示すように、回路 1 0 0 2 の一部（例えば、回路 1 0 0 2 a ）を画素部 1 0 0 4 が設けられた基板 1 0 0 6 に形成し、回路 1 0 0 2 の別の一部（例えば、回路 1 0 0 2 b ）を基板 1 0 0 6 とは別の基板に形成してもよい。この場合、回路 1 0 0 2 a として、スイッチ、シフトレジスタ、又はセレクト等の、比較的駆動周波数が低い回路を用いることが好ましい。

20

【 0 5 3 9 】

次に、表示装置の画素部が有する画素について、図 4 6 (E) を参照して説明する。図 4 6 (E) に画素の構成の一例を示す。

【 0 5 4 0 】

画素 3 0 2 0 は、トランジスタ 3 0 2 1、液晶素子 3 0 2 2、及び容量素子 3 0 2 3 を有する。トランジスタ 3 0 2 1 は、第 1 の端子が配線 3 0 3 1 と接続され、第 2 の端子が液晶素子 3 0 2 2 の一方の電極及び容量素子 3 0 2 3 の一方の電極と接続され、ゲートが配線 3 0 3 2 と接続される。液晶素子 3 0 2 2 の他方の電極は、電極 3 0 3 4 と接続される。容量素子 3 0 2 3 の他方の電極は、配線 3 0 3 3 と接続される。

30

【 0 5 4 1 】

配線 3 0 3 1 には、図 4 6 (A) ~ 図 4 6 (D) に示す回路 1 0 0 2 からビデオ信号が入力される。よって、配線 3 0 3 1 は、信号線、ビデオ信号線、又はソース線（「ソース信号線」ともいう。）としての機能を有する。

【 0 5 4 2 】

配線 3 0 3 2 には、図 4 6 (A) ~ 図 4 6 (D) に示す回路 1 0 0 3 __ 1 及び回路 1 0 0 3 __ 2 から、ゲート信号、走査信号、又は選択信号が入力される。よって、配線 3 0 3 2 は、ゲート線（「ゲート信号線」ともいう。）、走査線、又は信号線としての機能を有する。

【 0 5 4 3 】

配線 3 0 3 3 及び電極 3 0 3 4 には、図 4 6 (A) ~ 図 4 6 (D) に示す回路 1 0 0 1 から一定の電圧が供給される。よって、配線 3 0 3 3 は、電源線、又は容量線としての機能を有する。また、電極 3 0 3 4 は、共通電極、又は対向電極としての機能を有する。

40

【 0 5 4 4 】

なお、配線 3 0 3 1 には、プリチャージ電圧が供給されてもよい。プリチャージ電圧は、電極 3 0 3 4 に供給される電圧と概ね等しい値に設定するとよい。または、配線 3 0 3 3 には、信号が入力されてもよい。このように、液晶素子 3 0 2 2 に印加される電圧を制御することによって、ビデオ信号の振幅を小さくすることができ、また、反転駆動を実現することができる。または、電極 3 0 3 4 に信号が入力されることにより、フレーム反転駆動を実現することができる。

50

【0545】

トランジスタ3021は、配線3031と、液晶素子3022の一方の電極とが導通するタイミングを制御する機能を有する。または、画素にビデオ信号を書き込むタイミングを制御する機能を有する。このように、トランジスタ3021は、スイッチとしての機能を有する。

【0546】

容量素子3023は、液晶素子3022の一方の電極の電位と、配線3033の電位との電位差を保持する機能を有する。または、液晶素子3022に印加される電圧が一定となるように保持する機能を有する。このように、容量素子3023は、保持容量としての機能を有する。

10

【0547】

<シフトレジスタの構成>

次に、表示装置が有するゲートドライバ回路の構成について、以下に説明する。具体的には、ゲートドライバ回路が有するシフトレジスタの構成について、図47及び図48を参照して説明する。図47及び図48は、シフトレジスタの回路図の一例である。

【0548】

図47において、シフトレジスタ1100Aは、フリップフロップ1101A₁～フリップフロップ1101A_N(Nは自然数)という複数のフリップフロップを有する。図47に示すフリップフロップ1101A₁～フリップフロップ1101A_Nとして、それぞれ、図16(A)に示す半導体装置が有する回路200Aを用いることができる。

20

【0549】

また、シフトレジスタ1100Bは、フリップフロップ1101B₁～フリップフロップ1101B_N(Nは自然数)という複数のフリップフロップを有する。図47に示すフリップフロップ1101B₁～フリップフロップ1101B_Nとして、それぞれ、図16(A)に示す半導体装置が有する回路200Bを用いることができる。

【0550】

シフトレジスタ1100Aは、配線1111₁～配線1111_N、配線1112A、配線1113A、配線1114A、配線1115A、配線1116A、及び配線1119Aと接続される。そして、フリップフロップ1101A_i(iは、1～Nのいずれか一つ)において、配線111、配線112A、配線113A、配線114A、配線115A、及び配線116Aは、それぞれ、配線1111_i、配線1112A、配線1113A、配線1111_{i-1}、配線1115A、配線1111_{i+1}と接続される。

30

【0551】

なお、配線112Aを配線1112Aと配線1119Aの一方と接続させる際に、奇数段目のフリップフロップと、偶数段目のフリップフロップとで、配線112Aの接続先を異ならせてもよい。

【0552】

また、シフトレジスタ1100Bは、配線1111₁～配線1111_N、配線1112B、配線1113B、配線1114B、配線1115B、配線1116B、及び配線1119Bと接続される。そして、フリップフロップ1101B_i(iは、1～Nのいずれか一つ)において、配線111、配線112B、配線113B、配線114B、配線115B、及び配線116Bは、それぞれ、配線1111_i、配線1112B、配線11113B、配線1111_{i-1}、配線1115B、配線1111_{i+1}と接続される。

40

【0553】

なお、配線112Bを配線1112Bと配線1119Bの一方と接続させる際に、奇数段目のフリップフロップと、偶数段目のフリップフロップとで、配線112Bの接続先を異ならせてもよい。

【0554】

50

シフトレジスタ 1100A は、信号 GOUTA__1 ~ 信号 GOUTA__N を配線 1111__1 ~ 配線 1111__N に出力する。信号 GOUTA__1 ~ 信号 GOUTA__N は、それぞれ、フリップフロップ 1101A__1 ~ フリップフロップ 1101A__N の出力信号であり、信号 OUTA に対応する。また、シフトレジスタ 1100B は、信号 GOUTB__1 ~ 信号 GOUTB__N を配線 1111__1 ~ 配線 1111__N に出力する。信号 GOUTB__1 ~ 信号 GOUTB__N は、それぞれ、フリップフロップ 1101B__1 ~ フリップフロップ 1101B__N の出力信号であり、信号 OUTB に対応する。よって、配線 1111__1 ~ 配線 1111__N は、配線 111 と同様の機能を有する。

【0555】

配線 1112A 及び配線 1112B には、信号 GCK1 が入力され、配線 1119A 及び配線 1119B には、信号 GCK2 が入力される。信号 GCK1 と信号 GCK2 は、それぞれ、クロック信号 CK1 とクロック信号 CK2 に対応する。よって、配線 1112A 及び配線 1119A は、配線 112A と同様の機能を有し、配線 1112B 及び配線 1119B は、配線 112B と同様の機能を有する。

【0556】

配線 1113A 及び配線 1113B には、電圧 V1 が供給される。よって、配線 1113A は配線 113A と同様の機能を有し、配線 1113B は配線 113B と同様の機能を有する。

【0557】

配線 1114A 及び配線 1114B には、信号 GSP が入力される。信号 GSP は、スタート信号 SP に対応する。よって、配線 1114A は配線 114A と同様の機能を有し、配線 1114B は配線 114B と同様の機能を有する。

【0558】

配線 1115A には、信号 SELA が入力され、配線 1115B には、信号 SELB が入力される。よって、配線 1115A は配線 115A と同様の機能を有し、配線 1115B は配線 115B と同様の機能を有する。

【0559】

配線 1116A 及び配線 1116B には、信号 GRE が入力される。信号 GRE は、リセット信号 RE に対応する。よって、配線 1116A は配線 116A と同様の機能を有し、配線 1116B は配線 116B と同様の機能を有する。

【0560】

なお、配線 1112A と配線 1112B に同じ信号が入力される場合、配線 1112A と配線 1112B とが接続されてもよい。または、この場合、図 48 に示すように、配線 1112A と配線 1112B に同じ配線（配線 1112）を用いてもよい。または、配線 1112A と配線 1112B に、別々の信号又は別々の電圧を入力してもよい。

【0561】

また、配線 1113A と配線 1113B に同じ信号が入力される場合、配線 1113A と配線 1113B とが接続されてもよい。または、この場合、図 48 に示すように、配線 1113A と配線 1113B に同じ配線（配線 1113）を用いてもよい。または、配線 1113A と配線 1113B に、別々の信号又は別々の電圧を入力してもよい。

【0562】

また、配線 1114A と配線 1114B に同じ信号が入力される場合、配線 1114A と配線 1114B とが接続されてもよい。または、この場合、図 48 に示すように、配線 1114A と配線 1114B に同じ配線（配線 1114）を用いてもよい。または、配線 1114A と配線 1114B に、別々の信号又は別々の電圧を入力してもよい。

【0563】

また、配線 1116A と配線 1116B に同じ信号が入力される場合、配線 1116A と配線 1116B とが接続されてもよい。または、この場合、図 48 に示すように、配線 1116A と配線 1116B に同じ配線（配線 1116）を用いてもよい。または、配線 1116A と配線 1116B に、別々の信号又は別々の電圧を入力してもよい。

10

20

30

40

50

【0564】

また、配線1119Aと配線1119Bに同じ信号が入力される場合、配線1119Aと配線1119Bとが接続されてもよい。または、この場合、図48に示すように、配線1119Aと配線1119Bに同じ配線（配線1119）を用いてもよい。または、配線1119Aと配線1119Bに、別々の信号又は別々の電圧を入力してもよい。

【0565】

<シフトレジスタの動作>

シフトレジスタの動作の一例について、図49を参照して説明する。図49は、シフトレジスタの動作の一例を示すタイミングチャートである。図49では、信号GCK1、信号GCK2、信号GSP、信号GRE、信号SELA、信号SELB、信号GOUTA__1～信号GOUTA__N、及び信号GOUTB__1～信号GOUTB__Nを示す。

10

【0566】

まず、k（kは自然数）フレーム目におけるフリップフロップ1101A__iの動作と、k-1フレーム目におけるフリップフロップ1101B__iの動作と、を説明する。

【0567】

まず、信号GOUTA__i-1及び信号GOUTB__iがHレベルになる。すると、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間a1における動作を開始する。よって、フリップフロップ1101A__iは配線1111__iにL信号を出力し、フリップフロップ1101B__iは配線1111__iにL信号を出力する。

20

【0568】

その後、信号GCK1及び信号GCK2が反転すると、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間b1における動作を開始する。よって、フリップフロップ1101A__iは配線1111__iにH信号を出力し、フリップフロップ1101B__iは配線1111__iにH信号を出力する。

【0569】

その後、信号GCK1及び信号GCK2が再び反転すると、信号GOUTA__i+1及び信号GOUTB__i+1はHレベルになる。すると、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間c1における動作を開始する。よって、フリップフロップ1101A__iは、配線1111__iにL信号を出力し、フリップフロップ1101B__iは、配線1111__iに信号を出力しない。

30

【0570】

その後、再び、信号GOUTA__i-1及び信号GOUTB__iがHレベルになるまで、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間d1における動作を行う。よって、フリップフロップ1101A__iは配線1111__iにL信号を出力し、フリップフロップ1101B__iは配線1111__iに信号を出力しない。

【0571】

次に、k+1フレーム目におけるフリップフロップ1101A__iの動作と、kフレーム目におけるフリップフロップ1101B__iの動作と、を説明する。

40

【0572】

まず、信号GOUTA__i-1及び信号GOUTB__iがHレベルになる。すると、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間a2における動作を開始する。よって、フリップフロップ1101A__iは配線1111__iにL信号を出力し、フリップフロップ1101B__iは配線1111__iにL信号を出力する。

【0573】

その後、信号GCK1及び信号GCK2が反転すると、フリップフロップ1101A__i及びフリップフロップ1101B__iは、実施の形態4で説明した期間b2における動作を開始する。よって、フリップフロップ1101A__iは配線1111__iにH信号を

50

出力し、フリップフロップ 1 1 0 1 B __ i は配線 1 1 1 1 __ i に H 信号を出力する。

【 0 5 7 4 】

その後、信号 G C K 1 及び信号 G C K 2 が再び反転すると、信号 G O U T A __ i + 1 及び信号 G O U T B __ i + 1 は H レベルになる。すると、フリップフロップ 1 1 0 1 A __ i 及びフリップフロップ 1 1 0 1 B __ i は、実施の形態 4 で説明した期間 c 2 における動作を開始する。よって、フリップフロップ 1 1 0 1 A __ i は、配線 1 1 1 1 __ i に信号を出力せず、フリップフロップ 1 1 0 1 B __ i は、配線 1 1 1 1 __ i に L 信号を出力する。

【 0 5 7 5 】

その後、再び、信号 G O U T A __ i - 1 及び信号 G O U T B __ i が H レベルになるまで、フリップフロップ 1 1 0 1 A __ i 及びフリップフロップ 1 1 0 1 B __ i は、実施の形態 4 で説明した期間 d 2 における動作を行う。よって、フリップフロップ 1 1 0 1 A __ i は配線 1 1 1 1 __ i に信号を出力せず、フリップフロップ 1 1 0 1 B __ i は配線 1 1 1 1 __ i に L 信号を出力する。

【 0 5 7 6 】

(実施の形態 7)

本実施の形態では、ソースドライバ回路 (「ソースドライバ」ともいう。) について、図 5 0 (A) ~ 図 5 0 (D) を参照して説明する。

【 0 5 7 7 】

図 5 0 (A) に、ソースドライバ回路の構成の一例を示す。ソースドライバ回路は、回路 2 0 0 1 及び回路 2 0 0 2 を有する。回路 2 0 0 2 は、回路 2 0 0 2 __ 1 ~ 回路 2 0 0 2 __ N (N は自然数) という複数の回路を有する。回路 2 0 0 2 __ 1 ~ 回路 2 0 0 2 __ N は、それぞれ、トランジスタ 2 0 0 3 __ 1 ~ トランジスタ 2 0 0 3 __ k (k は自然数) という複数のトランジスタを有する。トランジスタ 2 0 0 3 __ 1 ~ トランジスタ 2 0 0 3 __ k として、N チャンネル型トランジスタ又は P チャンネル型トランジスタを用いることができる。また、トランジスタ 2 0 0 3 __ 1 ~ トランジスタ 2 0 0 3 __ k を C M O S 型のスイッチとして用いることができる。

【 0 5 7 8 】

ソースドライバ回路が有する回路 2 0 0 2 __ 1 ~ 回路 2 0 0 2 __ N の接続関係について、回路 2 0 0 2 __ 1 を例にして説明する。回路 2 0 0 2 __ 1 が有するトランジスタ 2 0 0 3 __ 1 ~ トランジスタ 2 0 0 3 __ k は、第 1 の端子がそれぞれ、配線 2 0 0 4 __ 1 ~ 配線 2 0 0 4 __ k と接続され、第 2 の端子がそれぞれ、ソース線 2 0 0 8 __ 1 ~ ソース線 2 0 0 8 __ k (図 5 0 (B) において、S 1、S 2、及び S k と示す。) と接続され、ゲートが配線 2 0 0 5 __ 1 と接続される。

【 0 5 7 9 】

回路 2 0 0 1 は、配線 2 0 0 5 __ 1 ~ 配線 2 0 0 5 __ N に順番に H 信号を出力するタイミングを制御する機能を有する。または、回路 2 0 0 2 __ 1 ~ 回路 2 0 0 2 __ N を順番に選択する機能を有する。このように、回路 2 0 0 1 は、シフトレジスタとしての機能を有する。

【 0 5 8 0 】

又は、回路 2 0 0 1 は、配線 2 0 0 5 __ 1 ~ 配線 2 0 0 5 __ N に様々な順番で H 信号を出力することができる。または、回路 2 0 0 2 __ 1 ~ 回路 2 0 0 2 __ N を様々な順番で選択することができる。このように、回路 2 0 0 1 は、デコーダとしての機能を有する。

【 0 5 8 1 】

回路 2 0 0 2 __ 1 は、配線 2 0 0 4 __ 1 ~ 配線 2 0 0 4 __ k とソース線 2 0 0 8 __ 1 ~ ソース線 2 0 0 8 __ k とがそれぞれ導通するタイミングを制御する機能を有する。または、回路 2 0 0 2 __ 1 は、配線 2 0 0 4 __ 1 ~ 配線 2 0 0 4 __ k の電位をソース線 2 0 0 8 __ 1 ~ ソース線 2 0 0 8 __ k に供給するタイミングを制御する機能を有する。このように、回路 2 0 0 2 __ 1 は、セレクトとしての機能を有する。なお、回路 2 0 0 2 __ 2 ~ 回路 2 0 0 2 __ N は、回路 2 0 0 2 __ 1 と同様の機能を有する。

【 0 5 8 2 】

10

20

30

40

50

トランジスタ 2003__1 ~ トランジスタ 2003__N は、それぞれ、配線 2004__1 ~ 配線 2004__k とソース線 2008__1 ~ ソース線 2008__k とが導通するタイミングを制御する機能を有する。例えば、トランジスタ 2003__1 は、配線 2004__1 とソース線 2008__1 とが導通するタイミングを制御する機能を有する。または、トランジスタ 2003__1 ~ トランジスタ 2003__N は、それぞれ、配線 2004__1 ~ 配線 2004__k の電位をソース線 2008__1 ~ ソース線 2008__k に供給するタイミングを制御する機能を有する。例えば、トランジスタ 2003__1 は、配線 2004__1 の電位をソース線 2008__1 に供給するタイミングを制御する機能を有する。このように、トランジスタ 2003__1 ~ トランジスタ 2003__N は、それぞれ、スイッチとしての機能を有する。

10

【0583】

なお、配線 2004__1 ~ 配線 2004__k のそれぞれに、ビデオ信号に応じたアナログ信号等の、ビデオ信号に対応する信号が入力される場合、配線 2004__1 ~ 配線 2004__k は、信号線としての機能を有する。または、配線 2004__1 ~ 配線 2004__k のそれぞれには、デジタル信号、アナログ電圧、又はアナログ電流が入力されてもよい。

【0584】

次に、図 50 (A) に示すソースドライバ回路の動作の一例について、図 50 (B) のタイミングチャートを参照して説明する。

【0585】

20

図 50 (B) に、信号 2015__1 ~ 信号 2015__N、及び信号 2014__1 ~ 信号 2014__k を示す。信号 2015__1 ~ 信号 2015__N はそれぞれ、回路 2001 の出力信号であり、信号 2014__1 ~ 信号 2014__k はそれぞれ、配線 2004__1 ~ 配線 2004__k に入力される信号である。

【0586】

なお、ソースドライバ回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、例えば、期間 T0、及び期間 T1 ~ 期間 TN に分割される。期間 T0 は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間ともいう。期間 T1 ~ 期間 TN はそれぞれ、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間ともいう。

30

【0587】

まず、期間 T0 において、回路 2001 は、H 信号を配線 2005__1 ~ 配線 2005__N に出力する。すると、回路 2002__1 において、トランジスタ 2003__1 ~ トランジスタ 2003__k がオンになるので、配線 2004__1 ~ 配線 2004__k と、ソース線 2008__1 ~ ソース線 2008__k とがそれぞれ導通状態になる。このとき、配線 2004__1 ~ 配線 2004__k には、プリチャージ電圧 V_p が供給される。よって、プリチャージ電圧 V_p は、トランジスタ 2003__1 ~ トランジスタ 2003__k を介して、ソース線 2008__1 ~ ソース線 2008__k にそれぞれ出力される。プリチャージ電圧 V_p は、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

40

【0588】

期間 T1 ~ 期間 TN において、回路 2001 は、H 信号を配線 2005__1 ~ 配線 2005__N に順番に出力する。例えば、期間 T1 において、回路 2001 は、H 信号を配線 2005__1 に出力する。すると、トランジスタ 2003__1 ~ トランジスタ 2003__k はオンになるので、配線 2004__1 ~ 配線 2004__k と、ソース線 2008__1 ~ ソース線 2008__k とが導通状態になる。このとき、配線 2004__1 ~ 配線 2004__k には、Data (S1) ~ Data (Sk) が入力される。Data (S1) ~ Data (Sk) は、それぞれ、トランジスタ 2003__1 ~ トランジスタ 2003__k を介して、選択された行に属する画素のうち、1 列目 ~ k 列目の画素に書き込まれる。このようにして、期間 T1 ~ 期間 TN において、選択された行に属する画素に、k 列ずつ順番に

50

ビデオ信号が書き込まれる。

【0589】

以上のように、ビデオ信号が複数の列ずつ画素に書き込まれることによって、ビデオ信号の数、又はビデオ信号を画素に書き込むために要する配線の数減らすことができる。よって、画素部が形成される基板と外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減を図ることができる。

【0590】

また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができる。よって、ビデオ信号の書き込み不足を防止することができるので、表示品位の向上を図ることができる。

10

【0591】

なお、 k を大きくすることによって、外部回路との接続数を減らすことができる。ただし、 k が大きすぎると、画素への書き込み時間が短くなる。よって、好ましくは k が6以上、より好ましくは k が3以上、さらに好ましくは $k = 2$ とする。

【0592】

特に、画素の色要素が n (n は自然数)個である場合、 $k = n$ 、又は $k = n \times d$ (d は自然数)であることが好ましい。例えば、画素の色要素が赤(R)と緑(G)と青(B)との三つに分割される場合、 $k = 3$ 、又は $k = 3 \times d$ であることが好ましい。

【0593】

また、画素が m (m は自然数)個のサブ画素(サブ画素のことをサブピクセル又は副画素ともいう。)に分割される場合、 $k = m$ 、又は $k = m \times d$ であることが好ましい。例えば、画素が2個のサブ画素に分割される場合、 $k = 2$ であることが好ましい。または、画素の色要素が n 個である場合、 $k = m \times n$ 、又は $k = m \times n \times d$ であることが好ましい。

20

【0594】

また、ソースドライバ回路の構成の別の一例を、図50(C)を参照して説明する。回路2001の駆動周波数及び回路2002の駆動周波数が低い場合は、回路2001及び回路2002を単結晶半導体で設けてもよいので、図50(C)に示すように、回路2001及び回路2002を画素部2007と同じ基板に形成することができる。この構成によって、画素部が形成される基板と外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減を図ることができる。

30

【0595】

さらに、ゲートドライバ回路2006A及びゲートドライバ回路2006Bも画素部2007と同じ基板に形成することによって、外部回路との接続数をさらに減らすことができる。なお、ゲートドライバ回路2006Aは、上記実施の形態で説明した回路10A、回路100A、又は回路200Aに対応し、ゲートドライバ回路2006Bは、上記実施の形態で説明した回路10B、回路100B、又は回路200Bに対応する。

【0596】

また、ソースドライバ回路の構成の別の一例を、図50(D)を参照して説明する。図50(D)に示すように、回路2001を画素部2007とは別の基板に形成し、回路2002を画素部2007と同じ基板に形成してもよい。この構成によって、画素部が形成される基板と外部回路との接続数を減らすことができるので、歩留まりの向上、信頼性の向上、部品数の削減、又はコストの削減を図ることができる。また、画素部2007と同じ基板に形成する回路が少なくなるので、額縁を小さくすることができる。

40

【0597】

(実施の形態8)

表示装置において、画素に設けられた素子(例えば、トランジスタ、表示素子、容量素子)が静電気放電(ESD: Electrostatic Discharge)やノイズ等によって破壊されることを防止するために、ゲート線又はソース線に保護回路を設けることがある。

【0598】

50

本実施の形態では、保護回路の構成、及び当該保護回路を用いた半導体装置の構成について説明する。

【0599】

保護回路の回路図の一例について、図51(A)～図51(G)を参照して説明する。

【0600】

保護回路として、図51(A)に示す保護回路3000を用いてもよい。図51(A)に示す保護回路3000は、配線3011に接続される画素に設けられた素子が静電気破壊やノイズ等によって破壊されることを防止するために設けられている。保護回路3000は、トランジスタ3001及びトランジスタ3002を有する。トランジスタ3001及びトランジスタ3002には、Nチャネル型トランジスタ又はPチャネル型トランジスタを用いることができる。

10

【0601】

トランジスタ3001は、第1の端子が配線3012と接続され、第2の端子が配線3011と接続され、ゲートが配線3011と接続される。トランジスタ3002は、第1の端子が配線3013と接続され、第2の端子が配線3011と接続され、ゲートが配線3013と接続される。

【0602】

配線3011には、信号(例えば、走査信号、ビデオ信号、クロック信号、スタート信号、リセット信号、又は選択信号等)、並びに、電圧(例えば、負電源電位、グラウンド電圧、又は正電源電位等)が供給される。配線3012には、高電源電位(VDD)が供給され、配線3013には、低電源電位(VSS)(又は、グラウンド電圧)が供給される。

20

【0603】

配線3011の電位が低電源電位(VSS)～高電源電位(VDD)の間の値であれば、トランジスタ3001及びトランジスタ3002はオフになる。よって、配線3011に供給される信号又は電圧は、配線3011と接続される画素に供給される。

【0604】

一方、静電気等の影響によって、配線3011に高電源電位(VDD)よりも高い電位又は低電源電位(VSS)よりも低い電位が供給される場合がある。この場合、この高電源電位(VDD)よりも高い電位又は低電源電位(VSS)よりも低い電位によって、配線3011と接続される画素に設けられた素子が破壊されることがある。

30

【0605】

このような静電破壊を防止するために、静電気等の影響によって、配線3011に高電源電位(VDD)よりも高い電位が供給される場合、トランジスタ3001がオンになる。すると、配線3011の電荷は、トランジスタ3001を介して配線3012に移動するので、配線3011の電位が減少する。

【0606】

また、静電気等の影響によって、配線3011に低電源電位(VSS)よりも低い電位が供給される場合、トランジスタ3002がオンになる。すると、配線3011の電荷は、トランジスタ3002を介して配線3013に移動するので、配線3011の電位が上昇する。

40

【0607】

以上のように、保護回路3000を設けることによって、配線3011と接続される画素が有する素子の静電気等による破壊を防ぐことができる。

【0608】

なお、保護回路として、図51(B)又は図51(C)に示す保護回路3000を用いてもよい。図51(B)に示す構成は、図51(A)に示す構成においてトランジスタ3002及び配線3013を省略したものに対応する。図51(C)に示す構成は、図51(A)に示す構成においてトランジスタ3001及び配線3012を省略したものに対応する。

【0609】

50

また、保護回路として、図 5 1 (D) に示す保護回路 3 0 0 0 を用いてもよい。図 5 1 (D) に示す構成は、図 5 1 (A) に示す構成において、配線 3 0 1 1 と配線 3 0 1 2 との間にトランジスタ 3 0 0 3 が直列に接続され、配線 3 0 1 1 と配線 3 0 1 3 との間にトランジスタ 3 0 0 4 が直列に接続されたものに対応する。

【 0 6 1 0 】

図 5 1 (D) において、トランジスタ 3 0 0 3 は、第 1 の端子が配線 3 0 1 2 と接続され、第 2 の端子がトランジスタ 3 0 0 1 の第 1 の端子と接続され、ゲートがトランジスタ 3 0 0 1 の第 1 の端子と接続されている。トランジスタ 3 0 0 4 は、第 1 の端子が配線 3 0 1 3 と接続され、第 2 の端子がトランジスタ 3 0 0 2 の第 1 の端子と接続され、ゲートが配線 3 0 1 3 と接続されている。

10

【 0 6 1 1 】

また、保護回路として、図 5 1 (E) に示す保護回路 3 0 0 0 を用いてもよい。図 5 1 (E) に示す構成は、図 5 1 (D) に示す構成において、トランジスタ 3 0 0 1 のゲートがトランジスタ 3 0 0 3 のゲートと接続され、トランジスタ 3 0 0 2 のゲートがトランジスタ 3 0 0 4 のゲートと接続されたものに対応する。

【 0 6 1 2 】

また、保護回路として、図 5 1 (F) に示す保護回路 3 0 0 0 を用いてもよい。図 5 1 (F) に示す構成は、図 5 1 (A) に示す構成において、配線 3 0 1 1 と配線 3 0 1 2 との間にトランジスタ 3 0 0 1 とトランジスタ 3 0 0 3 が並列に接続され、配線 3 0 1 1 と配線 3 0 1 3 との間にトランジスタ 3 0 0 2 とトランジスタ 3 0 0 4 が並列に接続されたものに対応する。

20

【 0 6 1 3 】

図 5 1 (F) において、トランジスタ 3 0 0 3 は、第 1 の端子が配線 3 0 1 2 と接続され、第 2 の端子が配線 3 0 1 1 と接続され、ゲートが配線 3 0 1 1 と接続されている。また、トランジスタ 3 0 0 4 は、第 1 の端子が配線 3 0 1 3 と接続され、第 2 の端子が配線 3 0 1 1 と接続され、ゲートが配線 3 0 1 3 と接続されている。

【 0 6 1 4 】

また、保護回路として、図 5 1 (G) に示す保護回路 3 0 0 0 を用いてもよい。図 5 1 (G) に示す構成は、図 5 1 (A) に示す構成において、トランジスタ 3 0 0 1 のゲートと第 1 の端子との間に、容量素子 3 0 0 5 と抵抗素子 3 0 0 6 とを並列に接続し、トランジスタ 3 0 0 2 のゲートと第 1 の端子との間に、容量素子 3 0 0 7 と抵抗素子 3 0 0 8 とを並列に接続したものに対応する。

30

【 0 6 1 5 】

図 5 1 (G) の構成を適用することによって、保護回路 3 0 0 0 自体の破壊又は劣化を防止することができる。

【 0 6 1 6 】

例えば、配線 3 0 1 1 に電源電位よりも高い電圧が供給される場合、トランジスタ 3 0 0 1 のゲートとソースとの間の電位差 (V_{gs}) が大きくなる。よって、トランジスタ 3 0 0 1 がオン状態になるので、配線 3 0 1 1 の電圧が減少する。しかし、トランジスタ 3 0 0 1 のゲートと第 2 の端子との間に大きな電圧が印加されるので、トランジスタ 3 0 0 1 が破壊又は劣化することがある。これを防止するために、容量素子 3 0 0 5 を用いてトランジスタ 3 0 0 1 のゲート電圧を上昇させ、トランジスタ 3 0 0 1 のゲートとソースとの間の電位差 (V_{gs}) を小さくする。

40

【 0 6 1 7 】

具体的には、トランジスタ 3 0 0 1 がオン状態になると、トランジスタ 3 0 0 1 の第 1 の端子の電圧が瞬間的に上昇する。そして、容量素子 3 0 0 5 の容量結合によって、トランジスタ 3 0 0 1 のゲート電圧が上昇する。このようにして、トランジスタ 3 0 0 1 のゲートとソースとの間の電位差 (V_{gs}) を小さくすることができるため、トランジスタ 3 0 0 1 の破壊又は劣化を抑制することができる。

【 0 6 1 8 】

50

同様に、配線 3 0 1 1 に電源電位よりも低い電圧が供給される場合、トランジスタ 3 0 0 2 の第 1 の端子の電圧が瞬間的に減少する。そして、容量素子 3 0 0 7 の容量結合によって、トランジスタ 3 0 0 2 のゲート電圧が減少する。このようにして、トランジスタ 3 0 0 2 のゲートとソースとの間の電位差 (V_{gs}) を小さくすることができるため、トランジスタ 3 0 0 2 の破壊又は劣化を抑制することができる。

【 0 6 1 9 】

次に、保護回路を設けた半導体装置の構成について、図 5 2 (A) 及び図 5 2 (B) を用いて説明する。

【 0 6 2 0 】

図 5 2 (A) に、ゲート線に保護回路を設けた半導体装置の構成の一例を示す。図 5 2 (A) において、ゲート線 3 1 0 2 _ 1 及びゲート線 3 1 0 2 _ 2 はそれぞれ、図 5 1 (A) ~ 図 5 1 (G) の配線 3 0 1 1 に対応する。

10

【 0 6 2 1 】

配線 3 0 1 2 及び配線 3 0 1 3 は、ゲートドライバ回路 3 1 0 0 に接続される配線のいずれかと接続される。このような構成とすることにより、保護回路 3 0 0 0 を動作させるための電源電圧としてゲートドライバ回路の電源電圧を用いることができるため、電源電圧の種類、及び保護回路 3 0 0 0 に電源電圧を供給するための配線の数減らすことができる。

【 0 6 2 2 】

図 5 2 (B) に、F P C 等の外部から信号又は電圧が供給される端子に保護回路を設けた半導体装置の構成の一例を示す。図 5 2 (B) において、配線 3 0 1 2 及び配線 3 0 1 3 は、外部端子のいずれかと接続される。例えば、配線 3 0 1 2 が端子 3 1 0 1 a と接続される場合、端子 3 1 0 1 a に設けられる保護回路において、トランジスタ 3 0 0 1 を省略することができる。同様に、配線 3 0 1 3 が端子 3 1 0 1 b と接続される場合、端子 3 1 0 1 b に設けられる保護回路において、トランジスタ 3 0 0 2 を省略することができる。また、端子 3 1 0 1 c、端子 3 1 0 1 d に設けられる保護回路においても同様である。

20

【 0 6 2 3 】

このような構成とすることによって、トランジスタの数を減らすことができるので、レイアウト面積の縮小を図ることができる。

【 0 6 2 4 】

30

(実施の形態 9)

本実施の形態では、トランジスタと表示素子を有する表示装置の構造、及びトランジスタの構造について、図 5 3 (A) ~ 図 5 3 (C) を参照して説明する。

【 0 6 2 5 】

トランジスタとして、例えば電界効果トランジスタ又はバイポーラトランジスタが挙げられる。電界効果トランジスタとして、薄膜トランジスタ (「 T F T 」 ともいう。) を用いてもよい。また、電界効果トランジスタとして、トップゲート型のトランジスタ、又はボトムゲート型のトランジスタを用いてもよい。また、ボトムゲート型のトランジスタとしては、チャネルエッチ型のトランジスタ又はボトムコンタクト型 (「 逆コプレーナ型 」 ともいう。) のトランジスタが挙げられる。また、電界効果トランジスタは、N 型又は P 型の導電型にしてもよい。

40

【 0 6 2 6 】

なお、電界効果トランジスタは、例えば、ゲート電極と、ソース領域、チャネル領域、及びドレイン領域を有する半導体層と、断面視においてゲート電極と半導体層との間に設けられたゲート絶縁層と、により構成される。半導体層は、半導体膜又は半導体基板を用いて形成される。

【 0 6 2 7 】

半導体膜又は半導体基板に適用される半導体材料としては、非晶質半導体、微結晶半導体、単結晶半導体、及び多結晶半導体が挙げられる。また、半導体材料として酸化物半導体を用いてもよい。

50

【0628】

酸化物半導体としては、四元系金属酸化物（ In-Sn-Ga-Zn-O 系金属酸化物等）、三元系金属酸化物（ In-Ga-Zn-O 系金属酸化物、 In-Sn-Zn-O 系金属酸化物、 In-Al-Zn-O 系金属酸化物、 Sn-Ga-Zn-O 系金属酸化物、 Al-Ga-Zn-O 系金属酸化物、 Sn-Al-Zn-O 系金属酸化物等）、及び、二元系金属酸化物等（ In-Zn-O 系金属酸化物、 Sn-Zn-O 系金属酸化物、 Al-Zn-O 系金属酸化物、 Zn-Mg-O 系金属酸化物、 Sn-Mg-O 系金属酸化物、 In-Mg-O 系金属酸化物、 In-Ga-O 系金属酸化物、 In-Sn-O 系金属酸化物等）が挙げられる。また、酸化物半導体として、 In-O 系金属酸化物、 Sn-O 系金属酸化物、 Zn-O 系金属酸化物等を用いることもできる。また、酸化物半導体として、上記酸化物半導体として用いることができる金属酸化物に SiO_2 を含ませた酸化物半導体を用いることもできる。

10

【0629】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn 、及び、 Co から選ばれた一つ又は複数の金属元素を示す。例えば、 M としては、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、 Ga 及び Co 等が挙げられる。

【0630】

図53(A)及び図53(B)に、トランジスタと表示素子を有する表示装置の構造の一例を示す。トランジスタとして、図53(A)ではトップゲート型トランジスタ、図53(B)ではボトムゲート型トランジスタを用いている。

20

【0631】

図53(A)において、基板5260と、基板5260上に設けられた絶縁層5261と、絶縁層5261上に設けられ、領域5262a～領域5262eを有する半導体層5262と、半導体層5262を覆うように設けられた絶縁層5263と、半導体層5262及び絶縁層5263上に設けられた導電層5264と、絶縁層5263及び導電層5264上に設けられ、開口部を有する絶縁層5265と、絶縁層5265上及び絶縁層5265の開口部に設けられた導電層5266と、を示す。

【0632】

図53(B)において、基板5300と、基板5300上に設けられた導電層5301と、導電層5301を覆うように設けられた絶縁層5302と、導電層5301及び絶縁層5302上に設けられた半導体層5303aと、半導体層5303a上に設けられた半導体層5303bと、半導体層5303b及び絶縁層5302上に設けられた導電層5304と、絶縁層5302及び導電層5304上に設けられ、開口部を有する絶縁層5305と、絶縁層5305上及び絶縁層5305の開口部に設けられた導電層5306と、を示す。

30

【0633】

また、図53(C)に、トランジスタの構造の他の一例を示す。図53(C)において、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352上に設けられた絶縁層5356と、半導体基板5352上に設けられた絶縁層5354と、絶縁層5356上に設けられた導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357上に設けられ、開口部を有する絶縁層5358と、絶縁層5358上及び絶縁層5358の開口部に設けられた導電層5359と、を示す。図53(C)では、領域5350と領域5351のそれぞれに、トランジスタが設けられる。図53(C)に示すトランジスタの構造を、図53(A)及び図53(B)に示すトランジスタに適用してもよい。

40

【0634】

なお、図53(A)で示すように、導電層5266及び絶縁層5265上に設けられ、開口部を有する絶縁層5267と、絶縁層5267及び絶縁層5267の開口部に設けられた導電層5268と、絶縁層5267及び導電層5268上に設けられ、開口部を有す

50

る絶縁層5269と、絶縁層5269上及び絶縁層5269の開口部に設けられたEL層5270と、絶縁層5269及びEL層5270上に設けられた導電層5271と、を表示装置が有していてもよい。図53(B)の表示装置についても同様である。

【0635】

なお、図53(B)に示すように、絶縁層5305及び導電層5306上に配置される液晶層5307と、液晶層5307上に設けられた導電層5308と、を表示装置が有していてもよい。図53(A)の表示装置についても同様である。

【0636】

絶縁層5261は、下地膜として機能する。絶縁層5354は、素子間分離層(例えば、フィールド酸化膜)として機能する。絶縁層5263、絶縁層5302、及び絶縁層5356は、ゲート絶縁膜として機能する。導電層5264、導電層5301、及び導電層5357は、ゲート電極として機能する。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜又は平坦化膜として機能する。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極として機能する。導電層5268及び導電層5306は、画素電極又は反射電極として機能する。絶縁層5269は、隔壁として機能する。導電層5271及び導電層5308は、対向電極又は共通電極として機能する。

【0637】

基板5260及び基板5300としては、ガラス基板、石英基板、半導体基板(例えば、シリコン基板、又は単結晶基板)、SOI基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、又は可撓性基板等を用いてもよい。

【0638】

ガラス基板として、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等を用いてもよい。可撓性基板としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の、可撓性を有する合成樹脂等を用いてもよい。他にも、貼り合わせフィルム(ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニル等)、繊維状な材料を含む紙、基材フィルム(ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等)等を用いてもよい。

【0639】

半導体基板5352としては、n型又はp型の導電性を有する単結晶シリコン基板を用いてもよい。または、当該単結晶シリコン基板の一部又は全部を半導体基板5352として用いてもよい。領域5353は、不純物元素が半導体基板5352に添加された領域であり、ウェルとして機能する。例えば、半導体基板5352がp型の導電性を有する場合、領域5353はn型の導電性を有し、nウェルとして機能する。また、半導体基板5352がn型の導電性を有する場合、領域5353はp型の導電性を有し、pウェルとして機能する。領域5355は、不純物元素が半導体基板5352に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板5352に、LDD(Lightly Doped Drain)領域を設けてもよい。

【0640】

絶縁層5261としては、酸化珪素膜、窒化珪素膜、酸化窒化珪素(SiO_xN_y)($x > y > 0$)膜、窒化酸化珪素(SiN_xO_y)($x > y > 0$)膜等の、酸素又は窒素有する膜、又はこれらの積層構造等がある。絶縁層5261が2層構造で設けられる場合の例としては、1層目の絶縁層として窒化珪素膜、2層目の絶縁層として酸化珪素膜を設けた絶縁層が挙げられる。絶縁層5261が3層構造で設けられる場合の例としては、1層目の絶縁層として酸化珪素膜、2層目の絶縁層として窒化珪素膜、3層目の絶縁層として酸化珪素膜を設けた絶縁層が挙げられる。

【0641】

半導体層5262、半導体層5303a、及び半導体層5303bとしては、非単結晶

10

20

30

40

50

半導体（例えば、非晶質（アモルファス）シリコン、多結晶シリコン、微結晶シリコン等）、単結晶半導体、化合物半導体若しくは酸化物半導体（例えば、 ZnO 、 InGaZnO 、 SiGe 、 GaAs 、 IZO （インジウム亜鉛酸化物）、 ITO （インジウム錫酸化物）、 SnO 、 TiO 、 AlZnSnO （ AZTO ））、有機半導体、又はカーボンナノチューブ等を用いることができる。

【0642】

また、領域5262aは、不純物元素が半導体層5262に添加されていない真性の状態であり、チャネル領域として機能する。なお、領域5262aに不純物元素を添加されてもよい。領域5262aに添加される不純物元素は、領域5262b、領域5262c、領域5262d、又は領域5262eに添加される不純物元素の濃度よりも低いことが好ましい。領域5262b及び領域5262dは、領域5262c及び領域5262eよりも低濃度の不純物元素が半導体層5262に添加された領域であり、 LDD （ $\text{Lightly Doped Drain}$ ）領域として機能する。なお、領域5262b及び領域5262dは省略してもよい。領域5262c及び領域5262eは、高濃度の不純物元素が半導体層5262に添加された領域であり、ソース領域又はドレイン領域として機能する。

10

【0643】

また、半導体層5303bは、不純物元素としてリン等が添加された半導体層であり、 n 型の導電性を有する。なお、半導体層5303aとして、酸化物半導体又は化合物半導体を用いられる場合、半導体層5303bを省略してもよい。

20

【0644】

絶縁層5263及び絶縁層5356として、酸化珪素膜、窒化珪素膜、酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）膜、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）膜等の、酸素若しくは窒素を有する膜、又はこれらの積層構造を用いるとよい。

【0645】

導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357、及び導電層5359として、単層構造の導電膜、又はこれらの積層構造等を用いるとよい。当該導電膜として、アルミニウム（ Al ）、タンタル（ Ta ）、チタン（ Ti ）、モリブデン（ Mo ）、タングステン（ W ）、ネオジム（ Nd ）、クロム（ Cr ）、ニッケル（ Ni ）、白金（ Pt ）、金（ Au ）、銀（ Ag ）、銅（ Cu ）、マンガン（ Mn ）、コバルト（ Co ）、ニオブ（ Nb ）、シリコン（ Si ）、鉄（ Fe ）、パラジウム（ Pd ）、炭素（ C ）、スカンジウム（ Sc ）、亜鉛（ Zn ）、ガリウム（ Ga ）、インジウム（ In ）、錫（ Sn ）、ジルコニウム（ Zr ）、セリウム（ Ce ）によって構成される群、この群から選ばれた一つの元素の単体膜、又は、この群から選ばれた一つの元素若しくは複数の元素を含む化合物からなる膜、等を用いるとよい。なお、当該単体膜又は当該化合物は、リン（ P ）、ボロン（ B ）、ヒ素（ As ）、又は酸素（ O ）等を含んでもよい。

30

【0646】

上記化合物としては、前述した複数の元素から選ばれた一つの元素若しくは複数の元素を含む化合物（例えば、合金）、前述した複数の元素から選ばれた一つの元素若しくは複数の元素と窒素との化合物（例えば、窒化膜）、前述した複数の元素から選ばれた一つの元素若しくは複数の元素とシリコンとの化合物（例えばシリサイド膜）、又はナノチューブ材料等がある。合金としては、インジウム錫酸化物（ ITO ）、インジウム亜鉛酸化物（ IZO ）、酸化珪素を含むインジウム錫酸化物（ ITSO ）、酸化亜鉛（ ZnO ）、酸化錫（ SnO ）、酸化錫カドミウム（ CTO ）、アルミニウムネオジム（ Al-Nd ）、アルミニウムタングステン（ Al-W ）、アルミニウムジルコニウム（ Al-Zr ）、アルミニウムチタン（ Al-Ti ）、アルミニウムセリウム（ Al-Ce ）、マグネシウム銀（ Mg-Ag ）、モリブデンニオブ（ Mo-Nb ）、モリブデンタングステン（ Mo-W ）、又はモリブデンタンタル（ Mo-Ta ）等がある。窒化膜としては、窒化チタン、窒化タンタル、窒化モリブデン等がある。シリサイド膜としては、タングステンシリサイ

40

50

ド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、又はモリブデンシリコン等がある。ナノチューブ材料としては、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブ等がある。

【0647】

絶縁層5265、絶縁層5267、絶縁層5269、絶縁層5305、及び絶縁層5358としては、単層構造の絶縁層、又はこれらの積層構造等を用いるとよい。当該絶縁層としては、酸化珪素膜、窒化珪素膜、若しくは酸化窒化珪素(SiO_xN_y) ($x > y > 0$)膜、窒化酸化珪素(SiN_xO_y) ($x > y > 0$)膜等の酸素若しくは窒素を含む膜、DLC(ダイヤモンドライクカーボン)等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料からなる膜等がある。

10

【0648】

EL層5270は、発光材料からなる発光層を有する。発光層の他にも、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層、又はこれらの材料のうち複数の材料を混合した層、等を含んでいてもよい。導電層5268と、EL層5270と、導電層5271とで、有機EL素子が構成される。

【0649】

液晶層5307は、複数の液晶分子を含む液晶を有する。液晶分子の状態は主に、画素電極と対向電極との間に印加される電圧により決定され、液晶の光の透過率が変化する。液晶として、例えば、電気制御複屈折型液晶(ECB型液晶ともいう。)、二色性色素を添加した液晶(GH液晶ともいう。)、高分子分散型液晶、ディスコチック液晶等を用いることができる。また、液晶として、ブルー相を示す液晶を用いてもよい。ブルー相を示す液晶は、例えば、ブルー相を示す液晶とカイラル剤とを含む液晶組成物により構成される。ブルー相を示す液晶は、応答速度が1msec以下と短く、光学的等方性であるため、配向処理が不要であり、視野角依存性が小さい。よって、ブルー相を示す液晶を用いることにより、動作速度を向上させることができる。

20

【0650】

なお、絶縁層5305上及び導電層5306上には、配向膜として機能する絶縁層、突起部として機能する絶縁層等を設けてもよい。

30

【0651】

なお、導電層5308上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層等を形成してもよい。導電層5308の下には、配向膜として機能する絶縁層を形成してもよい。

【0652】

本実施の形態の表示装置に対し、上記実施の形態で説明したゲートドライバ回路及び半導体装置を適用することができる。また、本実施の形態で説明したトランジスタを、上記実施の形態で説明したゲートドライバ回路及び半導体装置に用いることができる。特に、トランジスタの半導体層として、非晶質半導体若しくは微結晶半導体等の非単結晶半導体、有機半導体、又は酸化物半導体等を用いる場合であっても、上記実施の形態で説明したゲートドライバ回路及び半導体装置の構成を有することによって、トランジスタの劣化の抑制等の効果を得ることができる。

40

【0653】

(実施の形態10)

本実施の形態では、表示装置の構成について、図54(A)~図54(C)を参照して説明する。表示装置の構成の一例として、図54(A)には、表示装置の上面図、図54(B)及び図54(C)には、図54(A)のA-Bの断面図をそれぞれ示す。

【0654】

図54(A)において、基板5400に、駆動回路5392と画素部5393とが設けられている。駆動回路5392は、ゲートドライバ回路、又はソースドライバ回路等を有

50

する。

【0655】

図54(B)には、基板5400と、基板5400上に設けられた導電層5401と、導電層5401を覆うように設けられた絶縁層5402と、導電層5401及び絶縁層5402上に設けられた半導体層5403aと、半導体層5403a上に設けられた半導体層5403bと、半導体層5403b及び絶縁層5402上に設けられた導電層5404と、絶縁層5402及び導電層5404上設けられ、開口部を有する絶縁層5405と、絶縁層5405上及び絶縁層5405の開口部に設けられた導電層5406と、絶縁層5405及び導電層5406上に配置される絶縁層5408と、絶縁層5405上に設けられた液晶層5407と、液晶層5407及び絶縁層5408上に設けられた導電層5409と、導電層5409上に設けられた基板5410と、を示す。

10

【0656】

導電層5401は、ゲート電極として機能する。絶縁層5402は、ゲート絶縁膜として機能する。導電層5404は、配線、トランジスタの電極、又は容量素子の電極として機能する。絶縁層5405は、層間膜、又は平坦化膜として機能する。導電層5406は、配線、画素電極、又は反射電極として機能する。絶縁層5408は、シール材として機能する。導電層5409は、対向電極、又は共通電極として機能する。

【0657】

ここで、駆動回路5392と、導電層5409との間には、寄生容量が生じることがある。この結果、駆動回路5392の出力信号又は各ノードの電位に、なまり、又は遅延等が生じてしまう。また、駆動回路5392の消費電力が大きくなってしまう。

20

【0658】

一方、図54(B)に示すように、駆動回路5392上に、シール材として機能し、且つ液晶層の誘電率よりも低い絶縁層5408を設けることによって、駆動回路5392と導電層5409との間に生じる寄生容量を低減することができる。したがって、駆動回路5392の出力信号又は各ノードの電位の、なまり、又は遅延等を低減することができる。または、駆動回路5392の消費電力を低減することができる。

【0659】

また、図54(C)に示すように、駆動回路5392の一部の上に、シール材として機能する絶縁層5408を設けることによって、同様の効果が得られる。なお、寄生容量の影響が懸念されない場合は、絶縁層5408は設けなくてもよい。

30

【0660】

なお、本実施の形態では、液晶層を有する液晶素子を設けた表示装置について説明しているが、表示装置の表示素子には、液晶素子の他にも、EL素子又は電気泳動素子等を用いることができる。

【0661】

本実施の形態の表示装置では、駆動回路の寄生容量を小さくできるため、出力信号又は各ノードの電位の、遅延又はなまりを低減することができる。よって、トランジスタの電流供給能力を高くすることを要しないので、トランジスタのチャネル幅を小さくすることができる。したがって、駆動回路のレイアウト面積を小さくし、表示装置の狭額縁化又は高精細化を図ることができる。

40

【0662】

(実施の形態11)

本実施の形態では、半導体装置のレイアウト図(上面図ともいう。)について説明する。一例として、図55に、図31(B)に示す半導体装置のレイアウト図を示す。

【0663】

図55に示す半導体装置は、導電層901、半導体層902、導電層903、導電層904、及びコンタクトホール905を有する。なお、他の導電層又はコンタクトホール、もしくは絶縁膜等を有していてもよい。例えば、導電層901と導電層903とを接続するためのコンタクトホールを形成してもよい。

50

【0664】

導電層901は、ゲート電極又は配線として機能する部分を含む。半導体層902は、トランジスタの半導体層として機能する部分を含む。導電層903は、配線、ソース、又はドレインとして機能する部分を含む。導電層904は、透明電極、画素電極、又は配線として機能する部分を含む。コンタクトホール905を介して、導電層901と導電層904とを接続する、又は導電層903と導電層904とを接続することができる。

【0665】

なお、導電層901と導電層903とが重なる部分に半導体層902を形成することによって、導電層901と導電層903との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層901と導電層904とが重なる部分、又は導電層903と導電層904とが重なる部分に、半導体層902を設けてもよい。

10

【0666】

なお、導電層901の一部の上に導電層904を形成し、コンタクトホール905を介して、導電層901と導電層904とを接続されることによって、配線抵抗を下げることができる。

【0667】

また、導電層901の一部の上に導電層903及び導電層904を形成し、コンタクトホール905を介して、導電層901と導電層904とが接続され、別のコンタクトホール905を介して、導電層903と導電層904とが接続されることによって、配線抵抗をさらに下げることができる。

20

【0668】

また、導電層903の一部の上に導電層904を形成し、コンタクトホール905を介して、導電層903と導電層904とが接続されることによって、配線抵抗を下げることができる。

【0669】

また、導電層904の一部の下に導電層901又は導電層903を形成し、コンタクトホール905を介して、導電層904と、導電層901又は導電層903とが接続されることによって、配線抵抗を下げるすることができる。

【0670】

30

(実施の形態12)

本実施の形態において、上記実施の形態で説明したゲートドライバ回路、半導体装置、又は表示装置を用いた電子機器の一例、及び半導体装置の応用例について、図56(A)～図57(H)を参照して説明する。

【0671】

図56(A)～図56(H)、及び図57(A)～図57(D)は、電子機器の一例を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005、接続端子5006、センサ5007、マイクロフォン5008等を有する。なお、操作キー5005は、電源スイッチ又は操作スイッチを含む。なお、センサ5007は、力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に、又は赤外線を測定する機能を有する。

40

【0672】

図56(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010等を有する。図56(B)は記録媒体を備えた携帯型の画像再生装置(例えば、DVD再生装置)であり、上述したものの他に、表示部5002、記録媒体読込部5011等を有する。図56(C)はゴーグル型ディスプレイであり、上述したものの他に、表示部5002、支持部5012、イヤホン5013等を有する。図56(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011等を有する。

【0673】

50

図５６（Ｅ）はプロジェクタであり、上述したものの他に、光源５０３３、投射レンズ５０３４等を有する。図５６（Ｆ）は携帯型遊技機であり、上述したものの他に、表示部５００２、記録媒体読込部５０１１等を有する。図５６（Ｇ）はテレビ受像器であり、上述したものの他に、チューナ、画像処理部等を有する。図５６（Ｈ）は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器５０１７等を有する。

【０６７４】

図５７（Ａ）はディスプレイであり、上述したものの他に、支持台５０１８等を有する。図５７（Ｂ）はカメラであり、上述したものの他に、外部接続ポート５０１９、シャッターボタン５０１５、受像部５０１６等を有する。図５７（Ｃ）はコンピュータであり、上述したものの他に、ポインティングデバイス５０２０、外部接続ポート５０１９、リーダ/ライタ５０２１等を有する。図５７（Ｄ）は携帯電話機であり、上述したものの他に、アンテナ、携帯電話・移動端末向けの１セグメント部分受信サービス用チューナ等を有する。

【０６７５】

また、図５６（Ａ）～図５６（Ｈ）、及び図５７（Ａ）～図５７（Ｄ）に示す電子機器は、上記以外に様々な機能を有していてもよい。

【０６７６】

例えば、情報（静止画、動画、テキスト画像等）を表示部に表示する機能、タッチパネル機能、カレンダー、日付、又は時刻等を表示する機能、ソフトウェア（プログラム等）によって処理を制御する機能、無線通信機能、無線通信機能を用いてコンピュータネットワークに接続する機能、無線通信機能を用いてデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有していてもよい。

【０６７７】

さらに、複数の表示部を有する電子機器においては、一つの表示部に主として映像情報を表示し、別の一つの表示部に主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能等を有していてもよい。

【０６７８】

さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体（外部に設置、又は電子機器に内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

【０６７９】

本実施の形態において説明した電子機器は、何らかの情報を表示するための表示部を有する。本実施の形態の電子機器の表示部に、上記実施の形態で説明したゲートドライバ回路、半導体装置、又は表示装置を適用することによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化、等を図ることができる。

【０６８０】

次に、半導体装置の応用例を、図５７（Ｅ）～図５７（Ｈ）を参照して説明する。

【０６８１】

半導体装置を、建造物に設けた例について、図５７（Ｅ）及び図５７（Ｆ）を参照して説明する。また、半導体装置を、移動体と一体にして設けた例について、図５７（Ｇ）及び図５７（Ｈ）を参照して説明する。

【０６８２】

図５７（Ｅ）において、半導体装置は、建造物である壁と一体にして設けている。図５７（Ｅ）において、半導体装置は、筐体５０２２、表示部５０２３、操作部であるリモコン装置５０２４、スピーカ５０２５等を含む。半導体装置は、建物の壁と一体となっているため、半導体装置を設置するためのスペースを広く要することなく設置できる。

【０６８３】

図５７（Ｆ）において、半導体装置は、建造物であるユニットバス５０２７と一体にして設けられている。半導体装置を構成する表示パネル５０２６は、ユニットバス５０２７と一体に取り付けられており、入浴者は表示パネル５０２６の視聴が可能になる。

【０６８４】

なお、図５７（Ｅ）及び図５７（Ｆ）では、建造物として壁及びユニットバスを挙げたが、他にも様々な建造物に半導体装置を設置することができる。

【０６８５】

図５７（Ｇ）において、半導体装置は、自動車の車体５０２９の表示パネル５０２８に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、半導体装置はナビゲーション機能を有していてもよい。

10

【０６８６】

図５７（Ｈ）において、半導体装置は、旅客用飛行機と一体にして設けられている。図５７（Ｈ）は、旅客用飛行機の座席上部の天井５０３０に表示パネル５０３１を設けたときの、使用時の形状について示した図である。表示パネル５０３１は、ヒンジ部５０３２を介して天井５０３０と一体に取り付けられており、ヒンジ部５０３２の伸縮により乗客は表示パネル５０３１の視聴が可能になる。表示パネル５０３１は乗客が操作することで情報を表示する機能を有する。

【０６８７】

なお、図５７（Ｇ）及び図５７（Ｈ）では、移動体として自動車、飛行機を示したが、他にも自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶、等の様々な移動体に半導体装置を設置することができる。

20

【実施例１】

【０６８８】

本実施例では、２つのゲートドライバ回路を有する半導体装置において、ゲート信号線に出力される信号の遅延又はなまりが低減されることを、回路シミュレーションにより検証する。

【０６８９】

回路シミュレーションでは、上記実施の形態５の図３１（Ｂ）で説明した半導体装置を用いた。図３１（Ｂ）に示す半導体装置において、配線１１１はゲート信号線、回路２００Ａ及び回路２００Ｂはそれぞれゲートドライバ回路に対応する。

30

【０６９０】

また、図５９は、比較例として用いた半導体装置の回路図である。図５９において、回路６２００は、トランジスタ６２０１、トランジスタ６２０２、トランジスタ６３０１、トランジスタ６３０２、トランジスタ６４０１、及びトランジスタ６４０２を有する。

【０６９１】

トランジスタ６２０１は、第１の端子が配線６１１２と接続され、第２の端子が配線６１１１と接続され、ゲートがノードＣ１と接続される。トランジスタ６２０２は、第１の端子が配線６１１３と接続され、第２の端子が配線６１１１と接続され、ゲートがノードＣ２と接続される。

【０６９２】

40

トランジスタ６３０１は、第１の端子が配線６１１４と接続され、第２の端子がノードＣ１と接続され、ゲートが配線６１１４と接続される。トランジスタ６３０２は、第１の端子が配線６１１３と接続され、第２の端子がノードＣ１と接続され、ゲートが配線６１１６と接続される。トランジスタ６４０１は、第１の端子が配線６１１５と接続され、第２の端子がノードＣ２と接続され、ゲートが配線６１１５と接続される。トランジスタ６４０２は、第１の端子が配線６１１３と接続され、第２の端子がノードＣ２と接続され、ゲートがトランジスタ６２０１のゲートと接続される。

【０６９３】

図６０（Ａ）～図６１に、回路シミュレーションによる計算結果を示す。なお、計算ソフトには、ＰＳｐｉｃｅを用いた。また、トランジスタのしきい値電圧を５Ｖ、電界効果

50

移動度を $1 \text{ cm}^2 / \text{Vs}$ と仮定した。さらに、クロック信号 $CK1$ の電圧振幅を 30 V (H レベルの電位を 30 V 、 L レベルの電位を 0 V)、接地電位を 0 V と仮定した。

【0694】

ここで、図31(B)におけるトランジスタ201A及びトランジスタ201Bと、図59におけるトランジスタ6201とは、同じ特性のものを用いた。同様に、トランジスタ202Aとトランジスタ202Bとトランジスタ6202、トランジスタ301Aとトランジスタ301Bとトランジスタ6301、トランジスタ302Aとトランジスタ302Bとトランジスタ6302、トランジスタ401Aとトランジスタ401Bとトランジスタ6401、トランジスタ402Aとトランジスタ402Bとトランジスタ6402、はそれぞれ同じ特性のものを用いた。

10

【0695】

また、図31(B)における配線113A及び配線113Bと、図59における配線6113には、同じ電圧を入力した。同様に、配線114Aと配線114Bと配線6114には、同じスタートパルス(SP)を入力し、配線116Aと配線116Bと配線6116には、同じリセット信号(RE)を入力した。また、配線115Aには信号SELAを入力し、配線115Bには信号SELBを入力した。配線6115には一定の電圧を入力した。

【0696】

図60(A)は、図31(B)に示す回路図を用いた回路シミュレーションによる計算結果であり、図60(B)は、図59に示す回路図を用いた回路シミュレーションによる計算結果である。図60(A)において、ノードA1の電位 V_{a1} 、ノードA2の電位 V_{a2} 、ノードB1の V_{b1} 、ノードB2の V_{b2} 、配線111の出力信号(OUT)の電位を示す。また、図60(B)において、ノードC1の電位 V_{c1} 、ノードC2の電位 V_{c2} 、信号線6111の出力信号(OUT)の電位を示す。

20

【0697】

また、図61を用いて、図60(A)における配線111の出力信号(OUT)の電位と、図60(B)における信号線6111の出力信号(OUT)の電位とを比較する。

【0698】

図61に示すように、図60(A)の配線111に出力される出力信号(OUT)の方が、図60(B)の信号線6111に出力される出力信号(OUT)よりも、遅延が低減されることが確認された。

30

【符号の説明】

【0699】

10A 回路
10B 回路
10C 回路
10D 回路
11 配線
50 画素部
51 ゲートドライバ回路
52 ゲートドライバ回路
54 ゲート線
100A 回路
100B 回路
100C 回路
100D 回路
101A スイッチ
101B スイッチ
101C スイッチ
101D スイッチ

40

50

1 0 2 A	スイッチ	
1 0 2 B	スイッチ	
1 0 2 C	スイッチ	
1 0 2 D	スイッチ	
1 0 3 A	スイッチ	
1 0 3 B	スイッチ	
1 1 1	配線	
1 1 2	配線	
1 1 2 A	配線	
1 1 2 B	配線	10
1 1 2 C	配線	
1 1 2 D	配線	
1 1 3	配線	
1 1 3 A	配線	
1 1 3 B	配線	
1 1 3 C	配線	
1 1 3 D	配線	
1 1 4 A	配線	
1 1 4 B	配線	
1 1 5 A	配線	20
1 1 5 B	配線	
1 1 6 A	配線	
1 1 6 B	配線	
1 1 7 A	配線	
1 1 7 B	配線	
1 1 8 A	配線	
1 1 8 B	配線	
1 2 1 A	経路	
1 2 1 B	経路	
1 2 2 A	経路	30
1 2 2 B	経路	
2 0 0 A	回路	
2 0 0 B	回路	
2 0 1 A	トランジスタ	
2 0 1 B	トランジスタ	
2 0 1 p A	トランジスタ	
2 0 1 p B	トランジスタ	
2 0 2 A	トランジスタ	
2 0 2 B	トランジスタ	
2 0 2 p A	トランジスタ	40
2 0 2 p B	トランジスタ	
2 0 3 A	容量素子	
2 0 3 B	容量素子	
2 0 4 A	トランジスタ	
2 0 4 B	トランジスタ	
2 0 5 A	トランジスタ	
2 0 5 B	トランジスタ	
2 0 6 A	トランジスタ	
2 0 6 B	トランジスタ	
2 0 7 A	トランジスタ	50

2 0 7 B	トランジスタ	
2 1 1 A	ダイオード	
2 1 1 B	ダイオード	
2 1 2 A	ダイオード	
2 1 2 B	ダイオード	
3 0 0 A	回路	
3 0 0 B	回路	
3 0 1 A	トランジスタ	
3 0 1 B	トランジスタ	
3 0 1 p A	トランジスタ	10
3 0 1 p B	トランジスタ	
3 0 2 A	トランジスタ	
3 0 2 B	トランジスタ	
3 0 2 p A	トランジスタ	
3 0 2 p B	トランジスタ	
3 1 2 A	ダイオード	
3 1 2 B	ダイオード	
4 0 0 A	回路	
4 0 0 B	回路	
4 0 1 A	トランジスタ	20
4 0 1 B	トランジスタ	
4 0 1 p A	トランジスタ	
4 0 1 p B	トランジスタ	
4 0 2 A	トランジスタ	
4 0 2 B	トランジスタ	
4 0 2 p A	トランジスタ	
4 0 2 p B	トランジスタ	
4 0 3 A	抵抗素子	
4 0 3 B	抵抗素子	
4 0 4 A	トランジスタ	30
4 0 4 B	トランジスタ	
4 0 5 A	トランジスタ	
4 0 5 B	トランジスタ	
4 0 6 A	トランジスタ	
4 0 6 B	トランジスタ	
4 0 7 A	トランジスタ	
4 0 7 B	トランジスタ	
4 0 8 A	トランジスタ	
4 0 8 B	トランジスタ	
4 0 9 A	トランジスタ	40
4 0 9 B	トランジスタ	
4 1 2 A	ダイオード	
4 1 2 B	ダイオード	
5 0 0 A	回路	
5 0 0 B	回路	
5 0 1 A	トランジスタ	
5 0 1 B	トランジスタ	
5 0 2 A	トランジスタ	
5 0 2 B	トランジスタ	
9 0 1	導電層	50

9 0 2	半 導 体 層	
9 0 3	導 電 層	
9 0 4	導 電 層	
9 0 5	コ ン タ ク ト ホ ー ル	
1 0 0 1	回 路	
1 0 0 2	回 路	
1 0 0 2 a	回 路	
1 0 0 2 b	回 路	
1 0 0 3	回 路	
1 0 0 4	画 素 部	10
1 0 0 5	端 子	
1 0 0 6	基 板	
1 1 0 0 A	シ フ ト レ ジ ス タ	
1 1 0 0 B	シ フ ト レ ジ ス タ	
1 1 0 1 A	フ リ ッ プ フ ロ ッ プ	
1 1 0 1 B	フ リ ッ プ フ ロ ッ プ	
1 1 1 1	配 線	
1 1 1 2	配 線	
1 1 1 2 A	配 線	
1 1 1 2 B	配 線	20
1 1 1 3	配 線	
1 1 1 3 A	配 線	
1 1 1 3 B	配 線	
1 1 1 4	配 線	
1 1 1 4 A	配 線	
1 1 1 4 B	配 線	
1 1 1 5 A	配 線	
1 1 1 5 B	配 線	
1 1 1 6	配 線	
1 1 1 6 A	配 線	30
1 1 1 6 B	配 線	
1 1 1 9	配 線	
1 1 1 9 A	配 線	
1 1 1 9 B	配 線	
2 0 0 1	回 路	
2 0 0 2	回 路	
2 0 0 3	ト ラ ン ジ ス タ	
2 0 0 4	配 線	
2 0 0 5	配 線	
2 0 0 6 A	ゲ ー ト ド ラ イ バ 回 路	40
2 0 0 6 B	ゲ ー ト ド ラ イ バ 回 路	
2 0 0 7	画 素 部	
2 0 0 8	ソ ー ス 線	
2 0 1 4	信 号	
2 0 1 5	信 号	
3 0 0 0	保 護 回 路	
3 0 0 1	ト ラ ン ジ ス タ	
3 0 0 2	ト ラ ン ジ ス タ	
3 0 0 3	ト ラ ン ジ ス タ	
3 0 0 4	ト ラ ン ジ ス タ	50

3 0 0 5	容量素子	
3 0 0 6	抵抗素子	
3 0 0 7	容量素子	
3 0 0 8	抵抗素子	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 1 3	配線	
3 0 2 0	画素	
3 0 2 1	トランジスタ	
3 0 2 2	液晶素子	10
3 0 2 3	容量素子	
3 0 3 1	配線	
3 0 3 2	配線	
3 0 3 3	配線	
3 0 3 4	電極	
3 1 0 0	ゲートドライバ回路	
3 1 0 1 a	端子	
3 1 0 1 b	端子	
3 1 0 1 c	端子	
3 1 0 1 d	端子	20
3 1 0 2	ゲート線	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	30
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	40
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	50

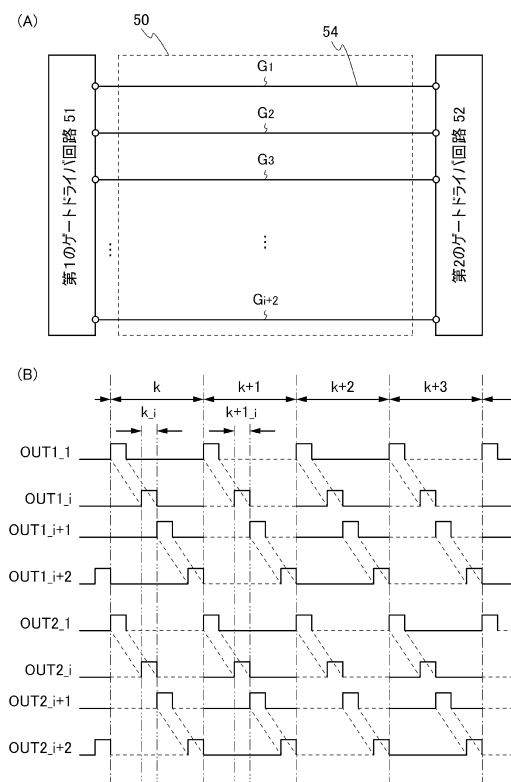
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 1 0 2	画素部	
5 1 0 8	ゲートドライバ回路	
5 1 1 0	ゲートドライバ回路	
5 1 1 2	ソースドライバ回路	
5 2 6 0	基板	10
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 2 a	領域	
5 2 6 2 b	領域	
5 2 6 2 c	領域	
5 2 6 2 d	領域	
5 2 6 2 e	領域	
5 2 6 3	絶縁層	
5 2 6 4	導電層	
5 2 6 5	絶縁層	20
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	E L 層	
5 2 7 1	導電層	
5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 3 a	半導体層	30
5 3 0 3 b	半導体層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	半導体基板	
5 3 5 3	領域	40
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	50

5 4 0 2	絶縁層
5 4 0 3 a	半導体層
5 4 0 3 b	半導体層
5 4 0 4	導電層
5 4 0 5	絶縁層
5 4 0 6	導電層
5 4 0 7	液晶層
5 4 0 8	絶縁層
5 4 0 9	導電層
5 4 1 0	基板
6 1 1 1	配線
6 1 1 2	配線
6 1 1 3	配線
6 1 1 4	配線
6 1 1 5	配線
6 1 1 6	配線
6 2 0 0	回路
6 2 0 1	トランジスタ
6 2 0 2	トランジスタ
6 3 0 1	トランジスタ
6 3 0 2	トランジスタ
6 4 0 1	トランジスタ
6 4 0 2	トランジスタ

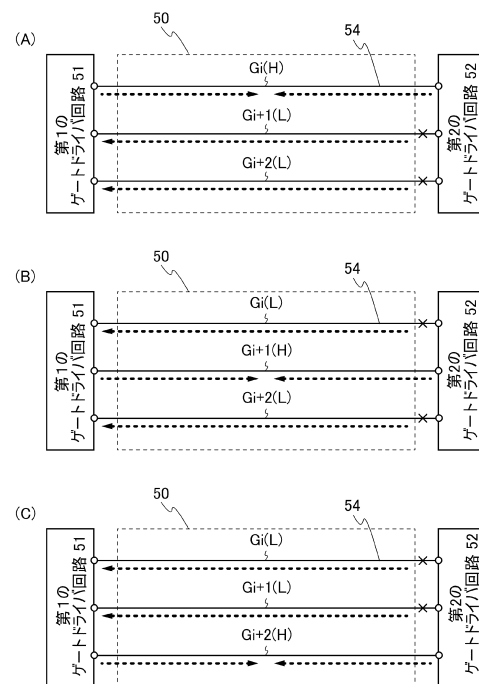
10

20

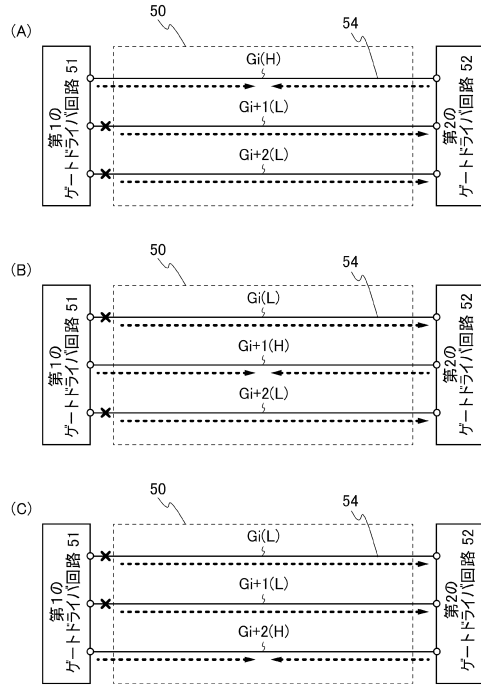
【図 1】



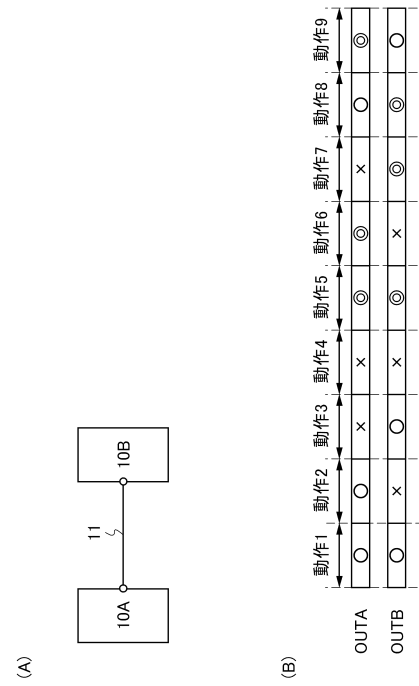
【図 2】



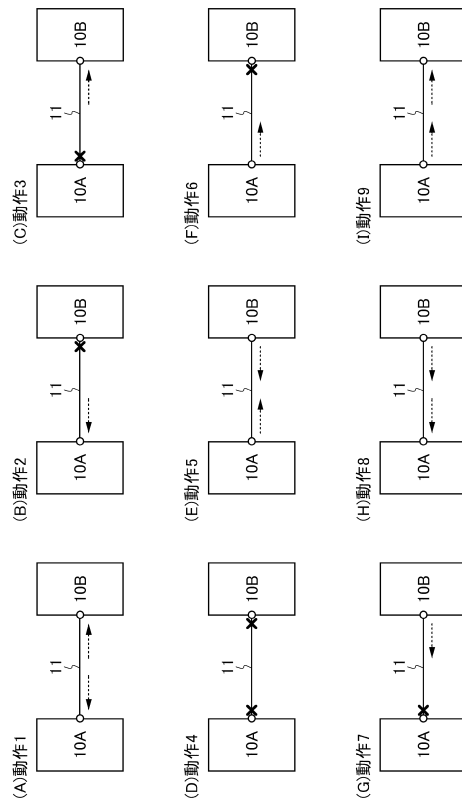
【図 3】



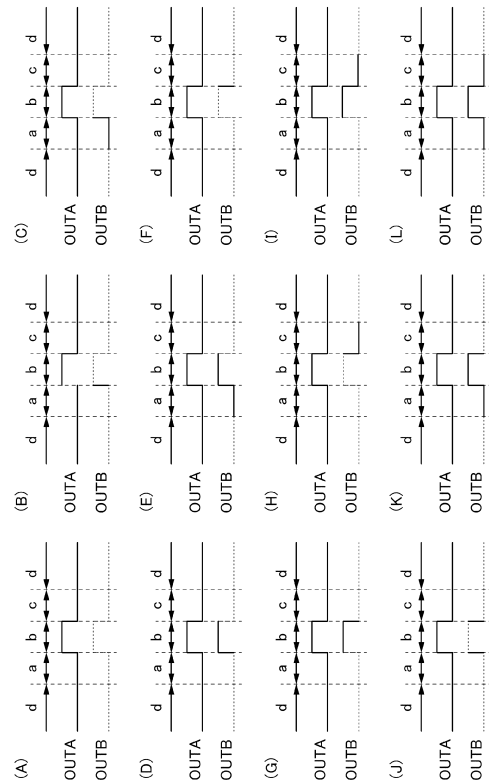
【図 4】



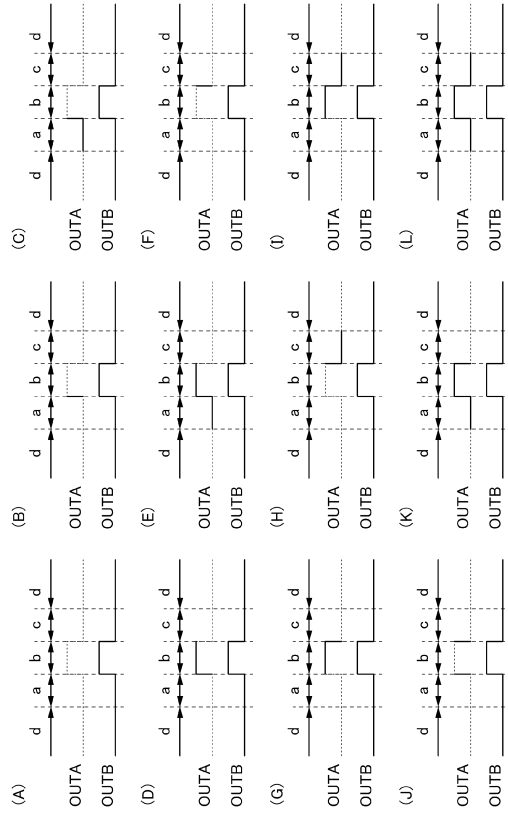
【図 5】



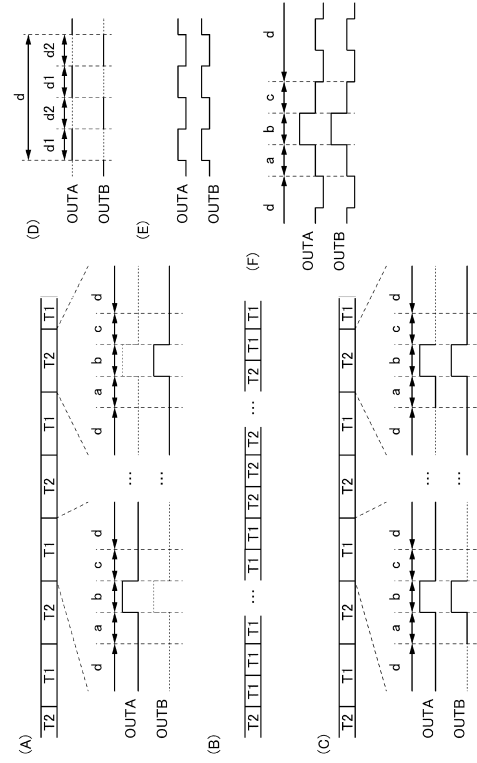
【図 6】



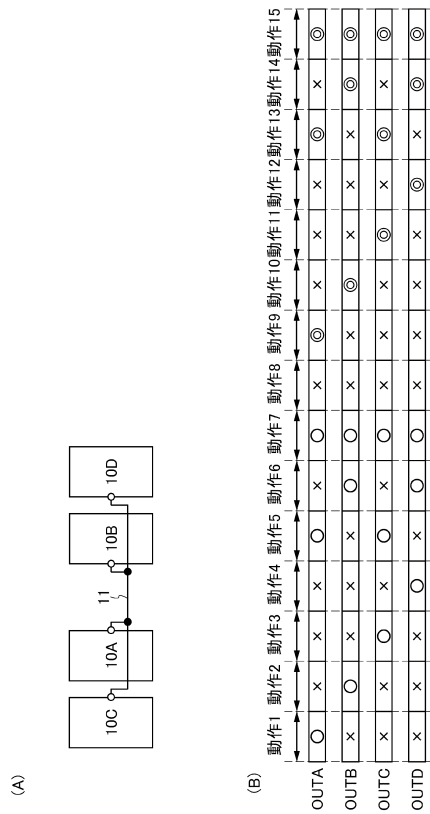
【図 7】



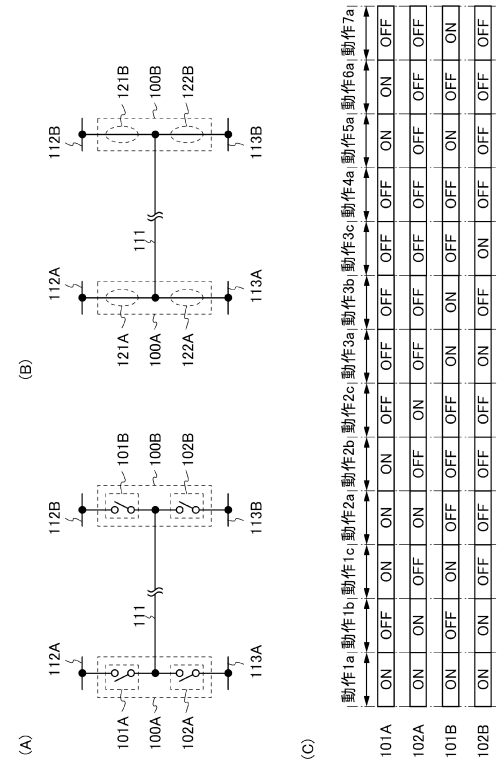
【図 8】



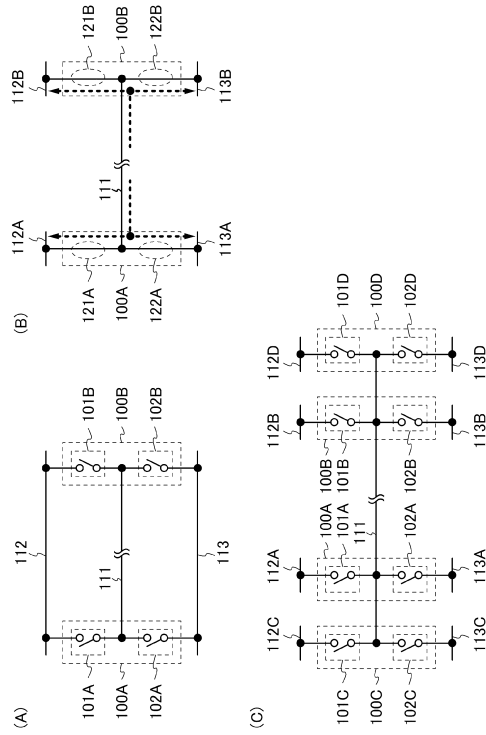
【図 9】



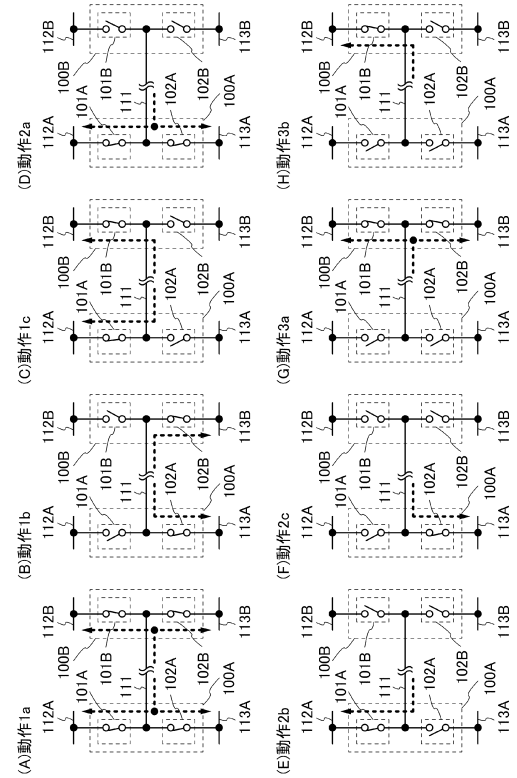
【図 10】



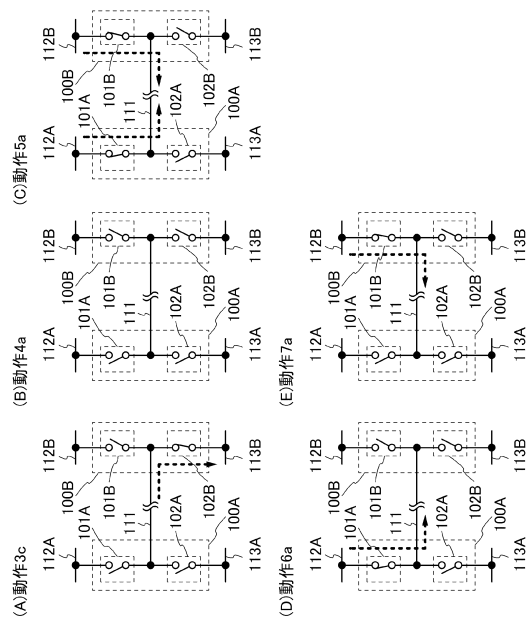
【図 1 1】



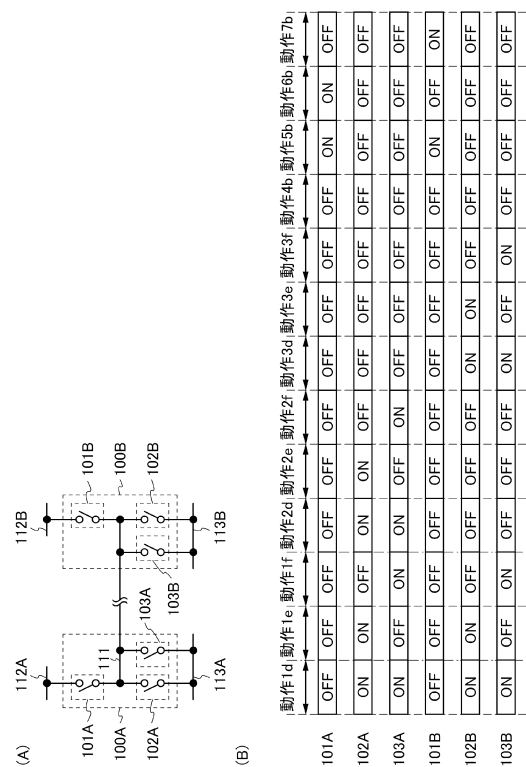
【図 1 2】



【図 1 3】

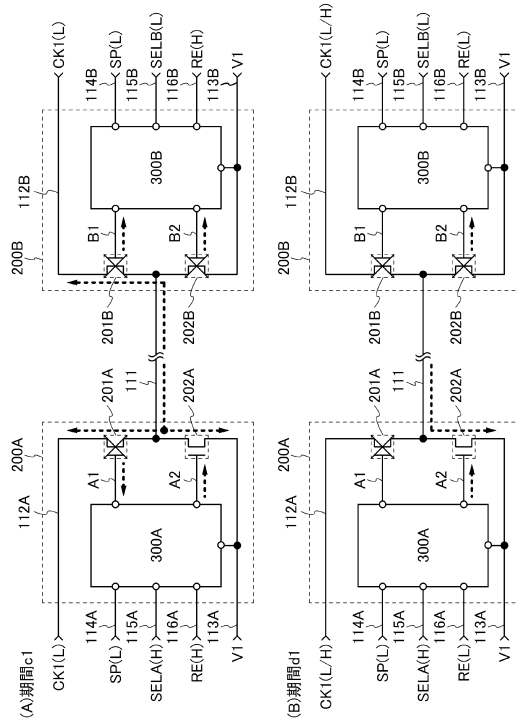


【図 1 4】

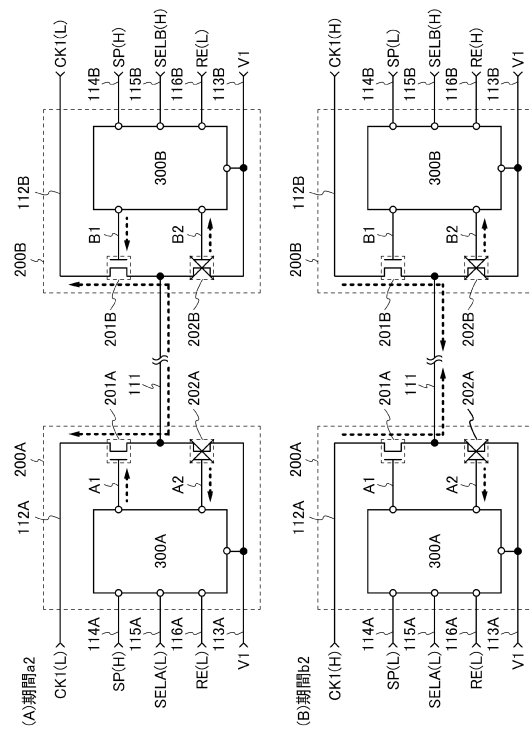


動作1d	動作1e	動作1f	動作2d	動作2e	動作2f	動作3d	動作3e	動作3f	動作4b	動作5b	動作6b	動作7b
101A	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF	OFF
102A	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF
103A	ON	OFF	ON	ON	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
101B	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON	ON	OFF	ON
102B	ON	ON	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
103B	ON	OFF	ON	OFF	OFF	ON	OFF	ON	OFF	OFF	OFF	OFF

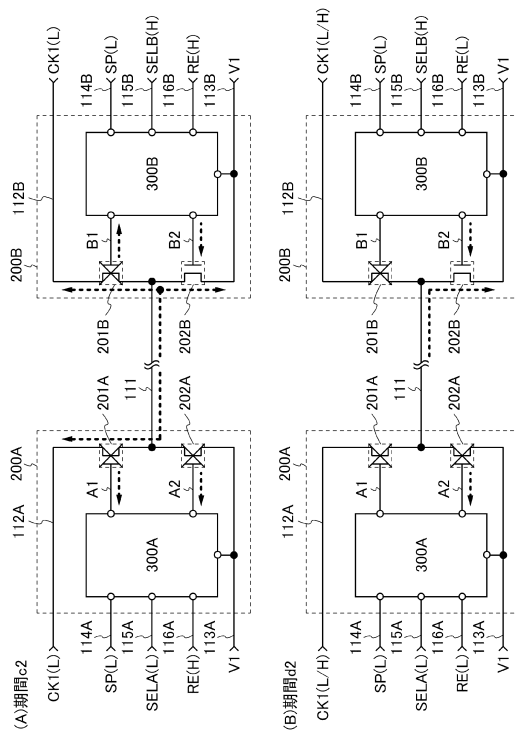
【図 19】



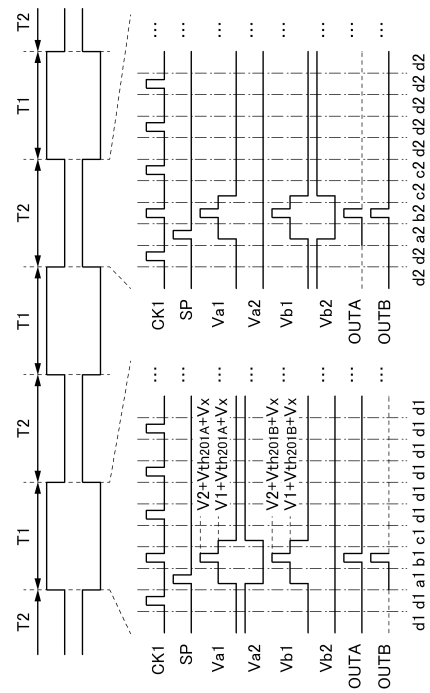
【図 20】



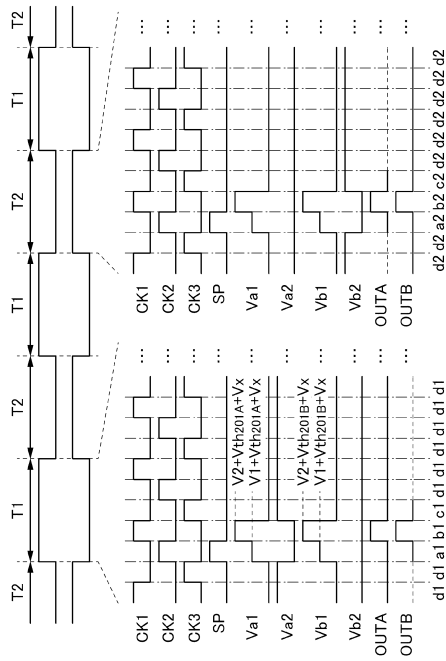
【図 21】



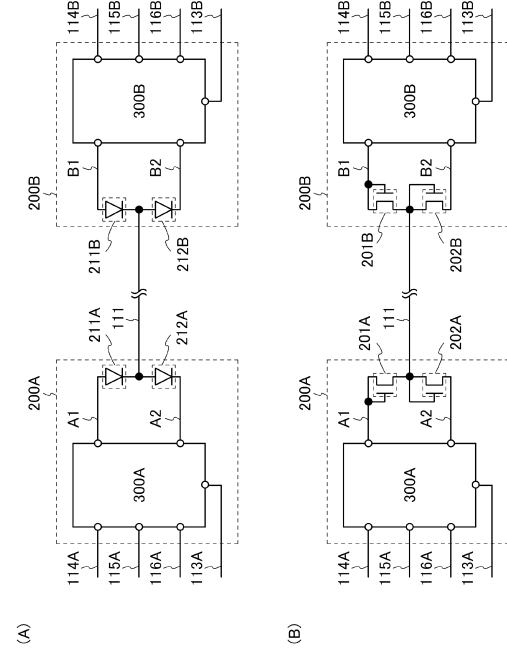
【図 22】



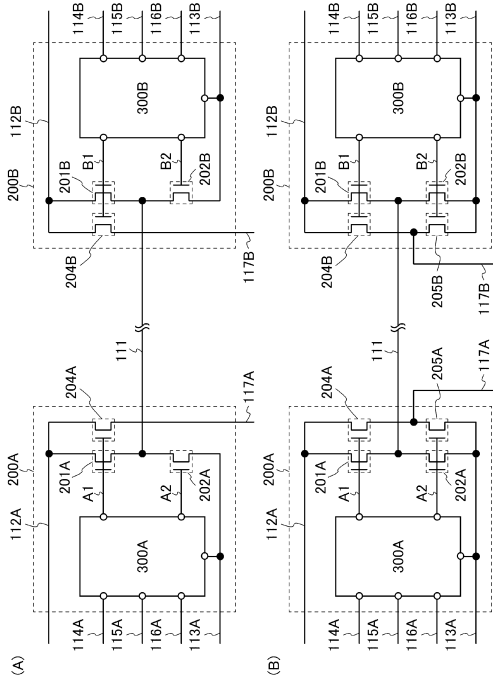
【図 2 3】



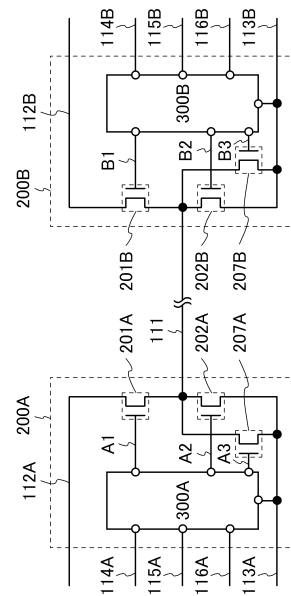
【図 2 4】



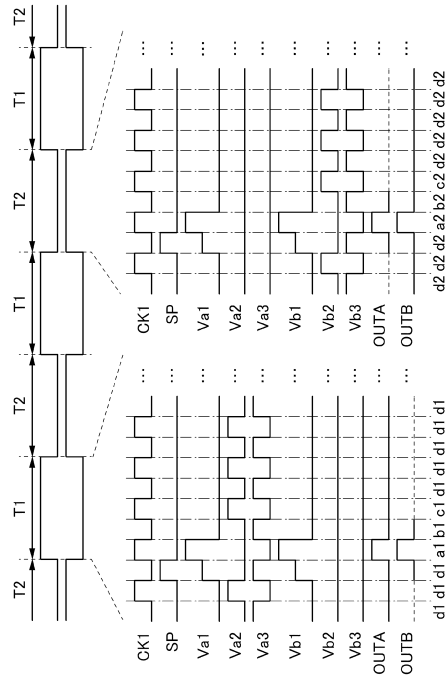
【図 2 5】



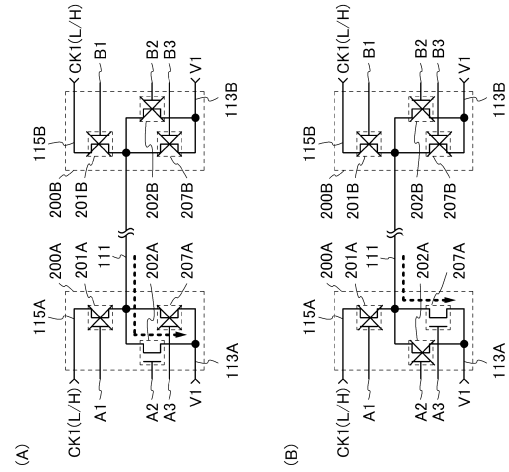
【図 2 6】



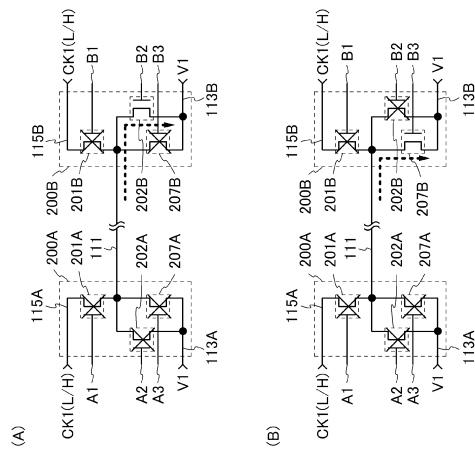
【 図 2 7 】



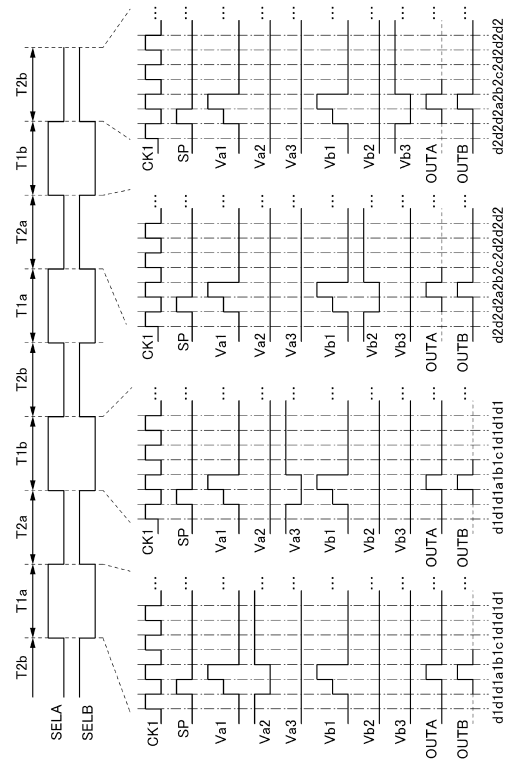
【 図 2 8 】



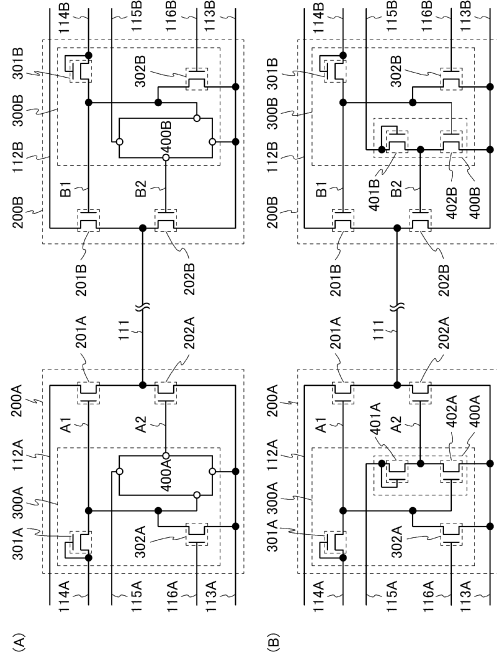
【 図 2 9 】



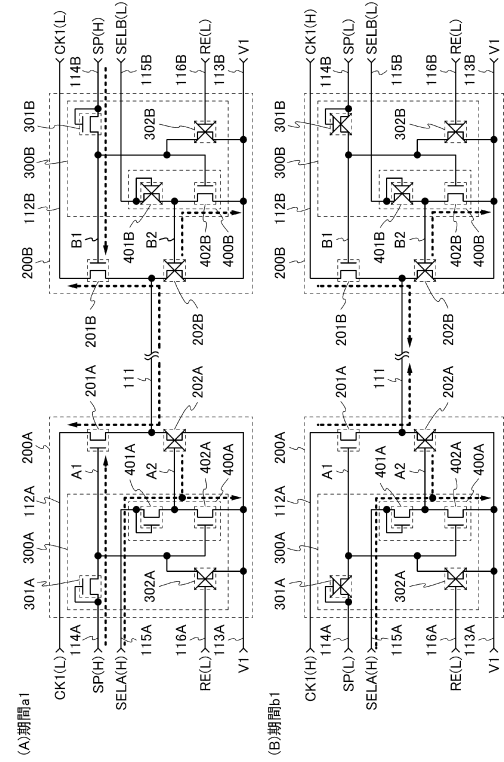
【 図 3 0 】



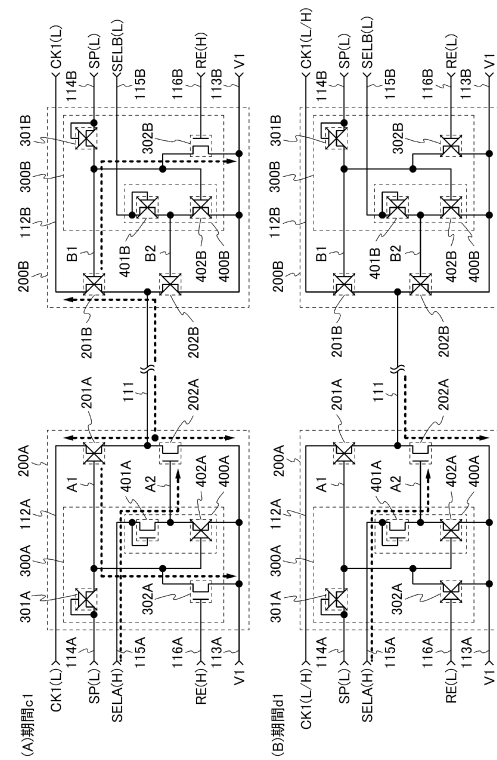
【図 3 1】



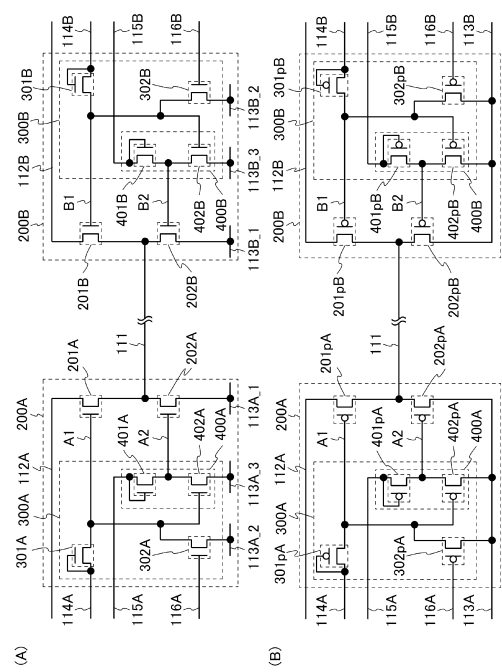
【図 3 2】



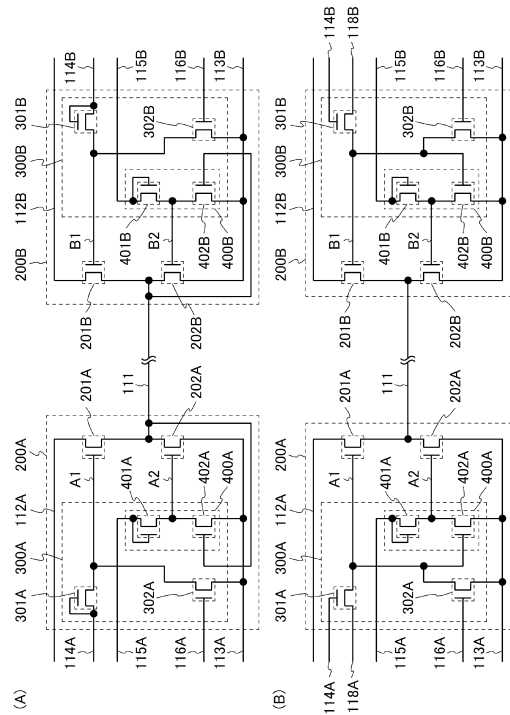
【図 3 3】



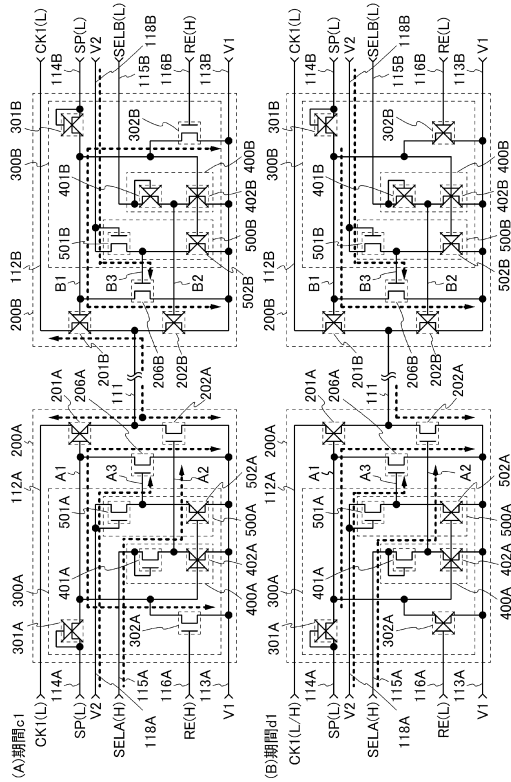
【 図 3 6 】



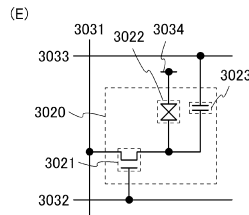
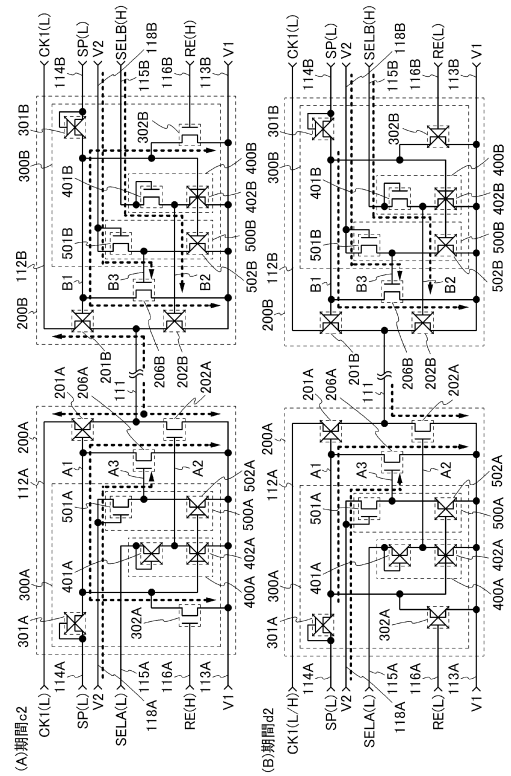
【 図 3 8 】



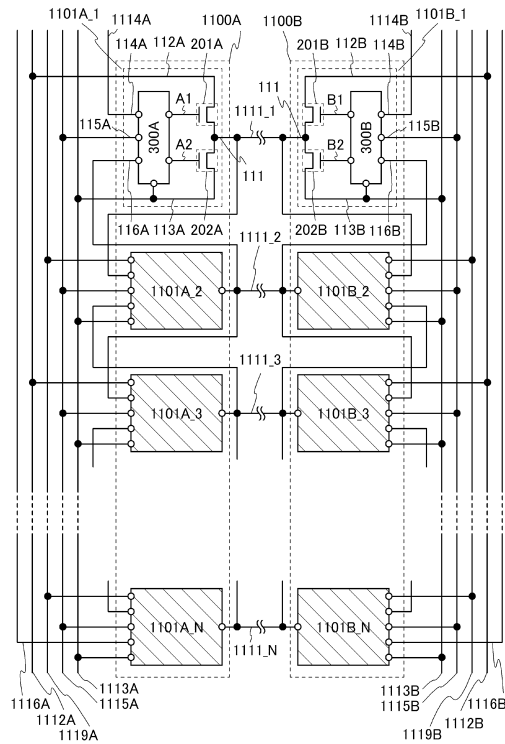
【 図 4 3 】



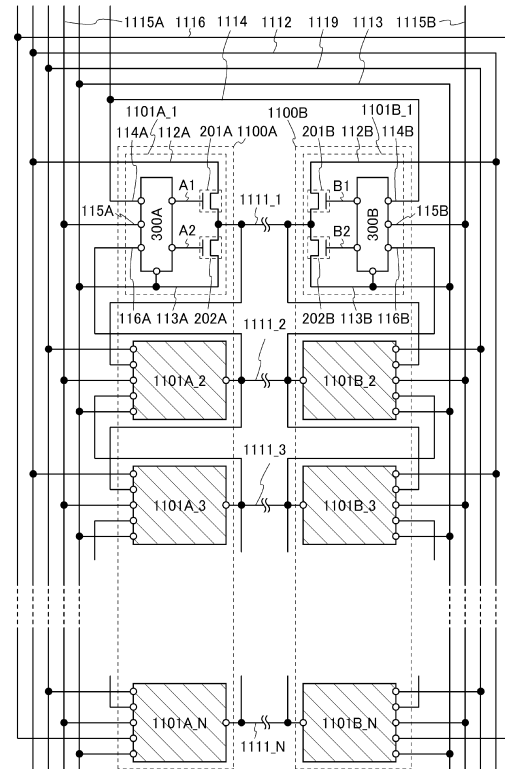
【 図 4 5 】



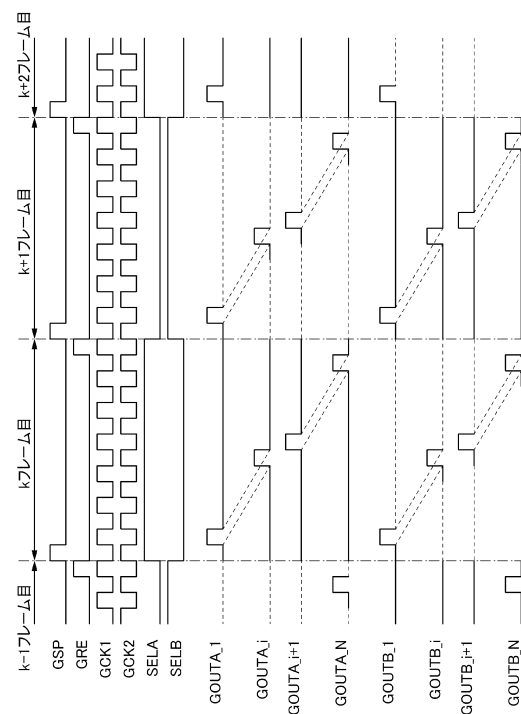
【図 47】



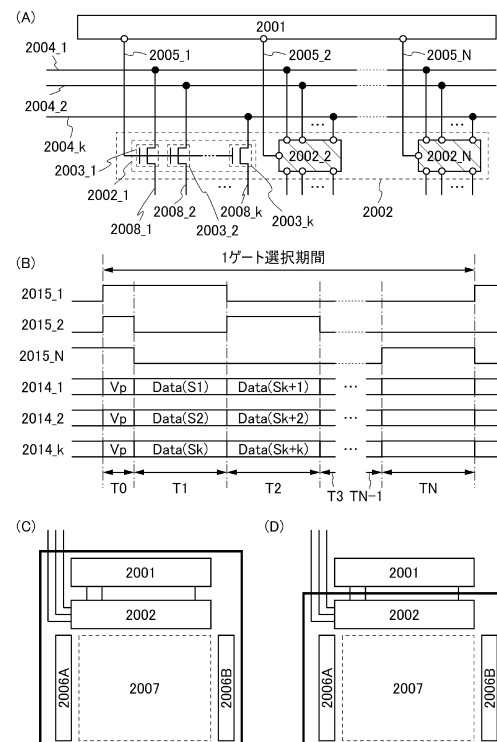
【図 48】



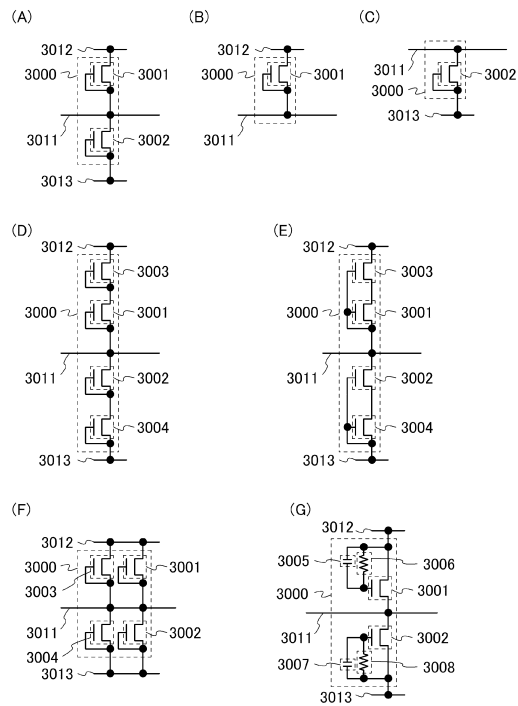
【図 49】



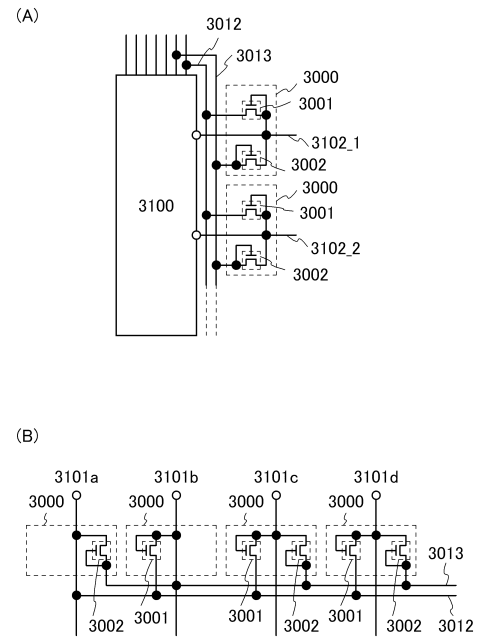
【図 50】



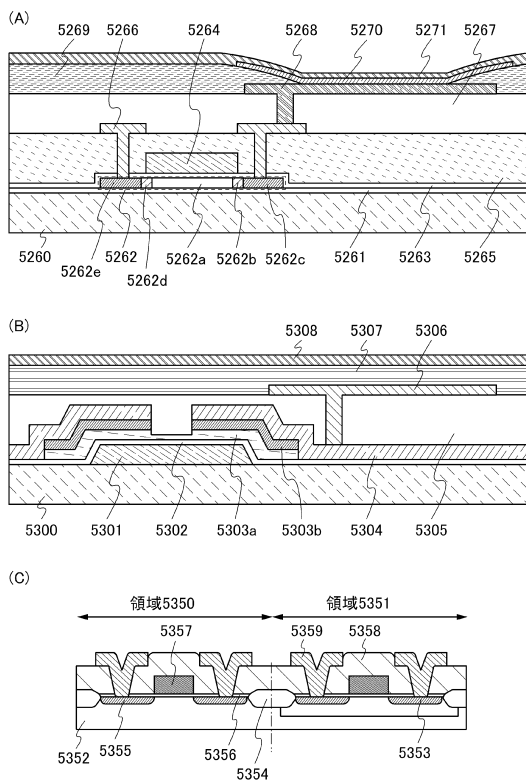
【図 5 1】



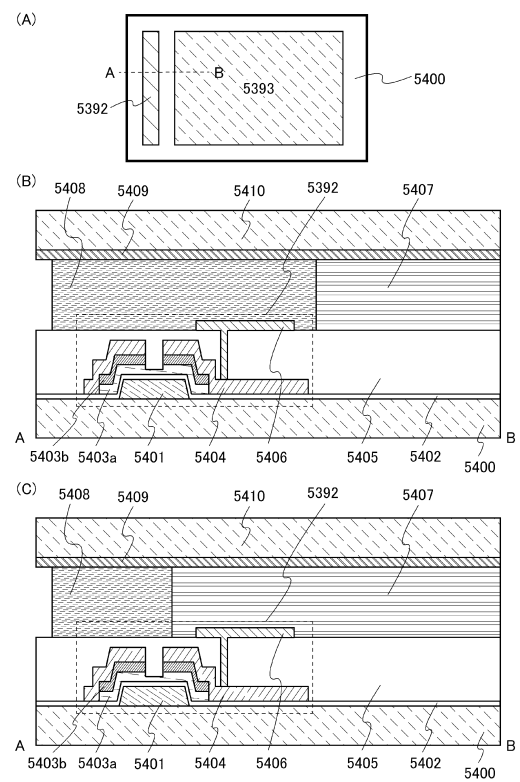
【図 5 2】



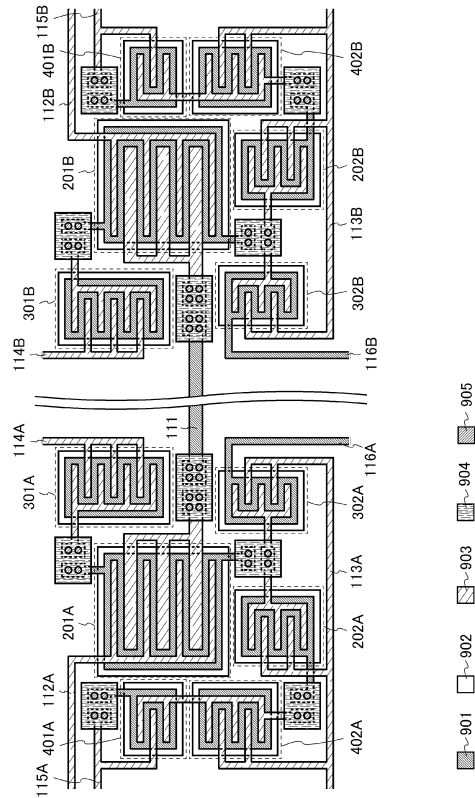
【図 5 3】



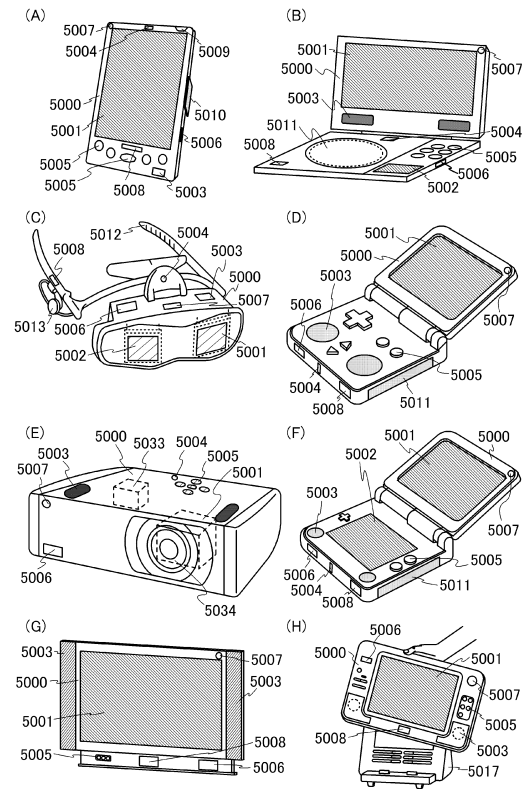
【図 5 4】



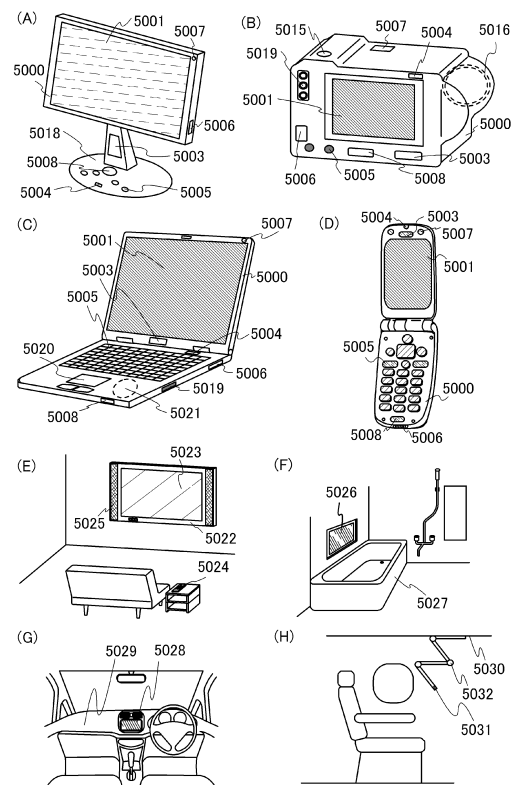
【図 55】



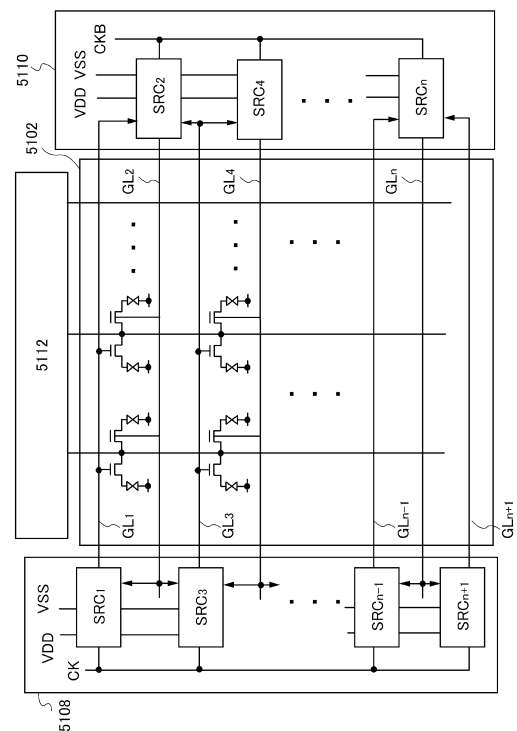
【図 56】



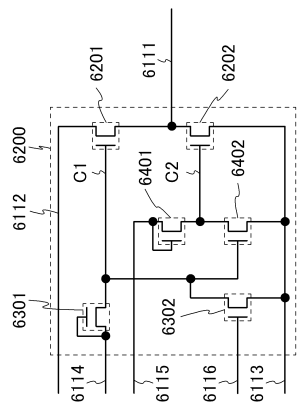
【図 57】



【図 58】

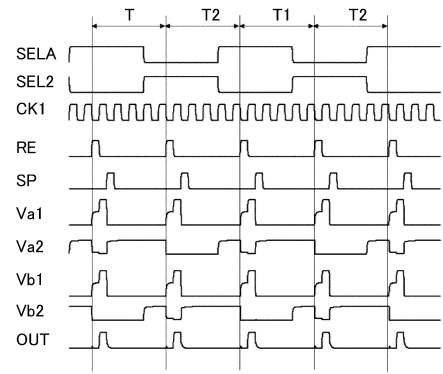


【図 5 9】

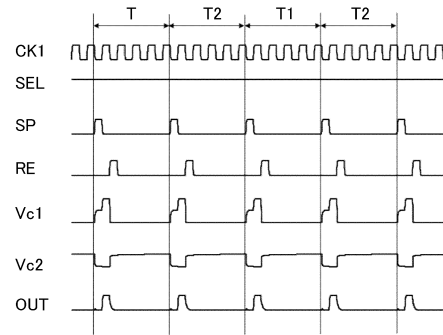


【図 6 0】

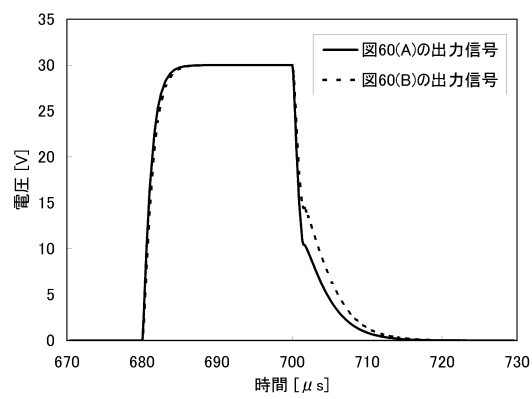
(A)



(B)



【図 6 1】



 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 2 A
	G 0 9 G	3/20	6 2 1 M
	G 0 9 G	3/20	6 2 2 E
	G 0 9 G	3/20	6 2 2 C
	G 0 9 G	3/20	6 2 2 D
	G 0 9 G	3/20	6 2 1 K
	G 1 1 C	19/28	2 3 0

(56)参考文献 特開 2 0 0 8 - 0 0 9 3 9 3 (J P , A)
 特開 2 0 0 8 - 2 7 6 8 4 9 (J P , A)
 特開 2 0 0 9 - 1 3 4 8 4 5 (J P , A)
 特開 2 0 0 7 - 0 3 4 3 2 1 (J P , A)
 米国特許出願公開第 2 0 0 9 / 0 0 2 1 4 6 6 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 1 1 C 1 9 / 2 8