

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号

WO 2012/120785 A1

- (51) 国際特許分類:
H01L 21/304 (2006.01) B24B 37/24 (2012.01)
- (21) 国際出願番号: PCT/JP2012/000856
- (22) 国際出願日: 2012 年 2 月 9 日(09.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-048852 2011 年 3 月 7 日(07.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 信越半導体株式会社 (Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 6 番 2 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 佐々木 拓也(SASAKI, Takuya) [JP/JP]; 〒9618061 福島県西白河郡西郷村大字小田倉字大平 1 5 0 番地信越半導体株式会社 白河工場内 Fukushima (JP). 橋本 浩昌(HASHIMOTO, Hiromasa) [JP/JP]; 〒9618061 福島県西白河郡西郷村大字小田倉字大平 1 5 0 番

地信越半導体株式会社 白河工場内 Fukushima (JP). 佐藤 一弥(SATO, Kazuya) [JP/JP]; 〒9618061 福島県西白河郡西郷村大字小田倉字大平 1 5 0 番地信越半導体株式会社 半導体白河研究所内 Fukushima (JP). 佐藤 歩(SATO, Ayumu) [JP/JP]; 〒9420193 新潟県上越市頸城区城野腰 5 9 6 番地 2 直江津電子工業株式会社内 Niigata (JP).

(74) 代理人: 好宮 幹夫(YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野 7 丁目 6 番 1 1 号第一下谷ビル 8 F Tokyo (JP).

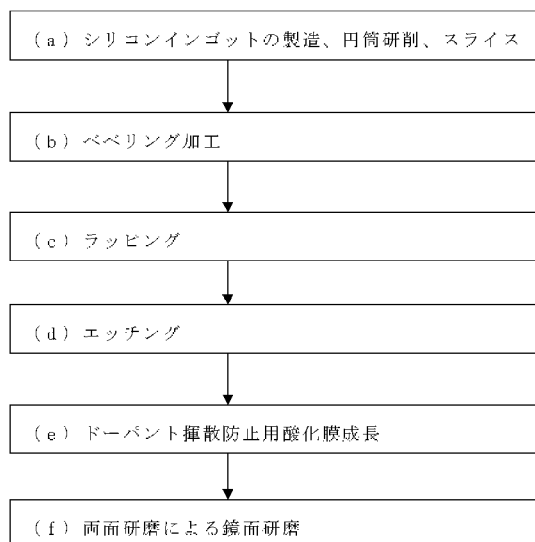
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PROCESS FOR PRODUCING SILICON WAFER

(54) 発明の名称: シリコンウェーハの製造方法

【図1】



- (a) Production of silicon ingot, grinding into cylinder, and slicing
(b) Beveling
(c) Lapping
(d) Etching
(e) Deposition of oxide film for preventing dopant volatilization
(f) Mirror polishing by double-side polishing

(57) Abstract: The present invention is a process for producing a silicon wafer, characterized by including, after deposition of an oxide film on one surface of a raw silicon wafer by chemical vapor deposition, a step in which both surfaces of the raw silicon wafer are polished using, for the oxide-film surface side, a polishing cloth which is either a polishing suede cloth obtained by applying a urethane resin and then subjecting the applied urethane resin to wet-process solidification to foam the resin or a polishing velour cloth obtained by impregnating nonwoven fabric with a urethane resin and which has an Asker-C rubber hardness of 50° or higher but less than 90°, and using, for the side which has no deposited oxide film, a polishing cloth which is either a polishing cloth constituted of foam of a urethane alone or a polishing velour cloth obtained by impregnating nonwoven fabric with a urethane resin and which has an Asker-C rubber hardness of 90° or higher. Thus, by the process for silicon wafer production, a silicon wafer having a high degree of flatness can be produced while inhibiting the oxide film from suffering scratches or being reduced in thickness by polishing and while thereby maintaining the quality of the oxide film as a protective film for preventing dopant volatilization.

(57) 要約:

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明は、原料シリコンウェーハの片面に化学気相成長法により酸化膜を成長させた後に、酸化膜表面側に、ウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が50°以上90°未満の研磨布を用い、酸化膜を成長させていない表面を研磨する側に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が90°以上の研磨布を用いて原料シリコンウェーハを両面研磨する工程を有することを特徴とするシリコンウェーハの製造方法である。これにより、酸化膜の傷及び研磨量を抑制してそのドーパント揮散防止用保護膜としての品質を保ちつつ、高平坦度を有するシリコンウェーハを製造できるシリコンウェーハの製造方法が提供される。

明 細 書

発明の名称：シリコンウェーハの製造方法

技術分野

[0001] 本発明は、エピタキシャルシリコンウェーハ製造用の、片面に鏡面研磨面を有し、他表面にドーパント揮散防止用保護膜を有するシリコンウェーハを製造する方法に関する。

背景技術

[0002] ディスクリート半導体やバイポーラＩＣ等を製造するウェーハとして、半導体エピタキシャルウェーハがその優れた特性から広く用いられてきた。また、半導体エピタキシャルウェーハは、ＭＯＳ ＬＳＩについても、ソフトエラーやラッチアップ特性が優れていることから、マイクロプロセッサユニットやフラッシュメモリデバイスにも広く用いられている。

[0003] このような半導体エピタキシャルウェーハは例えば以下のようにして製造される。

まず、一般的にチョクラルスキー（ＣＺ）法またはフローティングゾーン（ＦＺ）法等により単結晶インゴットが製造される。この製造された単結晶インゴットは、ブロックに切断され、直径を揃えるために丸め加工（円筒研削工程）が施される。この単結晶インゴットブロックから複数のウェーハが切り出され（スライス加工工程）、切り出されたウェーハの周辺部の角を落とすために面取り（ベベリング加工工程）が施される。さらに、このウェーハ表面の凹凸を無くし、平坦度を高め、スライス時の加工歪を最小にするために機械研削（ラッピング加工工程）が施される。その後、機械研削時にウェーハの表面層に形成された加工歪み層が混酸エッチングなどにより除去される（エッチング工程）。

[0004] 次いで、オートドーピングを防止するための保護膜（ドーパント揮散防止用保護膜）が少なくともウェーハの裏面側に形成され、その後、化学的かつ機械的に研磨（ＣＭＰ）をすることで半導体ウェーハの表面を鏡面状にする

ための鏡面研磨（ミラーポリッシュ工程）が施され、この鏡面研磨されたウェーハの表面にエピタキシャル膜を形成する工程を経て半導体エピタキシャルウェーハを製造している。

[0005] ここでオートドーピングについて、説明を補足する。ウェーハ上に単結晶薄膜（エピタキシャル膜）を気相成長させるエピタキシャル工程においては、そのウェーハは、通常、およそ1000～1200℃の高温にさらされる。その際、そのウェーハ中に含まれていたドーパントがエピタキシャル膜の形成工程中に揮散し、エピタキシャル膜に取り込まれる現象、いわゆるオートドーピング現象が発生する。

特に、従来からパワーMOS用半導体エピタキシャルウェーハの製造には、不純物を高濃度にドーピングしたP型あるいはN型のいずれかの導電型の低抵抗率のウェーハがエピタキシャル膜形成用の基板として用いられ、この場合、オートドーピングの発生が顕著となる。

[0006] すなわち、このような高濃度にドーピングされたウェーハを加熱した場合に、ドーパント揮散防止用保護膜がウェーハに形成されていないと、ウェーハにドーピングしてあるボロンやリン、アンチモン、ヒ素等の不純物がウェーハから飛び出し、エピタキシャル膜に入り込むオートドーピング現象が生じ、所望する抵抗率のエピタキシャル膜が得られない。その結果、半導体エピタキシャルウェーハの電気特性が変化してしまい、この半導体エピタキシャルウェーハを用いて作製した半導体素子が設計通りの特性を示さず、不良となる。

[0007] そこで、上記したように、オートドーピングを防ぐために、ウェーハの裏面にドーパント揮散防止保護膜が必要となる。例えば、直径300mmなどの大直径のウェーハの場合、特に高平坦度が要求されるため、両面研磨を行いウェーハを高平坦化した後にドーパント揮散防止用保護膜として酸化膜を化学的気相成長法（CVD）などによりウェーハの裏面側に形成させる。

その後、上記したミラーポリッシュ工程においてシリコンウェーハの表面側、すなわちエピタキシャル膜を気相成長させる側を片面研磨により鏡面研磨するが、CVDによる酸化膜形成工程によって歪みなどがシリコン表面に

生じてしまうので、その歪みなどを除去するために、この片面研磨においてシリコン表面側を数ミクロン以上研磨して鏡面に仕上げる必要がある。

[0008] しかし、このようなCVDによる酸化膜形成工程で生じる歪みなどを除去するために必要な研磨代での片面研磨によって平坦度が悪化するという問題が生じる。近年、より高平坦なウェーハの要求が強くなり、この要求を満たすためにウェーハの平坦度の悪化を改善する必要性が出てきた。

ここで、特許文献1には、CVDにより片面に酸化膜を成長させたウェーハを両面研磨装置により研磨することで鏡面と粗面を有し、平坦度の高いウェーハの加工を可能とした半導体ウェーハの製造方法が開示されている。

先行技術文献

特許文献

[0009] 特許文献1：特開平9－199465号公報

発明の概要

発明が解決しようとする課題

[0010] しかし、この方法は片面を粗面とした高平坦なウェーハを製造することを目的とし、その両面研磨によって酸化膜は除去されてしまう。また、この方法を用いて酸化膜の厚さ及び両面研磨時の研磨代を調整して酸化膜が残るようにしても、酸化膜が研磨によって薄くなったり、酸化膜表面に傷が発生してしまい、ドーパント揮散防止用保護膜としての品質が得られないという問題が生じる。

[0011] 本発明は前述のような問題に鑑みてなされたもので、酸化膜の傷及び研磨量を抑制してそのドーパント揮散防止用保護膜としての品質を保ちつつ、高平坦度を有するシリコンウェーハを製造できるシリコンウェーハの製造方法を提供することを目的とする。

課題を解決するための手段

[0012] 上記目的を達成するために、本発明によれば、原料シリコンウェーハの片面に化学気相成長法により酸化膜を成長させた後、該酸化膜を成長させてい

ない側の前記原料シリコンウェーハの表面を研磨して、鏡面研磨面と酸化膜面とを有するシリコンウェーハを製造する製造方法であって、前記酸化膜を成長させた後に、前記酸化膜表面側に、ウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたベロア系研磨布で、かつアスカーCゴム硬度が 50° 以上 90° 未満の研磨布を用い、前記酸化膜を成長させていない表面を研磨する側に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたベロア系研磨布で、かつアスカーCゴム硬度が 90° 以上の研磨布を用いて前記原料シリコンウェーハを両面研磨する工程を有することを特徴とするシリコンウェーハの製造方法が提供される。

[0013] このような製造方法であれば、両面研磨において、酸化膜が研磨され過ぎることもなく、酸化膜の傷を抑制でき、かつシリコンウェーハを高平坦に研磨でき、ドーパント揮散防止用保護膜としての酸化膜の品質を保ちつつ、高平坦度を有するシリコンウェーハを製造できる。

[0014] このとき、前記両面研磨する工程の後に、前記鏡面研磨面を片面研磨装置を用いて研磨できる。

このようにすれば、シリコンウェーハの平坦度を更に向上でき、鏡面研磨面を高精度に仕上げることができる。

[0015] またこのとき、前記原料シリコンウェーハとして、抵抗率が $0.1\Omega\cdot\text{cm}$ 以下のシリコンウェーハを用いることができる。

このような、後工程でのエピタキシャルウェーハ工程においてオートドーピングが発生し易い低抵抗率のシリコンウェーハを用いた場合においても、本発明によってドーパント揮散防止用保護膜としての酸化膜の傷を抑制し、オートドーピングを確実に防ぐことができるシリコンウェーハを製造できる。

[0016] またこのとき、前記酸化膜表面側の研磨布のアスカーCゴム硬度が 50° 以上 70° 以下であることが好ましい。

このようにすれば、両面研磨において、酸化膜の傷をより確実に抑制でき

、かつより確実に高平坦に研磨できる。

発明の効果

[0017] 本発明では、原料シリコンウェーハの片面に化学気相成長法により酸化膜を成長させた後、酸化膜表面側に、ウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が50°以上90°未満の研磨布を用い、酸化膜を成長させていない表面を研磨する側に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が90°以上の研磨布を用いて原料シリコンウェーハを両面研磨するので、両面研磨において、酸化膜が研磨され過ぎることもなく、酸化膜の傷を抑制でき、かつシリコンウェーハを高平坦に研磨でき、ドーパント揮散防止用保護膜としての酸化膜の品質を保ちつつ、高平坦度を有するシリコンウェーハを製造できる。

図面の簡単な説明

[0018] [図1]本発明のシリコンウェーハの製造方法の一例を示すフロー図である。
[図2]本発明で用いることができる両面研磨装置の一例を示す概略図である。
[図3]実施例1乃至実施例5、比較例1の酸化膜の傷の結果を示す図である。
[図4]実施例6、比較例2の平坦度の結果を示す図である。

発明を実施するための形態

[0019] 以下、本発明について実施の形態を説明するが、本発明はこれに限定されるものではない。

一般に、半導体エピタキシャルウェーハ製造用のシリコンウェーハには、オートドーピングを防止するために、ドーパント揮散防止用保護膜としての酸化膜がウェーハの裏面側に形成される。この酸化膜はCVDによって形成されるが、このCVDの際にシリコン表面に歪みが生じてしまう。この歪みを除去するため、エピタキシャル膜を気相成長させる側の表面を片側研磨によって鏡面に仕上げる際に研磨代を数ミクロン以上とする必要がある。しかし、このような研磨代での片面研磨によって平坦度が悪化してしまうという

問題が生じる。

[0020] 従来、CVDにより片面に酸化膜を成長させたウェーハを両面研磨装置により研磨することで鏡面と粗面を有し、平坦度の高いウェーハを製造する半導体ウェーハの製造方法が知られているが、この方法では酸化膜が研磨によって薄くなったり、酸化膜表面に傷が発生してしまい、ドーパント揮散防止用保護膜として機能しなくなる。

このように、従来の方法では、ドーパント揮散防止用の酸化膜の品質を保ちつつ、高平坦度を有するウェーハを製造することが困難であった。

[0021] そこで、本発明者等はこのような問題を解決すべく鋭意検討を重ねた。その結果、エピタキシャル膜を気相成長させる側の表面の鏡面研磨を両面研磨によって行い、この際に上下の研磨布の材質及び硬度を本発明で規定するものとするにより、酸化膜の品質を保ちつつ、高平坦度を有するウェーハを製造できることを知見し、本発明を完成させた。

[0022] 図1は本発明のシリコンウェーハの製造方法の一例を示すフロー図である。

まず、片面にドーパント揮散防止用の酸化膜を成長させた原料シリコンウェーハを以下のようにして準備する。尚、酸化膜を成長させるまでの工程は原則として従来と同様である。以下、原料シリコンウェーハの酸化膜を形成する側の面を裏面と呼び、酸化膜が形成されておらず、鏡面研磨してエピタキシャル膜を形成する側の面を表面と呼ぶことがある。

具体的には、CZ法またはFZ法等によりシリコンインゴットを製造する。そして、製造したシリコンインゴットを、所定長さのブロックに切断し、直径を揃えるために丸め加工（円筒研削工程）を施す。そして、シリコンインゴットからウェーハを切り出す（スライス加工工程：図1（a））。

[0023] 次に、切り出された原料シリコンウェーハの周辺部の角を落とすために面取り（ベベリング加工工程：図1（b））を行う。更に、このシリコンウェーハ表面の凹凸を無くし、平坦度を高め、スライス時の加工歪を最小にするための機械研削（ラッピング加工工程：図1（c））を行い、機械研削時に

ウェーハの表面層に形成された加工歪み層を混酸エッチングなどにより除去する（エッチング工程：図１（d））。

ここで、ウェーハの平坦度をより向上するために、後述するドーパント揮散防止用酸化膜成長工程の前、例えば上記エッチング工程後に、ウェーハを両面研磨することができる。特に直径３００mmなどの大直径のウェーハを製造する場合にはより高い平坦度が要求されるので、このような両面研磨を行うことが好ましい。この両面研磨の際に用いる研磨布は特に限定されず、従来と同様のものを用いることができる。

[0024] 次に、オートドーピングを防止するためのドーパント揮散防止用の酸化膜を原料シリコンウェーハの裏面に成長させる（ドーパント揮散防止用酸化膜成長工程：図１（e））。このドーパント揮散防止用の酸化膜を成長させることにより、例えば、エピタキシャル膜形成工程や、その他熱処理工程において、ウェーハに高濃度にドーパされたドーパントが揮散し、エピタキシャル膜に取り込まれることを強く抑制することができる。

ここで、このドーパント揮散防止用の酸化膜として、シリコン酸化膜を形成することができる。シリコン酸化膜は常圧ＣＶＤ法による堆積や熱酸化による熱酸化膜の形成等によって容易に形成することができ、安価に製造することができる。

また、このドーパント揮散防止用の酸化膜の外周部をエッチング、又は機械的加工で除去しても良い。

[0025] 次に、裏面側に酸化膜を成長させた原料シリコンウェーハを両面研磨し、表面側を鏡面研磨面にする（両面研磨による鏡面研磨工程：図１（f））。この両面研磨は、例えば図２に示すような両面研磨装置を用いて行う。

図２に示すように、この両面研磨装置１０は上下方向に相対向して設けられた上定盤１１及び下定盤１２を有している。上下定盤１１、１２の対向面側には、それぞれ研磨布２１、２２が貼付されている。上下定盤１１、１２はそれぞれ上下の定盤回転軸１３、１４によって互いに逆方向に回転可能となっている。

[0026] 下定盤 12 にはその中心部にサンギア 15 が設けられ、その周縁部には環状のインターナルギア 16 が設けられている。下定盤 12 に貼付された研磨布 22 の上面と上定盤 11 に貼付された研磨布 21 の下面との間にウェーハ W を保持するための保持孔を有するキャリア 17 が配置される。そして、サンギア 15 及びインターナルギア 16 の作用によりキャリア 17 が自転及び公転することによって、キャリア 17 の保持孔に保持されたウェーハ W の表裏面が上下の研磨布 21、22 との間で摺動して研磨されるようになっている。

[0027] 本発明ではこの両面研磨の際に用いる上下の研磨布としてそれぞれ以下のものを用いる。

すなわち、酸化膜が形成された側（酸化膜表面側）に、ウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカー C ゴム硬度が 50° 以上 90° 未満、より好ましくは 50° 以上 70° 以下の研磨布を用い、酸化膜を成長させていない表面を研磨する側（鏡面研磨する表面側）に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカー C ゴム硬度が 90° 以上の研磨布を用いる。

そして、上定盤 11 に複数個配置されている研磨剤供給口 18 から研磨剤を供給しながら原料シリコンウェーハ W を保持したキャリア 17 を自転及び公転させ、さらに上下定盤 11、12 を回転させつつ荷重を与えることで原料シリコンウェーハ W を研磨する。

[0028] このように、酸化膜表面側にウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカー C ゴム硬度が 50° 以上 90° 未満の研磨布を用いれば、酸化膜の研磨が確実に抑えられ、さらに傷の発生も効果的に抑制できる。すなわち、後工程でのエピタキシャル工程におけるオートドーピングを防止するためのドーパント揮散防止用保護膜としての酸化膜の品質を確実に確保することができる。また、アスカー C ゴム硬度が 50° 以上のものを用

いれば、研磨布が柔らか過ぎることによるウェーハの平坦度に悪影響を与えることを確実に防ぐことができる。

[0029] また、上記の酸化膜表面側の研磨布と組み合わせて、鏡面研磨する表面側に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたベロア系研磨布で、かつアスカークゴム硬度が90°以上の研磨布を用いることによって、表面が鏡面研磨された高平坦度を有するシリコンウェーハを得ることができる。ここで、鏡面研磨する表面側に用いる研磨布の硬度の上限は特に限定されず、現状では95°程度までの硬度の研磨布が入手可能である。

尚、使用する研磨剤は特に限定されず、例えば、コロイダルシリカ又はヒュームドシリカを用いることができる。

[0030] このとき、両面研磨する工程の後に、更にウェーハの鏡面研磨面を片面研磨装置を用いて研磨することができる。

このようにすれば、ウェーハの鏡面研磨面を高精度に仕上げることで、シリコンウェーハの平坦度を更に向上できる。本発明において、CVDによるシリコン表面の歪みは上記した両面研磨によって既に除去されているので、この片面研磨の研磨代は大きくする必要はなく、片面研磨によって平坦度が悪化することはない。

[0031] ここで、用いる原料シリコンウェーハとして、抵抗率が $0.1\ \Omega \cdot \text{cm}$ 以下のシリコンウェーハを用いることができる。

エピタキシャル工程におけるオートドーピングは、不純物を高濃度にドーピングした低抵抗率のウェーハを用いる場合に顕著に発生するが、本発明では、このような低抵抗率のシリコンウェーハを用いる場合であっても、確実にオートドーピングを防ぐことができるドーパント揮散防止用の酸化膜が形成された高平坦度のシリコンウェーハを製造することができる。

実施例

[0032] 以下、本発明の実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

[0033] (実施例1－5)

図1に示すような本発明のシリコンウェーハの製造方法によりシリコン単結晶ウェーハを製造し、酸化膜表面の傷の発生率を評価した。

まず、CZ法によりシリコン単結晶インゴットを引き上げ、スライスして直径300mm、結晶方位<100>、導電型がP型の原料シリコン単結晶ウェーハを600枚準備した。これらウェーハのエッジ部を面取りし、ラッピングを行い、ラッピングによる残留ひずみを取り除くためにエッチングを行った。その後、より高平坦化するために両面を鏡面研磨し、エッジ部からのパーティクルを低減するために鏡面面取りを行った。

[0034] 次に、CVDにより原料シリコン単結晶ウェーハの裏面に酸化膜を4000Å成長させ、エッジ部の酸化膜をエッチングによって除去した。

その後、図2に示すような両面研磨装置を用い、原料シリコン単結晶ウェーハを酸化膜表面側を下にして保持し、両面研磨した。ここで、研磨布として、鏡面研磨する側、すなわち、酸化膜を成長させていない表面を研磨する側（上側）にウレタン単発泡体研磨布でアスカーCゴム硬度が90°のものを、酸化膜表面側（下側）に、スウェード系研磨布でアスカーCゴム硬度が85°（実施例1）、80°（実施例2）、70°（実施例3）、65°（実施例4）、50°（実施例5）のものをを用いた。この両面研磨をそれぞれ100枚の上記原料シリコン単結晶ウェーハに対して行った。

[0035] 以下に両面研磨条件を示す。尚、研磨代は鏡面研磨する側のシリコン単結晶表面に対しての値であり、CVDによる酸化膜形成工程でシリコン単結晶表面に生じた歪みを除去するために4μmに設定した。また、以下の研磨条件では、いずれの実施例の場合ともシリコン単結晶表面の研磨レートが0.1μm/minであることを事前に確認し、研磨時間を40分に設定した。

原料ウェーハ：P型、結晶方位<100>、直径300mm

上側研磨布：ウレタン単発泡体、アスカーCゴム硬度90°

下側研磨布：スウェード系研磨布、アスカーCゴム硬度85°～50°

研磨剤：コロイダルシリカ研磨剤

研磨荷重： 100 g / cm²

研磨時間： 40 分

研磨代： 4 μm

[0036] この両面研磨後に、さらに片面研磨装置を用いてシリコン単結晶ウェーハの鏡面研磨面を研磨代 1 μm で仕上げ研磨した。

そして、このシリコン単結晶ウェーハの酸化膜上の傷の発生率を、蛍光灯下にて目視によって傷の有無を検査することによって評価した。

その結果を図3に示す。ここで、図3における傷の発生率の値は、後述する比較例1の傷の発生率を1とした場合の数値を示している。図3に示すように、研磨布の硬度と傷の発生率には相関があり、研磨布の硬度が低いほど傷が少なくなっている。そして、比較例1の結果と比べ大幅に傷が抑制されており、特にアスカーCゴム硬度が70°以下場合では比較例1の1/10以下にまで傷が低減されている。

[0037] また、酸化膜厚の減少量を評価したところ、いずれの実施例の場合もその減少量が30 nm程度であり、酸化膜は殆ど研磨されていなかった。

このように、本発明のシリコンウェーハの製造方法は、酸化膜の傷及び研磨量を抑制してそのドーパント揮散防止用保護膜としての品質を保てることが確認できた。

[0038] (実施例6)

鏡面研磨する側（上側）の研磨布のアスカーC硬度を95°とした以外実施例3と同様な条件（下側の研磨布のアスカーCゴム硬度が70°）で300枚のシリコン単結晶ウェーハを製造し、その平坦度を評価した。

尚、平坦度として、ADE社製のAFS装置を用いてSFQR (MAX) を測定し、サイトサイズが26 mm × 8 mmで外周2 mmを除外した値とした。

その結果を実施例3で得られたものの値と合わせて図4に示す。図4に示すように、SFQR (MAX) の平均値は、アスカーCゴム硬度が90°の場合（実施例3）は50 nm、アスカーCゴム硬度が95°の場合（実施例

6) は 45 nm と高平坦であり、後述する比較例 2、3 の結果と比べ大幅に改善されていた。

[0039] このように、本発明のシリコンウェーハの製造方法は、高平坦度を有するシリコンウェーハを製造できることが確認できた。

[0040] (比較例 1)

酸化膜表面側に使用したスウェード系研磨布のアスカー C ゴム硬度を 90° とした以外、実施例 1 と同様な条件でシリコン単結晶ウェーハを製造し、実施例 1 と同様に評価した。

その結果を図 3 に示す。図 3 に示すように、傷の発生率はいずれの実施例と比べても大幅に悪化していた。

[0041] (比較例 2)

鏡面研磨する側（上側）の研磨布のアスカー C ゴム硬度を 60°、70°、80°、85° とした以外実施例 6 と同様な条件で 300 枚のシリコン単結晶ウェーハを製造し、その平坦度を評価した。

その結果を図 4 に示す。図 4 に示すように、SFQR (MAX) の平均値は実施例 6 の結果と比べ大幅に悪化していた。

このことから、鏡面研磨する側に用いる研磨布のアスカー C 硬度は 90° 以上である必要があることが確認できた。

[0042] (比較例 3)

CVD によるシリコン単結晶ウェーハの裏面への酸化膜の形成及びエッジ部の酸化膜の除去までの工程を、実施例と同様の条件で行い、その後、本発明の両面研磨をすることなく、シリコン単結晶ウェーハの酸化膜を成長させていない鏡面研磨する側の表面を片面研磨装置を用いて鏡面研磨し、実施例 6 と同様に評価した。尚、CVD による酸化膜形成工程で単結晶シリコン表面に生じた歪みを除去するために、研磨代を 5 μm に設定した。

ここで、研磨条件を以下に示す。

原料ウェーハ：P 型、結晶方位<100>、直径 300 mm

研磨ヘッド： 真空吸着式

研磨布： ウレタン単発泡体、アスカーC硬度90°
研磨剤： コロイダルシリカ研磨剤
研磨荷重： 250 g / cm²
研磨時間： 6分
研磨代： 5 μm

[0043] その結果、SFQR (MAX) の平均値は100 nmと実施例6と比べ悪化していた。

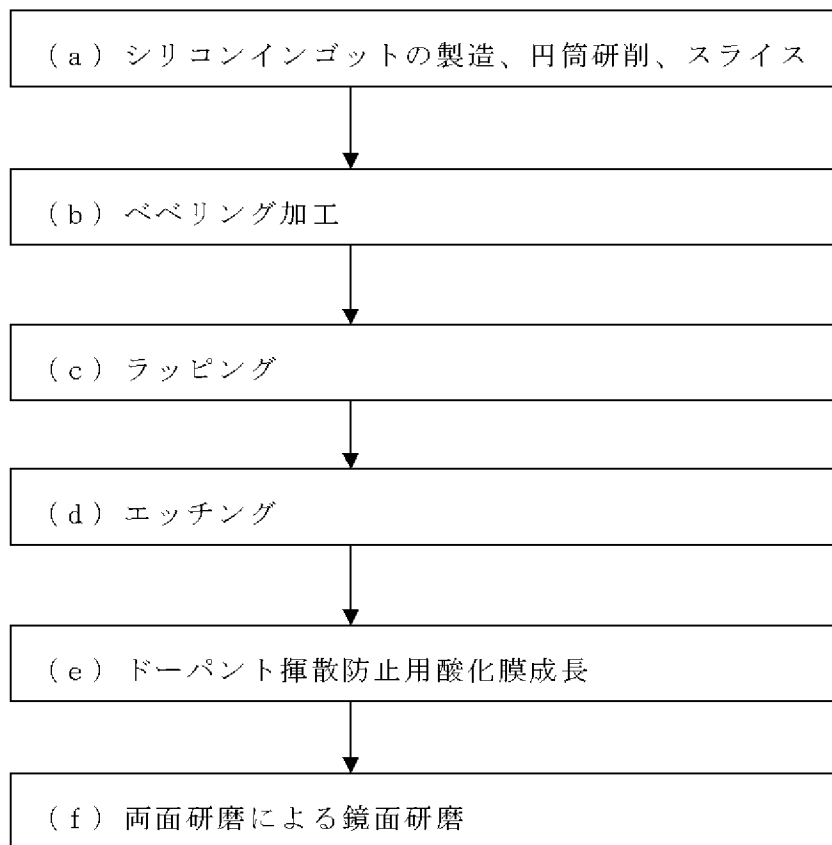
このように、シリコン単結晶ウェーハの鏡面研磨を片面研磨装置を用いて上記したようなCVDによる酸化膜形成工程で単結晶シリコン表面に生じた歪みを除去するために必要な研磨代で研磨すると、平坦度が悪化してしまい、所望の高平坦度のシリコンウェーハを製造することができない。

[0044] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

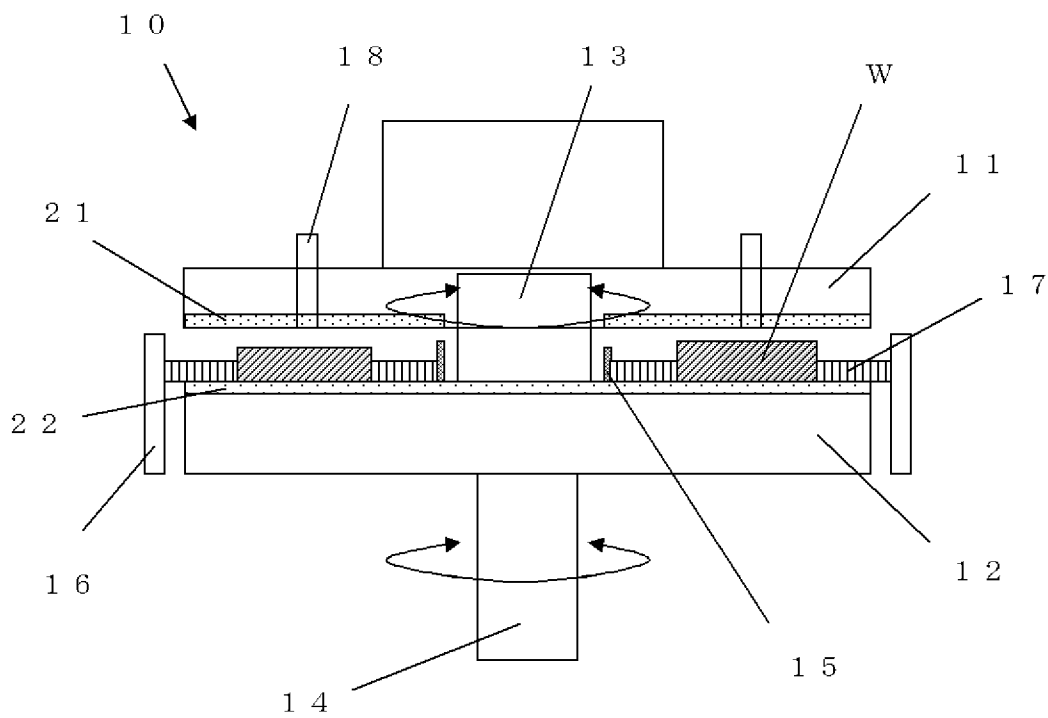
請求の範囲

- [請求項1] 原料シリコンウェーハの片面に化学気相成長法により酸化膜を成長させた後、該酸化膜を成長させていない側の前記原料シリコンウェーハの表面を研磨して、鏡面研磨面と酸化膜面とを有するシリコンウェーハを製造する製造方法であって、
- 前記酸化膜を成長させた後に、前記酸化膜表面側に、ウレタン樹脂を塗布後に湿式凝固させて発泡させたスウェード系研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が50°以上90°未満の研磨布を用い、前記酸化膜を成長させていない表面を研磨する側に、ウレタン単発泡体研磨布又は不織布にウレタン樹脂を含浸させたペロア系研磨布で、かつアスカーCゴム硬度が90°以上の研磨布を用いて前記原料シリコンウェーハを両面研磨する工程を有することを特徴とするシリコンウェーハの製造方法。
- [請求項2] 前記両面研磨する工程の後に、前記鏡面研磨面を片面研磨装置を用いて研磨することを特徴とする請求項1に記載のシリコンウェーハの製造方法。
- [請求項3] 前記原料シリコンウェーハとして、抵抗率が $0.1\ \Omega \cdot \text{cm}$ 以下のシリコンウェーハを用いることを特徴とする請求項1又は請求項2に記載のシリコンウェーハの製造方法。
- [請求項4] 前記酸化膜表面側の研磨布のアスカーCゴム硬度が50°以上70°以下であることを特徴とする請求項1乃至請求項3のいずれか1項に記載のシリコンウェーハの製造方法。

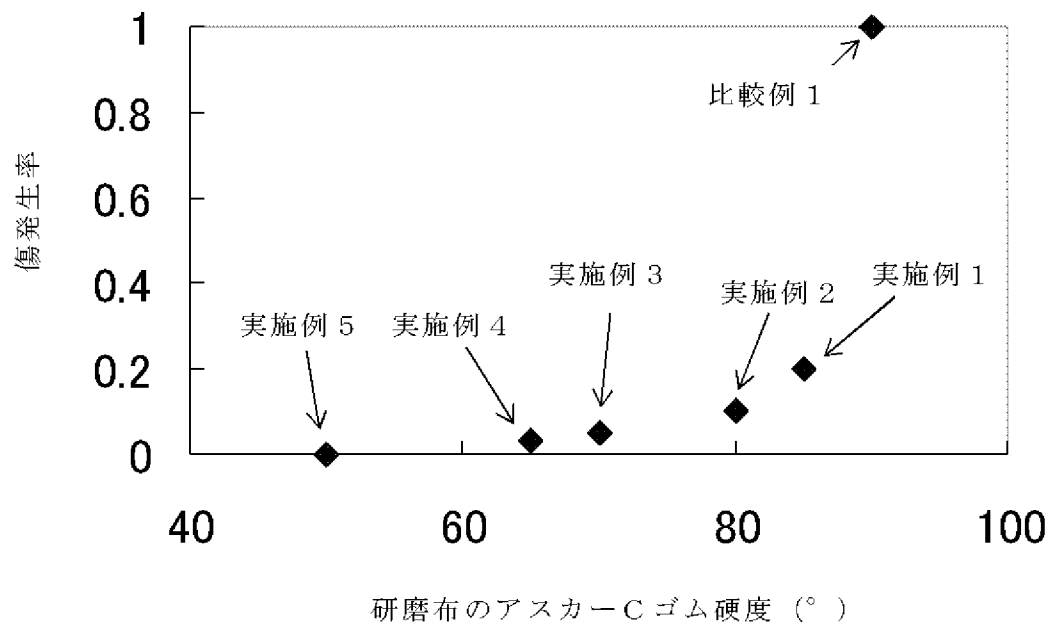
[図1]



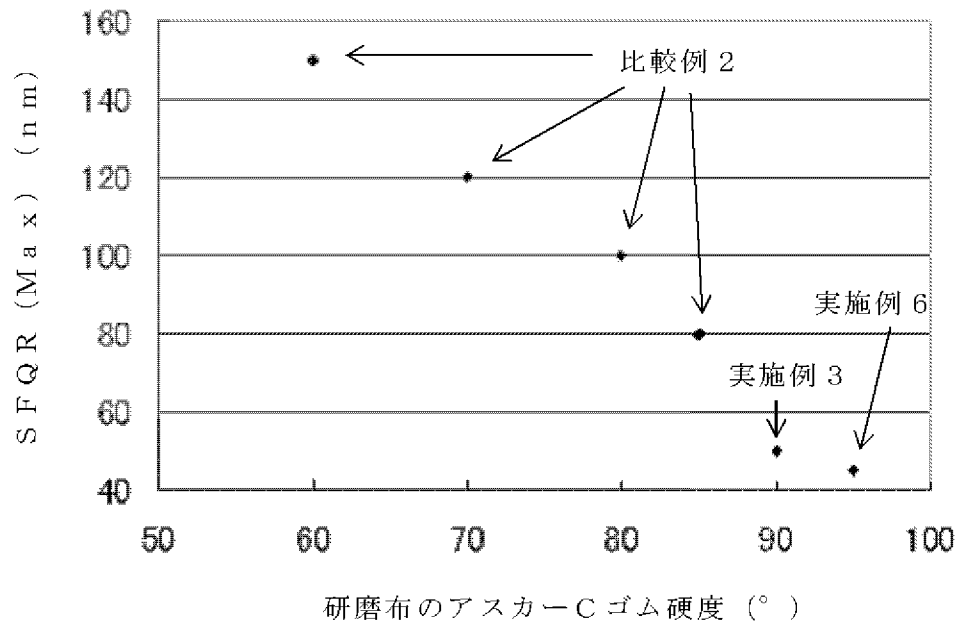
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000856

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/304(2006.01) i, B24B37/24(2012.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/304, B24B37/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-356336 A (Sumitomo Mitsubishi Silicon Corp.), 16 December 2004 (16.12.2004), claims 1, 4, 5; paragraphs [0009], [0027]; fig. 5 (Family: none)	1-4
A	JP 09-045644 A (Motorola, Inc.), 14 February 1997 (14.02.1997), paragraphs [0021] to [0030]; fig. 2 & US 5643405 A & DE 19629756 A	1-4
A	JP 2001-113459 A (Toshiba Ceramics Co., Ltd.), 24 April 2001 (24.04.2001), claims 1 to 3; fig. 1 (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 March, 2012 (19.03.12)Date of mailing of the international search report
03 April, 2012 (03.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000856

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-150433 A (Sumitomo Metal Industries, Ltd.), 30 May 2000 (30.05.2000), claims 1 to 3; paragraphs [0025], [0037] (Family: none)	1-4
A	JP 2001-232561 A (Mitsubishi Materials Silicon Corp.), 28 August 2001 (28.08.2001), paragraphs [0010], [0020] & US 2003/0104698 A1 & US 2010/0009605 A1 & WO 2001/082354 A1 & CN 1437762 A	1-4
A	JP 2005-005315 A (Shin-Etsu Handotai Co., Ltd.), 06 January 2005 (06.01.2005), claims 1 to 5; paragraph [0005] & WO 2004/109787 A1	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/304(2006.01)i, B24B37/24(2012.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/304, B24B37/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-356336 A（三菱住友シリコン株式会社）2004.12.16, 請求項 1, 4, 5, 段落【0009】，【0027】，図5（ファミリーなし）	1-4
A	JP 09-045644 A（モトローラ・インコーポレイテッド）1997.02.14, 段落【0021】－【0030】，図2 & US 5643405 A & DE 19629756 A	1-4
A	JP 2001-113459 A（東芝セラミックス株式会社）2001.04.24, 請求項 1-3, 図1（ファミリーなし）	1-4

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

19.03.2012

国際調査報告の発送日

03.04.2012

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

太田 良隆

電話番号 03-3581-1101 内線 3364

3 P

3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-150433 A (住友金属工業株式会社) 2000.05.30, 請求項 1-3, 段落【0025】 , 【0037】 (ファミリーなし)	1-4
A	JP 2001-232561 A (三菱マテリアルシリコン株式会社) 2001.08.28, 段落【0010】 , 【0020】 & US 2003/0104698 A1 & US 2010/0009605 A1 & WO 2001/082354 A1 & CN 1437762 A	1-4
A	JP 2005-005315 A (信越半導体株式会社) 2005.01.06, 請求項 1-5, 【0005】 & WO 2004/109787 A1	1-4