(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

PCT

(10) 国際公開番号
WO 2010/109668 A1

(51) 国際特許分類:
H04L 7/00 (2006.01) *H03K 19/0175* (2006.01)

(21) 国際出願番号: PCT/JP2009/056368

(22) 国際出願日: 2009 年 3 月 27 日(27.03.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (**FUJITSU LIMITED**) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐々木 崇諭 (**SASAKI, Takatsugu**) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中４丁目１番１号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (**ITOH, Tadahiko**); 〒1506032 東京都渋谷区恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

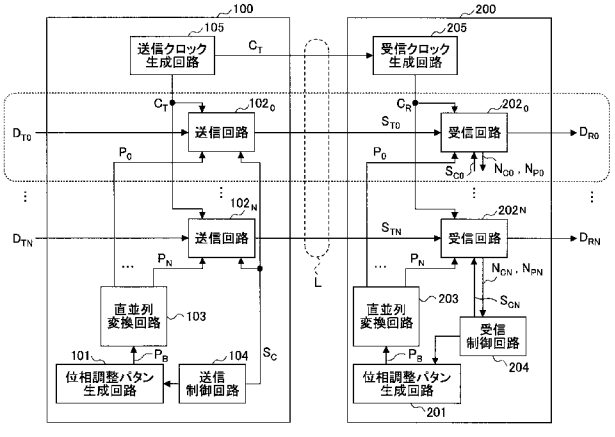
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: PHASE ADJUSTMENT METHOD, DATA TRANSFER DEVICE, AND DATA TRANSFER SYSTEM

(54) 発明の名称 : 位相調整方法、データ転送装置およびデータ転送システム

[図1]



105 TRANSMISSION CLOCK GENERATING CIRCUIT
102_0 TRANSMITTING CIRCUIT
102_N TRANSMITTING CIRCUIT
103 SERIAL-PARALLEL CONVERSION CIRCUIT
101 PHASE ADJUSTMENT PATTERN GENERATING CIRCUIT
104 TRANSMISSION CONTROL CIRCUIT
205 RECEPTION CLOCK GENERATING CIRCUIT
202_0 RECEIVING CIRCUIT
202_N RECEIVING CIRCUIT
203 SERIAL-PARALLEL CONVERSION CIRCUIT
204 RECEPTION CONTROL CIRCUIT
201 PHASE ADJUSTMENT PATTERN GENERATING CIRCUIT

(57) **Abstract**: A transmitting side circuit performs the serial-parallel conversion of a fundamental phase adjustment pattern and generates a plurality of phase adjustment patterns for transmission. A receiving side circuit generates a plurality of phase adjustment patterns by the serial-parallel conversion of the same kind, receives a plurality of transmitted signals by a received clock signal, compares the signal patterns of the transmitted signals with the plurality of phase adjustment patterns, and adjusts the phase of the received clock signal according to the result of the comparison. The fundamental phase adjustment pattern is configured from a plurality of bits, has a constant period, is determined so that the number of bits corresponding to the period and the number of transmitted signals turn out to be a mutually prime relationship, and is allocated in bit order for each bit in predetermined order between the plurality of phase adjustment patterns to thereby generate a plurality of phase adjustment patterns.

(57) 要約:

[続葉有]

WO 2010/109668 A1

送信側回路では基本位相調整パターンを直並列変換して複数の位相調整パターンを生成して送信し、受信側回路では同様の直並列変換により複数の位相調整パターンを生成し、受信クロック信号により複数の送信信号を受信し送信信号が有する信号のパターンと複数の位相調整パターンとを比較し比較結果に基づいて受信クロック信号の位相を調整する。基本位相調整パターンは複数のビットよりなり一定の周期を有し、周期に対応するビット数と複数の送信信号の数とは互いに素な関係となるように決定され、基本位相調整パターンを複数の位相調整パターンの間で一定の順番にビット毎ビット順に割り当てることで複数の位相調整パターンを生成する。

明 細 書

位相調整方法、データ転送装置およびデータ転送システム

技術分野

[0001] 本発明は、位相調整方法、データ転送装置およびデータ転送システムに係る。本発明は特に、複数の送信回路と複数の受信回路との間のデータ転送において、データ受信用のクロック信号の位相を調整する際の位相調整方法に関する。

背景技術

[0002] 以下に示すデータ伝送システムが知られている。当該伝送システムでは、送信側回路がシリアルデータをパラレルデータに変換し、同期パターンを発生し、パラレルデータに同期パターンを挿入して、同期パターン挿入データを生成する。受信側回路は、伝送遅延差が生じている、複数の前記同期パターン挿入データの1つから基準クロックを抽出し、基準クロックに対し全データを乗り換えて乗り換えデータを生成する。受信側回路は更に、同期パターンに対応するパルス信号の生成及び乗り換えデータの同期確立の検出を行い、パルス信号にもとづいて伝送遅延差を検出し、位相調整を行う。

特許文献1:特開2003－204318号公報

特許文献2:特開2008－182483号公報

発明の開示

発明が解決しようとする課題

[0003] 複数の送信回路から複数の受信回路がデータを受信する際に使用するそれぞれのクロック信号の位相を調整するために複数の位相調整パターンが使用される。当該複数の位相調整パターンの構成として、全てが同時に同じ論理値をとることがないものが求められている。

課題を解決するための手段

[0004] 送信側回路は基本位相調整パターンを直並列変換して複数の位相調整パターンを生成して送信する。受信側回路は同様の直並列変換により複数の位相調整パターンを生成し、送信側回路から受信した信号から受信クロック信号を使用してデータ

を得、得られたデータを前述した生成した複数の位相調整パターンと比較する。受信側回路は当該比較の結果に基づいて受信クロック信号の位相を調整する。基本位相調整パターンは複数のビットよりなり一定の周期を有し、基本位相調整パターンの周期に対応するビット数と、直並列変換により得られる複数の位相調整パターンの数とは、互いに素な関係となるように決定される。直並列変換は、直並列変換により得られる複数の位相調整パターンの間で一定の順番で、基本位相調整パターンをビット毎に順に割り当てる態様で実行される。なお直並列変換とは、直列データの並列データへの変換を意味する(以下同様)。

発明の効果

[0005] 本発明では前述した複数の位相調整パターンとして、全てが同時に同じ論理値をとることがない複数の位相調整パターンを容易に生成することができる。

図面の簡単な説明

[0006] [図1]実施例のデータ転送システムに含まれる送信側回路および受信側回路それぞれの構成を示すブロック図である。

[図2]図1に示される各送信回路の内部構成例を示すブロック図である。

[図3]図1に示される各受信回路の内部構成例を示すブロック図である。

[図4]参考例の位相調整パターンの生成方法を説明するための図である。

[図5]実施例の位相調整パターンの生成方法を説明するための図である。

[図6]実施例の位相調整パターンの生成例を説明するための図である。

[図7]実施例の位相調整パターンの生成のための回路例を示す回路図である。

[図8]実施例の受信側回路における位相調整動作の流れを説明するための動作フローチャートである。

[図9]実施例の送信側回路における位相調整パターン生成動作の流れを説明するための動作フローチャートである。

[図10]実施例のデータ転送システムにおける位相調整動作の流れを説明するためのタイムチャートである。

[図11]図3に示されるプリアンブル検出回路の回路例を示す回路図である。

[図12]M系列生成回路例を示す回路図である。

符号の説明

[0007] 100 送信回路

101 位相調整パターン生成回路

102_0、102_1、102_2、...、102_X、...、102_N 送信回路

103 直並列変換回路

104 送信制御回路

105 送信クロック生成回路

111 送信データ選択回路

112 フリップフロップ回路

200 受信側回路

201 位相調整パターン生成回路

202_0、202_1、202_2、...、202_X、...、202_N 受信回路

203 直並列変換回路

204 受信制御回路

211 位相調整回路

212 プリアンブル検出回路

213 パターン比較回路

214 フリップフロップ回路

215 FIFO

D_{T0}、D_{T1}、D_{T2}、..., D_{TX}、..., D_{TN} 送信データ

D_{R0}、D_{R1}、D_{R2}、..., D_{RX}、..., D_{RN} 受信データ

S_{T0}、S_{T1}、S_{T2}、..., S_{TX}、..., S_{TN} 送信信号

P_0、P_1、P_2、..., P_X、..., P_N 位相調整パターン

P_B 基本位相調整パターン

N_{C0}、..., N_{CX}、..., N_{CN}、 パターン一致通知信号

N_{P0}、..., N_{PX}、..., N_{PN}、プリアンブル検出通知信号

S_{C0}、..., S_{CX}、..., S_{CN}、位相調整制御信号

F01, F02, F03、F1, F2, F3, F4、F11, F12, F13, F14 フリップフロップ回

路

N1, N2, N3, N4, N5 EX－NOR回路

A AND回路

G0, G1, G2, G3 ゲート回路

C_T 送信クロック信号

C_R 受信クロック信号

L 信号配線

R_0、R_1、R_2、R_3 レーン

発明を実施するための最良の形態

[0008] 以下に実施例の説明を行う。

[0009] 実施例はデータ転送システムに係り、特に複数の送信回路から並列に送信される複数の送信データを複数の受信回路で受信するデータ転送システムに関する。又実施例では、上記複数の受信回路の各々において、送信データを伝送する送信信号から送信データを取り出す受信クロック信号の位相の調整に使用する位相調整パターンを以下の方法で生成する。すなわち、一の位相調整パターン生成回路が生成する基本位相調整パターンを直並列変換回路で直並列変換する。ここで、「直並列変換」とは、シリアルデータをパラレルデータに変換することをいう。上記直並列変換で得られた複数の位相調整パターンを、上記複数の送信回路から複数の受信回路にそれぞれ送信される複数の送信信号のそれぞれについての位相調整パターンとして使用する。ここで上記複数の送信信号のそれぞれについての位相調整パターンは、上記複数の送信回路から複数の受信回路にそれぞれ送信される複数の送信信号をそれぞれ通す各信号線についての位相調整パターンである。よって上記複数の送信信号のそれぞれについての位相調整パターンを、各信号線或いは各レーンについての位相調整パターンとも称する。ここでレーンとは、複数の信号線を使用してデータを並列転送する際に使用する上記複数の信号線の各々を識別する名称である。

[0010] 又上記一の位相調整パターン生成回路が生成する基本位相調整パターンは以下の条件を満たす。すなわち、基本位相調整パターンの周期と、当該基本位相調整パ

ターンを直並列変換して得られる位相調整パターンの数、すなわちレーン数とが、互いに素な関係となるように、決められる。その結果どのレーンについても同じ位相調整パターンによる位相調整が可能となる。すなわち上記条件を満たす基本位相調整パターンを生成し、同基本位相調整パターンを直並列変換して各レーンの位相調整パターンを得た場合、各レーンの位相調整パターンは、前述した周期をレーン数で割った商に1を加えた値ずつシフトすることにより得られる。したがって各レーンにつき、共通の位相調整パターンが時間軸上で順次シフトされて得られた位相調整パターンがそれぞれ使用される。

[0011] また上記条件を満たす基本位相調整パターンを生成し、同基本位相調整パターンを直並列変換して各レーンの位相調整パターンを得た場合、各レーンの位相調整パターンは以下の特性を有する。すなわち、全レーンのそれぞれの位相調整パターンが全て同時に同じ論理値を有することがない。その結果、各レーンの位相調整パターンを複数の送信回路から複数の受信回路に対し並列に送信する際、各レーンの位相調整パターンを伝送する全信号が同時に同一方向に変化することがない。従って、各レーンの位相調整パターンを伝送する全信号が同時に同一方向に変化することにより生じ得る、伝送波形に対する悪影響を効果的に低減可能である。

[0012] また基本位相調整パターンとしては乱数を使用可能であり、基本位相調整パターンとして使用する乱数として、たとえば周知のM系列を利用可能である。M系列の生成方法については図12とともに後述する。

[0013] 高速に信号の伝送を行うデータ転送システムにおいては、送信側回路と受信側回路との間のクロックスキューの影響を低減することが求められる。このため、受信側回路が送信信号からデータを取り出すために使用するクロック信号として、送信側回路からデータと共に送信される送信クロック信号から受信クロック信号を生成し、当該受信クロック信号を使用し得る。この場合、受信側回路では実際のデータの受信に先立ち、受信クロック信号の送信信号に対する位相が最適な位相となるように受信クロック信号の位相を調整する。ここで、受信クロック信号の送信信号に対する位相を最適にするように調整することを、以下、「位相調整」と称する。当該位相調整を行う方法の例を以下に述べる。すなわち、送信側回路から既知のデータパターンを位相調

整パターンとして送信する。受信側回路では当該既知のデータパターンが正しく受信できるように、送信側回路から送信される送信クロック信号から生成する受信クロック信号の位相を調整する。

[0014] 当該位相調整を行う方法を、複数レーンの信号線を有するデータ転送システムに適用する場合について以下に説明する。この場合、前述した位相調整パターンとして、全レーンの信号線につき、同一の既知のデータパターンを使用すると、当該位相調整パターンを伝送する複数の信号が同時に同一方向に変化する。その結果、前述した複数レーンの信号線に生ずる電圧変動が位相調整パターンの伝送波形に悪影響を及ぼし、受信側回路における位相調整動作が調整不良となる可能性がある。

[0015] 上記問題点の解決のため、レーン毎に個々独立に位相調整パターン生成回路を設ける方法が考えられる。しかしながら当該方法によれば位相調整パターン生成回路をレーン数分設ける必要があり、回路規模が増大するという問題点が生ずる。

[0016] 実施例では複数レーンの信号線でデータの並列転送を行うデータ転送システムにおける位相調整パターンとして、全レーンの信号線を通じて信号が同時に同方向に変化することがない位相調整パターンの生成方法を提供する。更に当該位相調整パターン生成方法として、所要の回路規模が増大しない方法を提供する。

[0017] 実施例では、送信側回路が、各レーンの位相調整パターンの元となる基本位相調整パターンを送信クロック信号に同期させて生成する位相調整パターン生成回路を有する。又送信側回路は、上記基本位相調整パターンを直並列変換して各レーンの位相調整パターンを生成し、各レーンに割り当てる直並列変換回路を有する。更に送信側回路は、送信するデータを、システム動作に使用される通常データと位相調整パターンとの間で切り換える送信データ選択回路を有する。又受信側回路は、送信側回路から送信クロック信号を受信し、送信クロック信号から受信クロック信号を生成する受信クロック生成回路を有する。又受信側回路は、各レーンの位相調整パターンの元となる基本位相調整パターンを受信クロック信号に同期させて生成する位相調整パターン生成回路を有する。又受信側回路は、上記基本位相調整パターンを直並列変換して各レーンの位相調整パターンを生成する直並列変換回路を有する。又受信側回路は、送信側回路から受信した各レーンの位相調整パターンと受信

側回路内で生成した各レーンの位相調整パターンとを比較するパターン比較回路を有する。又受信側回路は、前述したパターン比較回路の比較結果に基づいて位相調整を行う位相調整回路を有する。

[0018] 実施例によれば、複数レーンの信号線のそれぞれの受信クロック信号の位相を調整する際に使用する位相調整パターンを以下の方法で得る。すなわち基本位相調整パターンを直並列変換回路によって直並列変換して各レーンの位相調整パターンを得る際、得られる各レーンの位相調整パターンが以下の特性を有するように生成する。すなわち得られる各レーンの位相調整パターンを信号として伝送する際、各レーンの位相調整パターンを伝送する信号の全てが同時に同じ信号値を有さないように、基本位相調整パターンを各レーンに割り当てる。その結果全レーンの信号が同時に同方向に変化することにより生じ得る信号品質の低下を低減し、位相調整時における調整不良を低減し得る。

[0019] また上記実施例の方法では位相調整パターン生成回路は1つで済むため、全レーンの信号が同時に同方向に変化することにより生じ得る信号品質の低下を低減するために要される回路規模の増加を抑え得る。

[0020] 以下に図面とともに実施例の構成を更に詳細に述べる。

[0021] 図1は実施例の構成を示す概略ブロック図である。

[0022] 図1に示される如く、実施例のデータ転送システムは、送信側回路100，受信側回路200および送信側回路100と受信側回路200との間を接続する信号配線Lを有する。信号配線Lは上記複数の信号線に対応する。当該データ転送システムはたとえば情報処理装置内に設けられ、当該情報処理装置内の種々の機能部相互間のデータ転送に使用される。上記種々の機能部としては、たとえばシステムボード(SB:System Board)、メモリシステムインターコネクト、IO(Input Output(入出力))ユニット等が挙げられる。より具体的には、上記機能部のうちの一の機能部に送信側回路100が設けられ、他の機能部に受信側回路200が設けられ、送信側回路100、受信側回路200相互間が信号配線Lで接続される。その結果、当該データ転送システムにより、前述した一の機能部と他の機能部との間のデータ転送が行われる。

[0023] 図1中、送信側回路100は、レーン数(すなわちN＋1レーン)分の送信回路102$_0$、

102_1、102_2、..., 102_N、送信制御回路104, 送信クロック生成回路105, 位相調整パターン生成回路101および直並列変換回路103を有する。送信回路102_0、102_1、102_2、..., 102_Nは外部から与えられた通常データD_{T0}、D_{T1}、D_{T2}、..., D_{TN}をそれぞれ送信信号S_{T0}、S_{T1}、S_{T2}、..., S_{TN}として送信する。送信制御回路104は送信側回路100に含まれる各回路の動作を統括して制御する。送信クロック生成回路105は、送信クロック信号C_Tを生成して送信する。位相調整パターン生成回路101は基本位相調整パターンP_Bを生成する。直並列変換回路103は基本位相調整パターンP_Bを直並列変換して各レーンの位相調整パターンP_0、P_1、P_2、..., P_Nを生成し、送信回路102_0、102_1、102_2、..., 102_Nにそれぞれ供給する。送信回路102_0、102_1、102_2、..., 102_Nは送信クロック信号C_Tに同期させて通常データD_{T0}、D_{T1}、D_{T2}、..., D_{TN}又は位相調整パターンP_0、P_1、P_2、..., P_Nを送信する。

[0024] 図1中、受信側回路200は、レーン数（すなわちN＋1レーン）分の受信回路202_0、202_1、202_2、..., 202_N、受信制御回路204, 受信クロック生成回路205, 位相調整パターン生成回路201および直並列変換回路203を有する。受信回路202_0、202_1、202_2、..., 202_Nは、それぞれ送信回路102_0、102_1、102_2、..., 102_Nから信号配線Lを通して送信された送信信号S_{T0}、S_{T1}、S_{T2}、..., S_{TN}を受信する。受信回路202_0、202_1、202_2、..., 202_Nは当該送信信号S_{T0}、S_{T1}、S_{T2}、..., S_{TN}から通常データD_{R0}、D_{R1}、D_{R2}、..., D_{RN}又は位相調整パターンP_0、P_1、P_2、..., P_Nを取り出す。受信回路202_0、202_1、202_2、..., 202_Nは通常データD_{R0}、D_{R1}、D_{R2}、..., D_{RN}を外部に供給し、位相調整パターンP_0、P_1、P_2、..., P_Nを使用して位相調整を行う。受信制御回路204は受信側回路200に含まれる各回路の動作を統括して制御する。受信クロック生成回路205は、送信クロック信号C_Tを受信し、送信クロック信号C_Tに同期した受信クロック信号C_Rを生成し、受信回路202_0、202_1、202_2、..., 202_Nに供給する。位相調整パターン生成回路201は、上記送信側回路100の位相調整パターン生成回路101が生成する基本位相調整パターンP_Bと同様の基本位相調整パターンP_Bを生成する。直並列変換回路203は基本位相調整パターンP_Bを直並列変換して各レーンの位相調整パターンP_0、P_1、P_2、..., P_Nを生成し、受信回路202_0、202_1、202_2、..., 202_Nにそれぞれ供給する。受信回路202_0、202_1、202_2、..., 202_Nは受信クロッ

ク信号C_Rを使用して送信信号S_{T0}、S_{T1}、S_{T2}、..., S_{TN}から通常データD_{T0}、D_{T1}、D_{T2}、..., D_{TN}又は位相調整パターンP_0、P_1、P_2、..., P_Nを取り出す。

[0025] 図2は上記送信回路102_0、102_1、102_2、..., 102_Nの各々の回路構成例を示す。各送信回路100_Xは送信データ選択回路111とデータを保持するフリップフロップ回路112とを有する。送信データ選択回路111は送信制御回路104の制御の下、通常データD_{TX}又は位相調整パターンP_Xを選択し、フリップフロップ回路112に供給する。フリップフロップ回路112は送信クロック信号C_Tに同期させて送信データ選択回路111から供給される通常データD_{TX}又は直並列変換回路103から供給される位相調整パターンP_Xを送信する。

[0026] 図3は上記受信回路202_0、202_1、202_2、..., 202_Nの各々の回路構成例を示す。各受信回路200_Xは、位相調整回路211, プリアンブル検出回路212, パターン比較回路213, フリップフロップ回路214および先入れ先出し回路であるFIFO215を有する。位相調整回路211は受信制御回路204から位相調整制御信号S_{CX}により制御され、受信クロック生成回路205から供給される受信クロック信号C_Rの位相を調整して最適化する。又位相調整回路211は位相調整後のクロック信号をフリップフロップ回路214に供給する。フリップフロップ回路214は送信信号S_{TX}から通常データD_{TX}又は位相調整パターンP_Xを取り出してFIFO215に供給する。FIFO215はフリップフロップ回路214から供給された送信データD_{TX}を受信クロック信号C_Rに同期させ受信データD_{RX}として外部に供給する。FIFO215は又、フリップフロップ回路214から供給された位相調整パターンP_Xを受信クロック信号C_Rに同期させてパターン比較回路213およびプリアンブル検出回路212に供給する。

[0027] パターン比較回路213はFIFO215から供給された位相調整パターンP_Xと、直並列変換回路203から供給された位相調整パターンP_Xとを比較する。パターン比較回路213はFIFO215から供給された位相調整パターンP_Xと直並列変換回路203から供給された位相調整パターンP_Xとが一致した場合、パターン一致通知信号N_{CX}を受信制御回路204に供給する。

[0028] プリアンブル検出回路212は、直並列変換回路203から供給される位相調整パターンP_Xのうち、後述するプリアンブルパターンPAを供給され、当該プリアンブルパタ

ーンPAと、FIFO215から供給された位相調整パターンP_Xとを比較する。プリアンブルパターンPAとFIFO215から供給された位相調整パターンP_Xとが一致した場合、プリアンブル検出回路212は受信制御回路204にプリアンブル検出通知信号N_{PN}を供給する。

[0029] 次に実施例における位相調整パターンの生成方法につき、詳細に説明する。説明の便宜上、まず参考例の位相調整パターンの生成方法につき、図4とともに説明する。図4の参考例の場合、位相調整パターン生成回路1101が各レーンの位相調整パターンを生成する。そして当該位相調整パターンが、各レーンの送信回路1102_0、送信回路1102_1、送信回路1102_2、…, 送信回路1102_7にそれぞれ渡される。その結果、各レーンの位相調整パターンは相互に同様のものとなり、その結果当該位相調整パターンを伝送する信号同士は常に同じ信号値を有し、常に同時に同方向に変化する。その結果上記の如く、それぞれのレーンの信号線に生ずる電圧変動が位相調整パターンの伝送波形に悪影響を及ぼし、結果的に受信側回路における位相調整動作が調整不良となる可能性がある。

[0030] 次に上記実施例による位相調整パターンの生成方法について図5、図6, 図7とともに説明する。図5は送信側回路100の直並列変換回路103の機能を説明するための図である。尚受信側回路200の直並列変換回路203も同様の機能を有する。直並列変換回路103は、位相調整パターン生成回路101で生成された基本位相調整パターンを受けると、当該基本位相調整パターンに含まれるビットを、ビット毎に順次各送信回路102_0、102_1、102_2、…, 102_7に割り振る。当該割り振りは、各送信回路102_0、102_1、102_2、…, 102_7の順で、繰り返し行う。

[0031] すなわち、まず基本位相調整パターンのビット番号0～7のビット値がそれぞれ送信回路102_0、102_1、102_2、…, 102_7に割り振られる。その後、基本位相調整パターンのビット番号8～15のビット値がそれぞれ送信回路102_0、102_1、102_2、…, 102_7に割り振られる。更にその後、基本位相調整パターンのビット番号16～23のビット値がそれぞれ送信回路102_0、102_1、102_2、…, 102_7に割り振られる。以後同様の動作が繰り返される。

[0032] 図6は、実際に基本位相調整パターンとして適用可能なビットパターンにより、上述

の直並列変換回路103の動作を更に具体的に説明するための図である。図6には、基本位相調整パターンP_Bの生成例として、基本位相調整パターンP_Bの1周期分のビットパターンが示されている。図6に示される基本位相調整パターンP_Bでは、番号0～30がビット番号を示し、たとえばローレベルがビット値0を示し、ハイレベルがビット値1を示す。したがって当該基本位相調整パターンP_Bでは、ビット番号0～30のそれぞれのビット値は、0000101011101100011111001101001である。したがって当該基本位相調整パターンP_Bの周期は31[ビット]である。

[0033] 又図6の例では、当該基本位相調整パターンP_Bを割り振るレーン数は、一例として、4とされる。ここで、基本位相調整パターンP_Bの周期と当該基本位相調整パターンP_Bを割り振るレーン数とは、互いに素な関係となるように決められる。すなわち基本位相調整パターンP_Bの周期と当該基本位相調整パターンP_Bを割り振るレーン数とは、それぞれの最大公約数が1となるように決められる。図6の例では上記の如く、周期は31(ビット)でレーン数が4であり、当該31と4とは1以外の公約数を有さず、互いに素な関係にある。

[0034] 当該基本位相調整パターンP_Bを、直並列変換回路103で直並列変換し、4個のレーン(以下レーンR_0、R_1、R_2、R_3と称する)に対し、位相調整パターンP_0、P_1、P_2、P_3をそれぞれ割り振る。すなわち図6に示される如く、基本位相調整パターンP_Bの最初の4ビット、すなわちビット番号0～3のビット値はそれぞれのレーンR_0、R_1、R_2、R_3の位相調整パターンP_0、P_1、P_2、P_3として割り振られる。同様にして基本位相調整パターンP_Bの次の4ビット、すなわちビット番号4～7のビット値はそれぞれのレーンR_0、R_1、R_2、R_3の位相調整パターンP_0、P_1、P_2、P_3として割り振られる。以下同様の動作が繰り返される。このようにして基本位相調整パターンP_Bの31ビット全てが割り振られた後は、再び同一の基本位相調整パターンP_Bが1ビット目から順に、上記同様にそれぞれのレーンR_0、R_1、R_2、R_3に割り振られる。

[0035] ここでは上記の如く、基本位相調整パターンP_Bの一周期分のビット数とレーン数とが互いに素となるように決定する。その結果、上記の如く、最初に1番目のレーンR_0の位相調整パターンP_0から順に基本位相調整パターンP_Bを割り振ると、基本位相調整パターンP_Bの最初の一周期分の31番目のビットは、4番目のレーンR_3の位相調整

パターンP_3では終わらない。したがって基本位相調整パターンP_Bの次の一周期分の1番目のビットは、第1のレーンR_0の位相調整パターンP_0からは始まらない。図6の例の場合、基本位相調整パターンP_Bの最初の一周期分の31ビット目のビット"30"は3番目のレーンR_2の位相調整パターンP_2に割り当てられる。その結果基本位相調整パターンP_Bの次の一周期の31ビットの内の1番目のビット"0"は4番目のレーンR_3の位相調整パターンP_3に割り当てられる。同様に、基本位相調整パターンP_Bの2番目の一周期分の31ビット目のビット"30"は2番目のレーンR_1の位相調整パターンP_1として割り当てられる。その結果基本位相調整パターンP_Bの3番目の一周期の31ビットの内の1番目のビット"0"は3番目のレーンR_2の位相調整パターンP_2として割り当てられる。以後同様である。

[0036] ここで図6から分かるように、各レーンR_0、R_1、R_2、R_3の位相調整パターンP_0、P_1、P_2、P_3は、上記基本位相調整パターンP_Bの周期をレーン数で割った商に1を加えた数ずつシフトしたものとなっている。図6の例では上記の如く、周期は31ビットでレーン数が4であるため、周期をレーン数で割った商に1を加えた数は、31／4＋1＝8である。したがって図6において、4番目のレーンR_3の位相調整パターンP_3における、上記基本位相調整パターンP_Bのビット番号は、図6に示される如く、順に、3, 7, 1, 15, 19, 23, 27, 0, 4、...である。これに対し3番目のレーンR_2の位相調整パターンP_2における、上記基本位相調整パターンP_Bのビット番号は、図6に示される如く、2, 6, 10, 14, 18, 22, 26, 30、3, 7, 1, 15, 19, 23, 27, 0, 4、...である。すなわち、4番目のレーンR_3の位相調整パターンP_3の1～8番目のビット値と、3番目のレーンR_2の位相調整パターンP_2の9～16番目のビット値とが一致する。すなわち4番目のレーンR_3の位相調整パターンP_3に対し、3番目のレーンR_2の位相調整パターンP_2は、8ビットシフトしている。同様に、3番目のレーンR_2の位相調整パターンP_2に対し、2番目のレーンR_1の位相調整パターンP_1は8ビットシフトしている。同様に、2番目のレーンR_1の位相調整パターンP_1に対し、1番目のレーンR_0の位相調整パターンP_0は8ビットシフトしている。

[0037] このように、上記条件、すなわち基本位相調整パターンの周期と割り当てるレーン数とが互いに素な関係が満される場合、各レーンに対し割り当てられる位相調整パタ

ーンのそれぞれは、共通のパターンが一定のビット数分、順にシフトしたものとなる。その結果各レーンにつき、共通のパターンが一定のビット数分、順にシフトした位相調整パターンによって位相調整を行うことができる。

[0038] 図7は直並列変換回路103および203の各々の回路例を示す。当該回路例では、3個のフリップフロップ回路F01, F02, F03が直列に接続されてシフトレジスタが形成され、フリップフロップ回路F03の入力端子に基本位相調整パターンP_Bが入力される。当該シフトレジスタでは、基本位相調整パターンP_Bはビット毎に、順次フリップフロップ回路F03, F02, F01の順でシフトされる。そして各フリップフロップ回路F01, F02, F03の出力は、それぞれゲートとしての論理積を演算するAND回路G0, G1, G2の、それぞれの他の入力端子に接続される。更にフリップフロップ回路F03の入力端子がゲートとしてのAND回路G3の他の入力端子に接続される。

[0039] そして上記AND回路G0, G1, G2、G3の出力が、上記それぞれのレーンR_0、R_1、R_2、R_3に割り振られる。又上記AND回路G0, G1, G2、G3のそれぞれの一の入力端子には、フリップフロップ回路F03に入力される基本位相調整パターンP_Bの4ビットに1回の間隔でハイレベルとなるクロック信号が入力される。フリップフロップ回路F03に図6の基本位相調整パターンP_Bが入力されると、その後の3ビット分の時間経過後、AND回路G0, G1, G2、G3のそれぞれの他の入力端子には、基本位相調整パターンP_Bの最初の4ビット分のビット値がそれぞれ入力される。当該タイミングでAND回路G0, G1, G2、G3のそれぞれの一の入力端子にクロック信号によりハイレベルが与えられることにより、基本位相調整パターンP_Bの最初の4ビット分のビット値がそれぞれレーンR_0、R_1、R_2、R_3に割り振られる。その後4ビット分の時間が経過すると、基本位相調整パターンP_Bの次の4ビット分のビット値が、AND回路G0, G1, G2、G3のそれぞれの他の入力端子に入力される。当該タイミングでAND回路G0, G1, G2、G3のそれぞれの一の入力端子にクロック信号によりハイレベルが入力されることにより、上記基本位相調整パターンP_Bの次の4ビット分のビット値がそれぞれレーンR_0、R_1、R_2、R_3に割り振られる。以下同様の動作が繰り返され、図6に示される如く、基本位相調整パターンP_Bに含まれるビットがビット毎に、各レーンR_0、R_1、R_2、R_3に対し順に、それぞれの位相調整パターンP_0、P_1、P_2、P_3として割り振られる。

[0040] 次に図8とともに、受信回路200における位相調整動作の流れについて説明する。図8中、ステップS1にて、受信側回路200の位相調整パターン生成回路201は受信制御回路204からの指示により、基本位相調整パターンP_Bの生成を開始し、直並列変換回路203が当該基本位相調整パターンP_Bを直並列変換し、各レーンの位相調整パターンを生成する。その後位相調整パターン生成回路201および直並列変換回路203が各レーンの位相調整パターン中の先頭部分のプリアンブルパターンPAを生成したか否かを判定する(ステップS2)。ステップS2の判定の結果、プリアンブルパターンPAの生成がなされた場合、当該タイミングで受信制御回路204は位相調整パターン生成回路201および直並列変換回路203に対し位相調整パターンの生成の停止を指示する(ステップS3)。受信制御回路204は同時に受信回路202_0、202_1、202_2、..., 202_Nのそれぞれのプリアンブル検出回路212に対し、プリアンブルパターンPAを検出する動作の開始を指示する。

[0041] 各受信回路のプリアンブル検出回路212はFIFO215から供給されたデータ中にプリアンブルパターンPAを検出すると、プリアンブル検出通知信号N_{PN}を受信制御回路204に送る。受信制御回路204は受信回路202_0、202_1、202_2、..., 202_Nのうちの一以上の受信回路からプリアンブル検出通知信号N_{PN}を受信したか否かを判定する(ステップS4)。ステップS4の判定の結果、一以上の受信回路からプリアンブル検出通知信号N_{PN}を受信した場合、受信制御回路204は全受信回路202_0、202_1、202_2、..., 202_Nに対し、位相調整制御信号S_{CN}により位相調整動作の開始を指示する。同時に受信制御回路204は位相調整パターン生成回路201および直並列変換回路203に対し、位相調整パターンの生成の再開を指示する(ステップS5)。

[0042] ここで、図8のステップS3でプリアンブルパターンPAが生成された時点で位相調整パターンの生成を停止し、その後ステップS5で位相調整パターンの生成を再開する理由は以下の通りである。すなわち受信回路202_0、202_1、202_2、..., 202_Nの各々のパターン比較回路213では、FIFO215から供給された位相調整パターンP_Xと、直並列変換回路203から供給された位相調整パターンP_Xとが比較される。ここで上記FIFOから供給された位相調整パターンとは、送信信号S_{TX}から受信クロックC_Rを使用して取り出された位相調整パターンP_Xである。また直並列変換回路203から供給さ

れた位相調整パターンP_Xとは、位相調整パターン生成回路203で生成された基本位相調整パターンP_Bが直並列変換回路203で直並列変換されたものである。図8のステップS4で、送信信号S_{TX}から取り出された位相調整パターンP_X中にプリアンブルパターンPAが検出された時点で各受信回路にて位相調整が開始される(ステップS6)。したがって当該位相調整開始後にパターン比較回路213にFIFO215から供給されるパターンは位相調整パターン中、プリアンブルパターンPA以降のパターン部分となる。またステップS3でプリアンブルパターンPAが生成された時点で位相調整パターンの生成が一旦停止され、ステップS5で位相調整パターンの生成が再開される。したがって当該再開後に直並列変換回路203からパターン比較回路213に供給されるパターンもプリアンブルパターンPA以降のパターン部分となる。したがってステップS4のプリアンブルパターンPAの検出以降、FIFO215から供給されるパターンも、直並列変換回路203から供給されるパターンも、ともにプリアンブルパターンPA以降のパターンが部分となる。よってFIFO215から供給された位相調整パターンおよび直並列変換回路204から供給された位相調整パターンのそれぞれの内、相互に対応するパターン部分同士がパターン比較回路213により比較される。したがって位相調整動作の効率化が可能となる。

[0043] 各受信回路の位相調整回路211は、パターン比較回路213による比較結果が一致しない場合、受信クロック信号C_Rの位相を調整し、調整後のクロック信号をフリップフロップ回路214に供給する。ここで位相調整回路211は当該調整動作により、フリップフロップ回路214に供給するクロック信号の位相を、フリップフロップ回路214に入力される受信信号S_{TX}の位相との関係において最適化する。すなわち当該クロック信号の位相の調整により送信信号から確実に位相調整パターンが取り出されるようになり、その結果送信信号から取り出された位相調整パターンが直並列変換回路203から供給された位相調整パターンと一致するようになる。

[0044] 上記クロック信号の位相の調整により送信信号から取り出された位相調整パターンが直並列変換回路203から供給された位相調整パターンと一致するとパターン比較回路213はパターン一致通知信号N_{Cx}を受信制御回路204に送信する。受信制御回路204は各レーンの位相調整に必要と考えられる所定の時間が終了すると、位相

調整動作（ステップS6）を終了する。ここで図8のステップS6の位相調整動作は、たとえば以下の如くに進められ得る。すなわち、各レーンにつき、受信制御回路204は位相調整回路211を制御してフリップフロップ回路214に供給するクロック信号の位相を一方向に徐々に変化させてゆく。その間にパターン比較回路213からのパターン一致信号N_{CX}が受信されても受信制御回路204はそのまま継続してクロック信号の位相を上記一方向に徐々に変化させてゆく。その後受信制御回路204は位相調整回路211を制御してフリップフロップ回路214に供給するクロック信号の位相を上記一方向と逆の方向に徐々に変化させてゆく。その間にパターン比較回路213からのパターン一致信号N_{CX}が受信されても受信制御回路204はそのまま継続してクロック信号の位相を上記逆の方向に徐々に変化させてゆく。このようにしてクロック信号の位相の一方向および逆方向の変化を繰り返すことにより、受信制御回路204はクロック信号の最適な位相を得る。上記受信制御回路204が各レーンについてクロック信号の最適な位相を得るまでに要されると考えられる時間が上記各レーンの位相調整に必要と考えられる所定の時間である。

[0045] 上記プリアンブルパターンPAは各レーンの位相調整パターンの一周期内で一意に決まるパターンであり、レーン毎にあらかじめ決められたパターンである。実施例では、各レーンの位相調整パターンの先頭から5ビットをプリアンブルパターンPAとして使用する。実施例ではレーン数は4であるため、上記各レーンの位相調整パターンの先頭から5ビットとは、基本位相調整パターンの先頭の20ビットに対応して算出されるものである（5×4＝20）。また、基本位相調整パターンの長さ、すなわち一周期のビット数を、予めレーン数で割り切れない長さに選定しておくものとする。当該条件は上記条件、すなわち基本位相調整パターンの一周期のビット数とレーン数とが互いに素な関係となる条件が満たされることにより、同時に満たされる。そして各レーンに対し、基本位相調整パターンの長さ分、すなわち一周期分の位相調整パターンを出力する。その結果、いずれのレーンに対しても、共通するパターンのタイミングのみがシフトされたパターンが割り当てられることになる。図6の例の場合、基本位相調整パターンP_Bの一周期は31ビットであるため、各レーンの位相調整パターンP_0、P_1、P_2、P_3の同じ31ビット分の長さに着目する。そうすると、上記の如く、位相調整パターン

P_3の先頭の1～31番目の31ビットは、8ビット右シフトした位相調整パターンP_2の9～39番目の31ビットと同パターンである。同様に位相調整パターンP_2の先頭の9～39番目の31ビットは、同じく8ビット右シフトした位相調整パターンP_1の17～47番目の31ビットと同パターンである。同様に位相調整パターンP_1の17～47番目の31ビットは、同じく8ビット右シフトした位相調整パターンP_0の25～55番目の31ビットと同パターンである。

[0046] 次に図9とともに、図8とともに上述した受信側回路200における位相調整動作に対応する送信側回路100における動作の流れについて説明する。送信制御回路104から位相調整動作開始の指示を受けると、位相調整パターン生成回路101および直並列変換回路103は図9のステップS11で基本位相調整パターン及びかクレーンの位相調整パターンの生成を開始する。その後所定の時間の経過が検出されると(ステップS12のYES)，送信制御回路104は位相調整パターン生成回路101および直並列変換回路103による基本位相調整パターン及びかクレーンの位相調整パターンの生成を終了させる。上記所定の時間として、受信側回路200において上記各レーンの位相調整に必要と考えられる所定の時間が経過すると予想される時間とすることができる。

[0047] 上記位相調整パターン生成回路103から基本位相調整パターンP_Bが与えられた直並列変換回路104は当該基本位相調整パターンP_Bを図5、図6，図7とともに上述の如くの方法にて直並列変換する。当該直並列変換により得られた各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nが、送信回路100_0、100_1、100_2、...,100_Nにそれぞれ割り振られる。基本位相調整パターンP_Bは周期的に生成され、各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nも対応して周期的に生成される。当該各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nの生成方法と同様の生成方法が、受信側回路200の位相調整パターン生成回路203と直並列変換回路203によっても実行される。その結果、受信側回路200において生成される各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nは、送信側回路100において生成される各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nとそれぞれ同様となる。その結果受信側回路200の各受信回路には、プリアンブルパターンPA検出後、送信信号のプリアンブル以降のパター

ン部分と、直並列変換回路203から供給された対応するプリアンブルパターンPA以降のパターン部分とが供給されることになる。

[0048] 生成された各レーンの位相調整パターンP_0、P_1、P_2、....，P_Nは対応する送信回路102_0、102_1、102_3、...，101_Nにより、それぞれ送信信号S_{T0}、S_{T1}、S_{T2}、...，S_{TN}として対応する信号配線Lにより送信される。送信回路102_0、102_1、102_3、...，101_Nは送信制御回路104から位相調整動作開始の指示を受けて位相調整パターンP_0、P_1、P_2、....，P_Nの送信を開始する。

[0049] 次に図10とともに、図8，図9とともに上述した位相調整動作を時間を追って説明する。図10のステップS31で、送信側回路100は位相調整パターンP_0、P_1、...の生成および送信を開始する。その結果ステップS32において、各レーンの送信信号S_{T0}、S_{T1}、...として位相調整パターンP_0、P_1、...が送信される。そしてステップS33では、上記送信側回路100は上記所定の時間の経過後、位相調整パターンP_0、P_1、...の生成および送信を停止する。

[0050] 他方受信側回路200は、上記送信信号S_{T0}、S_{T1}、...を受信し、ステップS41で位相調整パターンの生成を開始する。そしてステップS42でプリアンブルパターンPAの生成を行うと、ステップS43で位相調整パターンの生成を停止する。上記位相調整パターンの生成とは、位相調整パターン生成部201が基本位相調整パターンP_Bを生成し、直並列変換回路203が基本位相調整パターンP_Bに基づいて各レーンの位相調整パターンP_0、...、P_Nを生成することを意味する。以後ステップS44にて、受信される送信信号S_{T0}、S_{T1}、...からプリアンブルパターンPAが検出されるのを待つ。

[0051] ステップS45で受信される送信信号S_{T0}、S_{T1}、...からプリアンブルパターンPAが検出されると、受信側回路200の各受信回路はステップS46で位相調整動作を開始する。そして上記各レーンの位相調整に必要と考えられる所定の時間が経過すると、受信制御回路204はステップS47で位相調整回路211に位相調整動作を終了させる。ここで図6の例の場合、図10に示される如く、1番目のレーンR_0の位相調整パターンP_0のプリアンブルパターンPAは01110であり、2番目のレーンR_1の位相調整パターンP_1のプリアンブルパターンPAは00111である。図10は最初に送信信号S_{T0}から対応する位相調整パターンP_0のプリアンブルパターンPA"01110"が検出された場

合の例を示しており、当該検出のタイミングで各受信回路の位相調整回路211が位相調整動作を開始する。

[0052] 次に図11とともに、各受信回路のプリアンブル検出回路212の回路例について説明する。同回路例は、図11に示されるように直列に接続された4個のフリップフロップ回路F1～F4を含むシフトレジスタを有する。同回路例は更に、図11に示されるように直列に接続された4個のフリップフロップ回路F11～F14を含むシフトレジスタを有する。更に、同回路例は、AND回路Aと、AND回路Aの4個の入力にそれぞれ出力が並列に接続された5個の否定排他的論理和を演算するEX－NOR回路N1～N5を有する。

[0053] EX－NOR回路N1の一の入力はフリップフロップ回路F1の出力であり、EX－NOR回路N2の一の入力はフリップフロップ回路F2の出力であり、EX－NOR回路N3の一の入力はフリップフロップ回路F3の出力である。またEX－NOR回路N4の一の入力はフリップフロップ回路F4の出力であり、EX－NOR回路N5の一の入力はフリップフロップ回路F4の入力である。

[0054] またEX－NOR回路N1の他の入力はフリップフロップ回路F11の出力であり、EX－NOR回路N2の他の入力はフリップフロップ回路F12の出力であり、EX－NOR回路N3の他の入力はフリップフロップ回路F13の出力である。またEX－NOR回路N4の他の入力はフリップフロップ回路F14の出力であり、EX－NOR回路N5の他の入力はフリップフロップ回路F14の入力である。

[0055] 図11の回路例において、5個のEX－NOR回路N1～N5の全てにおいて、各々の一および他の入力が相互に一致すると、5個のEX－NOR回路N1～N5の全てがハイレベル(″1″)を出力する。その結果、AND回路Aはハイレベル(″1″)を出力する。その結果プリアンブル検出通知信号N_{PX}が受信制御回路204へ出力される。

[0056] ここでフリップフロップ回路F4にはFIFO215を介し受信データD_{RX}が入力され、フリップフロップ回路F14には直並列変換回路203から供給される各レーンの位相調整パターンP_Xが入力される。図10のステップS42で各レーンの位相調整パターンの先頭のプリアンブルパターンPAが生成されると、フリップフロップ回路F14に入力される。その後当該プリアンブルパターンPAはビット毎に4個の直列のフリップフロップ

回路F14～F11を含むシフトレジスタ内を順次シフトされる。そしてステップS43で位相調整パターンの生成が停止された状態では、プリアンブルパターンPAに含まれる5個のビットがそれぞれフリップフロップ回路F14～F11の入力および出力に現れた状態となる。より具体的には、プリアンブルパターンPAに含まれる5個のビットのそれぞれが、F14の入力、F14の出力、F13の出力、F12の出力およびF11の出力にそれぞれ現れた状態となる。上記パターンP_0のプリアンブルパターンPAの例の場合、F14の入力、F14の出力、F13の出力、F12の出力およびF11の出力はそれぞれ0、1、1、1、0となる。その結果当該プリアンブルパターンPAの5ビットが、5個のEX－NOR回路N1～N5の各々の他の入力にそれぞれ与えられる。当該状態は、図10のステップS43で位相調整パターンの生成が停止された後、ステップS45でプリアンブルパターンPAが検出され位相調整パターンの生成が再開されるまでの間、維持される。

[0057] 同様にフリップフロップ回路F4に入力される受信データD_{RX}も、ビット毎にフリップフロップ回路F4～F1を含むシフトレジスタ内を順にシフトされる。その結果、受信データD_{RX}の各ビットはそれぞれ、F1の出力、F2の出力、F3の出力、F4の出力およびF4の入力となり、受信データD_{RX}がFIFO215を介し当該シフトレジスタにビット毎に順次入力されるにつれ、受信データD_{RX}の各ビットは当該シフトレジスタ内を順にシフトされる。その結果、F1の出力、F2の出力、F3の出力、F4の出力およびF4の入力としてそれぞれ得られる受信データD_{RX}の各ビットも順次更新されてゆく。F1の出力、F2の出力、F3の出力、F4の出力およびF4の入力としてそれぞれ得られる受信データD_{RX}の各ビットは5個の並列のEX－NOR回路N1～N5のそれぞれの一の入力として与えられる。同様にF11の出力、F12の出力、F13の出力、F14の出力およびF14の入力であるプリアンブルパターンPAの各ビットは、5個のEX－NOR回路N1～N5のそれぞれの他の入力として与えられる。したがって受信データD_{RX}とプリアンブルパターンPAとが各ビットにおいて一致すると、5個のEX－NOR回路N1～N5の全ての出力がハイレベルとなる。その結果上記の如くAND回路Aの出力がハイレベルとなり、プリアンブル検出通知信号N_{PX}が出力される。

[0058] なお図11の回路例はパターン比較回路213の回路例としても使用可能である。パ

ターン比較回路213の場合、上述のプリアンブル検出回路212の場合と同様、受信データD_{RX}の各ビットが順次入力されるにつれ、F1の出力、F2の出力、F3の出力、F4の出力およびF4の入力としての受信データD_{RX}の各ビットが順次更新されてゆく。ここでパターン比較回路213が動作する状態は、図10のステップS45でプリアンブルパターンPAが検出され、受信側回路200において位相調整パターンの生成が再開されている状態である。したがってプリアンブル検出回路212の場合と異なり、位相調整パターンP_Xの各ビットが順次直並列変換回路203から入力されるにつれ、F11の出力、F12の出力、F13の出力、F14の出力およびF14の入力としての位相調整パターンP_Xの各ビットも順次更新されてゆく。したがって受信データD_{RX}と位相調整パターンP_Xとが各ビットにおいて一致すると、5個のEX－NOR回路N1～N5の全ての出力がハイレベルとなる。その結果AND回路Aの出力がハイレベルとなり、パターン一致通知信号N_{CX}が受信制御回路204に供給される。なおパターン比較回路213の場合、プリアンブルパターンの一致を判定するプリアンブル検出回路212の場合と異なり、各レーンの位相調整パターンの一致を判定する。各レーンの位相調整パターンの一致は当該位相調整パターンの一周期が一致することを意味する。図6の例の場合、各レーンの位相調整パターンの周期は31[ビット]である。このため、図6の例の場合に図11の回路例をパターン比較回路213として使用する場合、受信制御回路204はたとえば以下に示す判定を行うことができる。すなわち各受信回路のパターン比較回路213から連続して31ビット分のパターン一致信号N_{CX}が受信された場合に該当するレーンの位相調整パターンが一致したと判定することができる。

[0059] 次に図12とともに、基本位相調整パターンP_Bとして適用可能なM系列を生成するための回路例について説明する。同回路例は、送信側回路100の位相調整パターン生成回路101および受信側回路200の位相調整パターン生成回路101の各々として使用可能である。図12に示す如く、同回路例は4個のフリップフロップ回路D1～D4の直列回路によるシフトレジスタである。同回路例では、3番目および4番目のフリップフロップ回路D3、D4のそれぞれの出力値が、EX－OR回路EXOR1を介し、先頭のフリップフロップ回路D1にフィードバックされる。したがって3番目および4番目のフリップフロップ回路D3、D4のそれぞれの出力値が相互に一致すると0がD1の

入力にフィードバックされ、D3、D4のそれぞれの出力値が相互に一致しないと1がD1の入力にフィードバックされる。

[0060] 図12の回路例において、たとえば初期値として、D4, D3, D2, D1のそれぞれの出力値として、0、0、0、1が設定されたと仮定すると、周期が15のM系列"000100110101111"が生成される。一般にN段のシフトレジスタにより周期が2^N-1のM系列が生成される。図12の例は4個のフリップフロップ回路D1～D4による4段のシフトレジスタであるため、$2^4-1=16-1=15$となり、上記の如く周期が15のM系列が生成される。図6の例では基本位相調整パターンP_Bの周期が31であるため、基本位相調整パターンP_Bは5段のシフトレジスタにより生成され得る($2^5-1=31$)。

請求の範囲

[1] 送信側回路において、基本位相調整パターンを直並列変換することにより複数の送信回路のそれぞれに対する複数の位相調整パターンを生成するステップと、

前記複数の送信回路がそれぞれ前記複数の位相調整パターンを有する送信信号を送信するステップと、

受信側回路において、前記基本位相調整パターンの、前記直並列変換と同様の直並列変換により、前記複数の送信回路にそれぞれ対応する複数の受信回路のそれぞれに対する複数の位相調整パターンを生成するステップと、

複数の受信回路が、それぞれ受信クロック信号を使用して前記複数の送信回路から送信された送信信号を受信するステップと、

前記受信した送信信号が有する信号のパターンと、前記複数の位相調整パターンとをそれぞれ比較するステップと、

前記比較結果に基づいて前記受信クロック信号の位相をそれぞれ調整するステップとを有し、

前記基本位相調整パターンは複数のビットよりなり一定の周期を有し、前記基本位相調整パターンの前記周期に対応するビット数と、前記複数の送信回路の数とは、互いに素な関係となるように決定され、

前記直並列変換により前記基本位相調整パターンの各ビットを前記複数の送信回路又は複数の受信回路の間で一定の順番に割り当てることで、前記複数の送信回路又は複数の受信回路のそれぞれに対し、全てが同時に同じ論理値をとることがない前記複数の位相調整パターンを生成する位相調整方法。

[2] 前記受信側回路において、

前記複数の位相調整パターンのプリアンブル部分を生成した時点で当該複数の位相調整パターンの生成を停止するステップと、

前記送信信号から前記複数の位相調整パターンのプリアンブル部分を検出した時点で、前記複数の位相調整パターンの生成を再開するステップとよりなる請求項1に記載の位相調整方法。

[3] 基本位相調整パターンを直並列変換することにより複数の送信回路のそれぞれに

対する複数の位相調整パターンを生成する位相調整パターン生成手段と、

それぞれ前記複数の位相調整パターンを有する送信信号を送信する前記複数の送信回路とを有する送信回路とを有し、

前記基本位相調整パターンは複数のビットよりなり一定の周期を有し、前記基本位相調整パターンの前記周期に対応するビット数と、前記複数の送信回路の数とは、互いに素な関係となるように決定され、

前記直並列変換により前記複数の送信回路の間で一定の順番に前記基本位相調整パターンの各ビットを割り当てることで、全てが同時に同じ論理値をとることがない前記複数の位相調整パターンを生成するデータ転送装置。

[4] 基本位相調整パターンを直並列変換することにより複数の受信回路のそれぞれに対する複数の位相調整パターンを生成する位相調整パターン生成手段と、

それぞれ受信クロック信号を使用して複数の送信回路から送信された送信信号を受信する前記複数の受信回路と、

前記受信した送信信号が有する信号のパターンと、前記複数の位相調整パターンとをそれぞれ比較する比較回路と、

前記比較結果に基づいて前記受信クロック信号の位相をそれぞれ調整する位相調整回路とを有し、

前記基本位相調整パターンは複数のビットよりなり一定の周期を有し、前記基本位相調整パターンの前記周期に対応するビット数と、前記複数の受信回路の数とは、互いに素な関係となるように決定され、

前記位相調整パターン生成手段は、前記複数の受信回路の間で一定の順番に前記基本位相調整パターンの各ビットを割り当てることにより、全てが同時に同じ論理値をとることがない前記複数の位相調整パターンを生成するデータ転送装置。

[5] 前記位相調整パターン生成手段は、前記複数の位相調整パターンのプリアンブル部分を生成した時点で当該複数の位相調整パターンの生成を停止し、

前記送信信号から前記複数の位相調整パターンのプリアンブルパターンが検出された時点で前記複数の位相調整パターンの生成を再開する請求項4に記載のデータ転送装置。

[6] 基本位相調整パターンを直並列変換することにより複数の送信回路のそれぞれに対する複数の位相調整パターンを生成する位相調整パターン生成手段と、

それぞれ前記複数の位相調整パターンを有する送信信号を送信する前記複数の送信回路とを有する送信回路とを有する送信側回路と、

前記基本位相調整パターンを直並列変換することにより複数の受信回路のそれぞれに対する複数の位相調整パターンを生成する位相調整パターン生成手段と、

それぞれ受信クロック信号を使用して複数の送信回路から送信された送信信号を受信刷る前記複数の受信回路と、

前記受信した送信信号が有する信号のパターンと、前記複数の位相調整パターンとをそれぞれ比較する比較回路と、

前記比較結果に基づいて前記受信クロック信号の位相をそれぞれ調整する位相調整回路とを有する受信側回路とを有し、

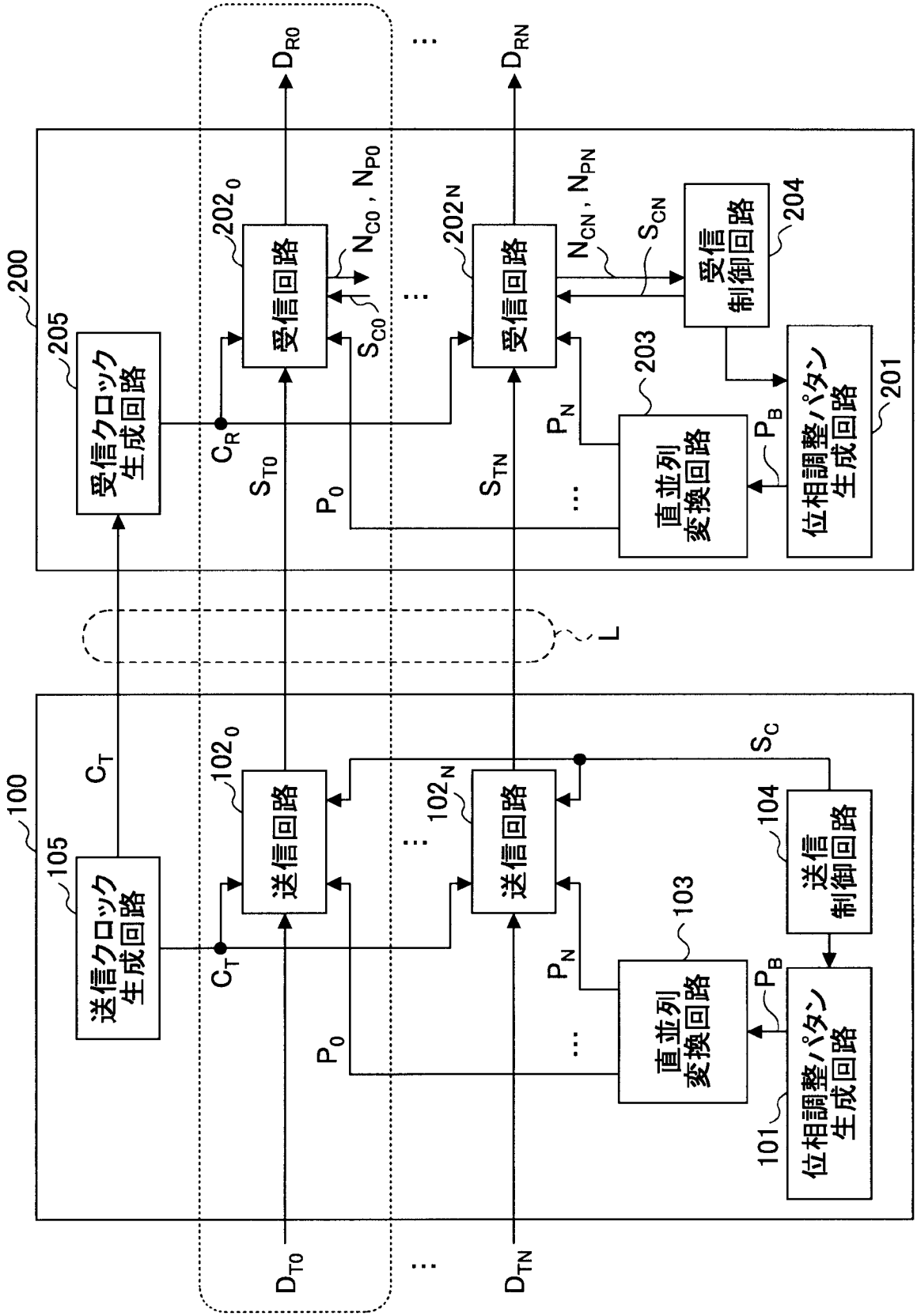
前記基本位相調整パターンは複数のビットよりなり一定の周期を有し、前記基本位相調整パターンの前記周期に対応するビット数と、前記複数の送信回路の数とは、互いに素な関係となるように決定され、

前記直並列変換により前記基本位相調整パターンの各ビットを前記複数の送信回路又は複数の受信回路の間で一定の順番に割り当てることで、全てが同時に同じ論理値をとることがない前記複数の位相調整パターンを生成するデータ転送システム。

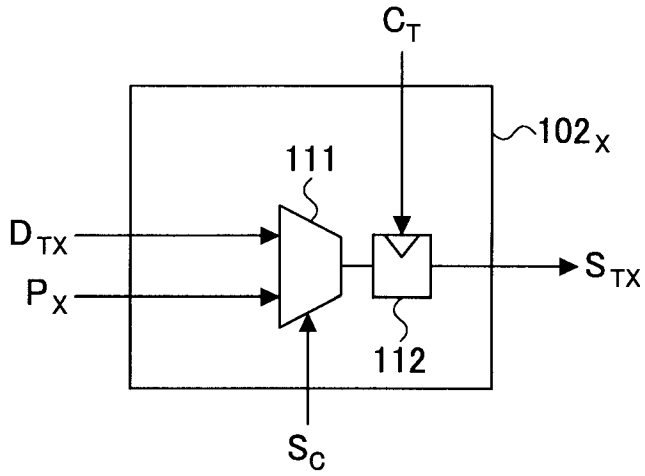
[7] 前記位相調整パターン生成手段は前記複数の位相調整パターンのプリアンブルパターンを生成した時点で当該複数の位相調整パターンの生成を停止し、

前記送信信号から前記複数の位相調整パターンのプリアンブルパターンが検出された時点で前記複数の位相調整パターンの生成を再開する請求項6に記載のデータ転送システム。

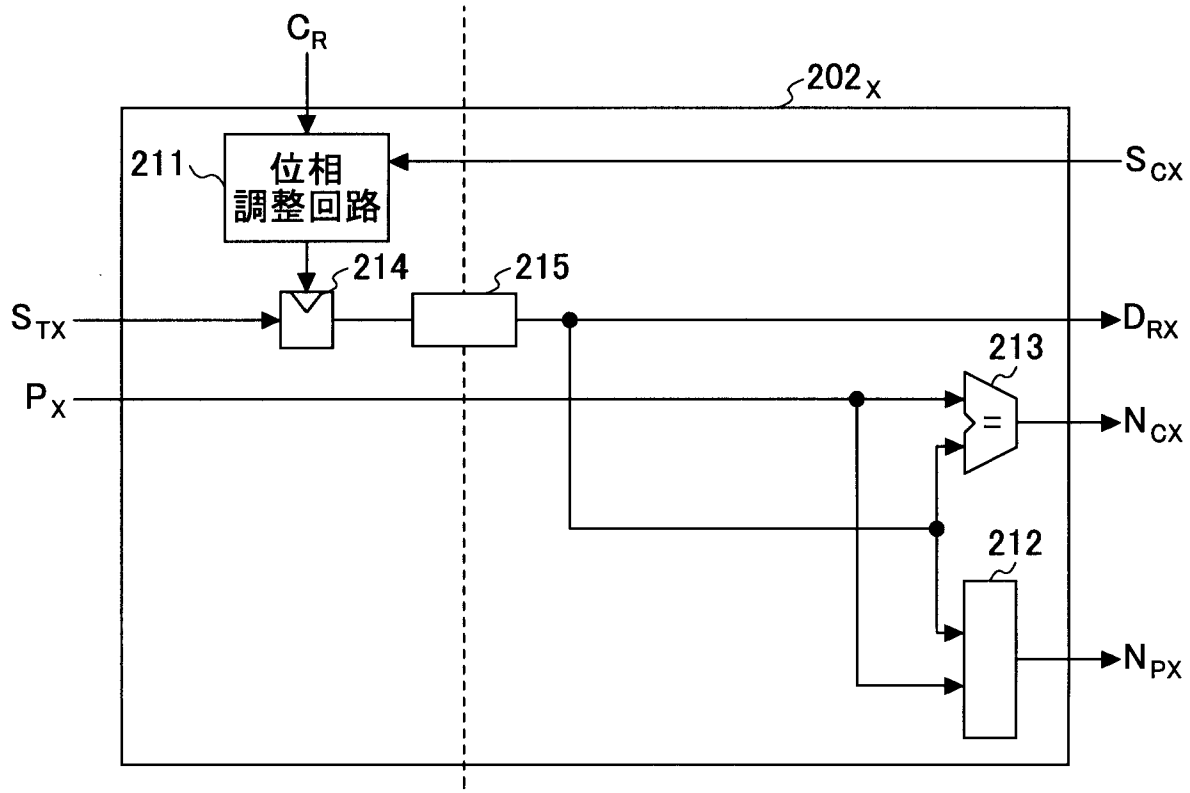
[図1]


100
105
送信クロック生成回路
C_T
C_T
102_0
送信回路
102_N
送信回路
S_C
104
送信制御回路
103
直並列変換回路
P_N
P_B
P_0
101
位相調整パタン生成回路
D_{T0}
D_{TN}
L
200
205
受信クロック生成回路
C_R
202_0
受信回路
202_N
受信回路
S_{T0}
S_{TN}
N_{C0} , N_{P0}
S_{C0}
N_{CN} , N_{PN}
S_{CN}
204
受信制御回路
203
直並列変換回路
P_N
P_B
P_0
201
位相調整パタン生成回路
D_{R0}
D_{RN}

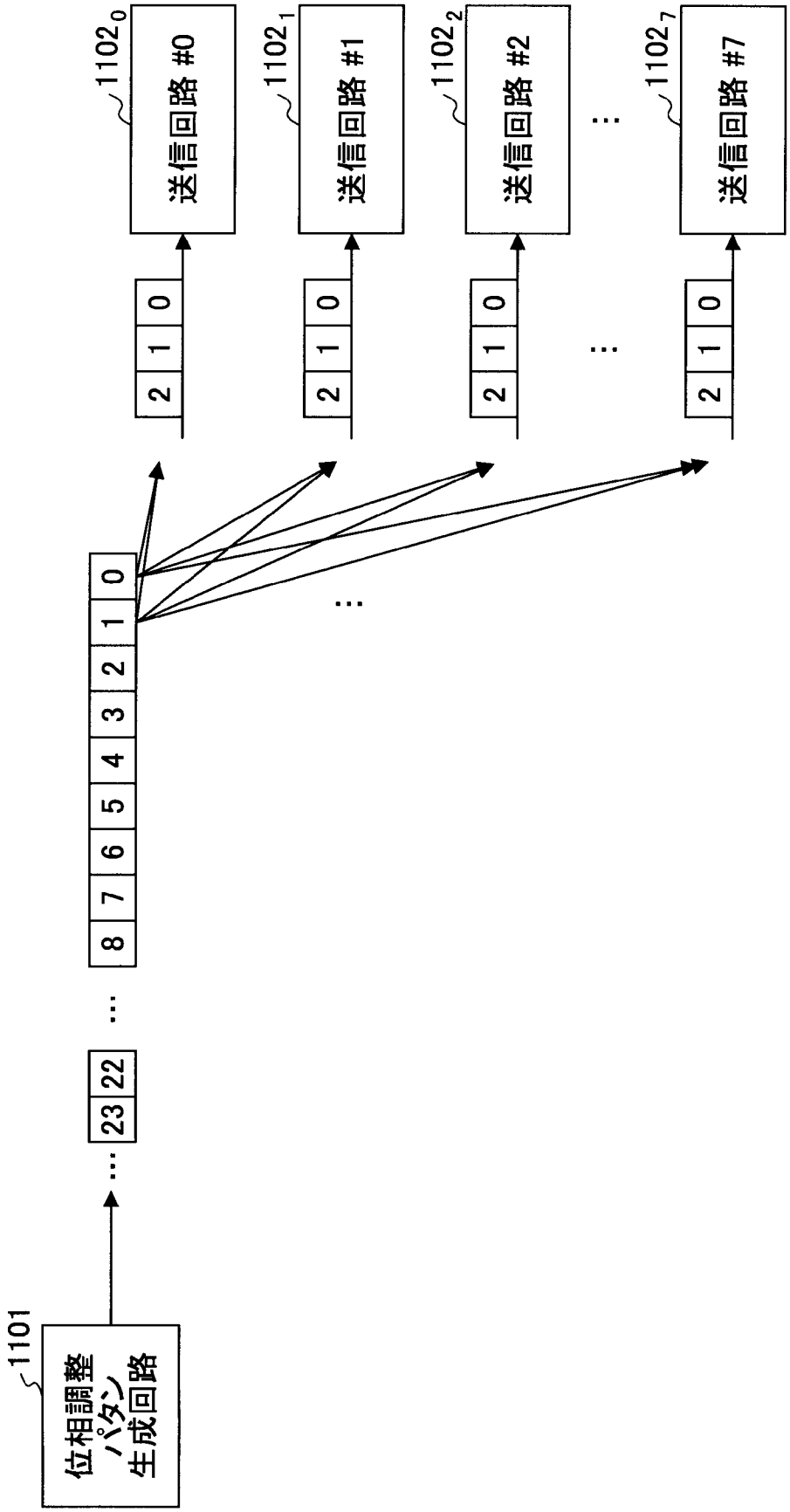
[図2]


C_T
102_X
111
D_TX
P_X
S_TX
112
S_C

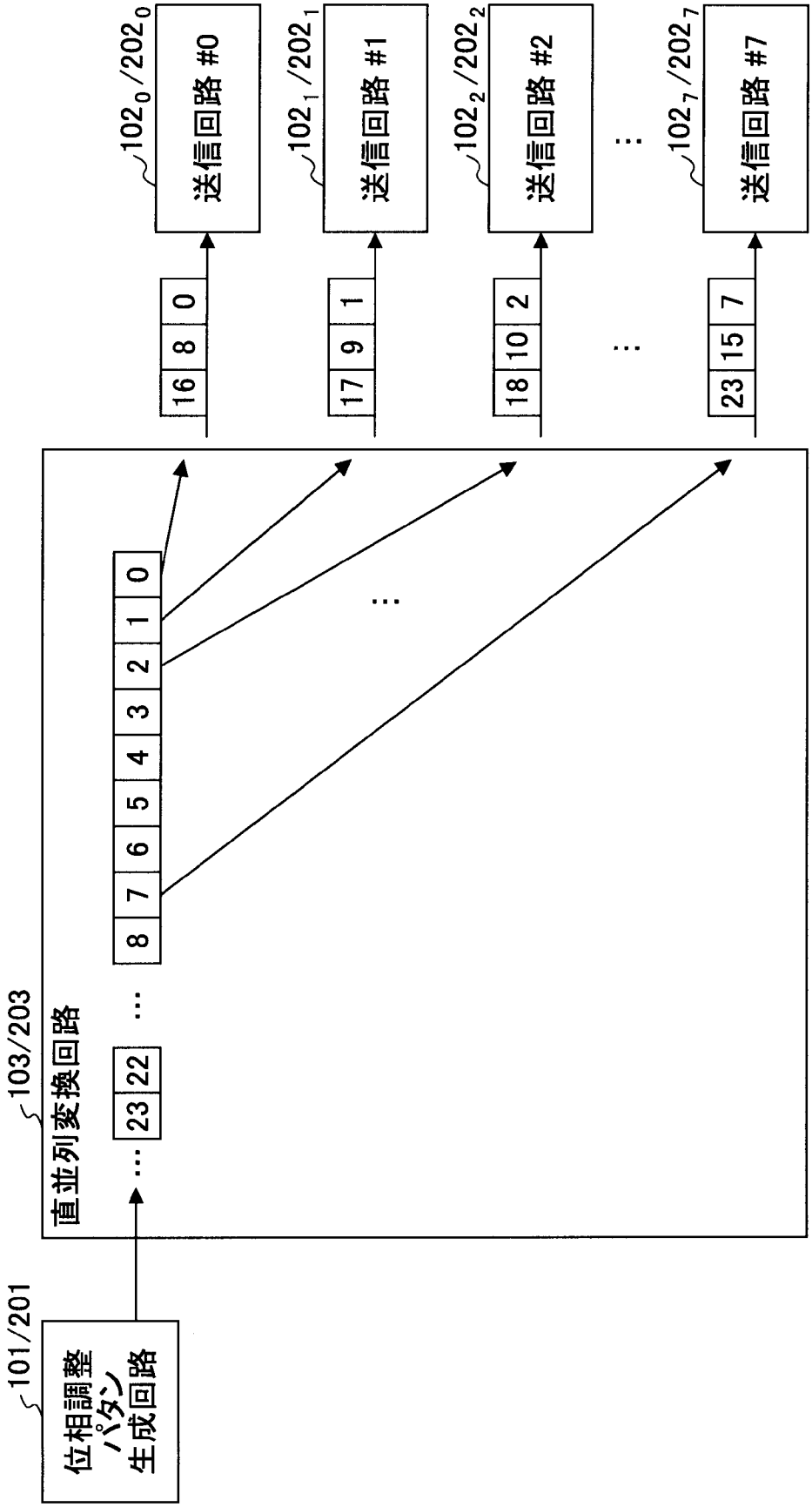
[図3]


C_R
202_X
211
位相
調整回路
S_CX
214
215
S_TX
D_RX
213
P_X
=
N_CX
212
N_PX

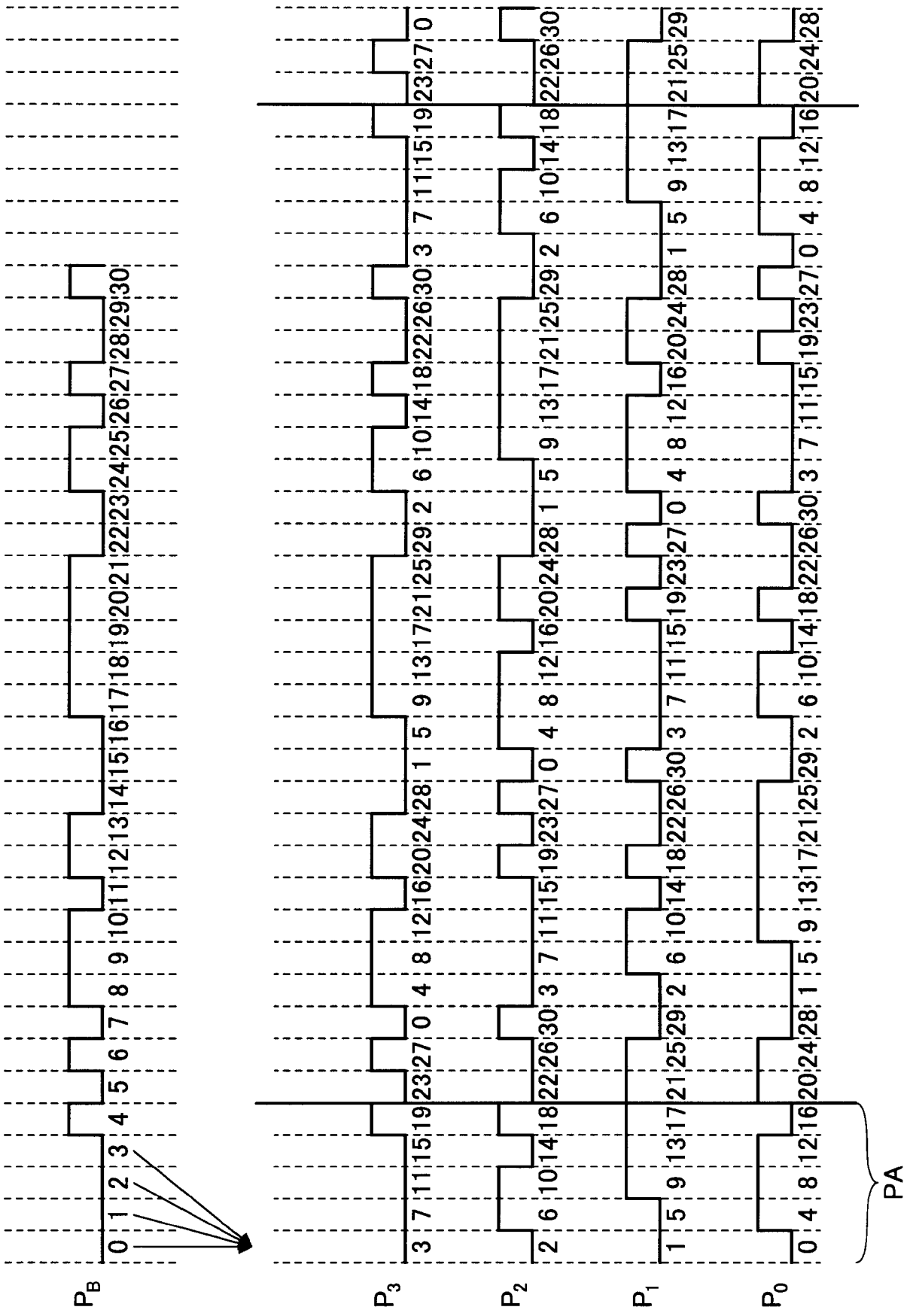
[図4]


1101
位相調整パタン生成回路
23 22
8 7 6 5 4 3 2 1 0
1102$_0$
送信回路 #0
1102$_1$
送信回路 #1
1102$_2$
送信回路 #2
1102$_7$
送信回路 #7
2 1 0

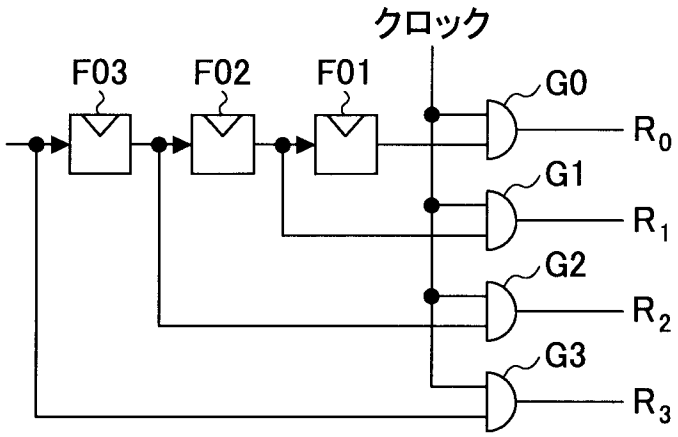
[図5]


101/201
位相調整パタン生成回路
103/203
直並列変換回路
23 22 ... 8 7 6 5 4 3 2 1 0
16 8 0
17 9 1
18 10 2
23 15 7
102₀/202₀
送信回路 #0
102₁/202₁
送信回路 #1
102₂/202₂
送信回路 #2
102₇/202₇
送信回路 #7

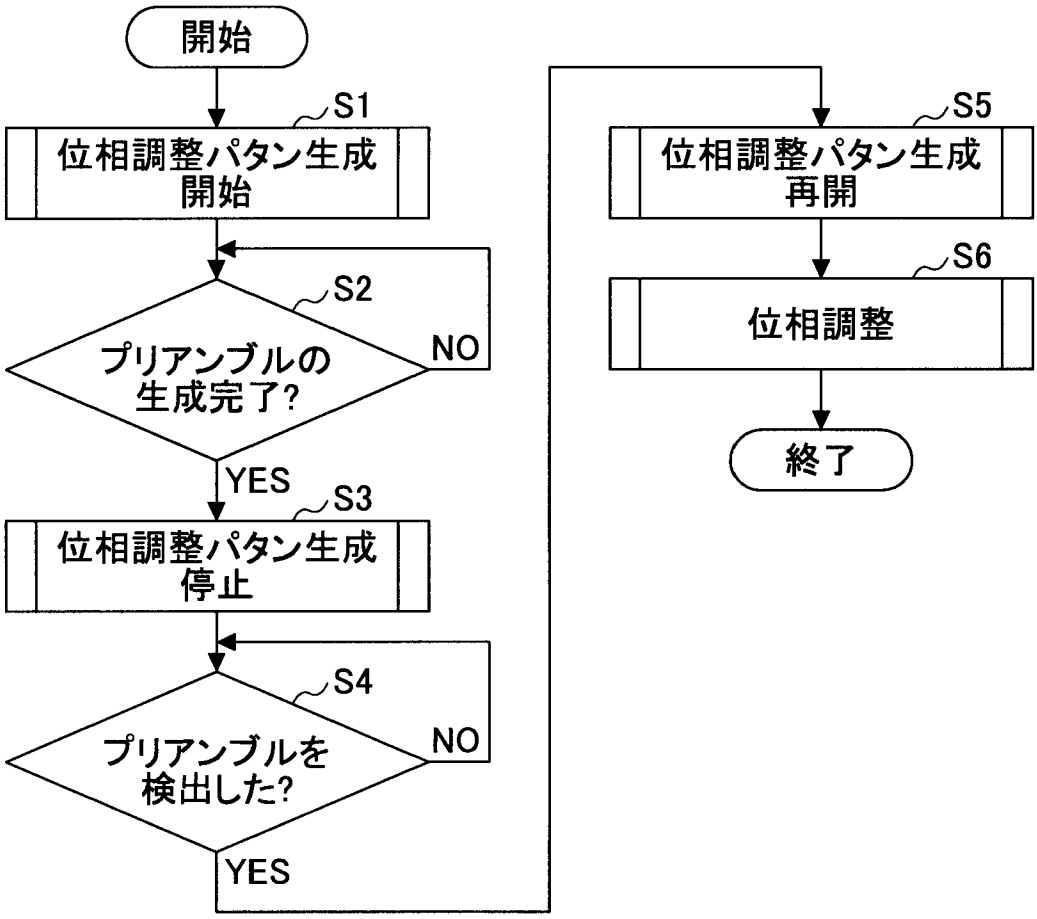
[図6]



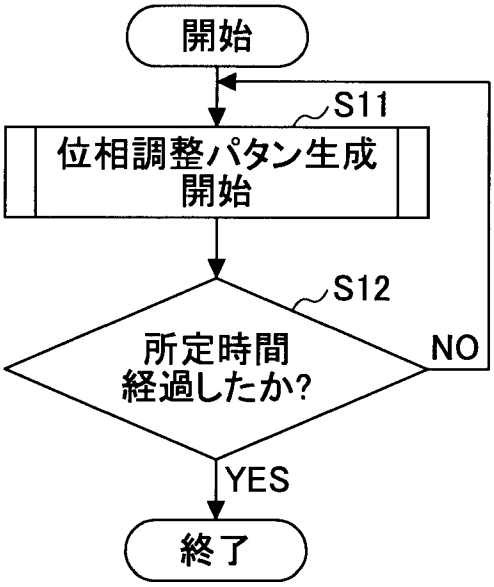
[図7]


クロック
F03
F02
F01
G0
G1
G2
G3
R0
R1
R2
R3

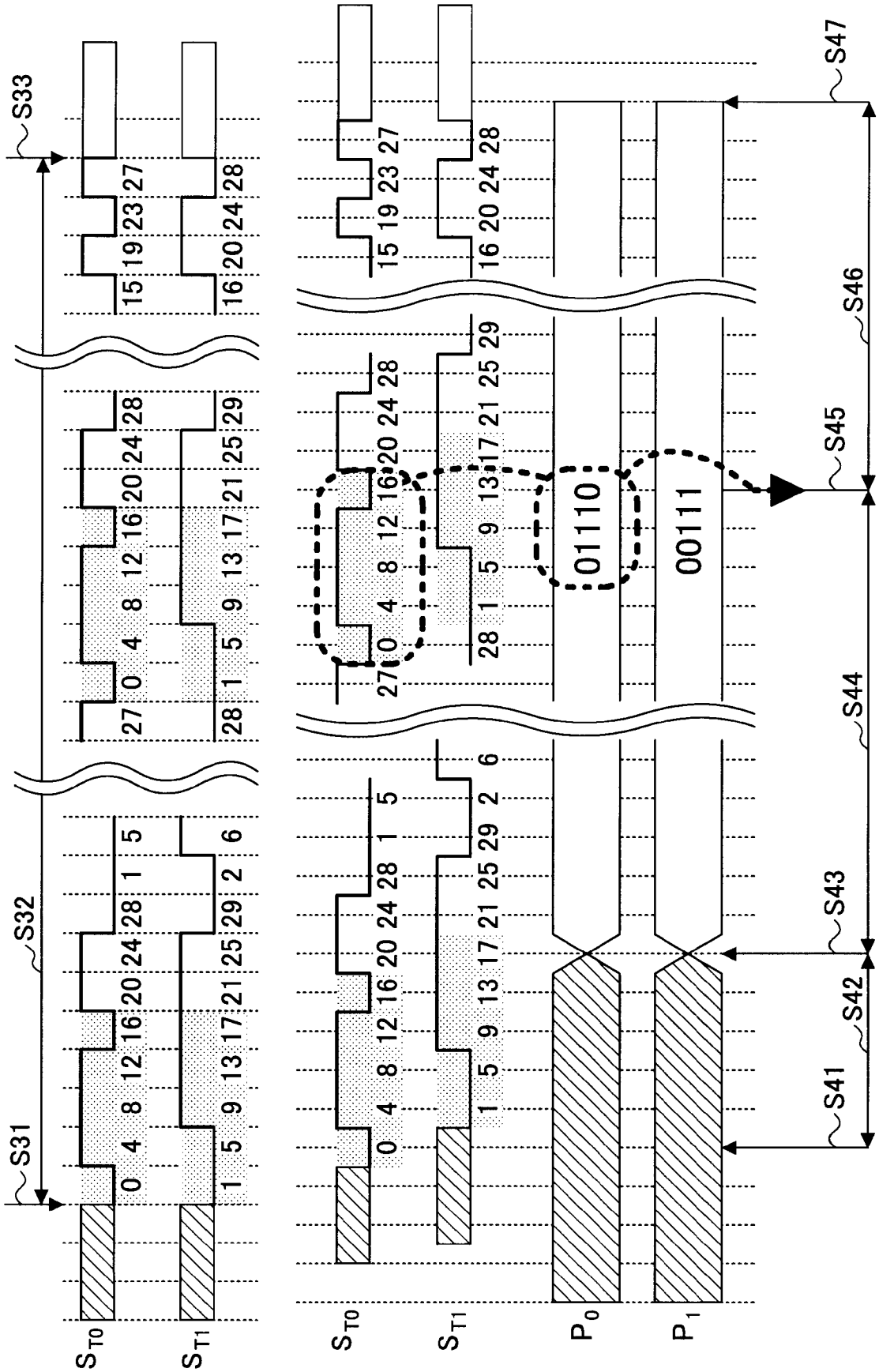
[図8]


開始
S1
位相調整パタン生成開始
S2
プリアンブルの生成完了?
NO
YES
S3
位相調整パタン生成停止
S4
プリアンブルを検出した?
NO
YES
S5
位相調整パタン生成再開
S6
位相調整
終了

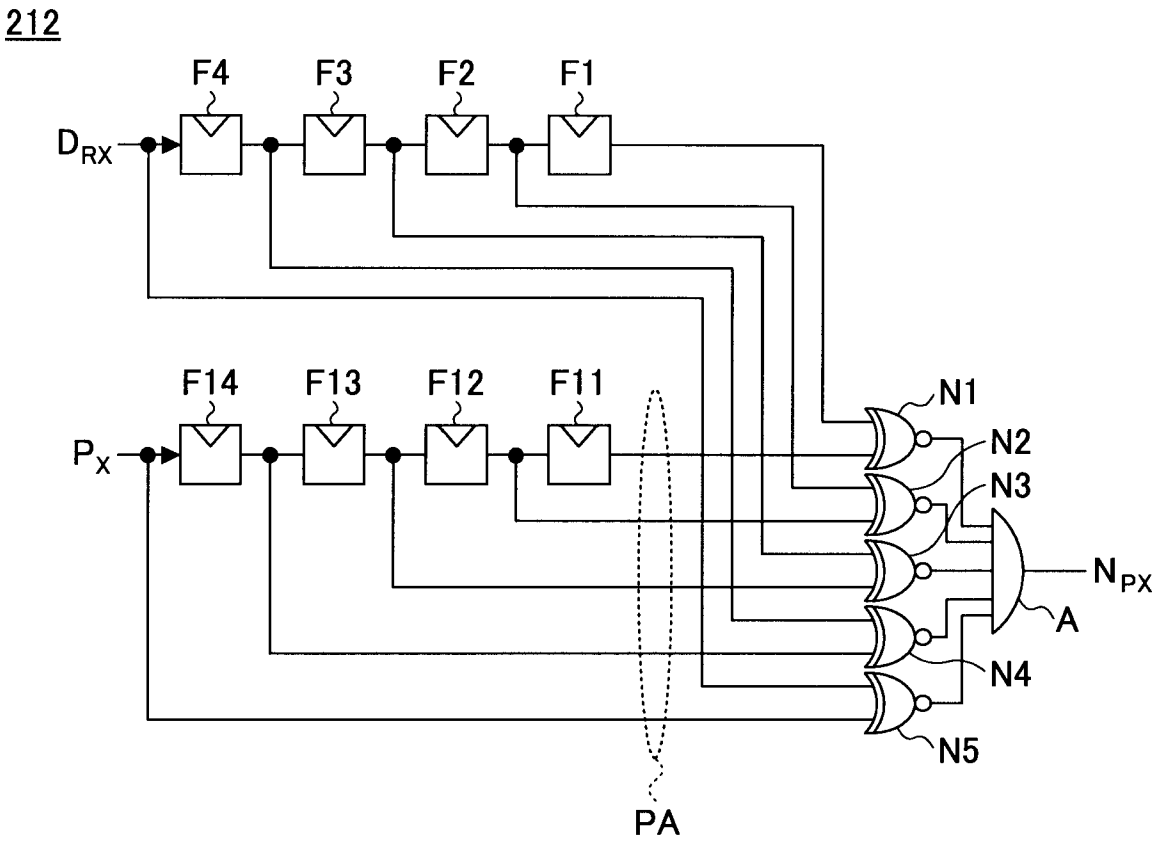
[図9]



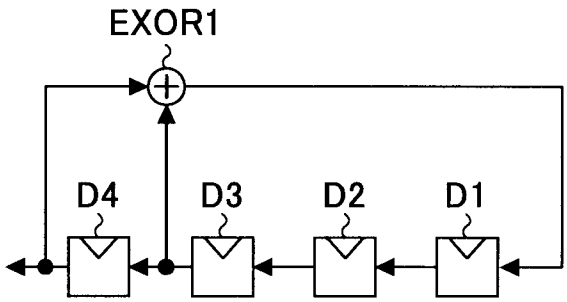
[図10]


S33
S32
S31
S47
S46
S45
S44
S43
S42
S41
01110
00111
S_{T0}
S_{T1}
P_0
P_1

[図11]


212
F4
F3
F2
F1
D_{RX}
F14
F13
F12
F11
P_X
N1
N2
N3
N_{PX}
A
N4
N5
PA

[図12]


EXOR1
D4
D3
D2
D1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/056368

A. CLASSIFICATION OF SUBJECT MATTER
H04L7/00(2006.01)i, *H03K19/0175*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04L7/00-7/10, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-164037 A (NEC Corp.), 19 June, 1998 (19.06.98), Full text; all drawings (Family: none)	1-7
A	JP 2004-185608 A (Matsushita Electric Industrial Co., Ltd.), 02 July, 2004 (02.07.04), Full text; all drawings & US 2004/0189360 A1 & CN 1503139 A	1-7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 April, 2009 (13.04.09)	21 April, 2009 (21.04.09)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０５６３６８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04L7/00(2006.01)i, H03K19/0175(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04L7/00-7/10, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 10-164037 A（日本電気株式会社）1998.06.19, 全文, 全図 （ファミリーなし）	1-7
A	JP 2004-185608 A（松下電器産業株式会社）2004.07.02, 全文, 全図 & US 2004/0189360 A1　　& CN 1503139 A	1-7

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １３．０４．２００９	国際調査報告の発送日 ２１．０４．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｋ　３３６３ 白井　亮 電話番号　０３－３５８１－１１０１　内線　３５５６