(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04N 3/16

(45) 공고일자 2001년10월24일
(11) 등록번호 10-0296434
(24) 등록일자 2001년05월10일

(21) 출원번호 10-1993-0002669
(22) 출원일자 1993년02월25일

(65) 공개번호 특1993-0020950
(43) 공개일자 1993년10월20일

(30) 우선권주장 843,062 1992년03월02일 미국(US)

(73) 특허권자
톰슨 콘슈머 일렉트로닉스, 인코포레이티드
크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자
카알루돌프코블리츠
프랑스공화국,메일랑38240,쉬멩드베르비에르,24
제임스알버트윌버
미합중국,인디아나46219,인디아나폴리스,노오스알링톤애비뉴931
엔리큐로드리게즈-카바조스
미합중국,인디아나46236,인디아나폴리스,골프코오스드라이브11852

(74) 대리인
나영환
도두형

심사관 : 변형철

(54) 비디오디스플레이편향장치용서비스스위치

요약

D.C.결합된 수직 편향 회로의 톱니파 신호 발생기(18)는 서비스 모드 동작 동안 수직 센터링을 나타내는 D.C.레벨의 제 1신호(VCENT)에 응답한다. 서비스 모드 동작 동안, 톱니파 신호(VRAMP)의 발생은 디세이블되며, 그 대신 톱니파 신호 발생기는 수직 편향 증폭기(11a, 제 1c도)를 거쳐 디스플레이 스크린의 수직 중앙에서 전자빔의 위치를 정하도록 수직 편향 권선(Ly)에 D.C.결합된다.

대표도
도 1a

명세서

[발명의 명칭]

비디오 디스플레이 편향 장치용 서비스 스위치

[도면의 간단한 설명]

제 1a도, 제 1b도 및 제 1c도는 본 발명의 특징을 구체화한 수직 편향 회로를 도시한 도면.

제 2a도 내지 제 2d도는 제 1도 구성의 이상적인 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 수직 타이밍 발생기 12 : 플립-플롭

13,31 : 스위치 14,22 : 커패시터

15,21,23,32,50,52 : 전압/전류 변환기

16,51,53 : 디지탈/아날로그 변환기

17 : 마이크로 프로세서 18 : 증폭기

19 : 비교기 20 : OR 게이트

30 : 버스 인터페이스 49 : 음극선관(CRT)

[발명의 상세한 설명]

본 발명은 비디오 디스플레이 장치에 관한 것으로, 특히 편향을 디세이블하는 서비스 모드 회로에 관한 것이다.

통상적으로, 텔레비젼 수상기에서 수직 편향 회로의 수직 톱니파 발생기는 D.C. 전류원으로부터 충전되는 전류 적분 커패시터를 이용하여 수직 동기 신호와 동기화되는 출력 톱니파 신호의 램프파 트레이스 부분을 생성한다. 톱니파 신호의 트레이스 부분은 음극선관(CRT)에서 수직 편향을 발생하는 수직 편향 전류의 트레이스 부분을 제어한다.

D.C.결합된 수직 편향 회로에서, 톱니파 신호는 수직 편향 증폭기의 입력단에 D.C.결합된다. 증폭기에 의해 생성되는 수직 편향 전류의 크기를 나타내는 피드백 시호는 음(negative)의 피드백 방식으로 증폭기의 입력단에 D.C.결합된다.

텔레비젼 수신기의 제조 및 조립동안, 음극선과의 적, 청, 녹색으로 지정된 전자빔이 음극선관의 디스플레이 형광면상에 적당한 컬러 이미지를 생성하는 방식으로 발생되도록 비디오 구동 회로를 적당한 레벨로 조절하는 것이 필요하거나 바람직할 수 있다. 그러한 조절은 통상적으로 수직 편향 회로가 디세이블되어 있는 동안 행해진다. 결과적인 단일 수평 라인은 전자빔의 구동 및 차단(cutoff) 레벨을 설정할 때에 완전한 라스터 필드보다 더 쉽게 관찰된다. 디세이블링 기능을 행하는데 이용되는 회로를 통상적으로 서비스 스위치라고 칭하고 있다. D.C.결합된 수직 편향회로에서 그러한 디세이블링 기능을 행하는 것이 바람직할 수 있다.

본 발명의 양상을 구체화한 수직 톱니파 발생기는 수직 편향 증폭기에 D.C.결합된다. 정상 동작 중에는 톱니파 신호의 평균값을 나타내는 전압이 발생되며 서비스 모드 동작이 필요할 때 그 전압을 이용할 수 있다. 서비스 모드 제어 신호는 서비스 모드 동작이 필요할 때 발생된다. 서비스 모드 제어 신호가 발생될 경우, 톱니파 신호의 발생은 디세이블된다. 서비스 모드 동작 중에는 톱니파 발생기가 평균값 신호에 응답하여 D.C.출력 신호를 생성하는데, 상기D.C.출력 신호는 CRT 의 수직 중앙에서 전자 빔의 위치를 정하는 데 필요한 크기로 수직 편향 증폭기에 D.C.결합된다.

본 발명의 양상을 구체화한 비디오 디스플레이 편향 장치는 톱니파 신호를 발생하기 위한 톱니파 발생기를 포함한다. 편향 회로 증폭기는 톱니파 신호에 응답하고, 음극선관의 넥에 장착된 수직 편향 권선에 접속되어 톱니파 신호에 따라 편향 권선에서 수직 편향 전류를 발생시킨다. 편향 전류는 정상 동작동안 음극선관의 스크린상에서의 빔 스폿 위치를 수직 방향으로 주기적으로 변화시킨다. 본 발명에 따른 편향 장치는 또한 서비스 모드 제어 신호를 발생한다. 빔 스폿의 수직 위치 변화는 디세이블링되며, 정상 동작 수직 센터링을 나타내는 신호는 스크린의 수직중앙에 빔 스폿을 위치시키도록 증폭기의 입력단과 출력단 사이에 형성된 신호 경로를 거쳐 편향 권선에 인가된다.

제 1a도, 제 1b도 및 제 1c도는 톱니파 발생기(100)를 포함하여 본 발명의 특징을 구체화한 수직 편향 회로를 일부 블록도 형태로 도시한 도면이다. 예를 들어, 도시되지는 않았지만 NTSC 표준 방식에 따라 텔레비젼 신호를 처리하는 텔레비젼 수상기의 비디오 검출기에 의해 생성되는 동기 신호(SYNC)는 수직 타이밍 발생기(10)에 인가된다. 수직 타이밍 발생기(10)는 제 2a도에 도시된 바와 같은 수직 레이트 펄스 신호(VRESET)를 발생시킨다. 제 1a도, 제 1b도, 제 1c도 및 제 2a도 내지 제 2d도에서 동일 부호 및 번호는 도일한 구성 요소 또는 기능을 나타낸다.

제 1a도의 펄스 신호(VRESET)는 R-S 플립-플롭(12)의 " 세트" 입력단(S)에 인가되어 R-S 플립-플롭(12)으로 하여금 상태를 변화시키게 한다. 그 결과, R-S 플립 -플롭(12)의 출력(Q)은 출력 제어 신호(112a)의 리딩 에지(LE)를 생성하게 된다. 신호(VRESET 및 112a)의 리딩 에지는 소정이 수직 트레이스 구간의 종료시에 발생하며 수직 리트레이스를 개시한다. 신호(112a)는 전류 스위치(13)의 제어 단자(13a)에 인가된다. 리딩 에지(LE)의 직후에. 스위치(13)는 신호(112a)에 의해 D.C. 전류(IDRAMP)를 집적회로(IC) 제조 기술을 이용하여 제조된 적분 커패시터(14)의 접점 단자(18a)에 공급한다.

전류(IDRAMP)는 디지탈/아날로그(D/A) 변환기(16)에서 생성된 전압(VRSLOPE)에 의해 제어되는 전압/전류(V/I) 변환기(15)에서 생성된다. D/A 변환기(16)로 입력되는 디지탈 데이타는 마이크로 프로세서(17)로부터 버스(BUS)를 거쳐 공급된다. 마이크로 프로세서(17)는 도시되지는 않았지만 텔레비젼 수상기에서 S-세이핑 (S-shaping) 및 좌우 보정과 같은 여러가지 조정 기능을 또한 제어할 수 있다. 적분 커패시터(14)의 제 2단자(18b)는 증폭기(18)의 출력단에 접속되고, 상기 증폭기(18)에서는 톱니파 신호(VRAMP)가 발생된다. 전류(IDRAMP)는 제 2b도의 톱니파 신호(VRAMP)의 리트레이스 부분(RETRACE)을 형성한다. 제 1a도의 커패시터(14)의 단자(18a)는 증폭기(18)의 반전 입력 단자에 접속되어 전류 적분기를 형성하게 된다.

제 1a도의 신호(VRAMP)느는 또한 비교기(19)의 비반전 입력 단자에 인가되고, 상기 비교기(19)의 RETRACE 부분 동안 신호(VRAMP)의 레벨을 감지하여 신호(VRAMP)의 RETRACE 부분의 종료 시간을 결정한다. 비교기(19)의 반전 입력 단자는 다음에 설명하는 방식으로 발생되는 D.C. 기준 전압(VLOW)의 전압원에 접속되어 있다. 비교기(19)의 출력 단자(19a)는 " OR" 게이트(20)를 거쳐 R-S 플립 -플롭(12)의 " 리세트" 입력단(R)에 접속된다.

전류(IDRAMP)에 의해 신호(VRAMP)가 램프 다운(famp down)하여 전압(VLOW)과 동일한 레벨에 도달하는 경우, 비교기(19)는 R-S 플립-플롭(12)으로 하여금 상태를 변화시키고 출력단(Q)에서 신호(112a)의 트레일링 에지(TE)를 발생하게 하는 출력 신호를 생성한다. 그 다음에, 전류(IDRAMP)는 스위치(13)에 의해 커패시터(14)로 부터 분리된다.

전류(IDRAMP)의 크기는 신호(VRAMP)의 RETRACE 부분의 요구되는 리트레이스 기울기 또는 길이를 제공하도록

D/A 변환기에 입력되는 디지탈 데이타값에 따라 프로그램될 수 있다. 예를 들어, 도시되지는 않았지만 스위칭된 수직 편향 회로를 제어하기 위한 제 1a도와 유사한 구성에서, V/I 변환기(15)는 제 1a도에서보다도 작은 크기의 전류(IDRAMP)를 생성하도록 프로그램될 수 있다. 이러한 방식으로, RETRACE 부분은 제 1c도에 도시된 바와 같이 스위칭되지 않은 수직 편향 회로를 제어하기 위해 사용되는 RETRACE 부분의 길이에 비해 제 2b도에 점선으로 도시된 바와 같이 그 길이가 늘어나게 된다. 따라서, 제 2b도에 도시된 신호(VRAMP)의 리트레이스(RETRACE) 부분은 스위칭된 수직 편향 회로 또는 스위칭 되지 않은 수직 편향 회로에 대해 동작하기에 적합하게 될 수 있다.

만일 제 1a도 신호(VERSET)의 펄스폭이 신호(VRAMP)의 RETRACE 부분의 길이보다 더 짧다면, 신호(VRESET)의 트레일링 에지의 정확한 타이밍은 바람직하게도 중요하지 않게 된다. 정확한 트레일링 에지의 타이밍이 중요하지 않게 됨에 따른 장점은 비표준 및 표준 동기 신호(SYNC) 모두를 처리하기 위해 필요한 타이밍 발생기(10)가 단순화될 수 있다는 것이다. 비표준 동기 신호(SYNC)는 정지 프레임(freeze frame) 또는 정지 화상 방식으로 동작하는 비디오 테이프 레코더로부터 수신될 수 있다.

전류(IDRAMP) 보다 실질적으로 작은 D.C. 전류(IURAMP)는 V/I 변환기(21)에 서 생성된다. 신호(112a)의 트레일링 에지(TE) 후, 커패시터(14)의 단자(18a)에 접속되는 전류(IURAMP)는 제 2b도의 톱니파 신호(VRAMP)의 램프 트레이스 부분(TRACE0)을 생성하도록 커패시터(14)를 충전시킨다. 제 1a도에 있는 V/I 변환기(21)의 전류(IURAMP) 크기는 커패시터(22) 양단에서 발생된 전압(VAGC)에 의해 자동 이득 제어(AGC) 피드백 루프에서 제어된다. 전압(VAGC)은 이 전압(VAGC)이 더 큰 양(+)으로 될수록 전류(IURAMP)가 더 작아지도록 변환기(21)를 제어한다. AGC 스트로브 신호(AGCSTR)는 스위치(24)의 제어 단자(24a)에 인가된다.

신호(AGCSTR)는 수직 트레이스의 종료 시점 부근에서 수직 타이밍 발생기(10)에서 생성된다. 신호(AGCSTR)는 예를 들어, 수평 비디오 라인의 길이 즉 64 μsec 와 동일한 펄스폭을 갖는다. 신호(AGCSTR)의 펄스 발생 동안, V/I 변환기(23)에서 발생되는 전류(IOUT)는 스위치(24)를 거쳐 커패시터(22)에 인가된다. 신호(AGCSTR)의 펄스가 발생되지 않는 동작, 커패시터(22)는 그 전압을 대체로 일정 레벨로 유지하여 샘플 홀드 동작(sample-and-hold- operation)을 제공한다. V/I 변환기(23)에서 제어되는 전류(IOUT)의 크기는 다음에 설명하는 방식대로 생성되는 신호(VRAMP)와 기준 전압(VHIGH)간의 차이에 비례한다.

정해진 트레이스 구간 동안, 스트로브 신호(AGCSTR)가 발생할 때 신호(VRAMP)의 크기가 전압(VRAMP)보다 작은 경우, 전류(IOUT)는 양이 되고 그 크기는 전압(VHIGH)과 신호(VRAMP) 간의 차이에 비례한다. 양의 전류(IOUT)는 커패시터(22)에서 전압(VAGC)의 감소를 야기한다. 그 결과, 그 다음 수직 트레이스 구간에서 전류(IURAMP)는 보다 커지게 되고, 신호(VRAMP)의 증가율은 요구되는 것보다 작아지게 되는 신호(VRAMP)의 상술한 경향을 보상하는 방식으로 이전 보다 더 커질 것이다.

이와 달리, 신호(AGCSTR)의 펄스가 발생할 때 신호(VRAMP)의 크기가 전압(VHIGH)보다 더 커지게 된다면, 전류(IURAMP)는 후속 수직 트레이스 구간에서 더 작아지게 된다. 따라서, 스토로브 신호(AGCSTR)가 발생할 때, AGC 피드백 루프로 인해 신호(VRAMP)의 크기는 전압(VHIGH)과 동일 레벨에 있게 된다. 정상 상태 동작에서, 전류(IOUT)의 극성은 제 2d도에 도시된 바와 같이 신호(AGCSTR)의 펄스 중앙에서 변하게 된다.

회로가 동작하는 즉시, 커패시터(22)는 완전히 방전된다. 커패시터(22)는 전압(VCC)에 접속되어 있다. 따라서, 전원이 턴온되는 즉시, 전압(VAGC)은 전압(VCC)과 동일해지고 램프파 신호(VRAMP)의 진폭은 최소 또는 제로(0)에 있

게 된다. 그 대신 커패시터(22)가 접지되어 있다면, 전원의 턴온 상태에서 신호(VRAMP)의 진폭은 과도하게 커질 것이다. 신호(VRAMP)의 과도 진폭은 과도한 편향 전류 진폭을 야기한다. 그 결과, CRT(49)에서의 전자빔이 CRT(49)의 넥(neck)에 충돌하여 CRT(49)를 손상시키는 결과를 초래할 수 있다.

신호(AGCSTR)는 수직 트레이스 부분(TRACE)의 중앙에서 멀리, 즉 가능한 한 수직 트레이스의 종료 시점에 근접하게 발생하도록 이루어진다.이러한 방식으로, 신호(VRAMP)의 레벨이 전압(VLOW)과 동일하게 되는 순간과 신호(AGCSTR)가 발생되는 순간간의 구간의 길이는 예를 들어 가능한 최대의 길이가 된다. 신호(VRAMP)의 사이클 내에서 신호(AGCSTR)가 얼마나 뒤늦게 발생할 수 있는지에 대한 상한선은 신호(VRAMP)의 수직 사이클의 최소 필요 길이에 의해 결정된다. 일례로, 신호(AGCSTR)는 제 2c도에 도시된 바와 같이 신호(112a)의 트레일링 에지(TE)로부터 공칭 수직 주기 V의 80% 길이를 갖는 구간(T)이 경과된 후에 발생하도록 선택된다.

시간(CENTER)은 TRACE 부분의 중앙에서 발생한다. 제 2b도의 시간(CENTER)에서 멀리 벗어난 시간에서, 신호(VRAMP)의 레벨은 그 피크값에 가까워진다. 따라서, 정확도를 제어하기 위한 오프세트 에러의 상대적인 기여도는 신호(AGCSTR)가 예를 들어, 시간(CENTER)에서 발생하는 상황에 비해 감소된다. 이로써, 바람직하게도 제 1a도의 신호(VRAMP)를 보다 정확하게 제어할 수 있다.

신호(VRAMP)는 도시되지 않은 방식으로 S-세이핑을 제공하도록 보정된 파형이며, 예를 들어 제 1c도에 도시된 D.C. 결합 선형 수직 편향 회로(11)에 D.C. 접속 되는데, 상기 수직 편향 회로(11)는 수직 편향 권선(Ly)에 수직 편향 전류(iy)를 생성하기 위하 수직 증폭기(11a)를 포함한다. 제 1c도의 권선(Ly)은 CRT(49)에서의 수직 편향을 제공한다. 바람직하게도, D.C. 결합은 큰 용량의 A.C. 결합 커패시터에 대한 필요성을 제거하며, 결합 커패시터 특성에 대한 S자 보정(S-correction)및 선형성 종속(a dependency of lineraity)을 제거한다.

제 1b도는 앞서 언급한 제 1a도의 전압(VHIGH 및 VLOW)을 발생하고, 다음에 설명하는 수직 센터링 조정용으로 사용되는 전압(VCENT)을 발생하기 위한 장치(101)를 도시한 것이다. 이 장치(101)는 하나의 단자가 7.7V의 전원 전압(VCC)에 접속된 저항(R9)을 포함한다. 저항(R9)의 제 2단자(101a)는 저항(R8)에 접속된다. 저항(R8)의 단자(101c)와 단자(101b)사이에 접속된다. 저항(R5)은 단자(101b)와 접지 사이에 접속된다. 제 2직렬 접속 저항(R11A, R10A)은 단자(101b)와 단자(101c)사이에서 직렬 접속 저항(R7,R6)과 병렬로 접속된다.

전압(VLOW)은 단자(101b)에서 발생된다. 전압(VHIGH)은 단자(101c)에서 발생되며, 전압(VCENT)은 저항(R11A)과 저항(R10A) 사이의 단자(101d)에서 발생된다.

제 1a도의 마이크로 프로세서(17)로부터 버스(BUS) 및 D/A 변환기(53)를 거쳐 수신되는 입력 데이타에 의해 제어되는 V/I 변환기(52)는 제 1b도의 D.C. 전류 (ICENTER)를 생성한다. 전류(ICENTER)는 저항(R6)과 저항(R7) 사이에 인가된다. 전류(ICENTER)는 수직 센터링을 조절하기 위해 전압(VLOW, VHIGH)을 조절함으로써 신호(VRAMP)의 평균값의 조정을 행한다. 신호(VRAMP)의 평균값은 전압(VCC)의 1/2 값과 동일하다. 신호(VRAMP)는 제 1c도의 권선(Ly)에 D.C. 결합되기 때문에, 신호 (VRAMP)의 평균값의 변화는 전자빔의 수직 센터링에서 대응하는 변화를 야기한다.

제 1a도의 마이크로 프로세서(17)로부터 버스(BUS) 및 제 1b도의 D/A 변환기 (51)를 거쳐 수신되는 입력 데이타에 의해 제어되는 제 1b도의 V/I 변환기(50)는 다이오드 형태로 접속된 트랜지스터(Q1)의 베이스와 콜렉터에 인가되는

제 1b도의 D.C. 전류(IHEIGHT)를 생성한다. 트랜지스터(Q1)의 베이스와 콜렉터는 트랜지스터(Q3)의 베이스에 접속되어 전류(IHEIGHT)와 동일한 트랜지스터(Q3)의 콜렉터 전류를 제어한다. 트랜지스터(Q3)의 콜렉터는 저항(R5)과 저항(R6) 사이의 단자(101b)에 접속된다. 트랜지스터(Q4)의 콜렉터, 베이스 전극들은 다이오드 구성으로 함께 접속되며, 또한 트랜지스터(Q3)의 전류를 공급해주기 위해 트랜지스터(Q3)의 에미터와도 접속된다. 트랜지스터(Q4)의 에미터는 저항(R2)을 거쳐 단자(101a)에 접속된다. 트랜지스터(Q2)의 베이스는 트랜지스터(Q4)의 베이스 및 콜렉터에 접속된다. 트랜지스터(Q2)의 에미터는 저항(R1)을 거쳐 단자(101a)에 접속된다. 트랜지스터(Q2)의 콜렉터는 트랜지스터(Q1)의 콜렉터 전류를 공급하기 위한 트랜지스터(Q1)의 에미터에 접속된다.

트랜지스터(Q1,Q2,Q3,Q4)는 온도 보상 전류 미러 구성을 형성한다. 저항(R1) 및 저항(R2)에 각각 흐르는 트랜지스터(Q2,Q4)의 에미터 전류의 합은 단자(101a)를 통해 공급되며 그 값의 전류(IHEIGHT)의 2배 값과 동일하다. 그 반면에, 단자(101b)에 인가되는 트랜지스터(Q3)의 콜렉터 전류는 전류(IHEIGHT)와 동일하다.

전류(IHEIGHT)의 레벨은 전압(VHIGH, VLOW)의 레벨을 설정함으로써 제 1a도의 신호(VRAMP)의 요구되는 피크-피크 진폭을 설정하도록 제어된다. 전류(IHEIGHT)를 조절하면 전압 VHIGH와 VLOW는 반대 방향으로 변한다.

전류(IHEIGHT)의 변화는 수직 센터링에 영향을 미치지 않고 수직 높이 조절을 제공하기 위한 신호(VRAMP)의 피크-피크 진폭의 변화를 야기한다. 예를 들어, 제 1b도의 전류(IHEIGHT)가 증가하면 전압(IVRAMP)의 평균값과 전압(VCENT)의 레벨이 전류(IHEIGHT)의 증가에 의해 영향을 받지 않고 유지되도록 전압(VHIGH)은 감소하고 전압(VLOW)은 증가한다. 이러한 바람직한 특징은 트랜지스터(Q1,Q2,Q3,Q4)에 의해 생성되어 단자(101a, 101b)에 인가되는 전류뿐만 아니라 장치(101)에서의 저항들에 적당한 값을 선택해 주므로써 성취된다.

전류(ICENTER)의 레벨은 전압 VLOW 및 VHIGH가 동일 방향으로 변할 수 있도록 버스 BUS 를 통해 제어된다. 예를 들어, 라스터 센터링 조절을 위해 전류(ICENTER)를 증가시킴으로써 각각의 전압(VHIG, VLOW)을 감소시킬 수 있다.

또한, 장치(101)에서의 저항값은 제 1a도의 신호(VRAMP)의 피크-피크 진폭이 제 1b도의 전류(ICENTER)의 조정 후에 대략 동일한 값을 유지하게끔 선택된다. 따라서, 수직 센터링 조정은 수직 높이에 영향을 미치지 않게 된다. 바람직하게도, 신호(VRAMP)의 피크-피크 진폭과 신호(VRAMP)의 평균값은 서로 무관하게 조절될 수 있다.

제 1c도의 편향 회로에 있어서, 편향 권선(Ly)은 편향 전류 샘플링 저항 (R80)과 직렬로 접속되어 증폭기(11a)의 출력 단자(11b)와 전원 비결합 커패시터 (C6)의 접합 단자(11c)사이에서 직렬 접속 구성을 형성한다. 저항(R70)은 예를 들어, +12V의 전원 전압(V+)을 단자(11c0에 공급한다. 권선(Ly)과 저항(R80) 사이에 접속된 접합 단자(11d)는 피드백 저항(R60)을 거쳐 증폭기(11a)의 반전 입력 단자에 접속된다. 저항(R80)의 단자(11c)는 저항(R30)을 거쳐 증폭기(11a)의 비반전 입력 단자에 접속된다.이러한 방식으로, 저항(R80) 양단에서 발생되는 음의 피드백 전압이 증폭기(11a)의 입력 단자에 인가된다. 증폭기(11a)를 제어하는 톱니파 신호(VRAMP)는 병렬 접속된 저항(R4,R50)을 거쳐 증폭기(11a)의 반전 입력 단자에 인가된다. 전압(VCC)은 저항(R10)을 거쳐 증폭기(11a)의 비반전 입력 단자에 접속된다. 저항(R20)은 증폭기(11a)의 비반전 입력 단자와 접지 사이에 접속된다.

저항(R10,R20,R30,R40,R50,R60)은 정확한 온도 트래킹(tracking)을 제공하기 위한 단일 저항 네트워크 패키지를 형성하도록, 예컨대 공통 기판상에 배치되어 있다. 각각의 저항(R10,R20,R30,R40,R50,R60)은 예를 들어 0.5%의 허용 공차를 갖는다. 저항(R10,R20,R30)은 전압(VCC)과 단자(11c)에서 발생되는 전압을 증폭기(11a)의 비반전 입력 단자로 인가하기 위한 저항 네트워크의 제 1부분을 형성한다. 저항(R40,R50,R60)은 신호(VRAMP)와 단자(11d)에서의 편향 전류 표시 피드백 신호를 증폭기(11a)의 반전 입력 단자에 인가하기 위한 저항 네트워크의 제 2부분을 형성한다.

제 1b도의 장치(101)이 엘레먼트값은 제 1c도의 신호(VRAMP)의 평균값이 전압(VCC)의 1/2 값과 거의 동일하게끔 선택된다. 단자(11d)와 단자(11c)에서의 전압은 신호(VRAMP)의 레벨이 전압(VCC)의 1/2 값과 동일할 때 동일하게 된다. 따라서, 신호(VRAMP)와 저항(R40,R50,R60)을 포함하는 회로부의 증폭기(11a)의 반전 입력 단자에 대한 테브난 등가 회로는 전압(VCC)과 저항(R10,R20,R30)을 포함하는 회로부의 증폭기(11a)의 비반전 입력 단자에 대한 테브난 등가 회로와 동일하다, 따라서, 그 평균값 또는 전압(VCC)의 1/2 값과 동일한 신호(VRAMP)는 대체로 0 또는 0 에 가까운 편향 전류(iy)를 생성한다. 신호(VRAMP)는 거의 대칭인 음 및 양의 피크 진폭을 갖는 전류(iy)를 생성한다.

증폭기(11a)의 비반전 입력 단자에 관한 테브난 등가 회로에서 각 저항(R10,R20,R30)의 역할은 반전 입력 단자에 관한 테브난 등가 회로에서 각 저항 (R40,R50,R60)의 역할과 동일하다. 이는 정해진 저항쌍(R10,R40), (R20,R50) 및 (R30,R60)의 각각의 저항쌍 내의 저항이 동일한 값으로 되어 있기 때문이다. 바람직하게도, 각 저항쌍 내의 저항이 동일한 값으로 되어 있기 때문에 각 저항쌍 내의 저항이 동일하지 않은 값으로 되어 있는 경우보다도 더 정확하고 우수한 매칭 및 온도 트래킹을 얻을 수 있다. 제조 공정에 있어서 개개의 저항들이 동일한 값으로 되어 있을 경우 50 ppm/℃와 같은 정확한 온도 트래킹 계수를 갖는 이들 개개의 저항이 쌓을 구성하는 것이 더욱 용이하기 때문에 이러한 정확한 온도 트래킹이 가능하다. 전압(VCC)의 1/2 값과 동일한 신호(VRAMP)의 평균값을 설정함으로써, 저항쌍(R10,R40)은 동일값의 저항으로 구성될 수 있으며 또한, 저항쌍(R20,R50)도 동일값의 저항으로 구성될 수 있다.

바람직하게도 각 쌍에서의 저항이 동일한 값으로 되어 있기 때문에, 전류 (iy)로 인해 커패시터(C6)의 단자(11c)에서 발생되는 수직 레이트 파라볼라 전압에 대한 공통 모드 거부(common mode rejection)와 공급 전압(V+)의 변화에 대한 공통 모드 거부 및 공급 전압(VCC)의 변화에 대한 공통 모드 거부는 약간의 온도 의존성을 갖는다. 따라서, 편향 전류(iy)에서의 왜곡 및 D.C. 전류 유동은 바람직하게도 예를 들어, 0℃ 내지 40℃의 전체 동작 온도 범위 내에서 감소된다. 예를 들어, 온도 변화로 인한 전압(VCC)의 변화는 증폭기(11a)의 반전 입력 단자에 인가되는 신호(VRAMP)의 평균값과 증폭기(11a)의 비반전 입력 단자에 인가되는 D.C. 전압(VCC)의 일부가 동일한 방향으로 대략 동일한 양만큼 변하게 한다. 따라서 바람직하게도, D.C. 센터링은 전압(VCC)의 변화에 영향을 적게 받는다.

텔레비젼 수상기 분야 조정 또는 공장 조정을 위하여는, 수직 라스터를 붕괴시키고 제 1c도의 CRT(49)에서의 전자빔을 디스플레이 스크린의 수직 중심에서 또는 이에 인접하여 설정하는 것이 바람직하다.

본 발명에 따르면, 마이크로 프로세서(17)에 의해 발생된 입력 데이타로부터 버스 인터페이스 유닛(30)에서 생성되는 제 1a도의 신호(SERVICE)는 서비스 모드 동작동안 " OR" 게이트(20)를 거쳐 플립-플롭(12)의 " 리세트" 입력단(R)에 인가된다. 그 결과, 전류(IDRAMP)는 커패시터(14)와 분리된다. 대신에, 스위치(31)의 제어 단자(31a)에 인가되는 신호(SERVICE)로 인해 스위치(31)는 V/I 변환기(32)에서 생성된 전류(ISERV)를 커패시터(14)의 단자(18a)에 접속시킨다. V/I 변환기(32)는 상술한 방식으로 생성되는 신호(VRAMP)와 D.C. 전압(VCENT)간의 차에 비례하는 크기로 전류(ISERV)를 발생시킨다. V/I 변화기(32)를 거치는 음의 피드백의 결과로서, 신호(SERVICE)가 발생될 때 신호(VRAMP)는 전압(VCENT)과 동일한 일정한 레벨로 설정된다. 전압(VCENT)의 레벨에서의 신호(VRAMP)는 제 1c도에서 작은 또는 0의 D.C. 전류를 생성하는데, 이로 인해 CRT(49)의 스크린 수직 중앙에서 수직 라스터는 붕괴된다. 따라서, 도시되지는 않았지만 수평 편향 회로에 의해 생성되는 수평 주사는 CRT(49)의 디스플레이 스크린의 수직 중앙에서 연속적으로 발생한다.

(57) 청구의 범위

청구항 1.

음극선관(49)과;

톱니파 신호(VRAMP)를 발생하는 톱니파 발생기(14,18)와;

상기 톱니파 신호에 응답하고, 상기 음극선관의 넥에 장착된 수직 편향 권선 (Ly)에 접속되어 정상 동작 동안 상기 음극선관의 스크린상에서의 빔 스폿 위치를 수직 방향으로 주기적으로 변화시키는 수직 편향 전류(iy)를 상기 톱니파 신호에 따라 상기 편향 권선에서 발생하기 위한 편향 회로 증폭기(11a)를 구비하는 비디오 디스플레이 편향 장치에 있어서,

서비스 모드 제어 신호(SERVICE)를 발생하는 수단(17,31a)과;

상기 서비스 모드 제어 신호에 응답하여 상기 빔 스폿의 수직 위치 변화를 디세이블링하고, 상기 빔 스폿의 위치를 수직으로 중앙에 위치시키기 위해 정상 동작 수직 센터링을 표시하는 신호(VCENT)를 상기 편향 권선에 인가하는 수단(32,31)을 구비하는 것을 특징으로 하는 비디오 디스플레이 편향 장치.

청구항 2.

제 1항에 있어서,

상기 편향 회로(11a, Ly)는 상기 톱니파 신호(VRAMP)에 대해 D.C.결합 편향 회로를 형성하는 것을 특징으로 하는 비디오 디스플레이 편향 장치.

청구항 3.

제 2항에 있어서,

상기 수직 센터링 표시 신호(VCENT)는 상기 서비스 모드 제어 신호(SERVICE)가 발생될 때 상기 톱니파 발생기(18)를 거쳐 상기 편향 권선(Ly)에 D.C.결합되는 것을 특징으로 하는 비디오 디스플레이 편향 장치.

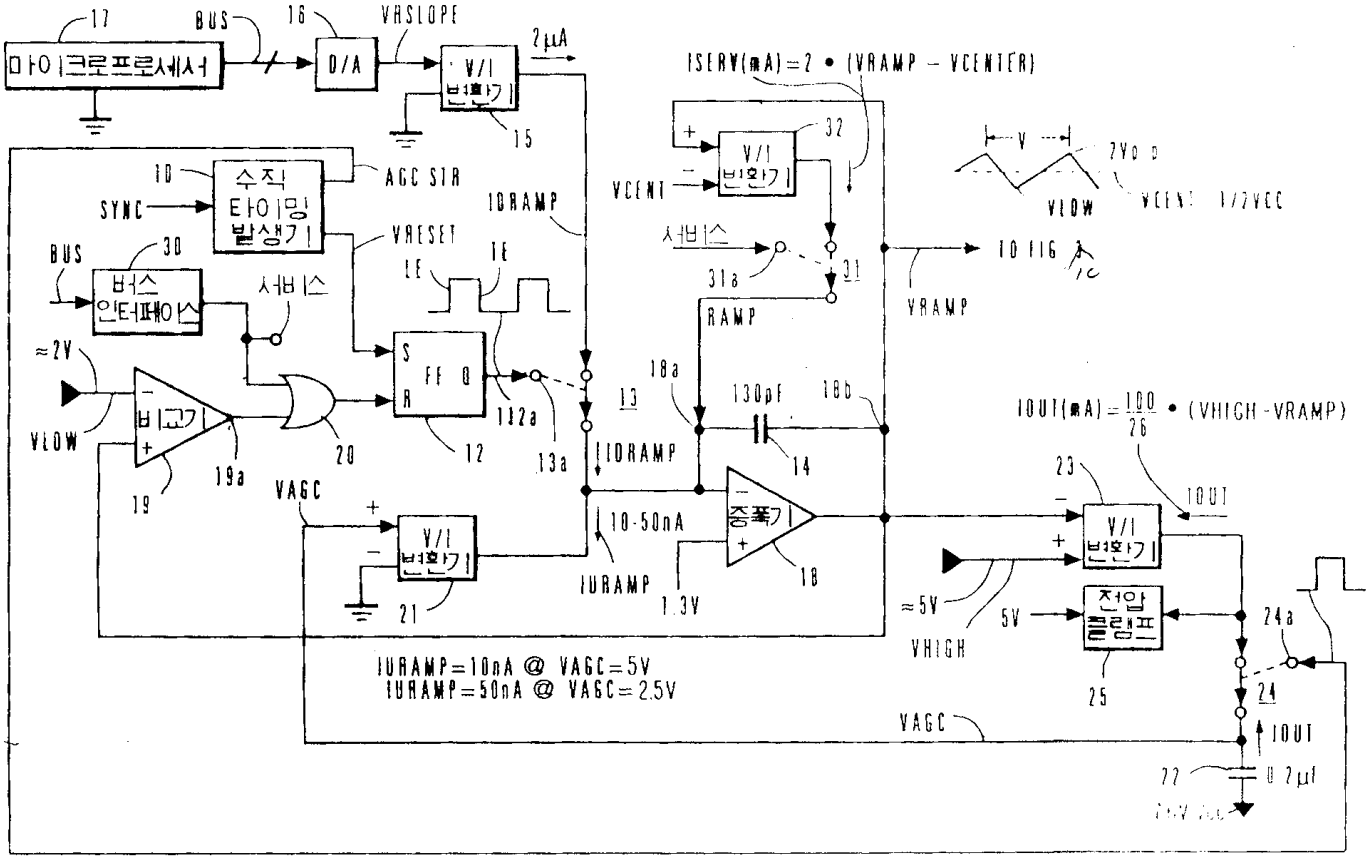
청구항 4.

제 1항에 있어서,

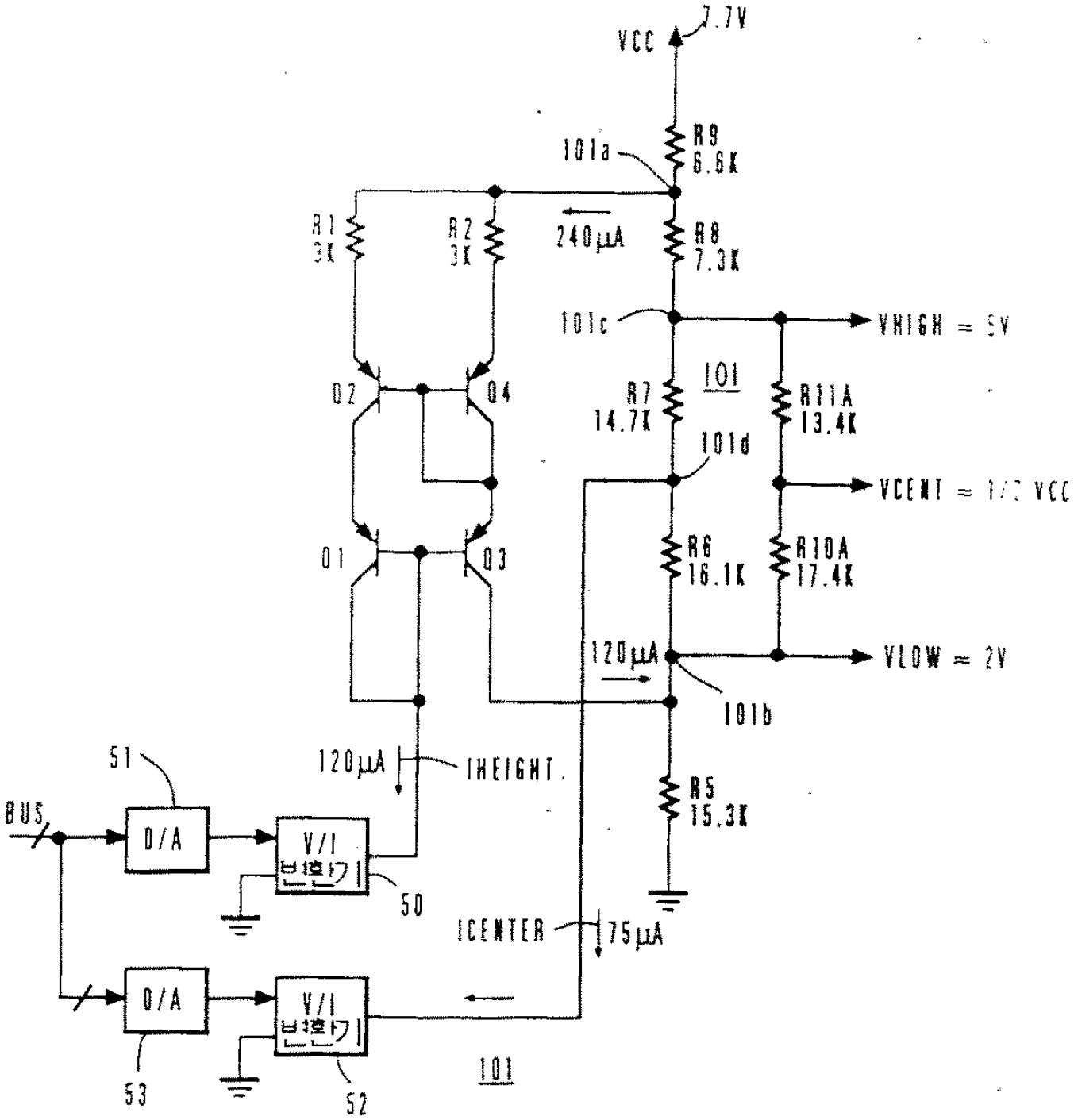
상기 수직 센터링 표시 신호(VCENT)는 상기 증폭기(18)의 입력단(반전 입력단자)과 출력단 사이에 형성된 신호 경로를 거쳐 상기 편향 권선(Ly)에 인가 되는 것을 특징으로 하는 비디오 디스플레이 편향 장치.

도면

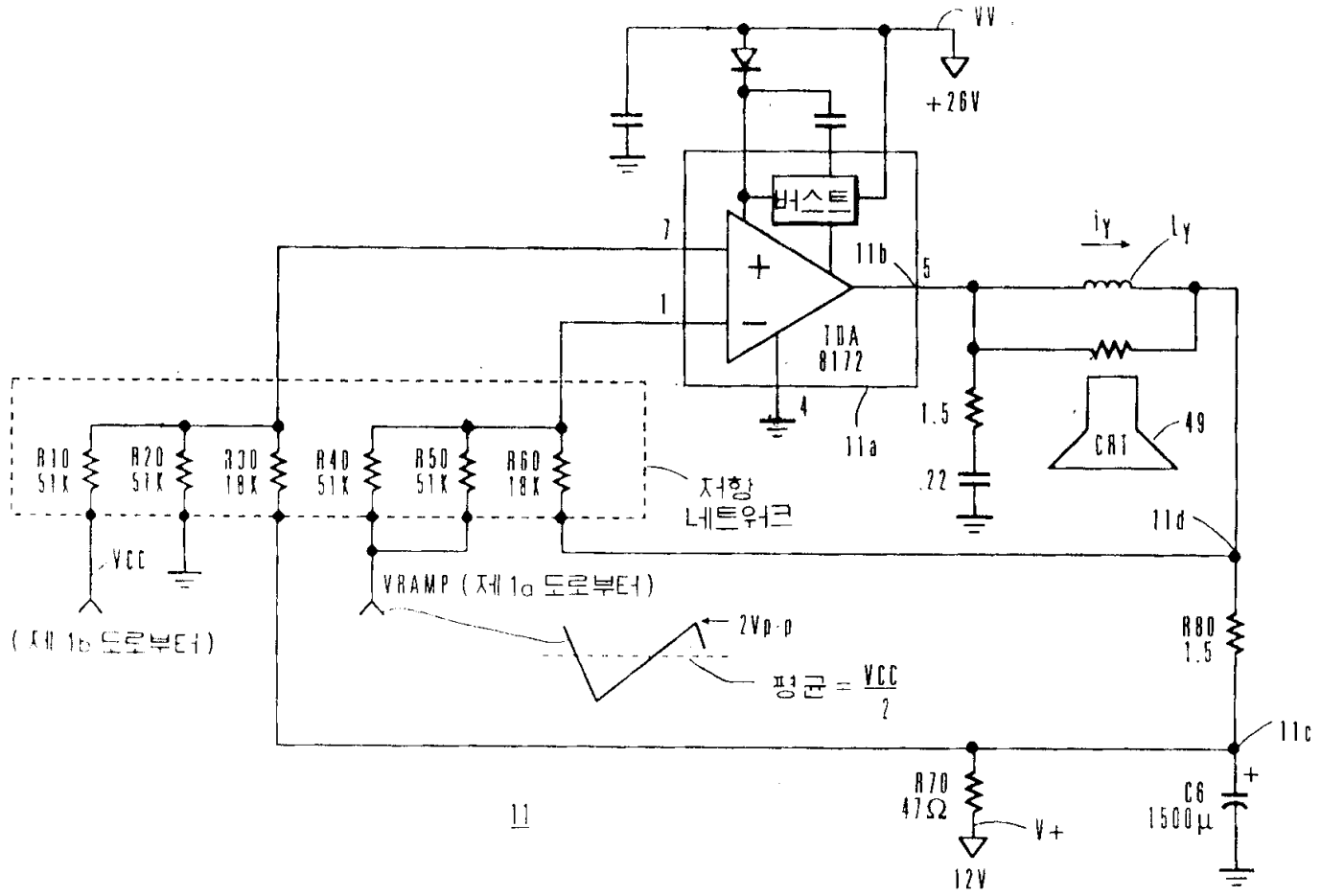
도면 1a


마이크로프로세서
17
BUS
16
D/A
VRSLOPE
V/I 변환기
15
2μA
ISERV(mA)=2 • (VRAMP − VCENTER)
32
V/I 변환기
VCENT
10
수직 타이밍 발생기
SYNC
AGC STR
IDRAMP
VRESET
BUS
30
버스 인터페이스
서비스
LE
IE
S
FF
Q
R
≈2V
VLOW
비교기
19
19a
20
12
112a
13a
13
IDRAMP
VAGC
V/I 변환기
21
10-50nA
IURAMP
1.3V
18a
130pF
18b
14
증폭기
18
서비스
31a
31
RAMP
VRAMP
TO FIG 1c
VLOW
VCENT 1/2VCC
IOUT(mA)=100/26 • (VHIGH-VRAMP)
23
IOUT
V/I 변환기
≈5V
VHIGH
5V
전압 클램프
25
24a
24
IOUT
22
0.2μf
IURAMP=10nA @ VAGC=5V
IURAMP=50nA @ VAGC=2.5V
VAGC

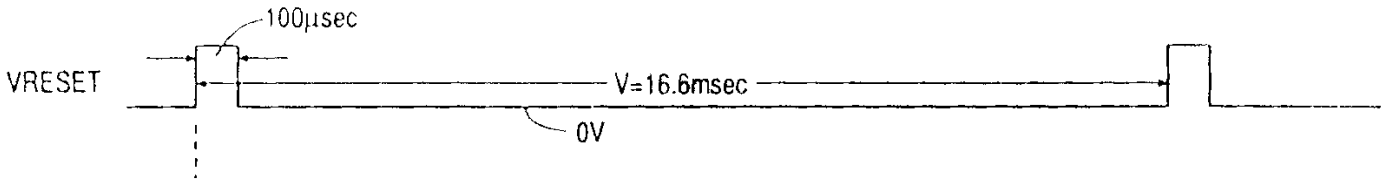
도면 1b


VCC
7.7V
R9
6.6K
101a
R1
3K
R2
3K
240μA
R8
7.3K
101c
VHIGH = 5V
Q2
Q4
R7
14.7K
101
R11A
13.4K
101d
VCENT = 1/2 VCC
Q1
Q3
R6
16.1K
R10A
17.4K
120μA
VLOW = 2V
101b
120μA
IHEIGHT
R5
15.3K
51
BUS
D/A
V/I
변환기
50
ICENTER
75μA
D/A
V/I
변환기
101
53
52

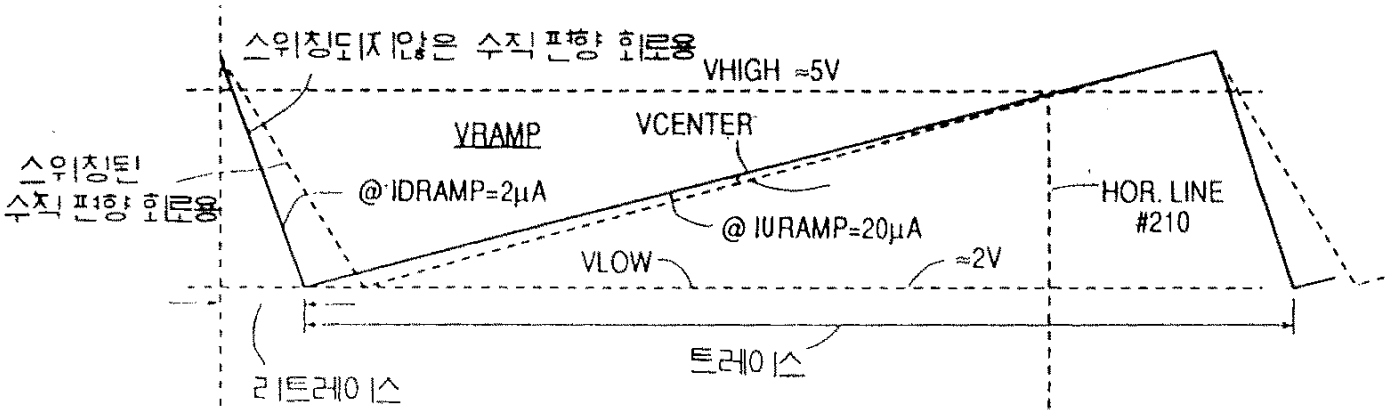
도면 1c



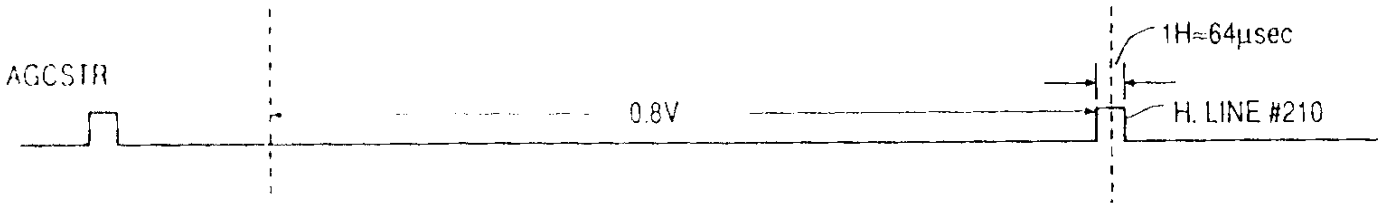
도면 2a



도면 2b



도면 2c



도면 2d

