



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년09월09일
(11) 등록번호 10-1656009
(24) 등록일자 2016년09월02일

- (51) 국제특허분류(Int. Cl.)
H04N 19/86 (2014.01) H04N 19/42 (2014.01)
H04N 19/436 (2014.01) H04N 19/80 (2014.01)
- (52) CPC특허분류
H04N 19/86 (2015.01)
H04N 19/42 (2015.01)
- (21) 출원번호 10-2015-0029233
(22) 출원일자 2015년03월02일
심사청구일자 2015년03월02일
- (56) 선행기술조사문헌
정윤진외 1명, 'H.264/AVC를 위한 디블록킹 필터의 최적화된 하드웨어 설계', 전자공학회 논문지-SD, 47(1), 대한전자공학회, p20-27 (2010.01)*
KR1020070058839 A*
Porto Alegre, 'a deblocking filter architecture for high efficiency video coding standard', MICROELETRONICA SISTEMAS EMBARCADOS, (2014)
KR1020070101921 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
- (72) 발명자
류광기
대전광역시 유성구 노은동로 111 열매마을 1007-105
박재하
강원도 인제군 서화면 천도로 102-2 (천도리)
- (74) 대리인
추혁

전체 청구항 수 : 총 2 항

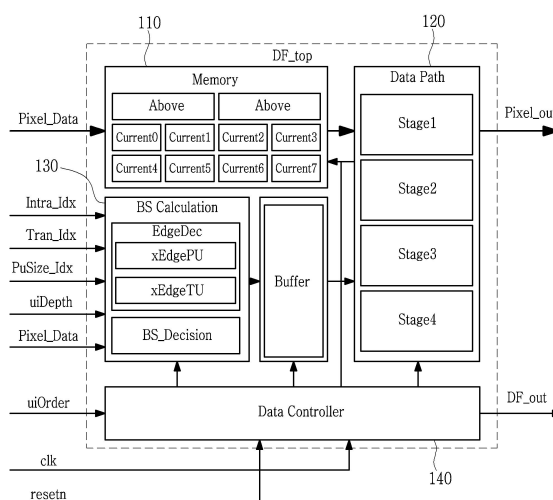
심사관 : 조우연

(54) 발명의 명칭 HEVC의 디블록킹 필터

(57) 요약

HEVC의 디블록킹 필터가 개시된다. 영상 데이터를 분할하여 저장하는 메모리, 병렬 연산된 필터 세기값을 저장하는 버퍼 및 필터 세기값을 이용하여 상기 영상 데이터를 필터링하는 데이터 처리부를 구성한다. 따라서 필터링 연산 시간을 단축할 수 있다.

대표도 - 도2



(52) CPC특허분류

H04N 19/436 (2015.01)

H04N 19/80 (2015.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2014029505

부처명 교육부

연구관리전문기관 한국연구재단(교육부)

연구사업명 지역혁신인력양성사업

연구과제명 고령자 및 저시력 장애인용 전자독서확대기를 위한 고성능 시스템칩 개발

기 여 율 1/1

주관기관 연구사업지원팀

연구기간 2014.05.01 ~ 2015.04.30

공지예외적용 : 있음

명세서

청구범위

청구항 1

HEVC의 더블록킹 필터에서,

상위 픽셀에 대한 2개의 분할 메모리와 현재 픽셀에 대한 8개의 분할 메모리를 구비하여 영상 데이터를 분할하여 저장하도록 하는 메모리,

병렬 구조를 가지고, 경계 강도를 계산하며 필터 세기값을 병렬로 계산하는 경계 강도 결정 모듈,

상기 경계 강도 결정 모듈과 연결되어 있고, 상기 경계 강도 결정 모듈에 의해 계산된 필터 세기값을 저장하는 버퍼, 그리고

상기 메모리와 상기 버퍼에 연결되고, 메모리 읽기, 임계값 및 전처리, 필터 연산, 그리고 메모리 쓰기로 구성된 4단 파이프라인 구조와 두 개의 필터 구조를 갖고 있어, 상기 메모리로부터 영상 데이터가 데이터 패스로 입력되어 상기 4단 파이프라인과 상기 두 개의 필터 구조에 의해 필터링되고, 상기 버퍼로부터 필터 세기값이 입력되어 상기 필터 세기값을 이용하여 상기 영상 데이터를 필터링하는 데이터 패스 모듈을 포함하는 것을 특징으로 하는 HEVC의 더블록킹 필터.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항에서,

상기 데이터 패스 모듈은 분할된 메모리 구조에서 가로로 필터링을 수행한 다음, 세로로 필터링을 수행하는 HEVC의 더블록킹 필터.

청구항 6

삭제

발명의 설명

기술 분야

[0001] 본 발명은 HEVC의 더블록킹 필터에 관한 것으로, 더욱 상세하게는 필터링 수행 시간을 단축하는 HEVC의 더블록킹 필터에 관한 것이다.

배경 기술

[0002] HEVC는 ITU-T와 ISO/IEC가 공동으로 제정 완료한 고해상도 및 고화질 영상을 위한 비디오 압축 코덱으로 압축 효율을 높이기 위해 CU(Coding Unit), PU(Prediction Unit), TU(Transform Unit)와 같은 다양한 블록을 지원하며 각각 블록에서 다양한 사이즈를 지원하고 있다. 더블록킹 필터는 CU내의 PU 및 TU에서 예측 및 양자화로 인해 발생하는 블록 경계의 왜곡을 효과적으로 제거함으로써 주관적 화질 및 객관적 화질을 향상시키는 기술이다. 최근 광대역 전송의 발전과 함께 차세대 영상 기기에 대한 관심이 증가하면서 UHD급 이상의 고화질

영상에 대한 수요가 증가하고 있다.

발명의 내용

해결하려는 과제

[0003] 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 필터링 수행 시간을 단축하는 HEVC의 더블록킹 필터를 제공하는데 있다.

과제의 해결 수단

[0004] 상기 목적을 달성하기 위한 본 발명은, 영상 데이터를 분할하여 저장하는 메모리, 병렬 연산된 필터 세기값을 저장하는 버퍼 및 필터 세기값을 이용하여 영상 데이터를 필터링하는 데이터 처리부를 제공한다.

[0005] 여기에서, 메모리는 현재 픽셀에 대한 다수의 분할 메모리와 상위 픽셀에 대한 이중 분할 메모리를 포함한다.

[0006] 이때, 데이터 처리부는 영상 데이터에 대한 픽셀 읽기, 영상 데이터에 적용할 필터를 선택하는 필터 선택, 선택된 필터를 영상 데이터에 적용하는 필터 연산, 필터링된 영상 데이터를 메모리에 쓰는 픽셀 쓰기의 4단 파이프라인으로 구성된다.

[0007] 이때, 데이터 처리부는 두 개의 필터 구조로 구성된다.

[0008] 이때, 데이터 처리부는 분할된 메모리 구조에서 가로로 필터링을 수행한 다음, 세로로 필터링을 수행한다.

[0009] 이때, 데이터 처리부는 메모리 영역을 분할하고 분할된 영역별로 필터링과 메모리 저장을 동시에 처리한다.

발명의 효과

[0010] 상기와 같은 본 발명에 따른 HEVC의 더블록킹 필터를 이용할 경우에는 필터링 수행 시간을 단축할 수 있다.

[0011] 또한, 필터링 수행에서 저전력을 달성하는 장점이 있다.

도면의 간단한 설명

[0012] 도 1은 HEVC 더블록킹 필터의 필터링 수행 방법을 보인 예시도이다.

도 2는 본 발명의 일실시예에 따른 HEVC의 더블록킹 필터의 구성을 보인 블록도이다.

도 3은 도 2의 메모리 구조를 보인 예시도이다.

도 4는 도 2의 데이터 패스 모듈의 4단 파이프라인 구조를 보인 블록도이다.

도 5는 도 2의 데이터 패스 모듈의 두 개의 필터 구조를 보인 예시도이다.

도 6은 도 2의 4단 파이프라인의 메모리 수행 과정을 보인 예시도이다.

도 7은 도 2의 메모리 필터링 순서를 보인 예시도이다.

도 8은 도 2의 필터링 순서에 따른 메모리 처리 과정을 보인 예시도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0014] 제1, 제2, A, B 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0015] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0016] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0017] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0018] 이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0019] 도 1은 HEVC 디블록킹 필터의 필터링 수행 방법을 보인 예시도이다.

[0020] HEVC 디블록킹 필터의 필터링 수행 방법은 여섯 단계로 구성된다.

[0021] 디블록킹 필터의 첫 번째 단계인 경계 결정(Boundary decision)은 디블록킹 필터를 적용하기 위한 경계 위치를 결정한다. 단, 첫 번째 단계에서 필터링이 필요한 위치만을 결정하는 것이며, 실제 필터링의 수행 여부는 네 번째 단계인 필터 온/오프 단계에서 결정된다. 디블록킹 필터를 위한 경계의 종류는 CU(Coding Unit) 경계, PU(Prediction Unit) 경계, TU(Transform Unit) 경계 세 가지로 나뉜다. 하나의 CU 경계는 PU 또는 TU 경계가 되기 때문에 필터링을 수행해야 하는 경계 대상이다. 두 번째 단계인 Bs Calculation은 경계 강도 결정 단계이며 경계에 인접한 블록의 특성에 따라 다른 강도의 디블록킹 필터를 수행하기 위해 경계 강도 BS(Boundary Strength)를 결정한다. 세 번째 단계인 Decision of β , tc단계는 필터링 수행 여부 및 필터링 선택 등의 임계값으로 사용되는 β 와 tc를 결정한다. 네 번째 단계인 필터 온/오프(Filter on/off decision) 단계는 필터링 유닛 단위로 필터링 수행 여부를 결정한다. 다섯 번째 단계인 필터 결정(Filter decision) 단계는 필터링 선택을 통해 강 필터(Strong filter) 혹은 약 필터(Weak filter)를 결정한다. 여섯 번째 단계는 픽셀 데이터를 정해진 필터로 필터링 수행한다.

[0022] 도 2는 본 발명의 일실시예에 따른 HEVC의 디블록킹 필터의 구성을 보인 블록도이다.

[0023] UHD 영상을 위한 고성능 HEVC 디블록킹 필터 하드웨어 구조는 필터 수행 시간을 단축하기 위해 두 개의 필터로 구성된 4단 파이프라인 구조와 경계 강도 모듈을 병렬적인 구조로 설계한다. 또한 저전력 하드웨어 구조를 위해 파이프라인의 단계를 클록 게이팅으로 설계하고, 파이프라인에서 단일 포트 SRAM에 접근할 때 발생하는 헤즈드 문제를 해결하기 위해 분할된 메모리 구조로 설계한다.

[0024] 하드웨어 구조는 기본적으로 3232 크기의 quarter LCU단위로 필터링을 수행하며, 필터링에 사용될 상위 픽셀 및 현재 픽셀이 저장될 메모리(110), 필터링 연산을 담당하는 두 개의 필터와 클록 게이팅을 사용한 4단 파이프라인 데이터 패스(Data Path) 모듈(120), 경계강도를 계산하는 경계 강도 결정(BS Decision) 모듈(130), 전반적인 데이터를 컨트롤하는 데이터 컨트롤러(Data Controller) 모듈(140)로 구성된다.

[0025] 메모리(110)는 읽기/쓰기가 동시에 발생하는 것을 피하기 위해 10개의 분할 메모리 구조를 가지고, 데이터 패스 모듈(120)은 4단 파이프라인 구조와 두 개의 필터 구조를 가지고, 경계 강도 결정 모듈(130)은 필터 세기값을 병렬로 계산하여 버퍼에 저장하는 구조를 가지고, 데이터 컨트롤러 모듈(140)은 이미지 데이터가 메모리(110)에 입력되고, 경계 강도 결정 모듈(130)에 필터 세기값을 연산하는 입력값이 입력되고, 메모리(110)의 이미지 데이터가 데이터 패스로 입력되어 4단 파이프라인과 두 개 필터 구조로 필터링되고 병렬 연산된 필터 세기값이 데이터 패스 모듈(120)에 입력되어 필터링 연산에 사용되는 데이터 흐름을 제어한다.

[0026] 경계 강도(BS) 결정 모듈(130)은 적은 연산기와 비교기들로 설계를 할 수 있다. 경계 강도 결정 모듈(130)의 수행 사이클은 전체 수행 사이클에 많은 수행 사이클을 차지한다. 3232 픽셀을 필터링하는데 106 사이클이 필요하고 BS 결정 모듈(130)은 32 사이클을 차지한다. BS 결정 모듈(130)이 전체 필터링 수행 사이클의 약 30%를 차지한다. BS 결정 모듈(130)의 병렬 설계로 로직 게이트는 적게 증가하고 전체 수행 사이클 수는 대폭 줄일 수 있

다. 병렬적인 BS 결정 모듈(130)에 의해 전체 수행 사이클인 106 사이클에서 75 사이클로 수행 사이클을 감소할 수 있다.

[0027] 경계 강도 결정 모듈(130)은 병렬 구조를 가지며 필터 세기값을 병렬로 계산하고 계산된 필터 세기값을 버퍼에 저장한다. 버퍼에 저장된 필터 세기값은 데이터 패스 모듈(120)에 입력되어 필터 연산에 사용된다.

[0028] 도 3은 도 2의 메모리 구조를 보인 예시도이다.

[0029] 더블록킹 필터의 파이프라인 구조에서 발생하는 해저드는 모두 메모리 접근 동작의 경우 발생한다. 따라서 하드웨어 구조는 분할된 메모리 구조를 사용함으로써 해저드 문제를 해결할 수 있다. 본 발명에서 제안하는 더블록킹 필터의 메모리는 10개의 단일 포트 메모리 구조이다. 현재 픽셀에 대한 메모리 8개(Current0~7), 상위 픽셀에 대한 메모리 2개(Above0~1)를 사용하여 메모리를 교차로 읽기/쓰기 함으로써 이중 포트 메모리를 사용하지 않고 해저드를 해결할 수 있다.

[0030] 메모리는 저전력을 달성하고 파이프라인 구조에서 발생하는 읽기/쓰기의 동시 발생을 해결하기 위해 10개의 분할 메모리를 가진다.

[0031] 해저드 문제는 4단 파이프라인에서 쓰기과 읽기가 한 메모리에서 동시에 실행될 때 발생한다. 메모리는 제안하는 분할된 메모리로 해저드 문제를 해결할 수 있다.

[0032] 도 4는 도 2의 데이터 패스 모듈의 4단 파이프라인 구조를 보인 블록도이다.

[0033] 데이터 패스 모듈은 연속적인 필터링 과정에서 두 개의 필터링 오퍼레이션 사이의 데이터 의존성이 없다면 파이프라인 구조가 적용될 수 있다. 따라서 본 발명에서는 HEVC 더블록킹 필터의 처리율 향상을 위해 최적화된 4단 파이프라인 구조를 제안한다.

[0034] 데이터 패스 모듈에서 제안하는 필터의 4단 파이프라인은 메모리 읽기, 임계값 및 전처리, 필터 연산, 메모리 쓰기로 구성된다. 첫번째 단계인 메모리 읽기 단계에서는 메모리로부터 필터링을 위한 픽셀 데이터를 읽고, 정렬한 후 다음 단계로 픽셀 데이터를 할당한다. 파이프라인의 각 단계마다 추가적인 컨트롤 신호를 사용하여 클록 게이팅을 적용함으로써 전력소모를 감소시켰다. 만약 현재의 BS값이 0이라면 이어지는 파이프라인 단계는 모두 NOP(No-Operation)로 처리된다. 두 번째 단계인 임계값 계산 및 전처리 단계는 필터링 온/오프의 조건을 검사하기 위해 특업데이블을 참조하여 wa tc값을 결정하고 세 번째 단계인 필터 연산 단계의 연산 부담을 줄여주기 위해 강한 필터와 약한 필터의 조건에 사용할 수식의 일부를 미리 계산한다. 또한 강한 필터와 약한 필터 중 어느 필터로 필터링 할지를 선택한다. 만약 필터링 온/오프에서 오프일 경우, 세 번째 단계가 NOP로 처리된다. 세 번째 단계인 필터 연산 단계에서는 계산된 임계값과 경계 강도에 따라 입력된 픽셀들을 각기 다른 탭의 필터를 적용하여 연산하며 완료된 데이터는 마지막 네 번째 단계인 메모리 쓰기 단계에서 다음 필터링에 사용하기 위해 메모리에 저장한다.

[0035] 4단 파이프라인 구조의 첫 번째와 마지막 단계는 메모리에서 픽셀을 읽어 오거나 저장하는 단계로서 매 클록마다 픽셀 데이터를 패치하고 필터링되지 않더라도 이후 동작을 위해 외부 메모리에 저장해야 하므로 항상 활성화된다. 두 번째 단계에서는 앞단에서 계산된 경계 강도 값이 0일 경우 필터링을 수행하지 않으므로 클록을 비활성화한다. 세 번째 단계에서도 마찬가지로 경계 강도 값이 0일 경우 클록을 비활성화하며 추가적으로 두 번째 단계에서 계산된 필터링 온/오프조건을 검사하여 오프 조건일 경우에도 클록을 비활성화한다.

[0036] 제안하는 구조에서는 클록 게이팅 인에이블 신호의 타이밍 안정화를 위해 래치-기반 클록 게이팅 회로를 사용한다.

[0037] 도 5는 도 2의 데이터 패스 모듈의 두 개의 필터 구조를 보인 예시도이다.

[0038] 데이터 패스 모듈은 4단 파이프라인에서 사용된 두 개의 필터 구조를 가진다. HEVC 더블록킹 필터는 88블록에서 상위 48블록을 먼저 필터링한 후 나머지 48블록을 필터링 한다. HEVC 더블록킹 필터는 적응적으로 필터링이 처리되기 때문에 병렬적으로 필터링을 실행할 수 있다. 제안하는 더블록킹 필터는 수직 에지의 경계면을 먼저 필터링하고 수평 에지의 경계면을 필터링해야 한다. 데이터 패스 모듈은 88블록의 한 경계면을 두 번에 나눠서 처리하지 않고 두 개의 필터를 사용하여 한 번에 88 블록의 경계면을 처리한다. 메모리에서 읽어온 88 블록을 48블록으로 각각 DATAPATH1과 DATAPATH2에 입력된다. 각각의 DATAPATH에서 파이프라인으로 필터링 된 후 다시 메모리로 출력된다.

[0039] 도 6은 도 2의 4단 파이프라인의 메모리 수행 과정을 보인 예시도이다.

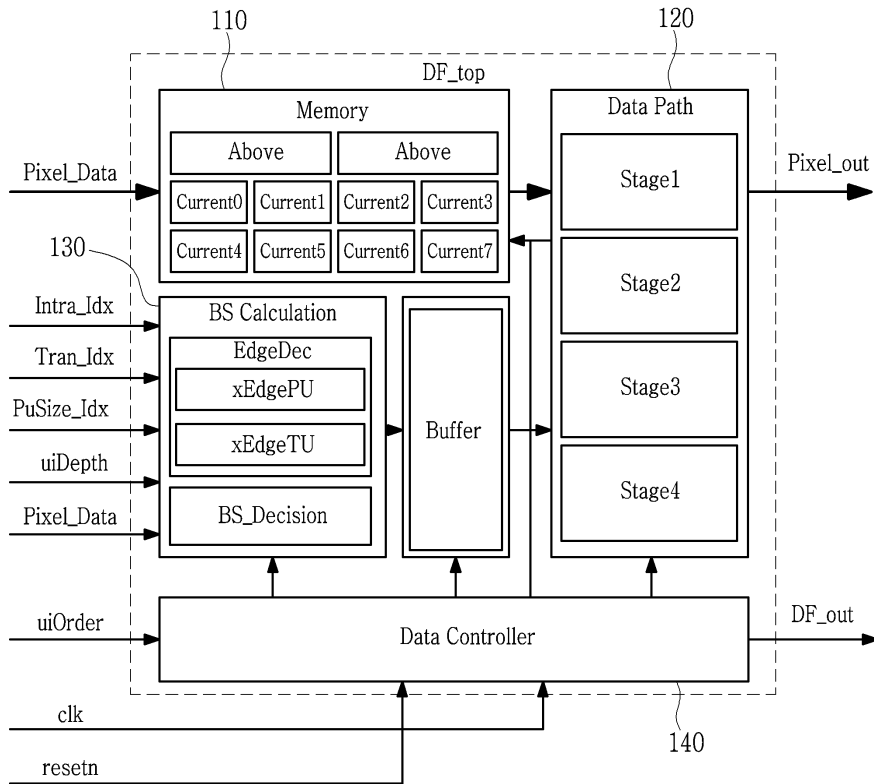
[0048]

110: 메모리	120: 데이터 패스 모듈
130: 경계 강도 결정 모듈	140: 데이터 컨트롤러 모듈

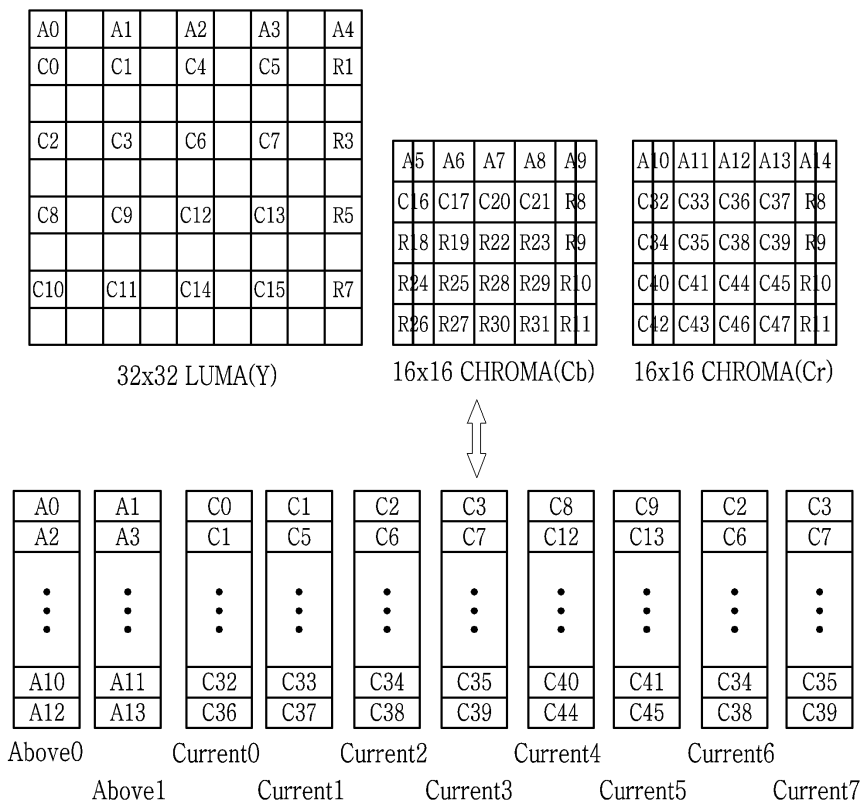
도면1



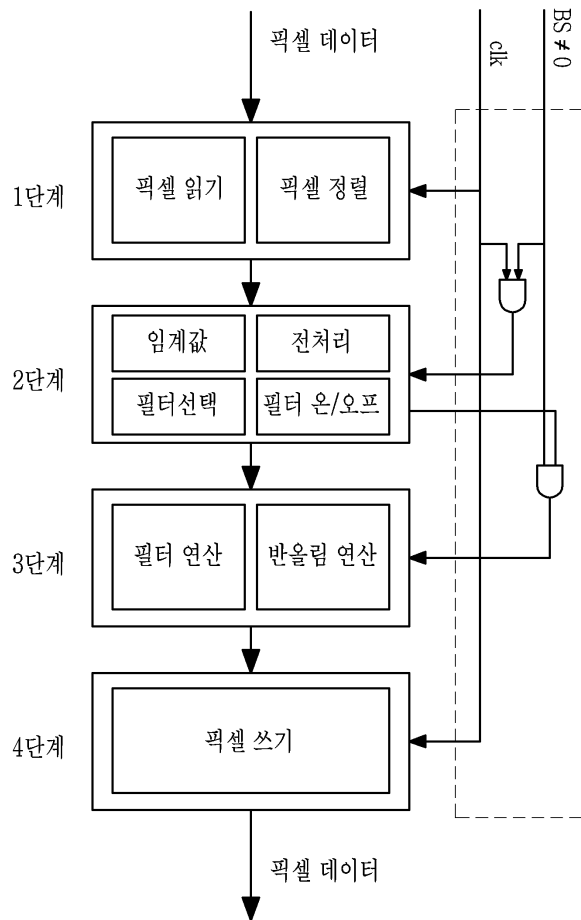
도면2



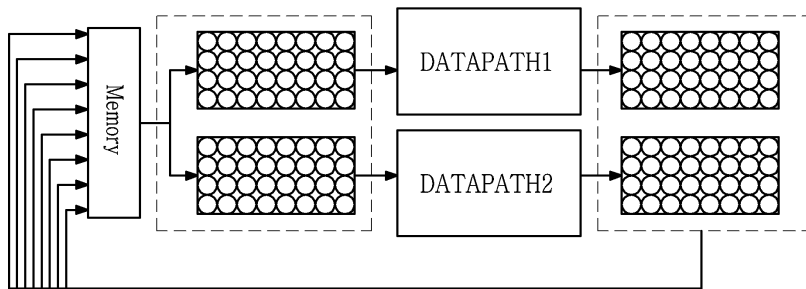
도면3



도면4



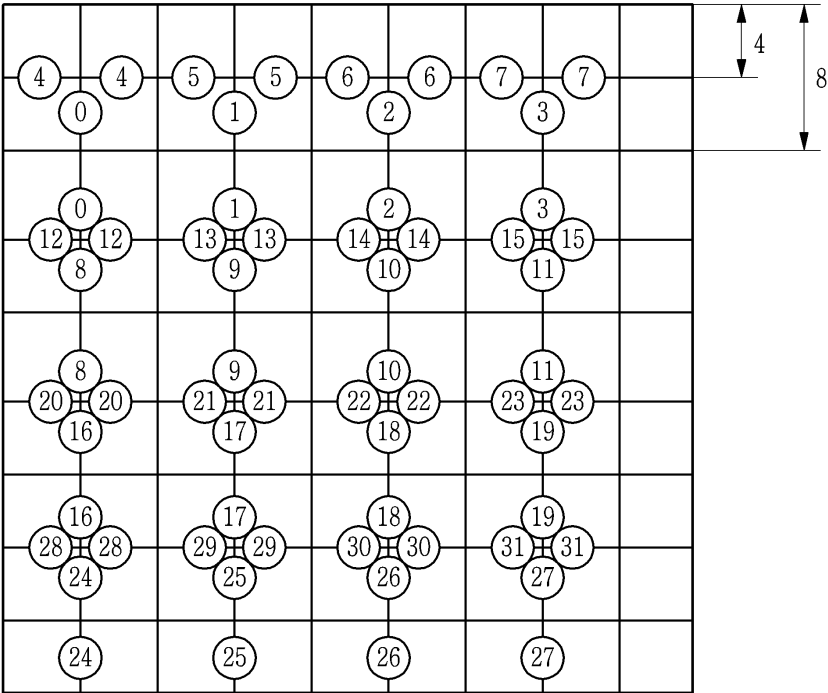
도면5



도면6

		SLOT1	SLOT2	SLOT3	SLOT4	SLOT5	SLOT6	SLOT7	SLOT8	SLOT9
Current Memory0	0	MR	MR	MR	MR					
	1			MR	MR	MR	MR			
	2					MR	MR	MR	MR	
	3									
Current Memory1	0		MR	MR	MR	MR				
	1				MR	MR	MR	MR		
	2						MR	MR	MR	MR
	3									

도면7



도면8

A0	A1	A2	A3	A4
C0	C1	C4	C5	R1
		1-Segment		
C2	C3	C6	C7	R3
C8	C9	C12	C13	R5
C10	C11	C14	C15	R7

32x32 LUMA(Y)

A0	A1	A2	A3	A4
C0	C1	C4	C5	R1
C2	C3	C6	C7	R3
C8	C9	C12	C13	R5
		2-Segment		
C10	C11	C14	C15	R7

32x32 LUMA(Y)