

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4387984号
(P4387984)

(45) 発行日 平成21年12月24日(2009.12.24)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl.	F I
HO 1 L 21/316 (2006.01)	HO 1 L 21/94 A
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 N

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2005-157194 (P2005-157194)	(73) 特許権者	308033711
(22) 出願日	平成17年5月30日(2005.5.30)		OKIセミコンダクタ株式会社
(62) 分割の表示	特願平9-205743の分割		東京都八王子市東浅川町550番地1
原出願日	平成9年7月31日(1997.7.31)	(74) 代理人	100086298
(65) 公開番号	特開2005-294862 (P2005-294862A)		弁理士 船橋 國則
(43) 公開日	平成17年10月20日(2005.10.20)	(72) 発明者	高橋 正志
審査請求日	平成17年5月30日(2005.5.30)		東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内
		審査官	河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の第1領域上と第2領域上とにパッド酸化膜及び酸化防止膜を下層から順に成膜する第1工程と、

前記第1領域における前記パッド酸化膜及び酸化防止膜に前記半導体基板にまで達する第1酸化窓をパターン形成する第2工程と、

熱酸化法によって、前記第1酸化窓の底面層に酸化膜を成長させる第3工程と、

前記第1酸化窓底面の酸化膜をエッチングし、当該第1酸化窓底面の半導体基板の表面に溝を形成する第4工程と、

前記第2領域における前記パッド酸化膜及び酸化防止膜に前記半導体基板にまで達する第2酸化窓をパターン形成する第5工程と、

熱酸化法によって、前記第1酸化窓及び前記第2酸化窓の底面層に酸化膜を成長させ、前記第1領域に当該酸化膜からなる第1素子分離膜を形成すると共に、前記第2領域に当該酸化膜からなる第2素子分離膜を形成する第6工程と、

を行うことを特徴とする半導体装置の製造方法。

【請求項2】

半導体基板の第1領域上と第2領域上とにパッド酸化膜及び酸化防止膜を下層から順に成膜する第1工程と、

前記第1領域における前記酸化防止膜及び前記パッド酸化膜に前記半導体基板にまで達する第1酸化窓をパターン形成すると共に、前記第2領域における前記酸化防止膜及び前

10

20

記パッド酸化膜に前記半導体基板にまで達する第２酸化窓をパターン形成する第２工程と、

熱酸化法によって、前記第１酸化窓及び第２酸化窓の底面層に酸化膜を成長させる第３工程と、

前記第２酸化窓底面の前記酸化膜のみをエッチングして、当該第２領域の半導体基板の表面に溝を形成する第４工程と、

熱酸化法によって、前記第１酸化窓底面の前記酸化膜を成長させて第１素子分離膜を形成すると共に、前記第２領域の酸化窓の底面に新たに成長させた酸化膜からなる第２素子分離膜を形成する第５工程と、

を行うことを特徴とする半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＬＯＣＯＳ法による素子分離膜の形成を行う半導体装置の製造方法に関する。

【背景技術】

【０００２】

近年、半導体装置の高集積化及び高機能化にともない、メモリセルのような微細な機能素子が高い集積度で配置される内部領域では、ＬＯＣＯＳ(Local Oxidation of Silicon)法によって形成される素子分離膜のバズピークを小さくして素子間の間隔を狭くする必要があり、ところが、電源素子のような高電圧が印加される周辺素子が配置される周辺領域では、上記素子分離膜のバズピークをある程度の大きさに保つことで、バズピークによる段差底部での電界の集中によるトランジスタ特性の劣化やゲート酸化膜質の劣化の発生を防止する必要がある。

20

【０００３】

そこで、半導体装置の製造工程では、上記のように異なる形状が要求される内部領域の素子分離膜と周辺領域の素子分離膜とをそれぞれ別工程で形成している。ここで、上記ＬＯＣＯＳ法による素子分離膜を形成する場合には、以下のような各工程が行われる。すなわち、半導体基板の上にパッド酸化膜及び酸化防止膜を成膜する工程、リソグラフィーによって形成したレジストパターンをマスクにして上記酸化防止膜及びパッド酸化膜をエッチングして酸化窓を形成する工程、及び熱酸化法によって半導体基板の表面に素子分離膜となる酸化膜を成長させる工程である。このため、上述のように機能回路の高集積化が進んだ半導体装置の製造工程では、例えば上記手順で周辺領域の素子分離膜を形成した後に、上記酸化防止膜及びパッド酸化膜を除去する工程を行い、その後新たに上記手順を繰り返すことで内部領域の素子分離膜を形成している。

30

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかし、上記半導体装置の形成方法では、上述のように内部領域の素子分離領域と周辺領域の素子分離領域とをそれぞれ完全に別工程で形成していることから、パッド酸化膜及び酸化防止膜の成膜工程や熱酸化の工程を２回ずつ行う必要があり、素子分離領域の形成工程数が多いという課題があった。

40

【課題を解決するための手段】

【０００５】

上記課題を解決するための本発明の半導体装置の製造方法は、ＬＯＣＯＳ法による素子分離領域の形成を行う半導体装置の製造方法である。

【０００６】

そして、請求項１，２の半導体装置の製造方法では、形状の異なる第１素子分離膜と第２素子分離膜とを形成する際に、各酸化窓を同一のパッド酸化膜及び酸化防止膜に形成し、かつ一方の酸化窓底面の半導体基板の表面にのみ溝を形成した後に、両方の酸化窓の底

50

面に熱酸化を行うようにした。

【 0 0 0 7 】

このような方法では、一方の酸化窓底面の半導体基板の表面にのみ溝を形成して熱酸化を行うことで、各酸化窓を同一のパッド酸化膜及び酸化防止膜に形成しても、それぞれの酸化窓にはバースピークの異なる素子分離膜が形成される。このため、形状の異なる第 1 素子分離膜と第 2 素子分離膜とを形成する際のパッド酸化膜及び酸化防止膜の成膜工程が 1 回に削減される。

【 0 0 0 8 】

さらに、請求項 3 ～ 5 に係わる半導体装置の製造方法では、形状の異なる第 1 素子分離膜と第 2 素子分離膜とを形成する際に、先ず異なる膜厚のパッド酸化膜や酸化防止膜を同一の半導体基板上に形成する。その後、これらのパッド酸化膜や酸化防止膜に設けられる第 1 酸化窓と第 2 酸化窓との形成工程と、これらの酸化窓の底面に上記各素子分離膜を形成するための熱酸化の工程とを同一工程で行うようにした。

【 0 0 0 9 】

このような方法では、パッド酸化膜の膜厚や酸化防止膜の膜厚が異なることで、各膜厚部分に形成された各酸化窓の底面に対して同一の熱酸化を行っても、それぞれの酸化窓にはバースピークの大きさが異なる素子分離膜が形成される。このため、形状の異なる第 1 素子分離膜と第 2 素子分離膜とを形成する際の各酸化窓の形成工程及び熱酸化の工程が 1 回に削減される。

【 発明の効果 】

【 0 0 1 0 】

以上説明したように、請求項 1 または請求項 2 に係わる本発明によれば、一方の酸化窓底面の半導体基板の表面にのみ溝を形成することで、同一のパッド酸化膜及び酸化防止膜に形成した第 1 酸化窓と第 2 酸化窓との底面に異なる形状の素子分離膜が形成されるようにしたので、形状の異なる素子分離膜を形成する際のパッド酸化膜及び酸化防止膜の成膜工程を 1 回に削減することが可能になる。

【 0 0 1 1 】

さらに、請求項 3 ～ 請求項 5 に係わる本発明によれば、パッド酸化膜及び酸化防止膜の膜厚が異なる部分に各酸化窓を設けるとで、同一の熱酸化を行っても各酸化窓にバースピークの大きさが異なる素子分離膜が形成されようにしたことで、形状の異なる第 1 素子分離膜と第 2 素子分離膜とを形成する際の各酸化窓の形成工程及び熱酸化の工程を 1 回に削減することが可能になる。

【 0 0 1 2 】

以上から、請求項 1 ～ 請求項 5 に係わる本発明によれば、半導体装置の製造工程を削減することができる。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

以下、本発明を適用した各実施の形態を図面に基づいて説明する。尚、各実施の形態で共通する構成要素には同一の符号を付し、重複する説明は省略する。

【 0 0 1 4 】

(第 1 実施形態)

図 1 は、参考発明となる第 1 実施形態の半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第 1 実施形態の方法を説明する。先ず、第 1 工程では、図 1 (1) に示すように、例えば単結晶シリコンからなる半導体基板 1 1 を用意する。この半導体基板 1 1 は、その表面側に第 1 領域 1 1 a と第 2 領域 1 2 b とが設けられている。そして、このような半導体基板 1 1 上に、酸化シリコンからなるパッド酸化膜 1 2 を成膜し、このパッド酸化膜 1 2 上に窒化シリコンからなる酸化防止膜 1 3 を成膜する。

【 0 0 1 5 】

次に、第 2 工程では、図 1 (2) に示すように、リソグラフィー技術によって酸化防止膜 1 3 上にレジストパターン 1 4 を形成する。このレジストパターン 1 4 は、第 1 領域 1

10

20

30

40

50

1 aの素子分離膜形成部分に対応する開口パターンを有するものである。次に、このレジストパターン14をマスク用いて酸化防止膜13及びパッド酸化膜12のエッチングを行い、これによって第1領域11aにおける酸化防止膜13及びパッド酸化膜12に、半導体基板11にまで達する第1酸化窓15aをパターン形成する。

【0016】

次いで、第3工程では、図1(3)に示すように、上記レジストパターン(14)を除去した後、熱酸化法によって第1酸化窓15aの底面に露出する半導体基板11の表面層部分を選択的に酸化させる。ここでは、酸化防止膜13をマスクにして900 ~ 1100 で熱酸化処理を行い、半導体基板11の表面層に400 nm ~ 500 nm程度の膜厚の酸化膜16を成長させる。

10

【0017】

その後、第4工程では、図1(4)に示すように、酸化防止膜13上に新たにレジストパターン17を形成する。このレジストパターン17は、上記第1酸化窓15a内を埋め込みかつ第2領域11bの素子分離膜形成部分に対応する開口パターンを有するものである。次に、このレジストパターン17をマスク用いて酸化防止膜13及びパッド酸化膜12のエッチングを行い、これによって第2領域11bにおける酸化防止膜13及びパッド酸化膜12に、半導体基板11にまで達する第2酸化窓15bをパターン形成する。

【0018】

次に、第5工程では、図1(5)に示すように、上記レジストパターン(17)を除去した後、900 ~ 1100 の温度で2回目の熱酸化処理を行う。これによって、第1酸化窓15a底面の酸化膜16を450 nm ~ 600 nm程度の膜厚にまでさらに成長させ、第1領域11aにさらに成長させた酸化膜16からなる第1素子分離膜16aを形成する。これと共に、第2酸化窓15bの底面に新たに250 nm ~ 400 nm程度の膜厚の酸化膜を成長させ、第2領域11bに新たに成長させた酸化膜からなる第2素子分離膜16bを形成する。

20

【0019】

以上の方法によれば、第1酸化窓15aの底面に対しては2回の酸化処理が行われるのに対して、第2酸化窓15bの底面に対しては1回の酸化処理のみが行われる。このため、第1領域11aに形成される第1素子分離膜16aは、第2領域11bに形成される第2素子分離膜16bよりも膜厚が厚く、これによって第2素子分離膜16bよりもバースピークの大きいものになる。したがって、第1領域11aには、高電圧が印加される周辺素子の分離に適するバースピークの大きい第1素子分離膜16aが形成されることになる。一方、第2領域11bには、微細化された機能素子の高集積化を妨げることはないバースピークの小さい第2素子分離膜16bが形成されることになる。しかも、第1領域11aに配置される第1素子分離膜16aの膜厚は、第2素子分離膜16bの膜厚よりも厚いことから、この第1素子分離膜16aは高電圧が印加される周辺素子を確実に分離するものになる。

30

【0020】

上記第1実施形態の方法では、第1素子分離膜16aと第2素子分離膜16bとの形成に同一のパッド酸化膜12及び酸化防止膜13が用いられている。このため、異なる形状の第1素子分離膜16aと第2素子分離膜16bとを従来方法で形成する場合と比較して、パッド酸化膜12及び酸化防止膜13の除去工程とパッド酸化膜12及び酸化防止膜13の成膜工程とを減らすことが可能になる。

40

【0021】

(第2実施形態)

図2は、もう1つの参考発明を適用した第2実施形態の半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第2実施形態を説明する。ここでは、先ず上記第1実施形態と同様に図1(1)を用いて説明した第1工程から図1(4)を用いて説明した第4工程までを行い、半導体基板11の第2領域11bに第2酸化窓15bを形成する。その後、図2(1)に示すように、第2酸化窓15bの形成に用いたレジス

50

トパターン 17 をマスクにして、この第 2 酸化窓 15 b 底面の半導体基板 11 の表面層をエッチングする。これによって、半導体基板 11 の表面に深さ 100 nm ~ 300 nm 程度の溝 h を形成する。

【0022】

そして、次の第 5 工程では、図 2 (2) に示すように、上記レジストパターン (17) を除去した後、900 ~ 1100 の温度で 2 回目の熱酸化処理を行う。この第 5 工程は、上記第 1 実施形態で図 1 (5) を用いて説明したと同様に行うこととする。

【0023】

以上の方法によれば、溝 h が形成された半導体基板 11 の表面層を酸化成長させて第 2 素子分離膜 16 b が形成されることから、第 1 実施形態と比較して第 2 素子分離膜 16 b の表面段差が小さくなり、これによって第 2 素子分離膜 16 b のバースピークをさらに小さく抑えることができる。しかも、上記溝 h の形成は、第 2 酸化窓 15 b を形成するためのエッチングと連続して行われるため、第 1 実施形態に対して製造工程が特別に増加することはない。

【0024】

(第 3 実施形態)

図 3 は、請求項 1 記載の発明を適用した第 3 実施形態の半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第 3 実施形態を説明する。ここでは、先ず第 1 工程から第 3 工程までを、上記第 1 実施形態で図 1 (1) を用いて説明した第 1 工程から図 1 (3) を用いて説明した第 3 工程までと同様に行い、半導体基板 11 における第 1 領域 11 a に酸化膜 16 を形成する。ただし、酸化膜 16 の膜厚は、100 nm ~ 300 nm 程度とする。

【0025】

その後、第 4 工程では、図 3 (1) に示すように、酸化防止膜 13 をマスクにして第 1 酸化窓 15 a の底面の酸化膜 16 をエッチング除去し、半導体基板 11 の表面に溝 h を形成する。

【0026】

次の第 5 工程では、図 3 (2) に示すように、酸化防止膜 13 上に新たにレジストパターン 31 を形成する。このレジストパターン 31 は、上記第 1 酸化窓 15 a 内を埋め込みかつ第 2 領域 11 b の素子分離膜形成部分に対応する開口パターンを有するものである。次に、このレジストパターン 31 をマスク用いて酸化防止膜 13 及びパッド酸化膜 12 のエッチングを行い、これによって第 2 領域 11 b における酸化防止膜 13 及びパッド酸化膜 12 に、半導体基板 11 にまで達する第 2 酸化窓 15 b をパターン形成する。

【0027】

その後、第 6 工程では、図 3 (3) に示すように、上記レジストパターン (31) を除去した後、900 ~ 1100 の温度で 2 回目の熱酸化処理を行う。これによって、第 1 酸化窓 15 a 及び第 2 酸化窓 15 b の底面層を酸化させ、第 1 領域 11 a に酸化膜からなる第 1 素子分離膜 16 a を形成すると共に、第 2 領域 11 b に酸化膜からなる第 2 素子分離膜 16 b を形成する。これらの素子分離膜 16 a, 16 b の膜厚は、400 nm ~ 600 nm 程度に成長させる。

【0028】

以上の方法によれば、溝 h が形成された半導体基板 11 の表面層を酸化成長させて第 1 素子分離膜 16 a が形成されることから、第 2 素子分離膜 16 b よりも第 1 素子分離膜 16 a の表面段差が小さくなり、これによって第 2 素子分離膜 16 b よりもバースピークが小さく抑えられた第 1 素子分離膜 16 a が得られる。このため、第 1 領域 11 a には、微細化された機能素子の高集積化を妨げることのないバースピークの小さい第 1 素子分離膜 16 a が形成されることになる。一方、第 2 領域 11 b には、高電圧が印加される周辺素子の分離に適するバースピークの大きい第 2 素子分離膜 16 b が形成されることになる。

【0029】

上記第 3 実施形態の方法では、上記第 1 実施形態と同様に、第 1 素子分離膜 16 a と第

10

20

30

40

50

2素子分離膜16bとの形成に同一のパッド酸化膜12及び酸化防止膜13が用いられている。このため、異なる形状の第1素子分離膜16aと第2素子分離膜16bと従来方法で形成する場合と比較して、パッド酸化膜12及び酸化防止膜13の除去工程とパッド酸化膜12及び酸化防止膜13の成膜工程とを減らすことが可能になる。

【0030】

しかも、上記溝hの形成は、半導体基板11の表面層に成長させた酸化膜16のエッチング除去によって行われるため、第2実施形態と比較して溝hの深さの制御を酸化膜16の成膜膜厚によって高精度に行うことができる。さらに、溝hのエッジが滑らかになるため、第1素子分離膜16aのエッジが滑らかになり、この部分に生じる応力を小さく抑えることができる。また、第1素子分離膜16a及び第2素子分離膜16bともに1回の熱酸化で形成されることから、膜厚の制御が容易になる。

10

【0031】

(第4実施形態)

図4は、請求項2記載の発明を適用した半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第4実施形態を説明する。まず、第1工程では、図4(1)に示すように、半導体基板11上にパッド酸化膜12及び酸化防止膜13を成膜する。この工程は、第1実施形態の第1工程と同様に行う。

【0032】

次に、第2工程では、図4(2)に示すように、リソグラフィー技術によって酸化防止膜13上にレジストパターン41を形成する。このレジストパターン41は、第1領域11a及び第2領域11bの素子分離膜形成部分に対応する開口パターンを有するものである。次いで、このレジストパターン41をマスク用いて酸化防止膜13及びパッド酸化膜12のエッチングを行い、これによって第1領域11aにおける酸化防止膜13及びパッド酸化膜12に半導体基板11にまで達する第1酸化窓15aを形成し、これと同時に第2領域11bにおける酸化防止膜13及びパッド酸化膜12に半導体基板11にまで達する第2酸化窓15bを形成する。

20

【0033】

その後、第3工程では、図4(3)に示すように、上記レジストパターン(41)を除去した後、900～1100で熱酸化処理を行うことによって、第1酸化窓15a及び第2酸化窓15bの底面層に膜厚400nm～500nmの酸化膜16を成長させる。

30

【0034】

次に、第4工程では、図4(4)に示すように、第1領域11a上を覆うレジストパターン42を半導体基板11上に形成する。そして、このレジストパターン42及び酸化防止膜13をマスクに用いて、第2領域11bの第2酸化窓15b底面における酸化膜16のみをエッチング除去する。これによって、第2酸化窓15b底面における半導体基板11表面に溝hを形成する。

【0035】

その後、第5工程では、図4(5)に示すように、上記レジストパターン(42)を除去した後、900～1100の温度で2回目の熱酸化処理を行う。これによって、第1酸化窓15a底面の酸化膜16を450nm～600nm程度の膜厚にまでさらに成長させ、第1領域11aにさらに成長させた酸化膜16からなる第1素子分離膜16aを形成する。これと共に、第2酸化窓15bの底面に新たに250nm～400nm程度の膜厚の酸化膜を成長させ、第2領域11bに新たに成長させた酸化膜からなる第2素子分離膜16bを形成する。

40

【0036】

以上のようにして、第1領域11aには2回の熱酸化によって第1素子分離膜16aが形成され、第2領域11bには1回の熱酸化によって第1素子分離膜16aよりも薄い膜厚の第2素子分離膜16bが形成される。しかも、第2素子分離膜16bは、溝hが形成された半導体基板11の表面層を酸化成長させて形成したものであることから、この第2素子分離膜16bは、第1実施形態で形成した第2素子分離膜16bよりもさらにパーズ

50

ピークの小さいものになる。このため、第1領域11aには、高電圧が印加される周辺素子の分離に適するバースピークの大きい第1素子分離膜16aが形成され、第2領域11bには、微細化された機能素子の高集積化を妨げないようなバースピークの小さい第2素子分離膜16bが形成されることになる。しかも、第1領域11aに配置される第1素子分離膜16aの膜厚は、第2素子分離膜16bの膜厚よりも厚いことから、この第1素子分離膜16aは高電圧が印加される周辺素子を確実に分離するものになる。

【0037】

上記第4実施形態の方法では、第1素子分離膜16aと第2素子分離膜16bとの形成に同一のパッド酸化膜12及び酸化防止膜13が用いられている。しかも、高い合わせ精度が要求される第1酸化窓15aの形成と第2酸化窓15bの形成とが同一工程で行われる。このため、異なる形状の第1素子分離膜16aと第2素子分離膜16bと従来方法で形成する場合と比較して、パッド酸化膜12及び酸化防止膜13の除去工程とパッド酸化膜12及び酸化防止膜13の成膜工程と酸化窓の形成工程とを削減することができる。

【0038】

さらに、上記溝hの形成は、半導体基板11の表面層に成長させた酸化膜16のエッチング除去によって行われるため、第3実施形態と同様に溝hの深さの制御が高精度になると共に、第2素子分離膜16bのエッジが滑らかになってこの部分に生じる応力を小さく抑えることができる。

【0039】

(第5実施形態)

図5は、請求項3記載の発明を適用した第5実施形態の半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第5実施形態を説明する。先ず、第1工程では、図5(1)に示すように、半導体基板11上にパッド酸化膜12を成膜する。その後、第1領域11aのパッド酸化膜12を覆う形状のレジストパターン(図示省略)を形成し、このレジストパターンをマスクに用いて第2領域11bのパッド酸化膜12を全面エッチング除去する。ここでは、エッチングによるダメージが第2領域11bにおける半導体基板11のアクティブ領域に加わることを防止するために、フッ化水素水をエッチング溶液に用いたウェットエッチングを行うこととする。

【0040】

次に、上記レジストパターンを除去した後、図5(2)に示すように、熱酸化処理を行うことによって、第1領域11aのパッド酸化膜12をさらに成長させて第1パッド酸化膜12aを形成すると共に、第2領域11bの半導体基板11の表面層に新たに酸化膜を成長させてこれを第2パッド酸化膜12bとする。以上によって、エッチングによる損傷を生じさせることなく、第1パッド酸化膜12aとこれよりも膜厚の薄い第2パッド酸化膜12bとを形成する。

【0041】

尚、各パッド酸化膜12a、12bにエッチングによる損傷が生じた場合には、以降の素子分離膜を形成する工程でこの損傷を通して酸化防止膜から半導体基板に窒素が侵入して窒化物が形成され、この窒化物が素子の劣化原因となる。しかし、これらの不具合を考慮する必要のない場合には、半導体基板11上に酸化シリコン膜を成膜し、第2領域11bにおける酸化シリコン膜部分のみを所定深さに全面エッチバックすることで、第1領域11aと第2領域11bとに膜厚の異なるパッド酸化膜を形成しても良い。

【0042】

その後、第2工程では、図5(3)に示すように、第1パッド酸化膜12a上及び第2パッド酸化膜12b上に酸化防止膜13を成膜する。

【0043】

次に、第3工程では、図5(4)に示すように、リソグラフィー技術によって酸化防止膜13上にレジストパターン51を形成する。このレジストパターン51は、第1領域11a及び第2領域11bの素子分離膜形成部分に対応する開口パターンを有するものである。その後、このレジストパターン51をマスク用いて酸化防止膜13、第1パッド酸化

10

20

30

40

50

膜 1 2 a 及び第 2 パッド酸化膜 1 2 b のエッチングを行う。これによって、第 1 領域 1 1 a における酸化防止膜 1 3 及び第 1 パッド酸化膜 1 2 a に半導体基板 1 1 にまで達する第 1 酸化窓 1 5 a を形成し、これと同時に第 2 領域 1 1 b における酸化防止膜 1 3 及び第 2 パッド酸化膜 1 2 b に半導体基板 1 1 にまで達する第 2 酸化窓 1 5 b を形成する。

【 0 0 4 4 】

その後、第 4 工程では、図 5 (5) に示すように、上記レジストパターン (5 1) を除去した後、900 ~ 1100 で熱酸化処理を行うことによって、第 1 酸化窓 1 5 a 及び第 2 酸化窓 1 5 b の底面層に膜厚 400 nm ~ 600 nm の酸化膜を成長させ、第 1 領域 1 1 a に上記酸化膜からなる第 1 素子分離膜 1 6 a を形成し、第 2 領域 1 1 b に上記酸化膜からなる第 2 素子分離膜 1 6 b を形成する。

10

【 0 0 4 5 】

上記第 5 実施形態の製造方法では、第 1 パッド酸化膜 1 2 a が形成された第 1 領域 1 1 a に第 1 素子分離膜 1 6 a が形成され、第 1 パッド酸化膜 1 2 a よりも膜厚の薄い第 2 パッド酸化膜 1 2 b が形成された第 2 領域 1 1 b に第 2 素子分離膜 1 6 b が形成される。このため、第 1 素子分離膜 1 6 a は、第 2 素子分離膜 1 6 b よりもバースピークの大きいものになる。したがって、第 1 領域 1 1 a には、高電圧が印加される周辺素子の分離に適するバースピークの大きい第 1 素子分離膜 1 6 a が形成され、一方、第 2 領域 1 1 b には、微細化された機能素子の高集積化を妨げることをないバースピークの小さい第 2 素子分離膜 1 6 b が形成されることになる。

【 0 0 4 6 】

20

上記第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とは、同一の熱酸化処理によって形成されたものである。しかも、高い合わせ精度が要求される第 1 酸化窓 1 5 a の形成と第 2 酸化窓 1 5 b の形成とが同一工程で行われる。このことから、異なる形状の第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とを従来方法で形成する場合と比較して、素子分離膜を形成するための熱酸化処理の工程と酸化窓の形成工程とを 1 回に削減することが可能になる。

【 0 0 4 7 】

(第 6 実施形態)

図 6 は、請求項 4 記載の発明を適用した第 6 実施形態の半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第 6 実施形態を説明する。先ず、第 1 工程では、図 6 (1) に示すように、上記半導体基板 1 1 上にパッド酸化膜 1 2 を成膜する。

30

【 0 0 4 8 】

次に、第 2 工程では、図 6 (2) に示すように、パッド酸化膜 1 2 上に第 1 窒化シリコン膜 6 1 を成膜する。その後、第 2 領域 1 1 b の第 1 窒化シリコン膜 6 1 を覆う形状のレジストパターン (図示省略) を形成し、このレジストパターンをマスクに用いて第 1 領域 1 1 a の第 1 窒化シリコン膜 6 1 を全面エッチング除去する。ここでは、エッチングによるダメージが第 1 領域 1 1 a のパッド酸化膜 1 2 に加わり、これによって第 1 領域 1 1 a に素子分離膜を形成する際に半導体基板 1 1 が窒化されることを防止するために、ウェットエッチングを行うこととする。この際、エッチング溶液として熱リン酸を用いることで、パッド酸化膜 1 2 に対して良好な選択比を保って第 1 窒化シリコン膜 6 1 のエッチングを行い、パッド酸化膜 1 2 の膜厚を保つ。

40

【 0 0 4 9 】

その後、図 6 (3) に示すように、第 1 領域 1 1 a のパッド酸化膜 1 2 上及び第 2 領域 1 1 b の第 1 窒化シリコン膜 6 1 上に、第 2 窒化シリコン膜 6 2 を成膜する。これによって、第 1 領域 1 1 a には、第 2 窒化シリコン膜 6 2 からなる第 1 酸化防止膜 1 3 a を形成する。一方、第 2 領域 1 1 b には、第 1 窒化シリコン膜 6 1 と第 2 窒化シリコン膜 6 2 とからなる第 2 酸化防止膜 1 3 b を形成する。以上によって、エッチングによる損傷を生じさせることなく、かつ膜厚の制御性良く、第 1 酸化防止膜 1 3 a とこれよりも膜厚の厚い第 2 酸化防止膜 1 3 b とを形成する。

50

【 0 0 5 0 】

尚、各酸化防止膜 1 3 a , 1 3 b にエッチングによる損傷が生じた場合には、以降の素子分離膜を形成する工程で上記酸化防止膜が部分的に耐酸化性のマスクにならない場合がある。しかし、このような不具合を考慮する必要のない場合には、パッド酸化膜 1 2 上に窒化シリコン膜を成膜し、第 1 領域 1 1 a における窒化シリコン膜部分のみを所定深さに全面エッチバックすることで、この窒化シリコン膜からなる第 1 酸化防止膜 1 3 a 及び第 2 酸化防止膜 1 3 b を形成しても良い。

【 0 0 5 1 】

次に、第 3 工程では、図 6 (4) に示すように、リソグラフィー技術によって第 1 酸化防止膜 1 3 a 及び第 2 酸化防止膜 1 3 b 上にレジストパターン 6 3 を形成する。このレジストパターン 6 3 は、第 1 領域 1 1 a 及び第 2 領域 1 1 b の素子分離膜形成部分に対応する開口パターンを有するものである。その後、このレジストパターン 6 3 をマスク用いて第 1 酸化防止膜 1 3 a 、第 2 酸化防止膜 1 3 b 及びパッド酸化膜 1 2 のエッチングを行う。これによって、第 1 領域 1 1 a における第 1 酸化防止膜 1 3 a 及びパッド酸化膜 1 2 に半導体基板 1 1 にまで達する第 1 酸化窓 1 5 a を形成し、これと同時に第 2 領域 1 1 b における第 2 酸化防止膜 1 3 b 及びパッド酸化膜 1 2 に半導体基板 1 1 にまで達する第 2 酸化窓 1 5 b を形成する。

【 0 0 5 2 】

その後、第 4 工程では、図 6 (5) に示すように、上記レジストパターン (6 3) を除去した後、900 ~ 1100 で熱酸化処理を行うことによって、第 1 酸化窓 1 5 a 及び第 2 酸化窓 1 5 b の底面層に膜厚 400 nm ~ 600 nm の酸化膜を成長させ、第 1 領域 1 1 a に上記酸化膜からなる第 1 素子分離膜 1 6 a を形成し、第 2 領域 1 1 b に上記酸化膜からなる第 2 素子分離膜 1 6 b を形成する。

【 0 0 5 3 】

上記第 6 実施形態の製造方法では、第 1 酸化防止膜 1 3 a が形成された第 1 領域 1 1 a に第 1 素子分離膜 1 6 a が形成され、第 1 酸化防止膜 1 3 a よりも膜厚の厚い第 2 酸化防止膜 1 3 b が形成された第 2 領域 1 1 b に第 2 素子分離膜 1 6 b が形成される。このため、第 1 素子分離膜 1 6 a は、第 2 素子分離膜 1 6 b よりもバースピークの大きいものになる。したがって、第 1 領域 1 1 a には、高電圧が印加される周辺素子の分離に適するバースピークの大きい第 1 素子分離膜 1 6 a が形成され、一方、第 2 領域 1 1 b には、微細化された機能素子の高集積化を妨げることのないバースピークの小さい第 2 素子分離膜 1 6 b が形成されることになる。

【 0 0 5 4 】

ここでは、上記第 5 実施形態と同様に、第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とは、同一の熱酸化処理によって形成され、しかも第 1 酸化窓 1 5 a の形成と第 2 酸化窓 1 5 b の形成とが同一工程で行われる。このことから、異なる形状の第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とを従来方法で形成する場合と比較して、素子分離膜を形成するための熱酸化処理の工程と酸化窓の形成工程とを 1 回に削減することが可能になる。

【 0 0 5 5 】

(第 7 実施形態)

図 7 は、請求項 5 記載の発明を適用した半導体装置の製造方法を説明するための断面工程図であり、以下にこの図を用いて第 7 実施形態を説明する。まず、第 1 工程では、図 7 (1) に示すように、上記半導体基板 1 1 上に第 1 酸化シリコン膜 7 1 を成膜し、当該第 1 酸化シリコン膜 7 1 上に第 1 窒化シリコン膜 7 2 を成膜する。その後、第 2 領域 1 1 b の第 1 窒化シリコン膜 7 2 を覆う形状のレジストパターン (図示省略) を形成し、このレジストパターンをマスクに用いて第 1 領域 1 1 a の第 1 窒化シリコン膜 7 2 及び第 1 酸化シリコン膜 7 1 を全面エッチング除去する。ここでは、熱リン酸を用いて第 1 窒化シリコン膜 7 2 をウェットエッチングした後、フッ化水素水を用いて第 1 酸化シリコン膜 7 1 をウェットエッチングすることとする。これによって、第 2 領域 1 1 b における半導体基板 1 1 上に、第 1 酸化シリコン膜 7 1 からなる第 2 パッド酸化膜 1 2 b を形成する。

【 0 0 5 6 】

次に、上記レジストパターンを除去した後、図 7 (2) に示すように、第 1 窒化シリコン膜 7 2 をマスクに用いた熱酸化処理を行うことによって、第 1 領域 1 1 a における半導体基板 1 1 の表面層を酸化成長させて第 1 パッド酸化膜 1 2 a を形成する。この第 1 パッド酸化膜 1 2 a は、第 2 パッド酸化膜 1 2 b よりも膜厚が厚くなるように成膜する。以上のようにして、それぞれ個別の工程で膜厚の制御性良く、第 1 パッド酸化膜 1 2 a と第 2 パッド酸化膜 1 2 b とを形成する。

【 0 0 5 7 】

その後、第 1 領域 1 1 a における第 1 パッド酸化膜 1 2 a 上及び第 2 領域 1 1 b における第 1 窒化シリコン膜 7 2 上に第 2 窒化シリコン膜 7 3 を成膜する。これによって、第 1 領域 1 1 a の第 1 パッド酸化膜 1 2 a 上には、第 2 窒化シリコン膜 7 3 からなる第 1 酸化防止膜 1 3 a を形成する。一方、第 2 領域 1 1 b の第 2 パッド酸化膜 1 2 b 上には、第 1 窒化シリコン膜 7 2 と第 2 窒化シリコン膜 7 3 とからなる第 2 酸化防止膜 1 3 b を形成する。この第 2 酸化防止膜 1 3 b は、第 1 酸化防止膜 1 3 a よりも膜厚の厚いものになる。

【 0 0 5 8 】

次に、第 2 工程では、図 7 (3) に示すように、リソグラフィー技術によって第 1 酸化防止膜 1 3 a 及び第 2 酸化防止膜 1 3 b 上にレジストパターン 7 4 を形成する。このレジストパターン 7 4 は、第 1 領域 1 1 a 及び第 2 領域 1 1 b の素子分離膜形成部分に対応する開口パターンを有するものである。その後、このレジストパターン 7 4 をマスク用いて第 1 酸化防止膜 1 3 a、第 2 酸化防止膜 1 3 b、第 1 パッド酸化膜 1 2 a 及び第 2 パッド酸化膜 1 2 b のエッチングを行う。これによって、第 1 領域 1 1 a における第 1 酸化防止膜 1 3 a 及び第 1 パッド酸化膜 1 2 a に半導体基板 1 1 にまで達する第 1 酸化窓 1 5 a を形成し、これと同時に第 2 領域 1 1 b における第 2 酸化防止膜 1 3 b 及び第 2 パッド酸化膜 1 2 b に半導体基板 1 1 にまで達する第 2 酸化窓 1 5 b を形成する。

【 0 0 5 9 】

その後、第 3 工程では、図 7 (4) に示すように、上記レジストパターン (7 4) を除去した後、900 ~ 1100 で熱酸化処理を行うことによって、第 1 酸化窓 1 5 a 及び第 2 酸化窓 1 5 b の底面層に膜厚 400 nm ~ 600 nm の酸化膜を成長させ、第 1 領域 1 1 a に上記酸化膜からなる第 1 素子分離膜 1 6 a を形成し、第 2 領域 1 1 b に上記酸化膜からなる第 2 素子分離膜 1 6 b を形成する。

【 0 0 6 0 】

上記第 7 実施形態の製造方法では、第 1 パッド酸化膜 1 2 a 及び第 1 酸化防止膜 1 3 a が形成された第 1 領域 1 1 a に第 1 素子分離膜 1 6 a が形成され、第 1 パッド酸化膜 1 2 a よりも膜厚の薄い第 2 パッド酸化膜 1 2 b 及び第 1 酸化防止膜 1 3 a よりも膜厚の厚い第 2 酸化防止膜 1 3 b が形成された第 2 領域 1 1 b に第 2 素子分離膜 1 6 b が形成される。このため、第 1 素子分離膜 1 6 a は、第 2 素子分離膜 1 6 b よりもバースピークの大きいものになる。したがって、第 1 領域 1 1 a には、高電圧が印加される周辺素子の分離に適するバースピークの大きい第 1 素子分離膜 1 6 a が形成され、一方、第 2 領域 1 1 b には、微細化された機能素子の高集積化を妨げることのないバースピークの小さい第 2 素子分離膜 1 6 b が形成されることになる。

【 0 0 6 1 】

そして、上記第 5 実施形態及び第 6 実施形態と同様に、第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とは、同一の熱酸化処理によって形成され、しかも第 1 酸化窓 1 5 a の形成と第 2 酸化窓 1 5 b の形成とが同一工程で行われる。このことから、異なる形状の第 1 素子分離膜 1 6 a と第 2 素子分離膜 1 6 b とを従来方法で形成する場合と比較して、素子分離膜を形成するための熱酸化処理の工程と酸化窓の形成工程とを 1 回に削減することが可能になる。

【 図面の簡単な説明 】

【 0 0 6 2 】

【 図 1 】 第 1 実施形態の半導体装置の製造方法を説明する断面工程図である。

【図2】第2実施形態の半導体装置の製造方法を説明する断面工程図である。

【図3】第3実施形態の半導体装置の製造方法を説明する断面工程図である。

【図4】第4実施形態の半導体装置の製造方法を説明する断面工程図である。

【図5】第5実施形態の半導体装置の製造方法を説明する断面工程図である。

【図6】第6実施形態の半導体装置の製造方法を説明する断面工程図である。

【図7】第7実施形態の半導体装置の製造方法を説明する断面工程図である。

【符号の説明】

【0063】

11 半導体基板

11a 第1領域

11b 第2領域

12 パッド酸化膜

12a 第1パッド酸化膜

12b 第2パッド酸化膜

13 酸化防止膜

13a 第1酸化防止膜

13b 第2酸化防止膜

15a 第1酸化窓

15b 第2酸化窓

16 酸化膜

16a 第1素子分離膜

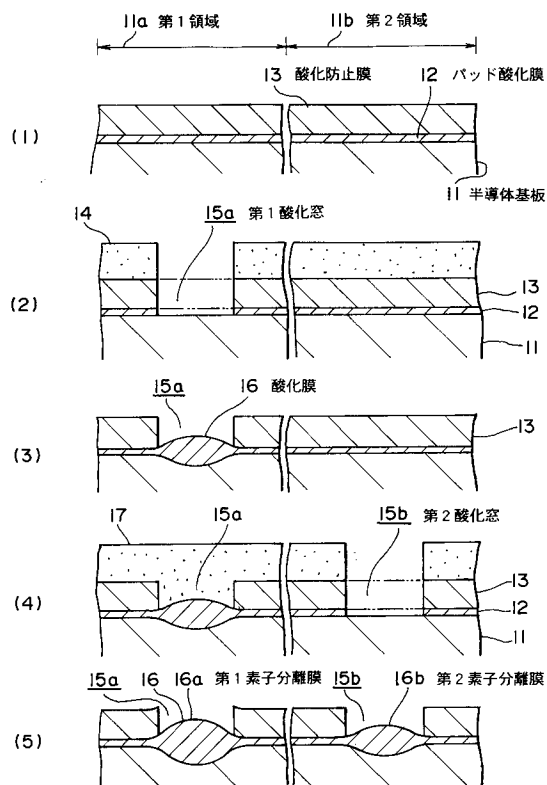
16b 第2素子分離膜

h 溝

10

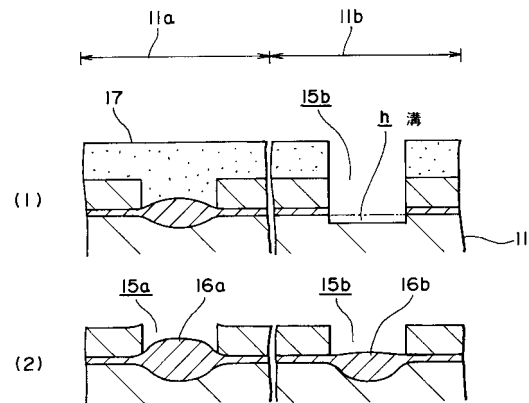
20

【図1】



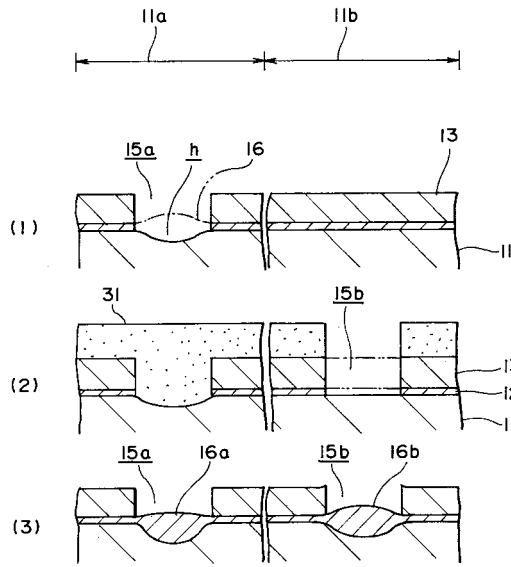
第1実施形態の半導体装置の製造方法を説明する断面工程図

【図2】



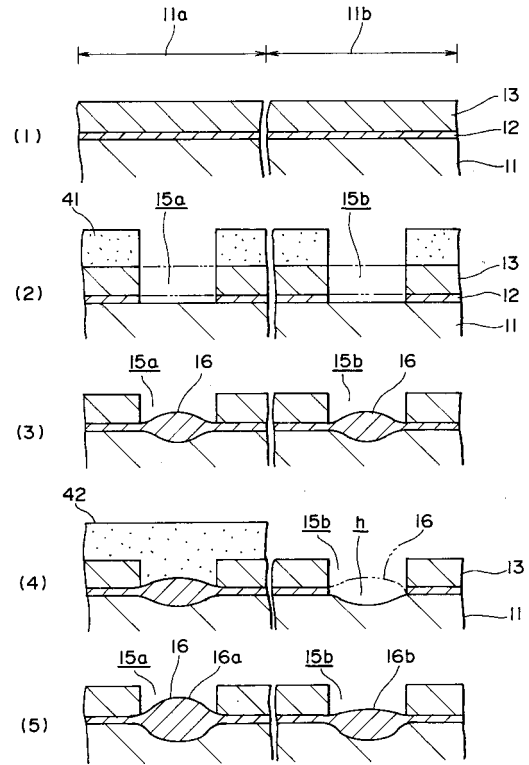
第2実施形態の半導体装置の製造方法を説明する断面工程図

【図 3】



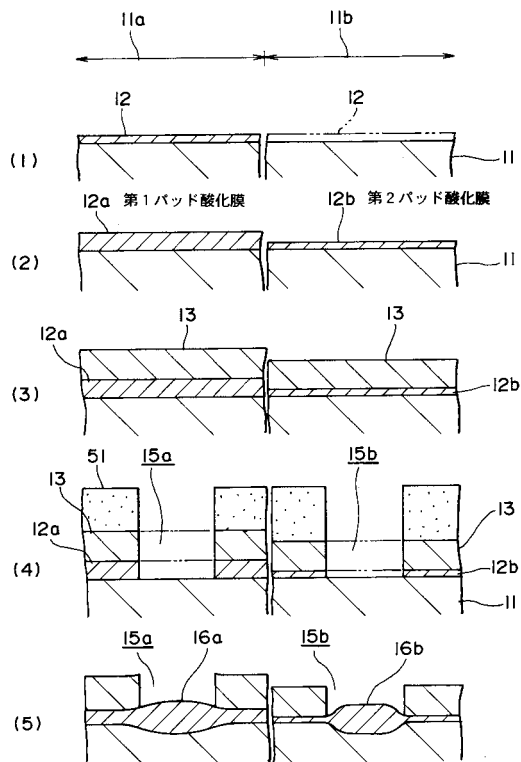
第3実施形態の半導体装置の製造方法を説明する断面工程図

【図 4】



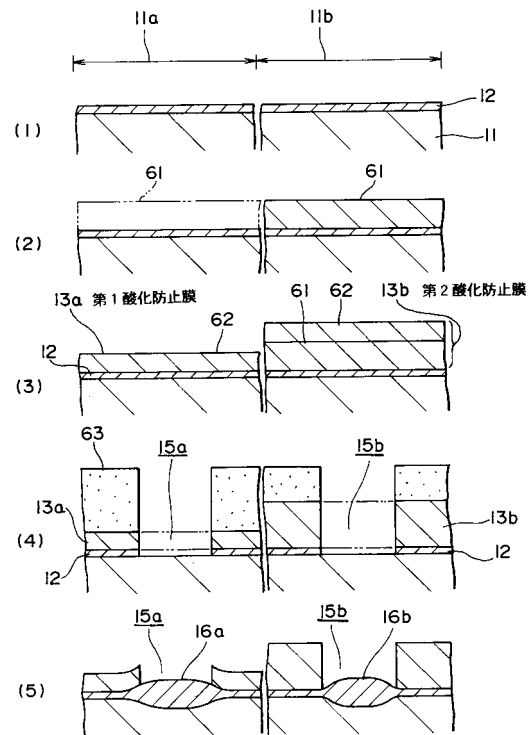
第4実施形態の半導体装置の製造方法を説明する断面工程図

【図 5】



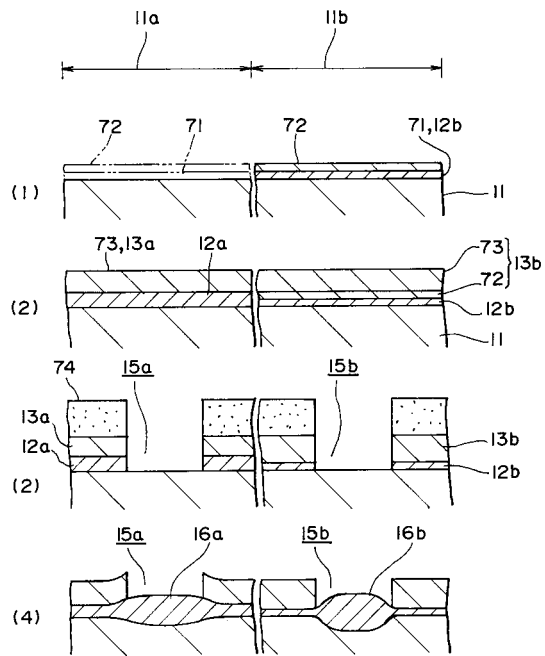
第5実施形態の半導体装置の製造方法を説明する断面工程図

【図 6】



第6実施形態の半導体装置の製造方法を説明する断面工程図

【図 7】



第7実施形態の半導体装置の製造方法を説明する断面工程図

フロントページの続き

(56)参考文献 特開平05-198570(JP,A)
特開平09-008121(JP,A)
特開平09-092788(JP,A)
特開平02-309639(JP,A)
特開平07-130725(JP,A)
特開平03-055867(JP,A)
特開平04-111465(JP,A)
特開昭58-501448(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/316
H01L 21/76
H01L 21/762