

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年10月7日(07.10.2021)



(10) 国際公開番号

WO 2021/199673 A1

- (51) 国際特許分類:
H01L 31/107 (2006.01) *H04N 5/374* (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2021/004172
- (22) 国際出願日: 2021年2月4日(04.02.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-062462 2020年3月31日(31.03.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

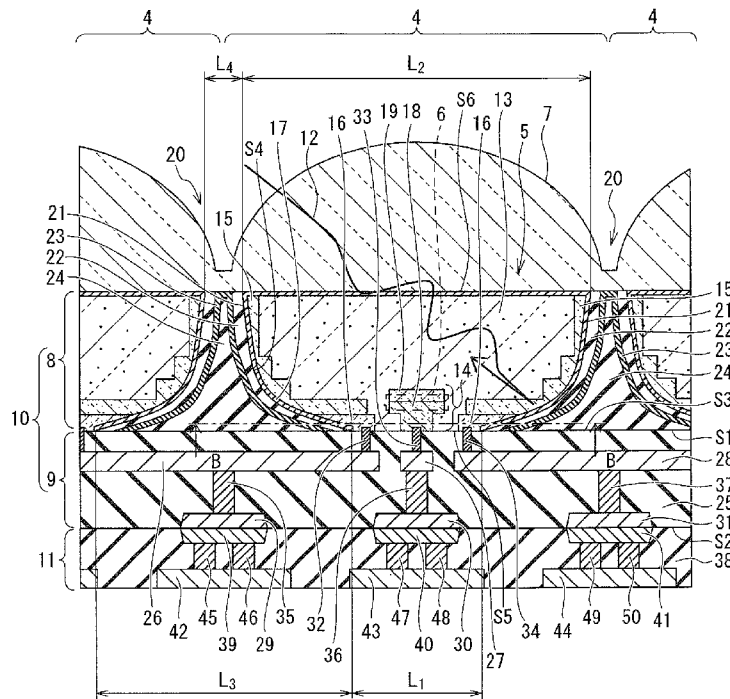
(72) 発明者: 松沼 健司 (MATSUNUMA Takeshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ てつ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器



(57) Abstract: Provided is a solid-state imaging device capable of suppressing color mixture while improving photon detection efficiency (PDE). The solid-state imaging device is provided with a substrate having a plurality of single photon avalanche diodes (SPADs) and pixel isolating portions formed between the SPADs so as to surround each SPAD, and a wiring layer stacked on a surface of the substrate opposite to a light-receiving surface thereof. The pixel isolating portion includes a light-reflecting material that reflects light. In a direction parallel to the light-receiving surface of the substrate



WO 2021/199673 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

in a cross section perpendicular to the light-receiving surface of the substrate, the length of each SPAD between the pixel isolating portions on the wiring layer side is smaller than the length of the SPAD between the pixel isolating portions on the light-receiving surface side.

(57) 要約：PDEを向上しつつ、混色を抑制可能な固体撮像装置を提供する。複数のSPAD、及びSPADのそれぞれを囲むように、SPAD間に形成された画素分離部を有する基板と、基板の受光面と反対側の面に積層された配線層とを備えるようにした。そして、画素分離部が、光を反射する光反射材を含むようにし、基板の受光面に垂直な断面の、基板の受光面と平行な方向において、SPADの配線層側の画素分離部間の長さは、SPADの受光面側の画素分離部間の長さよりも短くした。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本技術は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 従来、複数のSPAD (Single Photon Avalanche Diode) が2次元アレイ状に配列された基板と、基板の受光面と反対側の面に積層された配線層とを備えた固体撮像装置が提案されている（例えば、特許文献1参照。）。特許文献1に記載の固体撮像装置では、配線層のメタル配線を、SPADの高電界領域の配線層側の面を覆うように形成することで、SPADを通り抜けた入射光をメタル配線で反射させ、反射された入射光をSPADに戻し、PDE (Photon Detection Efficiency)を向上するようになっている。

先行技術文献

特許文献

[0003] 特許文献1：特開2018-88488号公報

発明の概要

発明が解決しようとする課題

[0004] このような固体撮像装置では、PDEの向上に加え、一のSPADに入射した入射光が隣接する他のSPADで検出される混色の抑制が求められている。

本開示は、PDEを向上しつつ、混色を抑制可能な固体撮像装置及び電子機器を提供することを目的とする。

課題を解決するための手段

[0005] 本開示の固体撮像装置は、（a）複数のAPD (アバランシェフォトダイオード：Avalanche Photo Diode)、及びAPDのそれぞれを囲むように、APD間に形成された画素分離部を有する基板と、（b）基板の受光面と反対側の面に積層された配線層とを備え、（c）画素分離部は、光を反射する光反

射材を含み、（d）基板の受光面に垂直な断面の、基板の受光面と平行な方向において、A P Dの配線層側の画素分離部間の長さは、A P Dの受光面側の画素分離部間の長さよりも短い。

[0006] 本開示の電子機器は、（a）複数のA P D（アバランシェフォトダイオード）、及びA P Dのそれぞれを囲むように、A P D間に形成された画素分離部を有する基板と、（b）基板の受光面と反対側の面に積層された配線層とを備え、（c）画素分離部は、光を反射する光反射材を含み、（d）基板の受光面に垂直な断面の、基板の受光面と平行な方向において、A P Dの配線層側の画素分離部間の長さは、A P Dの受光面側の画素分離部間の長さよりも短い固体撮像装置を備える。

図面の簡単な説明

[0007] [図1]第1の実施形態に係る固体撮像装置の全体構成を示す図である。

[図2]図1のA－A線で破断して固体撮像装置の断面構成を示す図である。

[図3]図2のB－B線で破断して基板の表面側の断面構成を示す図である。

[図4A]固体撮像装置の製造工程の流れを示す図である。

[図4B]固体撮像装置の製造工程の流れを示す図である。

[図4C]固体撮像装置の製造工程の流れを示す図である。

[図4D]固体撮像装置の製造工程の流れを示す図である。

[図4E]固体撮像装置の製造工程の流れを示す図である。

[図4F]固体撮像装置の製造工程の流れを示す図である。

[図4G]固体撮像装置の製造工程の流れを示す図である。

[図4H]固体撮像装置の製造工程の流れを示す図である。

[図4I]固体撮像装置の製造工程の流れを示す図である。

[図4J]固体撮像装置の製造工程の流れを示す図である。

[図5]第2の実施形態に係る固体撮像装置の断面構成を示す図である。

[図6]図5のC－C線で破断して基板の表面側の断面構成を示す図である。

[図7]第2の実施形態に係る固体撮像装置の断面構成を示す図である。

[図8]変形例に係る固体撮像装置の断面構成を示す図である。

[図9]変形例に係る固体撮像装置の断面構成を示す図である。

[図10]変形例に係る固体撮像装置の断面構成を示す図である。

[図11]変形例に係る固体撮像装置の断面構成を示す図である。

[図12]第3の実施形態に係る電子機器の概略構成図である。

発明を実施するための形態

[0008] 本発明者らは、特許文献1に記載の固体撮像装置において、以下の課題を発見した。

特許文献1に記載の固体撮像装置では、画素領域の端部付近のAPDでは、入射光が垂直に入射されず、斜めに入射されるため、メタル配線で反射された入射光が元のAPDに戻らず、隣接するAPDに出ていくことで、PDEが低下する可能性があった。また、出ていった入射光が隣接するAPDで検出される、混色を生じる可能性があった。

[0009] 以下に、本開示の実施形態に係る固体撮像装置及び電子機器の一例を、図1～図12を参照しながら説明する。本開示の実施形態は、以下の順序で説明する。なお、本開示は以下の例に限定されるものではない。また、本明細書に記載された効果は例示であって限定されるものではなく、また他の効果があってもよい。

1. 第1の実施形態：固体撮像装置

1-1 固体撮像装置の構造

1-2 要部の構造

1-3 固体撮像装置の製造方法

2. 第2の実施形態：固体撮像装置

2-1 要部の構造

2-2 変形例

3. 第3の実施形態：電子機器

[0010] <1. 第1の実施形態>

[1-1 固体撮像装置の構造]

本開示の第1の実施形態に係る固体撮像装置について説明する。図1は、

本開示の第1の実施形態に係る固体撮像装置の全体を示す概略構成図である。

固体撮像装置1(203)は、図12に示すように、光学系202を介して被写体で反射された光源装置207からの光(変調光、パルス光等)を取り込み、取り込んだ光を光検出部(光電変換部)で電気信号に変換して画像処理回路204に距離信号を供給する。光源装置207からの光としては、例えば、赤外光等の波長の長い光を採用できる。

[0011] 固体撮像装置1は、図1に示すように、画素領域2と、バイアス電圧印加部3とを備えている。

画素領域2は、複数の画素4が2次元アレイ状に配列されている。画素4は、光検出部として、APD(アバランシェフォトダイオード)を含む画素である。APDは、アバランシェ増倍と呼ばれる現象を利用して受光感度を向上させたフォトダイオードである。

APDの使用モードには、逆バイアス電圧を降伏電圧(ブレイクダウン電圧)未満で動作させるリニアモードと、降伏電圧以上で動作させるガイガーモードがある。ガイガーモードでは、単一の光子(フォトン)の入射でもアバランシェ増倍を起こすことができる。ガイガーモードで動作するAPDを、単一光子アバランシェダイオード(SPAD: Single Photon Avalanche Diode)5という(図2参照)。SPAD5では、アノードに負のバイアス電圧が印加されるとSPAD5内に高電界領域6を形成し、1光子から光電変換された電子が高電界領域6に転送されることでアバランシェ増倍を起こし、数万倍の電子に増倍される。以下、光検出部として、SPAD5を含む画素4を一例に説明する。

バイアス電圧印加部3は、複数の画素4それぞれに負のバイアス電圧を印加する。

[0012] [1-2 要部の構造]

次に、図1の固体撮像装置1の画素4の詳細構造について説明する。図2は、画素4の断面的な構成例が示されている。

固体撮像装置 1 は、図 2 に示すように、マイクロレンズ 7、基板 8、配線層 9 がこの順に積層されてなるセンサ基板 10 を備えている。即ち、配線層 9 は、基板 8 の受光面と反対側の面（以下、「表面 S 1」とも呼ぶ）に積層されている。また、センサ基板 10 の配線層 9 側の面（以下「表面 S 2」とも呼ぶ）には、ロジック基板 11 が積層されている。

マイクロレンズ 7 は、複数の画素 4 のそれぞれに対応して形成されている。即ち 1 つの画素 4 に対して 1 つのマイクロレンズ 7 が形成されている。マイクロレンズ 7 では、入射光 12 が集光され、集光された入射光 12 が SPAD 5 の受光面側に集光される。入射光 12 は、画素領域 2 の端部付近のマイクロレンズ 7 に対して斜めに入射される。一方、入射光 12 は、画素領域 2 の中心付近のマイクロレンズ 7 に対して垂直に入射される。また、入射光 12 としては、例えば、赤外光等の波長の長い光の光子が挙げられる。

[0013] 基板 8 は、例えば、シリコン (Si) からなる半導体基板によって構成され、画素領域 2 が形成されている。画素領域 2 には、基板 8 に形成された複数の SPAD 5 が二次元アレイ状に配置され、SPAD 5 を含む複数の画素 4 が、二次元アレイ状に配置されている。

SPAD 5 は、光吸収層 13 と、積層領域 14 と、ホール蓄積層 15 と、高濃度 P 型半導体領域 16 と、ピニング層 17 とを備えている。

光吸収層 13 は、SPAD 5 の全体に形成された、不純物濃度が低い P 型の半導体領域 (P-) である。光吸収層 13 では、入射光 12 (光子) が吸収されて光電変換により電子が生成され、生成された電子が高電界領域 6 (積層領域 14) へ転送される。

[0014] 積層領域 14 は、SPAD 5 の配線層 9 近傍の中央部に形成され、N 型半導体領域 18 及び P 型半導体領域 19 が積層されて、基板 8 の厚さ方向よりも幅方向に長い矩形板状に構成されている。N 型半導体領域 18 は、不純物濃度が高い N 型の半導体領域 (N+) である。N 型半導体領域 18 の中央部は、基板 8 の表面 S 1 (N 型半導体領域 18 と配線層 9 との界面) まで延びている。N 型半導体領域 18 の配線層 9 側の面には、SPAD 5 のカソード

電極として、配線層 9 のコンタクト電極 33 が接続されている。また、P 型半導体領域 19 は、N 型半導体領域 18 よりもマイクロレンズ 7 側に形成された、不純物濃度が高い P 型の半導体領域 (P+) である。N 型半導体領域 18 及び P 型半導体領域 19 の界面には、PN 接合で空乏層を形成する。PN 接合による空乏層は、SPAD 5 のアノード電極に負のバイアス電圧が印加されることで、アバランシェ増倍を起こすための高電界領域 6 を形成する。

なお、第 1 の実施形態では、積層領域 14 を配線層 9 の近傍に形成する例を示したが、積層領域 14 は、基板 8 の厚さ方向の中心部よりも配線層 9 側に形成されていればよい。これにより、N 型半導体領域 18 と配線層 9 との接続を容易に行うことができる。

[0015] ホール蓄積層 15 は、光吸収層 13 の側面を覆うように形成された P 型の半導体領域 (P) である。また、ホール蓄積層 15 の配線層 9 側は、積層領域 14 の周囲を囲むように、SPAD 5 の中心側に延びている。積層領域 14 の周囲を囲むホール蓄積層 15 の開口部は、矩形状に形成されている。ホール蓄積層 15 では、SPAD 5 のアノード電極に負のバイアス電圧が印加されることで、ホール濃度が増大され暗電流の発生が抑制される。

高濃度 P 型半導体領域 16 は、ホール蓄積層 15 の配線層 9 側を覆うように形成された、不純物濃度の高い P 型の半導体領域 (P++) である。また、高濃度 P 型半導体領域 16 の配線層 9 側は、図 3 に示すように、積層領域 14 の配線層 9 側の周囲を囲むように、SPAD 5 の中心側に延びている。SPAD 5 の中心側に延びていることにより、高濃度 P 型半導体領域 16 の配線層 9 側は、画素分離部 20 の配線層 9 側よりも積層領域 14 側に突出し、突出箇所がセンサ基板 10 とロジック基板 11 との界面に露出している。積層領域 14 の周囲を囲む高濃度 P 型半導体領域 16 の開口部は、矩形状に形成されている。

[0016] 高濃度 P 型半導体領域 16 の配線層 9 側の端面のうち、センサ基板 10 とロジック基板 11 との界面に露出している部分には、SPAD 5 のアノード

電極として配線層 9 のコンタクト電極 3 2 (3 4) が接続されている。コンタクト電極 3 2 (3 4) は、図 3 に示すように N 型半導体領域 1 8 の周囲を囲むように複数配置されている。図 3 では、1 6 個のコンタクト電極 3 2 (3 4) が配置されている。これにより、コンタクト電極 3 2 (3 4) は、高濃度 P 型半導体領域 1 6 を介してホール蓄積層 1 5 と電氣的に接続されている。

[0017] ピニング層 1 7 は、S P A D 5 の受光面（マイクロレンズ 7 側の面）及び側面の最表層となるように形成された、負の固定電荷を有する膜である。ピニング層 1 7 の材料としては、固定電荷を発生させてピニングを強化可能な材料を用いることができる。具体的には、酸化ハフニウム (HfO_2) 膜、酸化アルミニウム (Al_2O_3) 膜、酸化ジルコニウム (ZrO_2) 膜、酸化タンタル (Ta_2O_5) 膜、酸化チタン (TiO_2) 膜を採用することができる。

このような構成により、S P A D 5 は、入射光 1 2 が入射されると、光吸収層 1 3 が、入射光 1 2 を光電変換して電子を生成し、生成した電子を高電界領域 6 に転送し、高電界領域 6 が、アバランシェ増倍を起こし、転送された電子を数万倍の電子に増幅する。

[0018] また、互いに隣接する S P A D 5 間には、画素分離部 2 0 が形成されている。画素分離部 2 0 は、S P A D 5 のそれぞれを囲むように、基板 8 に格子状に形成されている。画素分離部 2 0 は、基板 8 を厚さ方向に貫通したトレンチ部 2 1（溝部）を有している。トレンチ部 2 1 は、S P A D 5 のそれぞれを囲むように、基板 8 に格子状に形成されている。また、トレンチ部 2 1 の底面は、配線層 9 の基板 8 に対向する面 S 3 で形成されている。

画素分離部 2 0 の S P A D 5 に接する面（以下、「S P A D 接触面 S 4」とも呼ぶ）の三次元形状は、中央部が配線層 9 側に窪んだ形状となっている。言い換えると、基板 8 の受光面に垂直な断面（例えば、図 2 に示した断面）の、基板 8 の受光面と平行な方向において、S P A D 5 の配線層 9 側の画素分離部 2 0 間の長さ L_1 が、S P A D 5 の受光面側の画素分離部 2 0 間の長さ L_2 よりも短くなっている。また、基板 8 の受光面に垂直な断面の、基板 8

の受光面と平行な方向において、画素分離部 20 の配線層 9 側の長さ L_3 が、画素分離部 20 の受光面側の長さ L_4 よりも長くなっている。これにより、SPAD 5 の配線層 9 側の端面（以下、「第 1 の端面 S5」とも呼ぶ）の面積は、SPAD 5 の受光面側の端面（以下、「第 2 の端面 S6」とも呼ぶ）の面積よりも小さくなっている。

[0019] 第 1 の端面 S5 としては、例えば、SPAD 5 のマイクロレンズ 7 側の面のうちの、基板 8 の受光面と同一面上に位置する部分を採用できる。また、第 2 の端面 S6 としては、例えば、SPAD 5 の配線層 9 側の面のうちの、基板 8 の受光面と反対側の面と同一面上に位置する面を採用できる。言い換えると、図 3 に示すように SPAD 5 の配線層 9 側の面のうちの、画素分離部 20 の配線層 9 側の端面で周囲を囲まれた部分を用いることができる。第 1 の端面 S5 の面積は、混色防止を効果的に抑制可能とする点からは、第 2 の端面 S6 の面積の 65% 以下であることが好ましく 50% 以下であることがより好ましい。

また、SPAD 接触面 S4 の縦断面形状、つまり画素分離部 20 の側壁の縦断面形状は曲線形状に形成されている。縦断面形状としては、例えば基板 8 の受光面に垂直な断面における断面形状を採用できる。具体的には、中央部が配線層 9 側に窪んだパラボラ形状（放物線状）となっている。即ち、画素分離部 20 の縦断面形状は、基板 8 の受光面側から配線層 9 側へ向かうほど画素分離部 20 の幅が広くなるように傾斜された放物線テーパ形状となっている。縦断面形状としては、例えば、基板 8 の厚さ方向に切断した場合の断面の形状を採用できる。パラボラ形状の焦点の位置は SPAD 5 の幅方向中心に設定する。

[0020] また、トレンチ部 21 の内側面には、内側面のすべてを連続的に覆うように、絶縁膜 22、反射膜 23 及び絶縁膜 24 がこの順に積層されている。即ち、画素分離部 20 は、SPAD 5 の画素分離部 20 側の面を、絶縁膜 22 及び反射膜 23 がこの順に覆っている。絶縁膜 22、24 の材料としては、例えば、シリコン酸化物 (SiO_2)、シリコン窒化物 (SiN) 等の絶縁物を採用

することができる。また、反射膜 23 の材料としては、例えば、光を反射する反射材を採用できる。反射膜 23 としては、例えば、アルミニウム膜等の金属膜を用いることができる。金属膜を採用することにより、入射光 12 をより確実に反射できる。また、反射膜 23 は、トレンチ部 21 のマイクロレンズ 7 側の開口端を閉塞している。これにより、すべての SPAD 5 の反射膜 23 は、互いに電氣的に接続されている。

[0021] このように、画素分離部 20 に光反射材（反射膜 23）を含ませ、SPAD 5 の第 1 の端面 S5 の面積を第 2 の端面 S6 の面積よりも小さくすることで、SPAD 5 の配線層 9 側に画素分離部 20 が回り込むようにした。それゆえ、例えば、入射光 12 が SPAD 5 を通り抜けたとしても、通り抜けた入射光 12 を画素分離部 20 で反射して SPAD 5 に戻すことができ、PDE を向上することができる。また、SPAD 5 を通り抜けた入射光 12 を画素分離部 20 で反射することで、SPAD 5 を通り抜けた入射光 12 の配線層 9 への到達を抑制できるため、例えば、入射光 12 が斜めに入射されたとしても、配線層 9 のメタル配線 27 で入射光 12 が反射されることを防止することができ、反射された入射光 12 が隣接する画素 4 へ進入することを防止でき、混色を防止することができる。

また、画素分離部 20 の SPAD 5 に接する面 S4 の縦断面形状をパラボラ形状としたため、例えば、高電界領域 6 を SPAD 5 の中心線上に配置することで、画素分離部 20 で反射された入射光 12 を高電界領域 6 の近くに集光できる。それゆえ、より高電界領域 6 に近いところで光電変換が行われる確率を高めることができ、光電変換で発生した電子が高電界領域 6 に到達するまでの時間を短縮でき、タイミングジッタを抑制できる。

[0022] 配線層 9 には、層間絶縁膜 25 が設けられている。層間絶縁膜 25 の内部の基板 8 側には、メタル配線 26、27、28 が配置され、ロジック基板 11 側には、メタルパッド 29、30、31 が配置されている。メタルパッド 29～31 のロジック基板 11 側の面は、センサ基板 10 とロジック基板 11 との界面に位置している。さらに、層間絶縁膜 25 の内部には、コンタク

ト電極 32、33、34、35、36、37 も配置されている。

コンタクト電極 32 は、高濃度 P 型半導体領域 16 とメタル配線 26 とを接続している。また、コンタクト電極 33 は、N 型半導体領域 18 とメタル配線 27 とを接続している。また、コンタクト電極 34 は、高濃度 P 型半導体領域 16 とメタル配線 28 とを接続している。また、コンタクト電極 35 は、メタル配線 26 とメタルパッド 29 とを接続している。また、コンタクト電極 36 は、メタル配線 27 とメタルパッド 30 とを接続している。また、コンタクト電極 37 はメタル配線 28 とメタルパッド 31 とを接続している。

[0023] ロジック基板 11 は、層間絶縁膜 38 を備えている。層間絶縁膜 38 の内部のセンサ基板 10 側には、メタルパッド 39、40、41 が配置され、反対側には、電極パッド 42、43、44 が配置されている。メタルパッド 39～41 のセンサ基板 10 側の面は、センサ基板 10 とロジック基板 11 との界面に位置している。さらに、層間絶縁膜 38 の内部には、コンタクト電極 45、46、47、48、49、50 も配置されている。コンタクト電極 45、46 は、メタルパッド 39 と電極パッド 42 とを接続している。また、コンタクト電極 47、48 は、メタルパッド 40 と電極パッド 43 とを接続している。また、コンタクト電極 49、50 は、メタルパッド 41 と電極パッド 44 とを接続している。

[0024] このような配線の構成により、ロジック基板 11 の電極パッド 43 は、コンタクト電極 47、48、メタルパッド 40、メタルパッド 30、コンタクト電極 36、メタル配線 27 及びコンタクト電極 33 を介してセンサ基板 10 の N 型半導体領域 18 に接続される。

また、ロジック基板 11 の電極パッド 42 は、コンタクト電極 45、46、メタルパッド 39、メタルパッド 29、コンタクト電極 35、メタル配線 26 及びコンタクト電極 32 を介して、高濃度 P 型半導体領域 16 に接続される。同様に、電極パッド 44 は、コンタクト電極 49、50、メタルパッド 41、メタルパッド 31、コンタクト電極 37、メタル配線 28 及びコン

タクト電極 3 4 を介して高濃度 P 型半導体領域 1 6 に接続される。

[0025] [1 - 3 固体撮像装置の製造方法]

次に、第 1 の実施形態の固体撮像装置 1 の製造方法について説明する。図 4 A、図 4 B、図 4 C、図 4 D、図 4 E、図 4 F、図 4 G、図 4 H、図 4 I 及び図 4 J は、第 1 の実施形態の固体撮像装置 1 の製造工程を示す断面図である。

まず、図 4 A に示すように、基板 8 に光吸収層 1 3、積層領域 1 4、ホール蓄積層 1 5 及び高濃度 P 型半導体領域 1 6 等の不純物領域を形成する。不純物領域は、基板 8 に対し、所望の不純物を基板 8 の表面 S 1 側からイオン注入することで形成する。続いて、基板 8 の表面 S 1 にレジスト層を成膜し、図 4 B に示すように、成膜したレジスト層に露光・現像を行って、トレンチ部 2 1 の形成予定位置に開口部を有するマスク 5 1 を形成する。

[0026] 続いて、図 4 C に示すように、マスク 5 1 を用いて、トレンチ部 2 1 の形成予定位置を、基板 8 の表面 S 1 側からエッチングすることで、トレンチ部 2 1 を形成する。続いて、図 4 D に示すように、マスク 5 1 を除去し、図 4 E に示すように、トレンチ部 2 1 の内側及び基板 8 の表面 S 1 を連続的に覆うようにピニング層 1 7 及び絶縁膜 2 2 を成膜する。

続いて、トレンチ部 2 1 の内側及び基板 8 の表面 S 1 を連続的に覆うように反射膜 2 3 を成膜する。反射膜 2 3 の成膜方法としては、例えば、反射膜 2 3 がアルミニウム膜である場合には、C V D (Chemical Vapor Deposition) 法を採用できる。続いて、図 4 F に示すように、画素分離部 2 0 以外の部分から、反射膜 2 3 及びピニング層 1 7 を除去する。

[0027] 続いて、図 4 G に示すように、トレンチ部 2 1 内を埋め、基板 8 の表面側を連続的に覆うように、絶縁膜 2 4 の全部及び層間絶縁膜 2 5 の一部（図 2 に示した層間絶縁膜 2 5 の上部）を成膜する。図 4 G では、絶縁膜 2 4 の全部及び層間絶縁膜 2 5 の一部を同じ材料で一体に形成した場合を例示している。なお、絶縁膜 2 4 及び層間絶縁膜 2 5 は個別に形成してもよい。図 2 は、個別に形成した場合を例示している。また、絶縁膜 2 4 及び層間絶縁膜 2

5のそれぞれを、複数の材料を用いて多層構造としてもよい。続いて、図4Hに示すように、CMP (Chemical Mechanical Polish)を用いて、層間絶縁膜25の一部を所望の厚さまで研磨する。続いて、図4Iに示すように、層間絶縁膜25の一部にコンタクト電極32、33、34を形成する。続いて、図4Jに示すように、層間絶縁膜25の残りの部分（図2に示した層間絶縁膜25の下部）、メタル配線26、27、28、コンタクト電極35、36、37、メタルパッド29、30、31を形成して、配線層9を形成する。その後、通常の半導体のウェハープロセスのフローで固体撮像装置1を形成する。

[0028] 以上説明したように、第1の実施形態に係る固体撮像装置1は、画素分離部20に光反射材を含ませるとともに、基板8の受光面に垂直な断面の、基板8の受光面と平行な方向において、SPAD5の配線層9側の画素分離部20間の長さ L_1 を、SPAD5の受光面側の画素分離部20間の長さ L_2 よりも短くした。即ち、SPAD5の配線層9側の端面（第1の端面S5）の面積を、受光面側の端面（第2の端面S6）の面積よりも小さくした。それゆえ、SPAD5の配線層9側に画素分離部20が回り込むため、SPAD5を通り抜けた入射光12を画素分離部20で反射してSPAD5に戻すことができ、PDEを向上できる。また、斜めに入射された入射光12がメタル配線27で反射されることを防止でき、反射された入射光12の隣接する画素4への進入を防止でき、混色を防止できる。したがって、PDEを向上しつつ混色を抑制可能な固体撮像装置1を提供できる。

[0029] 〈2. 第2の実施形態〉

[2-1 要部の構成]

次に、本開示の第2の実施形態に係る固体撮像装置1について説明する。第2の実施形態に係る固体撮像装置の全体構成は、図1と同様であるから図示を省略する。図5は、第2の実施形態に係る固体撮像装置1の断面構成図である。また、図6は、図5のC-C線で破断して基板8の表面側の断面構成を示す図である。図5及び図6において、図2及び図3に対応する部分に

は同一符号を付し重複説明を省略する。

[0030] 第2の実施形態に係る固体撮像装置1は、コンタクト電極34の配置が、第1の実施形態に係る固体撮像装置1と異なっている。第2の実施形態では、図5、図6に示すように、コンタクト電極32、34は、第1の実施形態よりもSPAD5の中心部から離れ、画素分離部20と重なる位置に配置されている。そして、画素分離部20（絶縁膜22、反射膜23、絶縁膜24）を基板8の厚さ方向に貫通し、高濃度P型半導体領域16を介してSPAD5のホール蓄積層15と配線層9のメタル配線26、28とを接続している。

また、画素分離部20を貫通することにより、コンタクト電極32、34は、反射膜23と電氣的に接続されている。また、上述したように各SPAD5の反射膜23は電氣的に接続されている。そのため、すべてのSPAD5のホール蓄積層15とすべてのコンタクト電極32、34とが接続されている。それゆえ、図7に示すように、すべてのSPAD5のコンタクト電極32、34、つまり、電子を供給するアノードが電氣的に接続される。それゆえ、アバランシェ増倍の発生にともなう電流の経路の抵抗値を低減でき、SPAD5に電子を供給しやすくなる。図7は、固体撮像装置1から、積層領域14、ピニング層17、画素分離部20及びコンタクト電極32、33、34のみを抜き出して示す断面図である。

[0031] また、N型半導体領域18と接続されるメタル配線27は、基板8の厚さ方向から見て、SPAD5の配線層9側の端面（第1の端面S5）を覆うように形成されている。即ち、基板8の厚さ方向から見た場合に、メタル配線27の内部に第1の端面S5が含まれるように、メタル配線27と第1の端面S5とが重なっている。具体的には、メタル配線27の端面すべてが、SPAD5の周囲を囲む反射膜23と重なった構成となっている。これにより、例えば、入射光12が垂直に入射されたときに、SPAD5を通り抜けた入射光12がSPAD5の配線層9側の端面から出ていった場合に、出ていった入射光12をメタル配線27で反射でき、反射された入射光12をSP

A D 5に戻ることができる。

[0032] 以上説明したように、第2の実施形態に係る固体撮像装置1では、コンタクト電極32、34が、画素分離部20を基板8の厚さ方向に貫通し、SPAD5のホール蓄積層15と配線層9のメタル配線26、28とを接続するようにしたため、反射膜23を介して、すべてのSPAD5のアノードを電氣的に接続でき、電流の経路の抵抗値を低減できる。

[0033] [2-2 変形例]

(1) なお、第1及び第2の実施形態では、積層領域14の形状を、基板8の厚さ方向よりも幅方向に長い矩形板状とする例を示したが、他の構成を採用することもできる。例えば、図8に示すように、積層領域14の形状を基板8の幅方向よりも厚さ方向に長い形状としてもよい。基板8の厚さ方向としては、例えば、基板8の受光面に対して垂直な方向を採用できる。基板8の幅方向としては、例えば、基板8の受光面に対して平行な方向を採用できる。具体的には、N型半導体領域18を基板8の幅方向よりも厚さ方向に長い形状とし、N型半導体領域18のマイクロレンズ7側の面及び側面をP型半導体領域19で覆う構成とする。これにより、SPAD5の受光面側（マイクロレンズ7側）で発生した電子が高電界領域6に到達するまでの時間を短縮でき、タイミングジッタをより確実に抑制できる。図8は、固体撮像装置1から、積層領域14（N型半導体領域18、P型半導体領域19）、ピニング層17及び画素分離部20のみを抜き出して示す断面図である。

また、図8では、積層領域14を、画素分離部20のパラボラ形状の焦点に形成する構成となっている。即ち、パラボラ形状の焦点が積層領域14内に位置するように、積層領域14の位置が調整されている。これにより、光電変換で発生した電子が高電界領域6に到達するまでの時間をより短縮でき、タイミングジッタをより効果的に抑制できる。

[0034] (2) また、第1及び第2の実施形態では、画素分離部20の縦断面形状を、基板8の受光面側から配線層9側へ向かうほど画素分離部20の幅が広くなるように傾斜された放物線テーパ形状とする例を示したが、他の構成を採

用することもできる。例えば、図9に示すように、基板8の受光面に垂直な断面において、画素分離部20の断面形状（縦断面形状）を、基板8の受光面側から配線層9側へ向かうほど画素分離部20の幅が広くなるように傾斜された線形テーパ形状、つまり、基板8の厚さ方向に対して幅が線形に変わる直線的な先細り形状としてもよい。画素分離部20を線形テーパ形状とすることにより、放物線テーパ形状とする場合に比べ、画素分離部20を容易に形成でき製造コストを低減できる。図9は、固体撮像装置1から、積層領域14（N型半導体領域18、P型半導体領域19）、ピニング層17、及び画素分離部20のみを抜き出して示す断面図である。

また、例えば、図10に示すように、基板8の受光面に垂直な断面において、画素分離部20の受光面側の断面形状（縦断面形状）を、基板8の受光面側から配線層9側に長い長方形（矩形状）とし、画素分離部20の配線層9側の断面形状（縦断面形状）を、基板8の受光面側から配線層9側へ向かうほど画素分離部20の幅が広くなるように傾斜された線形テーパ形状としてもよい。これにより、光吸収層13を拡大でき、入射光12が光吸収層13で光電変換される可能性を向上でき、PDEをより確実に向上することができる。図10は、固体撮像装置1から、積層領域14（N型半導体領域18、P型半導体領域19）、ピニング層17、及び画素分離部20のみを抜き出して示す断面図である。（3）また、第1及び第2の実施の形態では、光検出部（光電変換部）として、SPAD5を用いる例を示したが、他の構成を採用することもできる。例えば、単一の光子ではアバランシェ増倍を起こさないAPD、つまり、SPAD5以外のAPDを用いる構成としてもよい。また、例えば、図11に示すように、光検出部（光電変換部）として、PD（フォトダイオード）52を用いる構成としてもよい。図11では、第2の実施形態に係る固体撮像装置1のSPAD5に代えてPD52用いた構成を例示している。

[0035] 〈3. 第3の実施の形態〉

本開示に係る技術（本技術）は、各種の電子機器に適用されてもよい。

図12は、本技術が適用され得る電子機器（例えば、距離画像センサ）の概略的な構成の一例を示す図である。

図12に示すように、距離画像センサ201は、光学系202と、固体撮像装置203と、画像処理回路204と、モニタ205と、メモリ206とを備えている。そして、光源装置207から被写体に向かって投光されて、被写体の表面で反射された光（変調光、パルス光等）を受光することにより、被写体までの距離に応じた距離画像を取得する。

[0036] 具体的には、光学系202は、1枚又は複数枚のレンズを有して構成され、被写体からの像光（入射光208）を固体撮像装置203に導き、固体撮像装置203の受光面（画素領域）に結像させる。固体撮像装置203としては、上述した各実施の形態及び変形例の固体撮像装置1が適用され、光検出部（光電変換部）から出力される受光信号（SPAD OUT）から求められる距離を示す距離信号が画像処理回路204に供給される。画像処理回路204は、固体撮像装置203から供給された距離信号に基づいて距離画像を構築する画像処理を行い、その画像処理により得られた距離画像（画像データ）は、モニタ205に供給されて表示されたり、メモリ206に供給されて記憶（記録）されたりする。

このように構成されている距離画像センサ201では、上述した固体撮像装置1を適用することで、SPAD5の特性向上にともなって、より正確な距離画像を取得できる。

[0037] なお、本技術は、以下のような構成を取ることができる。

(1)

複数のAPD（アバランシェフォトダイオード）、及び前記APDのそれぞれを囲むように、前記APD間に形成された画素分離部を有する基板と、

前記基板の受光面と反対側の面に積層された配線層とを備え、

前記画素分離部は、光を反射する光反射材を含み、

前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記APDの前記配線層側の前記画素分離部間の長さは、前記APDの

受光面側の前記画素分離部間の長さよりも短い

固体撮像装置。

(2)

前記APDの前記配線層側の端面である第1の端面の面積は、前記APDの受光面側の端面である第2の端面の面積よりも小さい

前記(1)に記載の固体撮像装置。

(3)

前記第1の端面の面積は、前記第2の端面の面積の65%以下である

前記(2)に記載の固体撮像装置。

(4)

前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記画素分離部の前記配線層側の長さは、前記画素分離部の受光面側の長さよりも長い

前記(1)から(3)の何れかに記載の固体撮像装置。

(5)

前記基板の受光面に垂直な断面において、前記画素分離部の側壁の断面形状は、曲線形状に形成されている

前記(4)に記載の固体撮像装置。

(6)

前記画素分離部の前記APDに接する面の縦断面形状は、中央部が前記配線層側に窪んだパラボラ形状である

前記(5)に記載の固体撮像装置。

(7)

前記APDのうちの、高電界領域を形成するためのN型半導体領域とP型半導体領域とを含む積層領域は、前記パラボラ形状の焦点に形成されている

前記(6)に記載の固体撮像装置。

(8)

前記積層領域の形状は、前記基板の幅方向よりも前記基板の厚さ方向に長

い形状である

前記（７）に記載の固体撮像装置。

（９）

前記画素分離部の縦断面形状は、前記基板の受光面側から前記配線層側へ向かうほど前記画素分離部の幅が広くなるように傾斜された線形テーパ形状である

前記（４）に記載の固体撮像装置。

（１０）

前記画素分離部の縦断面形状のうちの受光面側は、前記基板の受光面側から前記配線層側に長い長方形状であり、前記配線層側は、前記基板の受光面側から前記配線層側へ向かうほど前記画素分離部の幅が広くなるように傾斜された線形テーパ形状である

前記（４）に記載の固体撮像装置。

（１１）

前記光反射材は、金属膜であり、

前記画素分離部は、前記ＡＰＤの前記画素分離部側の面を、絶縁膜及び前記金属膜がこの順に覆っている

前記（１）から（１０）の何れかに記載の固体撮像装置。

（１２）

前記金属膜は、アルミニウム膜である

前記（１１）に記載の固体撮像装置。

（１３）

前記画素分離部を前記基板の厚さ方向に貫通し、前記ＡＰＤのホール蓄積層と前記配線層の配線とを接続するコンタクト電極を備える

前記（１１）又は（１２）に記載の固体撮像装置。

（１４）

前記配線層は、前記基板の厚さ方向から見て、前記ＡＰＤの前記配線層側の端面を覆うように形成されたメタル配線を有する

前記（１３）に記載の固体撮像装置。

（１５）

前記ＡＰＤのうちの、高電界領域を形成するためのＮ型半導体領域とＰ型半導体領域とを含む積層領域は、前記基板の厚さ方向の中心部よりも前記配線層側に形成されている

前記（１）から（１４）に記載の固体撮像装置。

（１６）

複数のＡＰＤ（アバランシェフォトダイオード）、及び前記ＡＰＤのそれぞれを囲むように、前記ＡＰＤ間に形成された画素分離部を有する基板と、前記基板の受光面と反対側の面に積層された配線層とを有し、前記画素分離部は、光を反射する光反射材を含み、前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記ＡＰＤの前記配線層側の前記画素分離部間の長さは、前記ＡＰＤの受光面側の前記画素分離部間の長さよりも短い固体撮像装置を備える

電子機器。

符号の説明

- [0038] １…固体撮像装置、２…画素領域、３…バイアス電圧印加部、４…画素、５…ＳＰＡＤ、６…高電界領域、７…マイクロレンズ、８…基板、９…配線層、１０…センサ基板、１１…ロジック基板、１２…入射光、１３…光吸収層、１４…積層領域、１５…ホール蓄積層、１６…高濃度Ｐ型半導体領域、１７…ピニング層、１８…Ｎ型半導体領域、１９…Ｐ型半導体領域、２０…画素分離部、２１…トレンチ部、２２…絶縁膜、２３…反射膜、２４…絶縁膜、２５…層間絶縁膜、２６…メタル配線、２７…メタル配線、２８…メタル配線、２９…メタルパッド、３０…メタルパッド、３１…メタルパッド、３２…コンタクト電極、３３…コンタクト電極、３４…コンタクト電極、３５…コンタクト電極、３６…コンタクト電極、３７…コンタクト電極、３８…層間絶縁膜、３９…メタルパッド、４０…メタルパッド、４１…メタルパッド、４２…電極パッド、４３…電極パッド、４４…電極パッド、４５…コ

ンタクト電極、４６…コンタクト電極、４７…コンタクト電極、４８…コンタクト電極、４９…コンタクト電極、５０…コンタクト電極、５１…マスク、５２…ＰＤ、２０１…距離画像センサ、２０２…光学系、２０３…固体撮像装置、２０４…画像処理回路、２０５…モニタ、２０６…メモリ、２０７…光源装置、２０８…入射光

請求の範囲

- [請求項1] 複数のAPD(アバランシェフォトダイオード)、及び前記APDのそれぞれを囲むように、前記APD間に形成された画素分離部を有する基板と、
前記基板の受光面と反対側の面に積層された配線層とを備え、
前記画素分離部は、光を反射する光反射材を含み、
前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記APDの前記配線層側の前記画素分離部間の長さは、前記APDの受光面側の前記画素分離部間の長さよりも短い
固体撮像装置。
- [請求項2] 前記APDの前記配線層側の端面である第1の端面の面積は、前記APDの受光面側の端面である第2の端面の面積よりも小さい
請求項1に記載の固体撮像装置。
- [請求項3] 前記第1の端面の面積は、前記第2の端面の面積の65%以下である
請求項2に記載の固体撮像装置。
- [請求項4] 前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記画素分離部の前記配線層側の長さは、前記画素分離部の受光面側の長さよりも長い
請求項1に記載の固体撮像装置。
- [請求項5] 前記基板の受光面に垂直な断面において、前記画素分離部の側壁の断面形状は、曲線形状に形成されている
請求項4に記載の固体撮像装置。
- [請求項6] 前記基板の受光面に垂直な断面において、前記画素分離部の前記APDに接する面の断面形状は、中央部が前記配線層側に窪んだパラボラ形状である
請求項5に記載の固体撮像装置。
- [請求項7] 前記APDのうちの、高電界領域を形成するためのN型半導体領域

と P 型半導体領域とを含む積層領域は、前記パラボラ形状の焦点に形成されている

請求項 6 に記載の固体撮像装置。

[請求項 8] 前記積層領域の形状は、前記基板の幅方向よりも前記基板の厚さ方向に長い形状である

請求項 7 に記載の固体撮像装置。

[請求項 9] 前記基板の受光面に垂直な断面において、前記画素分離部の断面形状は、前記基板の受光面側から前記配線層側へ向かうほど前記画素分離部の幅が広くなるように傾斜された線形テーパ形状である

請求項 4 に記載の固体撮像装置。

[請求項 10] 前記基板の受光面に垂直な断面において、前記画素分離部の受光面側の断面形状は、前記基板の受光面側から前記配線層側に長い長方形形状であり、前記画素分離部の前記配線層側の断面形状は、前記基板の受光面側から前記配線層側へ向かうほど前記画素分離部の幅が広くなるように傾斜された線形テーパ形状である

請求項 4 に記載の固体撮像装置。

[請求項 11] 前記光反射材は、金属膜であり、
前記画素分離部は、前記 A P D の前記画素分離部側の面を、絶縁膜及び前記金属膜がこの順に覆っている

請求項 1 に記載の固体撮像装置。

[請求項 12] 前記金属膜は、アルミニウム膜である

請求項 1 1 に記載の固体撮像装置。

[請求項 13] 前記画素分離部を前記基板の厚さ方向に貫通し、前記 A P D のホール蓄積層と前記配線層の配線とを接続するコンタクト電極を備える

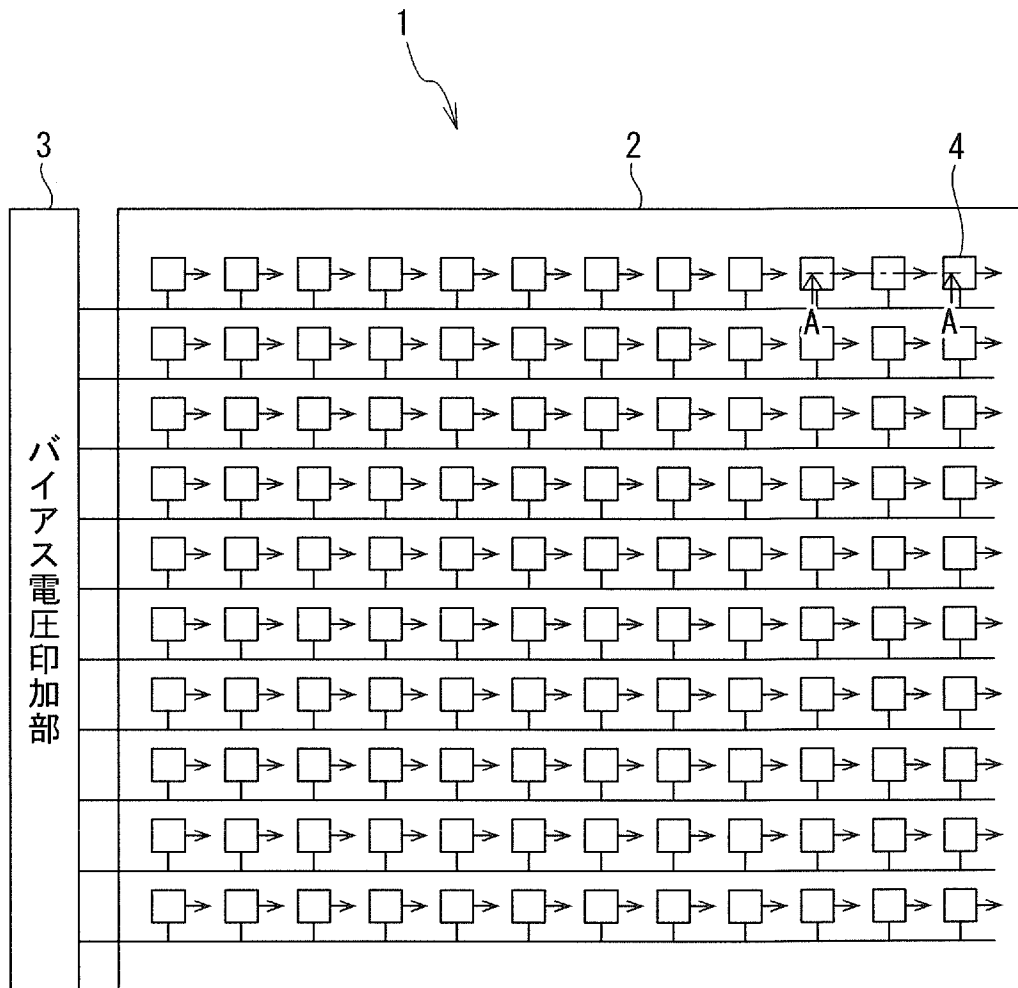
請求項 1 1 に記載の固体撮像装置。

[請求項 14] 前記配線層は、前記基板の厚さ方向から見て、前記 A P D の前記配線層側の端面を覆うように形成されたメタル配線を有する

請求項 1 3 に記載の固体撮像装置。

- [請求項15] 前記APDのうちの、高電界領域を形成するためのN型半導体領域とP型半導体領域とを含む積層領域は、前記基板の厚さ方向の中心部よりも前記配線層側に形成されている
- 請求項1に記載の固体撮像装置。
- [請求項16] 複数のAPD(アバランシェフォトダイオード)、及び前記APDのそれぞれを囲むように、前記APD間に形成された画素分離部を有する基板と、前記基板の受光面と反対側の面に積層された配線層とを有し、前記画素分離部は、光を反射する光反射材を含み、前記基板の受光面に垂直な断面の、前記基板の受光面と平行な方向において、前記APDの前記配線層側の前記画素分離部間の長さは、前記APDの受光面側の前記画素分離部間の長さよりも短い固体撮像装置を備える
- 電子機器。

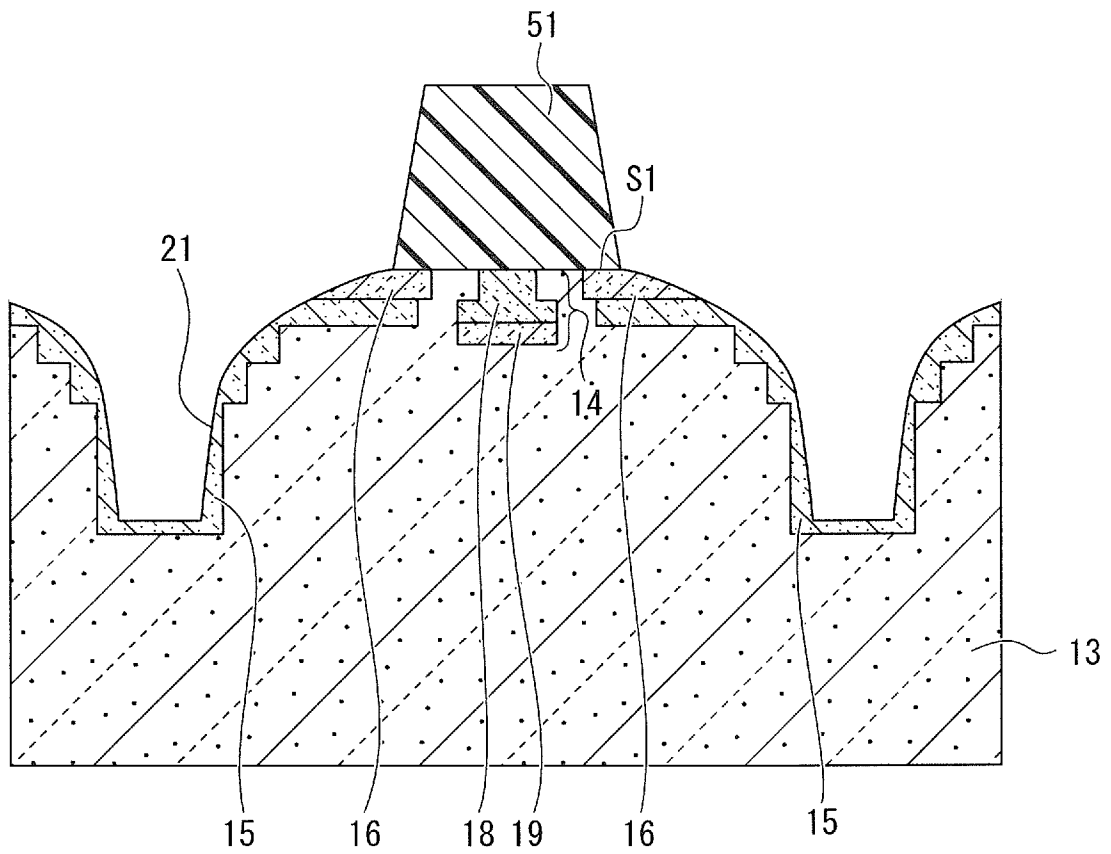
[図1]



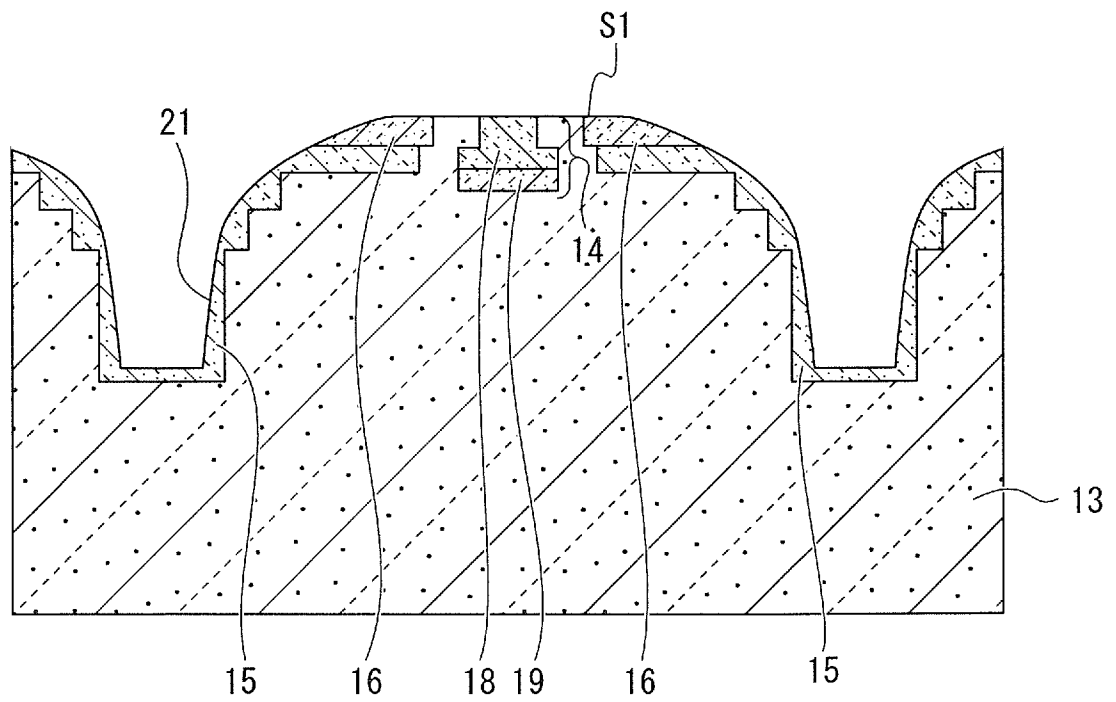
A cross-sectional view of a semiconductor device. The device consists of a substrate 13 with a patterned layer 14 on top. The patterned layer 14 has a central region 18 and side regions 15, 16, and 19. A dashed line 15 is also shown. The top layer is labeled S1.

This cross-sectional view illustrates a semiconductor device. A substrate 13 is at the base, featuring a pattern of diagonal lines and dots. Above the substrate is a first interlayer dielectric film 14, which contains a conductive layer 16. A conductive plug 18 is formed within the first interlayer dielectric film 14, and a conductive pad 19 is formed on top of the conductive layer 16. A second interlayer dielectric film 15 is formed on top of the first interlayer dielectric film 14. A top layer 51 is formed on top of the second interlayer dielectric film 15.

[図4C]

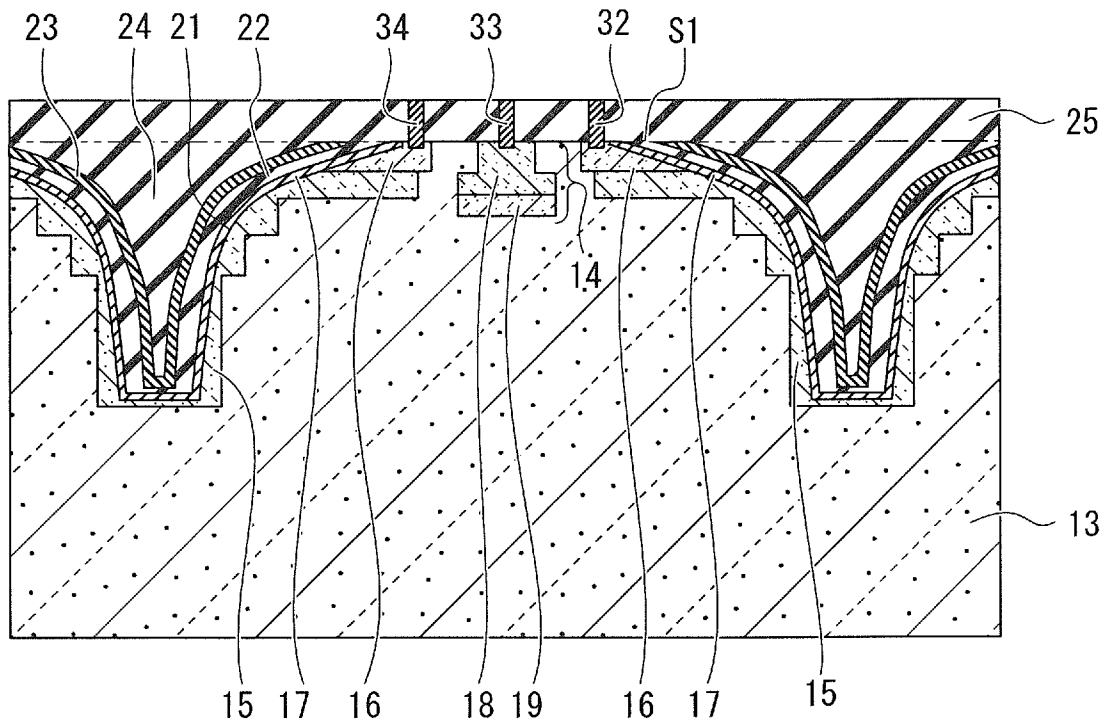


[図4D]

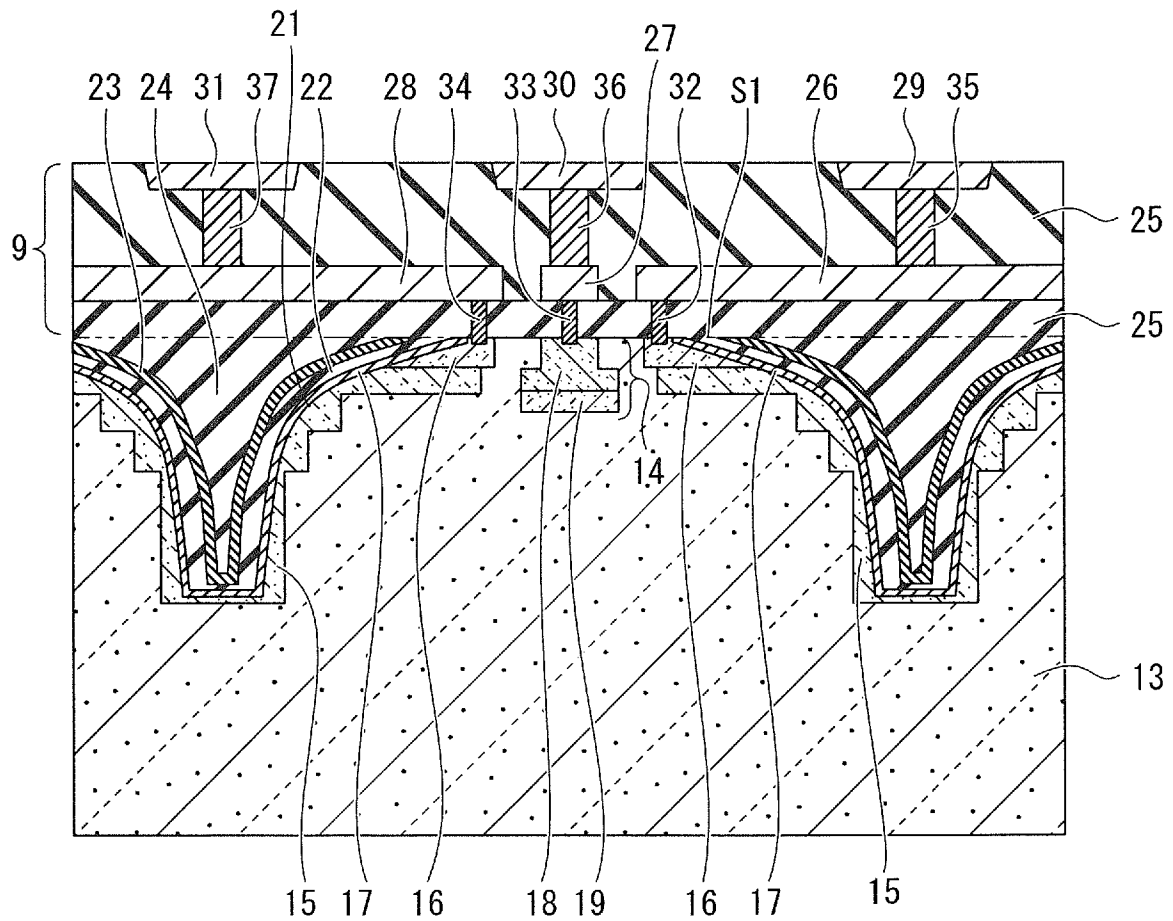


[illegible]

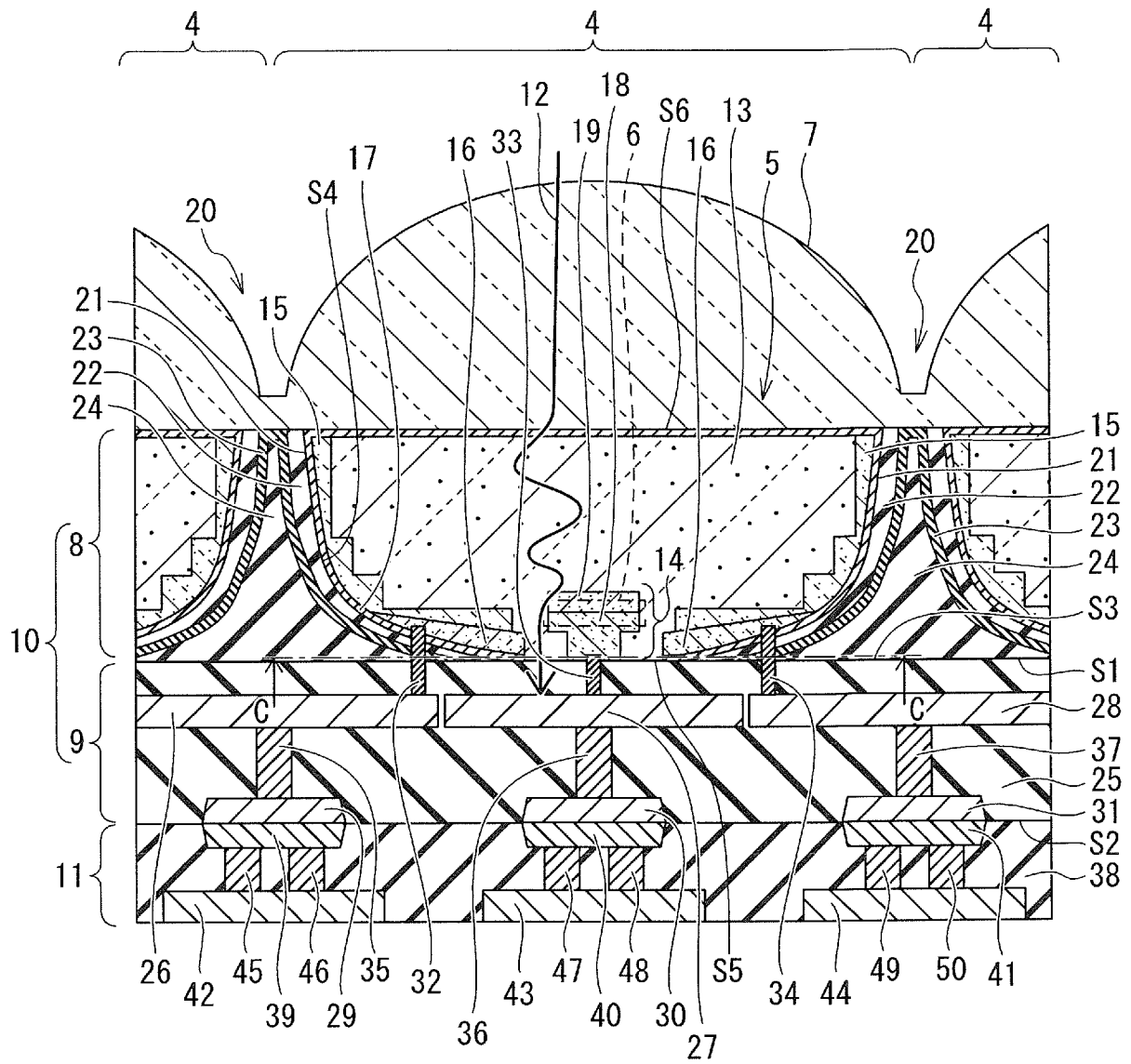
[図4I]



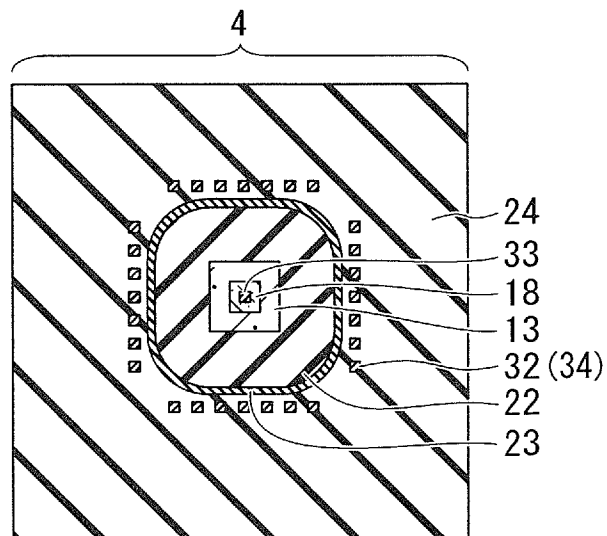
[図4J]



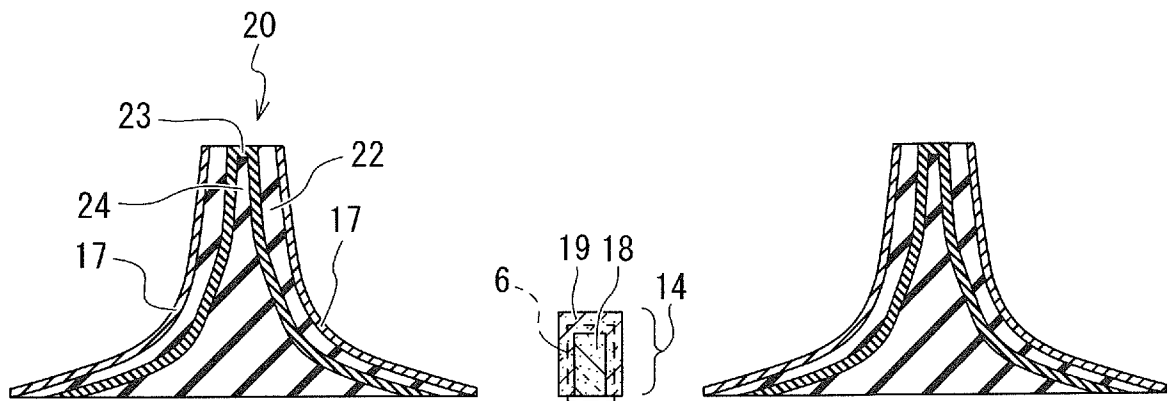
[図5]



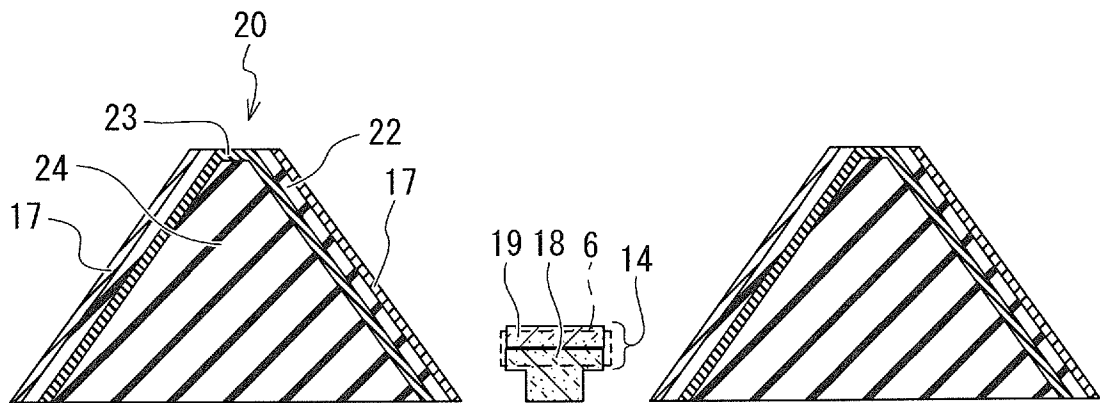
[図6]



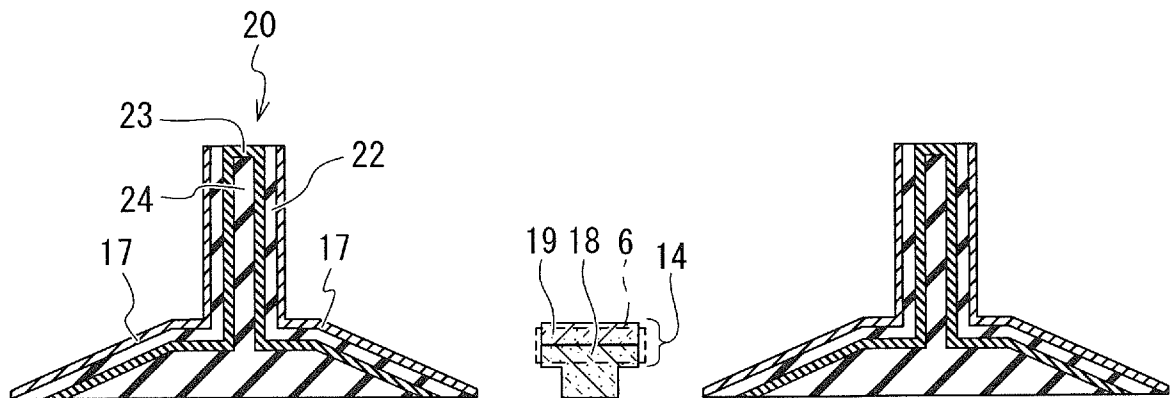
[図8]

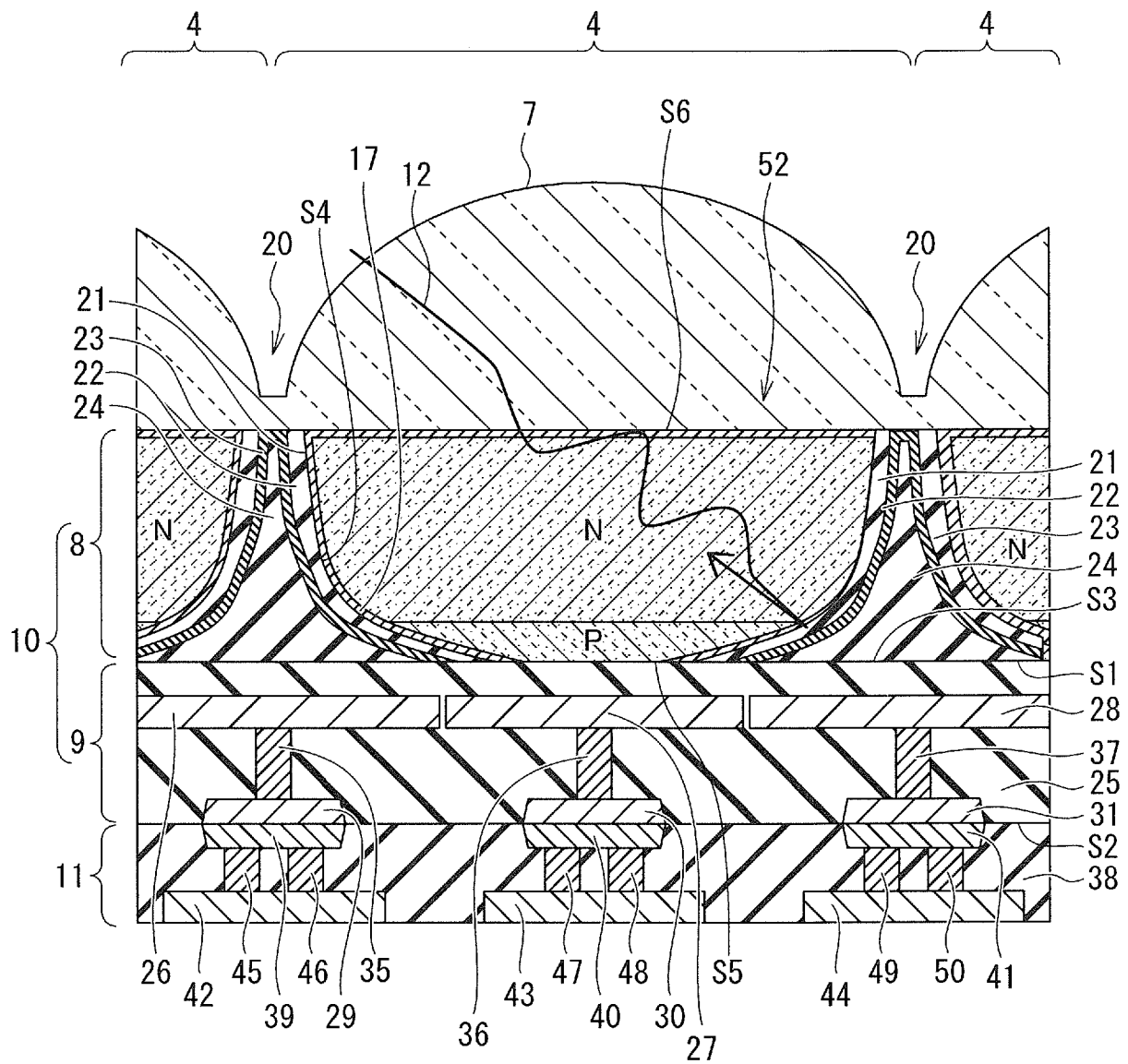


[図9]

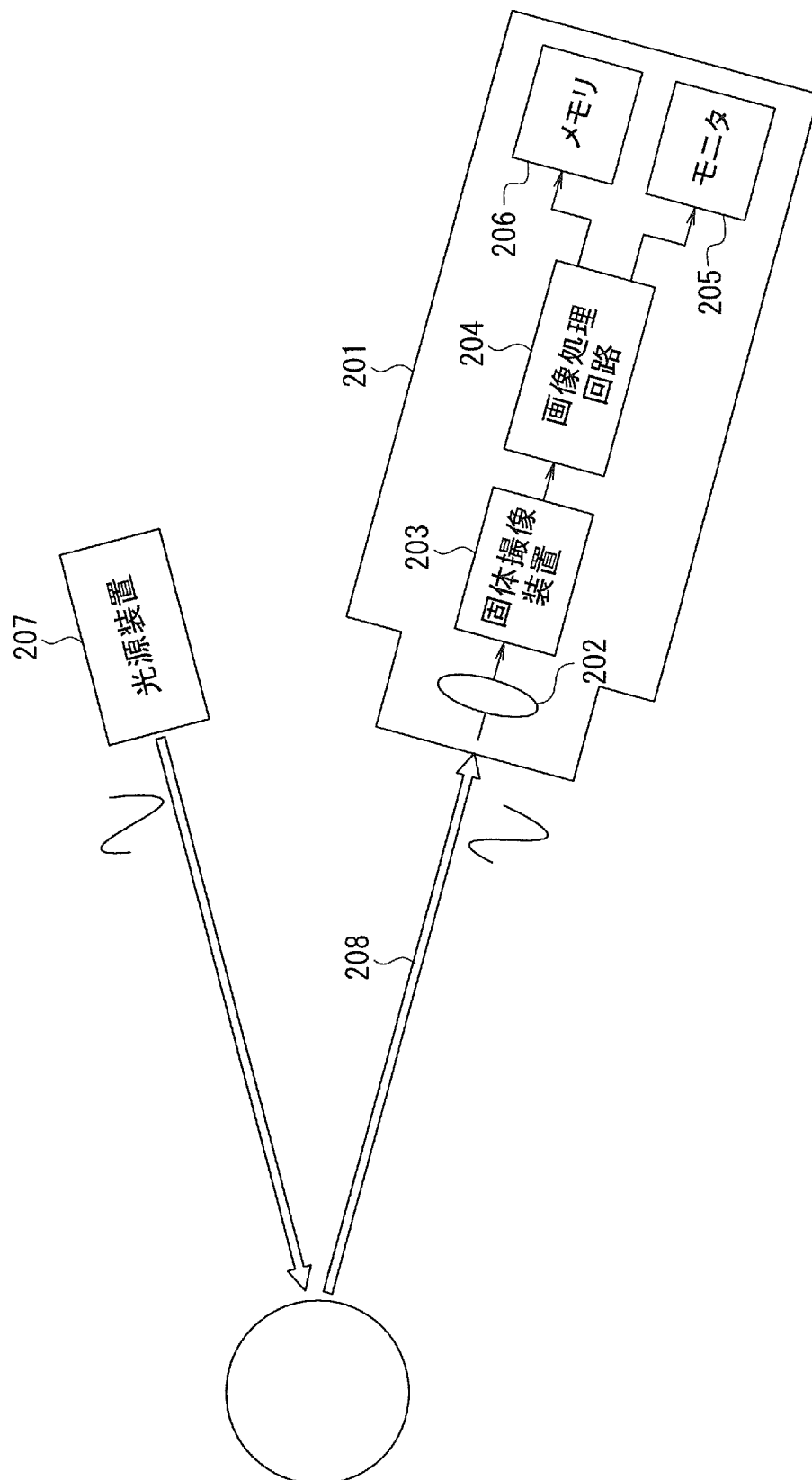


[図10]





[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/004172

A. CLASSIFICATION OF SUBJECT MATTER

H01L 31/107(2006.01)i; H01L 27/146(2006.01)i; H04N 5/374(2011.01)i
FI: H01L27/146 A; H01L31/10 B; H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/107; H01L27/146; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-88488 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 07 June 2018 (2018-06-07) paragraphs [0023]-[0053], fig. 2	1-16
Y	US 2019/0157329 A1 (SAMSUNG ELECTRONICS CO., LTD.) 23 May 2019 (2019-05-23) paragraph [0049], fig. 4	1-16
A	US 2010/0178018 A1 (AUGUSTO, Carlos J.R.P.) 15 July 2010 (2010-07-15) entire text, all drawings	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 April 2021 (26.04.2021)

Date of mailing of the international search report
11 May 2021 (11.05.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/004172

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-88488 A	07 Jun. 2018	US 2019/0252442 A1 paragraphs [0023]- [0053], fig. 2 WO 2018/101033 A1 CN 109643722 A	
US 2019/0157329 A1	23 May 2019	KR 10-2019-0057601 A paragraph [0036], fig. 4 CN 109817650 A	
US 2010/0178018 A1	15 Jul. 2010	WO 2009/030980 A2 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i; H01L 27/146(2006.01)i; H04N 5/374(2011.01)i FI: H01L27/146 A; H01L31/10 B; H04N5/374														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L31/107; H01L27/146; H04N5/374														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2018-88488 A（ソニーセミコンダクタソリューションズ株式会社）07.06.2018 (2018 - 06 - 07) 段落0023-0053, 図2	1-16												
Y	US 2019/0157329 A1 (SAMSUNG ELECTRONICS CO., LTD.) 23.05.2019 (2019 - 05 - 23) 段落0049, 図4	1-16												
A	US 2010/0178018 A1 (AUGUSTO, Carlos J.R.P.) 15.07.2010 (2010 - 07 - 15) 全文, 全図	1-16												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 26.04.2021	国際調査報告の発送日 11.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 西出 隆二 5F 3356 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/004172

引用文献			公表日	パテントファミリー文献			公表日
JP	2018-88488	A	07.06.2018	US	2019/0252442	A1	
				段落0023-0053, 図2			
				WO	2018/101033	A1	
				CN	109643722	A	
US	2019/0157329	A1	23.05.2019	KR	10-2019-0057601	A	
				段落0036, 図4			
				CN	109817650	A	
US	2010/0178018	A1	15.07.2010	WO	2009/030980	A2	
				全文, 全図			