

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 12 月 8 日 (08.12.2022)



(10) 国际公布号
WO 2022/252000 A1

(51) 国际专利分类号:
H01L 27/088 (2006.01) **H01L 21/336** (2006.01)
H01L 21/768 (2006.01)

(21) 国际申请号: PCT/CN2021/097156

(22) 国际申请日: 2021 年 5 月 31 日 (31.05.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中芯国际集成电路制造(上海)有限公司(SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) [CN/CN]; 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。中芯国际集成电路制造(北京)有限公司(SEMICONDUCTOR MANUFACTURING INTERNATIONAL (BEIJING) CORPORATION) [CN/CN]; 中国北京市经济技术开发区文昌大道 18 号, Beijing 100176 (CN)。

(72) 发明人: 许增升(XU, Zengsheng); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。荆学珍(JING, Xuezhen); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。张浩(ZHANG, Hao); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。张田田(ZHANG, Tiantian); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。

(CN)。于海龙(YU, Hailong); 中国上海市浦东新区张江路 18 号, Shanghai 201203 (CN)。

(74) 代理人: 北京集佳知识产权代理有限公司(UNITALEN ATTORNEYS AT LAW); 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: SEMICONDUCTOR STRUCTURE AND FORMING METHOD THEREFOR

(54) 发明名称: 半导体结构及其形成方法

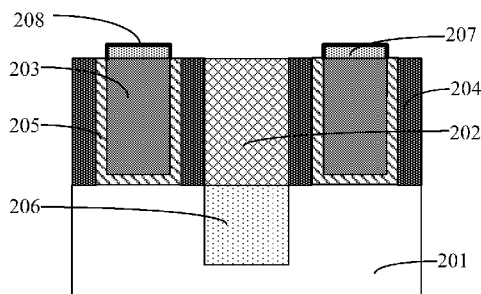


图 7

(57) Abstract: A semiconductor structure and a forming method therefor. The method comprises: forming an auxiliary layer on the surface of a covering layer by means of a first selective deposition process; forming a first medium layer on the surfaces of a substrate and the auxiliary layer; forming an electrically conductive structure in the first medium layer; forming a second medium layer on the surfaces of the first medium layer and the electrically conductive structure; forming a first opening and a second opening, with the first opening being located in the second medium layer and the first medium layer and being exposed from the auxiliary layer, and the second opening being located in the second medium layer and being exposed from the top surface of the electrically conductive structure; forming a first electrically conductive layer in the first opening; and forming a second electrically conductive layer in the second opening, wherein the growth rate of a material of the electrically conductive layer on the surface of the auxiliary layer is greater than that of the material of the electrically conductive layer on the surface of the covering layer, which improves the performance of the formed semiconductor structure.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种半导体结构及其形成方法，其中方法包括：采用第一选择性沉积工艺在所述覆盖层表面形成辅助层；在所述衬底和所述辅助层表面形成第一介质层；在所述第一介质层内形成导电结构；在所述第一介质层和所述导电结构表面形成第二介质层；形成第一开口和第二开口，所述第一开口位于所述第二介质层和所述第一介质层内且第一开口暴露出所述辅助层，所述第二开口位于所述第二介质层内且所述第二开口暴露出所述导电结构顶部表面；在所述第一开口内形成第一导电层，在所述第二开口内形成第二导电层，所述第一导电层的材料在所述辅助层表面的生长速率高于所述第一导电层的材料在所述覆盖层表面的生长速率，提高所形成的半导体结构的性能。

半导体结构及其形成方法

技术领域

本发明涉及半导体制造领域，尤其涉及一种半导体结构及其形成方法。

背景技术

随着半导体集成电路的集成度不断提高，半导体器件的特征尺寸不断缩小，各种实际的和基本的限制和技术挑战开始出现，器件尺寸的进一步缩小正变得越来越困难。

集成电路技术的快速发展对金属互连技术提出了更高的要求。传统的铝金属互连技术已经不能满足现代互连技术发展的需要，大马士革结构的铜金属互连技术已成为互连技术的重点发展方向之一。然而，在集成电路特征线宽缩小进入几纳米阶段后，铜互连技术也面临着巨大挑战。金属布线的层数越来越多，金属导线的自身电阻及其间的寄生电容越来越成为影响器件速度的制约因素。

因此，现有的金属互连线工艺有待进一步改进。

发明内容

本发明解决的技术问题是提供一种半导体结构及其形成方法，以提升半导体结构的性能。

为解决上述技术问题，本发明技术方案提供一种半导体结构，包括：衬底；位于部分所述衬底上的覆盖层；位于所述覆盖层表面的辅助层；位于所述衬底和所述辅助层表面的第一介质层；位于所述第一介质层内的导电结构，所述第一介质层顶表面与所述导电结构顶部表面齐平；位于在所述第一介质层和所述导电结构表面的第二介质层；位于所述第二介质层和所述第一介质层内的第一开口，且所述第一开

—2—

口暴露出所述辅助层，位于所述第二介质层内的第二开口且所述第二开口暴露出所述导电结构顶部表面；位于所述第一开口内的第一导电层，位于所述第二开口内的第二导电层。

可选的，所述衬底包括基底、位于所述基底上的栅极结构和位于所述基底上的层间介质层，所述层间介质层还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面，所述覆盖层位于所述栅极结构顶部表面。

可选的，所述衬底还包括位于所述栅极结构两侧衬底内的源漏层，所述导电结构的底部深入所述衬底内，且位于所述源漏层表面。

可选的，所述覆盖层的材料包括金属。

相应的，本发明技术方案还提供一种半导体结构的形成方法，包括：提供衬底；在部分所述衬底上形成覆盖层；采用第一选择性沉积工艺在所述覆盖层表面形成辅助层；在所述衬底和所述辅助层表面形成第一介质层；在所述第一介质层内形成导电结构，所述第一介质层顶部表面与所述导电结构顶表面齐平；在所述第一介质层和所述导电结构表面形成第二介质层；形成第一开口和第二开口，所述第一开口位于所述第二介质层和所述第一介质层内且第一开口暴露出所述辅助层，所述第二开口位于所述第二介质层内且所述第二开口暴露出所述导电结构顶部表面；在所述第一开口内形成第一导电层，在所述第二开口内形成第二导电层，所述第一导电层的材料在所述辅助层表面的生长速率高于所述第一导电层的材料在所述覆盖层表面的生长速率。

可选的，所述辅助层的材料包括钨。

可选的，所述辅助层的形成工艺包括化学气相沉积工艺；所述化学气相沉积工艺的工艺参数包括：反应气体包括六氟化钨和氢气，反应温度范围为 300 摄氏度至 400 摄氏度。

可选的，所述衬底包括基底、位于所述基底上的栅极结构和位于

—3—

所述基底上的层间介质层，所述层间介质层还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面；所述覆盖层位于所述栅极结构顶部表面。

可选的，所述衬底还包括位于所述栅极结构两侧衬底内的源漏层；所述导电结构的底部深入所述衬底内，且位于所述源漏层表面。

可选的，所述覆盖层内具有第一离子，所述覆盖层的材料包括金属离子，所述第一离子和所述金属离子之间构成第一化学键；所述辅助层内具有所述金属离子和第二离子，所述第二离子和所述金属离子构成第二化学键，所述第二化学键键能低于所述第一化学键键能。

可选的，所述第一离子包括氯离子；所述第二离子包括氟离子。

可选的，所述金属包括钨。

可选的，所述覆盖层的形成工艺包括选择性原子层沉积工艺。

可选的，所述原子层沉积工艺的工艺参数包括：反应气体包括氯化钨和氢气，反应温度范围为 400 摄氏度至 500 摄氏度。

可选的，所述第一导电层和所述第二导电层的形成工艺包括第二选择性沉积工艺。

可选的，所述第二选择性沉积工艺的工艺参数包括：反应气体包括六氟化钨和氢气，反应温度范围为 300 摄氏度至 400 摄氏度。

可选的，所述第一导电层和所述第二导电层的形成方法包括：在所述第一开口和所述第二开口内沉积导电材料层，直到所述第一开口和所述第二开口被填满；平坦化所述导电材料层直到暴露出所述第二介质层。

可选的，其特征在于，所述导电材料层在所述辅助层表面的生长速率高于在所述导电结构表面的生长速率。

可选的，所述第一导电层和所述第二导电层的材料包括钨。

—4—

可选的，所述辅助层的厚度范围为 1 纳米至 10 纳米。

可选的，所述导电结构的材料包括钴。

与现有技术相比，本发明的技术方案具有以下有益效果：

本发明技术方案提供的半导体结构的形成方法中，采用第一选择性沉积工艺在所述覆盖层表面形成辅助层，在所述第一开口内形成第一导电层，在所述第二开口内形成第二导电层，所述第一导电层材料在所述辅助层表面的生长速率高于所述第一导电层材料在所述覆盖层表面的生长速率，以缩小第一导电层的材料在所述辅助层表面的第一开口内的生长速率与第二导电层的材料在导电结构表面的第二开口内的生长速率之间的差异，从而减少辅助层上的第一开口在被填满之前提前封闭的情况，进而提高所形成的半导体结构的性能。

进一步，所述覆盖层内具有第一离子，所述覆盖层的材料包括金属离子，所述第一离子和所述金属离子之间构成第一化学键；所述辅助层内具有所述金属离子和第二离子，所述第二离子和所述金属离子构成第二化学键，所述第二化学键键能低于所述第一化学键键能，所述第二化学键相对所述第一化学键更容易被打破，提高了在所述辅助层表面形成所述第一导电层的材料的反应速率。

进一步，所述第一离子包括氯离子，所述第二离子包括氟离子，所述辅助层内具有钨-氟键，钨-氟键的存在为在所述辅助层形成钨材料提供准备，缩短了第一导电层形成过程吸附六氟化钨气体的时间，提升了在辅助层表面形成钨材料的生长速率，进一步使钨材料在所述第一开口内的生长速率高于在所述第二开口内的生长速率，从而减少了所述第一开口在被填满之前提前封闭的情况，从而提高所形成的半导体结构的性能。

附图说明

图 1 至图 5 是一种半导体结构形成过程的剖面示意图；

图 6 至图 12 是本发明一实施例中的半导体结构的形成方法各步

骤的结构示意图。

具体实施方式

需要注意的是，本说明书中的“表面”、“上”，用于描述空间的相对位置关系，并不限定于是否直接接触。

如背景技术所述，采用现有的金属互连线工艺形成的半导体结构，性能亟需提升。现结合一种半导体结构的形成方法进行说明分析。

图 1 至图 5 是一种半导体结构形成过程的剖面示意图。

请参考图 1，提供衬底 101，位于所述衬底 101 上具有栅极结构，所述栅极结构包括金属栅 101 和栅介质层 102，位于所述栅极结构侧壁具有侧墙 103，位于所述侧墙 103 两侧的所述衬底 101 内具有源漏区 104，且位于所述衬底 100 上的还具有层间介质层 105，所述层间介质层 105 位于所述侧墙 103 侧壁，且暴露出所述栅极结构顶部表面。

请参考图 2，在所述金属栅 101 表面形成覆盖层 106；在所述层间介质层 105、所述栅极结构表面和所述侧墙 102 顶部形成第一刻蚀停止层 108；在所述第一刻蚀停止层 108 表面形成第一介质层 107。

请参考图 3，在所述第一介质层 107、所述第一刻蚀停止层 108 和所述层间介质层 105 内形成第一开口(图中未标出)，所述第一开口暴露出所述源漏区 104；在所述第一开口内形成导电结构 109。

请参考图 4，在所述导电结构 109 和所述第一介质层 107 表面形成第二刻蚀停止层 110；在所述第二刻蚀停止层 110 表面形成第二介质层 112；在所述第二介质层 112、第二刻蚀停止层 110、第一介质层 107 和第一刻蚀停止层 108 内形成第二开口 112，所述第二开口 112 暴露出所述覆盖层 106 顶部表面；在所述第二介质层 112 和所述第二刻蚀停止层 110 内形成第三开口 113，所述第三开口 113 暴露出所述导电结构 109 顶部表面。

请参考图 5，在所述第二开口 112 和所述第三开口 113 内形成金

属层 114。

上述方法用于金属互连线工艺中。所述覆盖层 106 的材料为钨，采用原子层沉积（ALD）工艺形成，形成的金属钨在所述金属栅 101 表面具有很好的选择性，且有利于形成均匀且致密的覆盖层 106。所述原子层沉积工艺形成过程不含氟离子，避免氟离子对所述栅极结构的功函数层的不利影响，但沉积速率慢。所述导电结构 109 的材料为钴。所述金属层 114 的材料也为钨，由于化学气相沉积（CVD）工艺具有较好的台阶覆盖率，且相对原子层沉积工艺耗费时间短，因此所述金属层 114 采用化学气相沉积工艺形成。

然而，由于原子层沉积工艺采用氯化钨（如 WCl_3 ）和氢反应形成，使得覆盖层 106 中具有大量的钨-氯键。原子层沉积工艺中，氯化钨和氢反应的反应温度为 460 摄氏度。而采用化学气相沉积工艺形成金属层 114 的过程中，金属钨在金属材料表面选择性的生长，反应气体包括六氟化钨和氢气，反应温度低于 400 摄氏度。在低于 400 摄氏度的条件下，覆盖层 106 中存在的大量的钨-氯键比反应气体六氟化钨中的钨-氟键更稳定，钨-氯键的存在使化学气相沉积工艺中钨材料膜的形成变的困难，从而导致在覆盖层 106 表面钨材料的生长速度远低于在导电结构 109 表面的钨材料的生长速度。另外，所述第二开口 112 的深度高于所述第三开口 113 的深度，进而，更容易导致所述第三开口 113 被钨材料填满后，所述第二开口 112 尚未被钨材料填满，钨材料在填满所述第三开口 113 后继续生长以至于可能覆盖到所述第二开口 112 表面，使所述第二开口 112 提前封闭的情况发生，从而导致所述第二开口 112 内形成的金属层 114 产生孔洞等缺陷，影响所述金属层 114 的导电性能，降低所形成的半导体结构的性能。

为了解决上述问题，本发明提供的一种半导体结构的形成方法中，采用第一选择性沉积工艺在所述覆盖层表面形成辅助层，在所述第一开口内形成第一导电层，在所述第二开口内形成第二导电层，所述第一导电层材料在所述辅助层表面的生长速率高于所述第一导电

—7—

层材料在所述覆盖层表面的生长速率，以缩小第一导电层的材料在所述辅助层表面的第一开口内的生长速率与第二导电层的材料在导电结构表面的第二开口内的生长速率之间的差异，从而减少辅助层上的第一开口在被填满之前提前封闭的情况，进而提高所形成的半导体结构的性能。

为使本发明的上述目的、特征和有益效果能够更为明显易懂，下面结合附图对本发明的具体实施例做详细的说明。

图 6 至图 12 是本发明一实施例中的半导体结构的形成方法各步骤的结构示意图。

请参考图 6，提供衬底。

本实施例中，所述衬底包括基底 201、位于所述基底 201 上的栅极结构和位于所述基底 201 上的层间介质层 202，所述层间介质层 202 还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面。

所述栅极结构包括栅极层 203 和位于所述栅极层 203 侧壁的侧墙 204。

所述栅极层 203 的材料包括金属。本实施例中，所述栅极层 203 的材料为铝。

所述栅极结构的形成方法包括：在所述基底 201 上形成伪栅极（图中未标出）；在所述伪栅极侧壁形成所述侧墙 204；在所述基底 201 表面形成层间介质层 202，所述层间介质层 202 暴露出所述伪栅极顶部表面；刻蚀去除所述伪栅极，在所述层间介质层 202 内形成凹槽（图中未标出）；在所述凹槽内所述栅极层 203。

本实施例中，形成所述凹槽后，形成所述栅极层 203 前，还在所述凹槽侧壁和底部形成栅介质层 205。所述栅介质层 205 的材料包括高 K 介质材料。

本实施例中，所述栅极结构还包括位于所述栅介质层 205 和所述

栅极层 203 之间的功函数层（图中未标出）。

本实施例中，所述衬底 200 还包括位于所述栅极结构两侧基底 201 内的源漏层 206。

请参考图 7，在部分所述衬底上形成覆盖层 207；采用第一选择性沉积工艺在所述覆盖层 207 表面形成辅助层 208。

所述辅助层 208 用于后续提高第一导电层的材料在所述覆盖层 207 的生长速率。

本实施例中，所述覆盖层 207 位于所述栅极结构 202 顶部表面，具体地，所述覆盖层 207 位于所述栅极层 203 顶部表面。所述覆盖层 207 用于阻挡离子向所述栅极层 203 内扩散，利于维持所形成的器件的阈值电压等性能。

所述覆盖层 207 的材料包括金属，所述金属包括钨。本实施例中，所述金属为钨。

所述覆盖层 207 的形成工艺包括选择性原子层沉积工艺。

本实施例中，所述原子层沉积工艺的工艺参数包括：反应气体包括氯化钨和氢气，反应温度范围为 400 摄氏度至 500 摄氏度。氯化钨和氢气反应形成钨，所述选择性原子层沉积工艺，使钨材料在所述栅极层 203 表面具有很好的选择性，且有利于形成均匀且致密的材料膜。所述覆盖层 207 的形成过程不含氟离子，避免氟离子对所述栅极结构的功函数层的不利影响，但受限于原子层沉积工艺，沉积速率较慢。

所述覆盖层 207 内具有第一离子，所述覆盖层 207 的材料包括金属离子，所述第一离子和金属离子之间构成第一化学键。

具体地，所述第一离子包括氯离子。本实施例中，所述覆盖层 207 采用氯化钨和氢气反应形成，不可避免地会在所述覆盖层 207 内引入氯离子，所述第一离子为氯离子。另外，所述覆盖层 207 的材料

为钨离子，氟离子和钨离子之间构成的第一化学键为钨-氟键。钨-氟键相对于钨-氯键不容易被打破，在所述覆盖层 207 表面采用六氟化钨和氢气反应形成钨材料的第一导电层时，由于钨-氟键的存在，使钨材料生长变得困难。

所述辅助层 208 内具有所述金属离子和第二离子，所述第二离子和所述金属离子构成第二化学键，所述第二化学键键能低于所述第一化学键键能。所述第二化学键相对所述第一化学键更容易被打破，提高了后续在所述辅助层 208 表面形成所述第一导电层的材料的反应速率。

具体地，所述辅助层 208 的材料包括钨；所述第二离子包括氟离子。本实施例中，所述辅助层 208 的材料为钨；所述第二离子为氟离子。

所述辅助层 208 的形成工艺包括化学气相沉积工艺；所述化学气相沉积工艺的工艺参数包括：反应气体包括六氟化钨和氢气，反应温度范围为 300 度至 400 摄氏度。

具体地，本实施例中，所述辅助层 208 内具有钨-氟键，所述覆盖层 207 内具有氯-钨键，由于钨-氟键的键能低于氯-钨键的键能，相对于在所述覆盖层 207 表面形成第一导电层，在所述辅助层 208 表面生长钨材料相对容易。

所述辅助层 208 的厚度范围为 1 纳米至 10 纳米。在后续形成第一开口暴露出所述辅助层 208 的刻蚀工艺中可能会对所述辅助层 208 的造成损伤，所述辅助层 208 若厚度过小（即低于 1 纳米），则所述辅助层 208 可能会因被消耗而起不到作用；若所述辅助层 208 的厚度过大，即大于 10 纳米。一方面，可能使后续在所述衬底表面形成的第一介质层 210 材料膜的表面不平整，影响器件性能。另一方面，也会造成不必要的工艺浪费。

请参考图 8，在所述衬底和所述辅助层 208 表面形成第一介质层

210。

所述第一介质层 210 的材料为介质材料，所述介质材料包括氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅和碳氮氧化硅中的一种或多种。

本实施例中，形成所述第一介质层 210 前，还在所述衬底和所述辅助层 208 表面形成第一刻蚀停止层 209。在后续形成第一开口时，所述第一刻蚀停止层 209 用于减少对所述辅助层 208 的刻蚀损伤。

请参考图 9，在所述第一介质层 210 内形成导电结构 211，所述第一介质层 210 顶部表面与所述导电结构 211 顶表面齐平。

本实施例中，所述导电结构 211 的底部深入所述衬底内，且位于所述源漏层 206 表面。

所述导电结构 211 的形成方法包括：在所述第一介质层 210 表面形成第一图形化层（图中未标出），所述第一图形化层暴露出部分所述第一介质层 210；以所述第一图形化层为掩膜，刻蚀所述第一介质层 210、所述第一刻蚀停止层 209、层间介质层 202，直到暴露出所述源漏层 206 表面；在所述第一介质层、所述第一刻蚀停止层 209 和所述层间介质层 206 内形成第三开口（图中未标出）；在所述第三开口内沉积金属材料，形成所述导电结构 211。

所述导电结构 211 的材料包括钴。钴材料作为导线材料，具有较好的填充能力和导电性，使形成的器件导电性能强、功耗更低。

请参考图 10，在所述第一介质层 210 和所述导电结构 211 表面形成第二介质层 213。

所述第二介质层 213 的材料为介质材料，所述介质材料包括氧化硅、氮化硅、氮氧化硅、碳氧化硅、碳氮化硅和碳氮氧化硅中的一种或多种。

本实施例中，形成所述第二介质层 213 前，还在所述第一介质层

210 和所述导电结构 211 表面形成第二刻蚀停止层 212。在后续形成第二开口时，所述第二刻蚀停止层 212 用于减少对所述导电结构 211 的刻蚀损伤。

请参考图 11，形成第一开口 214 和第二开口 215，所述第一开口 214 位于所述第二介质层 213 和所述第一介质层 210 内，且所述第一开口 214 暴露出所述辅助层 208，所述第二开口 215 位于所述第二介质层 213 内，且所述第二开口 215 暴露出所述导电结构 211 顶部表面。

所述第一开口 214 的形成工艺包括干法刻蚀工艺；所述第二开口 215 的形成工艺包括干法刻蚀工艺。所述干法刻蚀工艺有利于形成较好形貌的开口。

本实施例中，所述第二开口 215 的形成方法包括：在所述第二介质层 213 表面形成第二图形化层，所述第二图形化层暴露出部分所述导电结构 211 上的第二介质层 213；以所述第二图形化层为掩膜，刻蚀所述第二介质层 213，直到暴露出所述导电结构 211。

本实施例中，所述第一开口 214 的形成方法包括：在所述第二介质层 213 表面和所述第二开口 215 内形成第三图形化层，所述第三图形化层暴露出部分所述辅助层 208 上的第二介质层 213；以所述第三图形化层为掩膜，刻蚀所述第二介质层 213 和所述第一介质层 210，直到暴露出所述辅助层 208；形成所述辅助层 208 后，去除所述第三图形化层。本实施例中，所述第一开口 214 在所述第二开口 215 后形成。其他实施例中，对形成所述第一开口 214 和所述第二开口 215 的先后顺序不做要求。

请参考图 12，在所述第一开口 214 内形成第一导电层 216，在所述第二开口 215 内形成第二导电层 217，所述第一导电层 216 的材料在所述辅助层 208 表面的生长速率高于所述第一导电层 216 的材料在所述覆盖层 207 表面的生长速率。

所述第一导电层 216 的材料在所述辅助层 208 表面的生长速率高

于所述第一导电层 216 的材料在所述覆盖层 207 表面的生长速率,以缩小第一导电层 216 的材料在第一开口 214 内的生长速率与第二导电层 217 的材料在第二开口 215 内的生长速率之间的差异,从而减少所述辅助层 208 上的第一开口 214 在被填满之前提前封闭的情况,进而提高所形成的半导体结构的性能。

所述第一导电层 216 和所述第二导电层 217 的材料包括钨。

所述第一导电层 216 和所述第二导电层 217 的形成方法包括:在所述第一开口 214 和所述第二开口 215 内沉积导电材料层(图中未标出),直到所述第一开口 214 和所述第二开口 215 被填满;平坦化所述导电材料层直到暴露出所述第二介质层 213。所述第一导电层 216 和所述第二导电层 217 在同一工艺中,采用同一金属材料同时沉积形成,有利于降低生产成本。

所述第一导电层 216 和所述第二导电层 217 的形成工艺包括第二选择性沉积工艺。具体地,所述第一导电层 216 和所述第二导电层 217 的形成工艺为化学气相沉积工艺。所述化学气相沉积工艺具有较好的台阶覆盖率,且相对于原子层沉积工艺具有耗时短、低成本的特点。

所述第二选择性沉积工艺的工艺参数包括:反应气体包括六氟化钨和氢气,反应温度范围为 300 摄氏度至 400 摄氏度。

所述导电材料层在所述辅助层 208 表面的生长速率高于在所述导电结构 211 表面的生长速率。由于所述第一开口 214 的深度高于所述第二开口 215 的深度,容易导致在所述第一开口 214 尚未被填满,所述第二开口 215 被填满后,进一步地沉积使所述第二开口 215 内的第二导电层的材料继续生长,以至于覆盖到所述第一开口 214 上方,导致第一开口 214 提前封闭的情况。本实施例中,所述辅助层 208 具有钨-氟键,钨-氟键的存在为形成钨材料提供准备,缩短了第一导电层形成过程吸附六氟化钨气体的时间,提升了在辅助层 208 表面形成钨材料的生长速率,进一步使钨材料在所述第一开口 214 内的生长速

率高于在所述第二开口 215 内的生长速率，从而减少了所述第一开口 214 在被填满之前提前封闭的情况，从而提高所形成的半导体结构的性能。

相应的，本发明一实施例还提供一种上述方法所形成的半导体结构，请继续参考图 12，包括：衬底；位于部分所述衬底上的覆盖层 207；位于所述覆盖层 207 表面的辅助层 208；位于所述衬底和所述辅助层 208 表面的第一介质层 210；位于所述第一介质层 210 内的导电结构 211，所述第一介质层 210 顶部表面与所述导电结构 211 顶表面齐平；位于在所述第一介质层 210 和所述导电结构 211 表面的第二介质层 213；位于所述第二介质层 213 和所述第一介质层 210 内的第一开口 214（如图 11 所示），且所述第一开口 214 暴露出所述辅助层 208，位于所述第二介质层 213 内的第二开口 215（如图 11 所示），且所述第二开口 215 暴露出所述导电结构 211 顶部表面；位于所述第一开口 214 内的第一导电层 216，位于所述第二开口 215 内的第二导电层 217。

所述衬底包括基底 201、位于所述基底 201 上的栅极结构和位于所述基底 201 上的层间介质层 211（如图 11 所示），所述层间介质层 211 还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面；所述覆盖层 207 位于所述栅极结构顶部表面。

所述衬底还包括位于所述栅极结构两侧衬底内的源漏层 206；所述导电结构 211 的底部深入所述衬底内，且位于所述源漏层 206 表面。

所述覆盖层 207 的材料包括金属，所述金属包括钨。本实施例中，所述覆盖层 207 的材料为钨。

虽然本发明披露如上，但本发明并非限于于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

权 利 要 求

1. 一种半导体结构，其特征在于，包括：
衬底；
位于部分所述衬底上的覆盖层；
位于所述覆盖层表面的辅助层；
位于所述衬底和所述辅助层表面的第一介质层；
位于所述第一介质层内的导电结构，所述第一介质层顶表面与导电结构顶表面齐平；
位于在所述第一介质层和所述导电结构表面的第二介质层；
位于所述第二介质层和所述第一介质层内的第一开口，且所述第一开口暴露出所述辅助层，位于所述第二介质层内的第二开口且所述第二开口暴露出所述导电结构顶部表面；
位于所述第一开口内的第一导电层，位于所述第二开口内的第二导电层。
2. 如权利要求 1 所述的半导体结构，其特征在于，所述衬底包括基底、位于所述基底上的栅极结构和位于所述基底上的层间介质层，所述层间介质层还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面，所述覆盖层位于所述栅极结构顶部表面。
3. 如权利要求 2 所述的半导体结构，其特征在于，所述衬底还包括位于所述栅极结构两侧衬底内的源漏层，所述导电结构的底部深入所述衬底内，且位于所述源漏层表面。
4. 如权利要求 1 所述的半导体结构，其特征在于，所述覆盖层的材料包括金属。
5. 一种半导体结构的形成方法，其特征在于，包括：

—15—

提供衬底；

在部分所述衬底上形成覆盖层；

采用第一选择性沉积工艺在所述覆盖层表面形成辅助层；

在所述衬底和所述辅助层表面形成第一介质层；

在所述第一介质层内形成导电结构，所述第一介质层顶部表面与所述导电结构顶表面齐平；

在所述第一介质层和所述导电结构表面形成第二介质层；

形成第一开口和第二开口，所述第一开口位于所述第二介质层和所述第一介质层内且第一开口暴露出所述辅助层，所述第二开口位于所述第二介质层内且所述第二开口暴露出所述导电结构顶部表面；

在所述第一开口内形成第一导电层，在所述第二开口内形成第二导电层，所述第一导电层的材料在所述辅助层表面的生长速率高于所述第一导电层的材料在所述覆盖层表面的生长速率。

6. 如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述辅助层的材料包括钨。
7. 如权利要求 6 所述的半导体结构的形成方法，其特征在于，所述辅助层的形成工艺包括化学气相沉积工艺；所述化学气相沉积工艺的工艺参数包括：反应气体包括六氟化钨和氢气，反应温度范围为 300 摄氏度至 400 摄氏度。
8. 如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述衬底包括基底、位于所述基底上的栅极结构和位于所述基底上的层间介质层，所述层间介质层还位于所述栅极结构侧壁，且暴露出所述栅极结构顶部表面；所述覆盖层位于所述栅极结构顶部表面。

9. 如权利要求 8 所述的半导体结构的形成方法，其特征在于，所述衬底还包括位于所述栅极结构两侧衬底内的源漏层；所述导电结构的底部深入所述衬底内，且位于所述源漏层表面。
10. 如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述覆盖层内具有第一离子，所述覆盖层的材料包括金属离子，所述第一离子和所述金属离子之间构成第一化学键；所述辅助层内具有所述金属离子和第二离子，所述第二离子和所述金属离子构成第二化学键，所述第二化学键键能低于所述第一化学键键能。
11. 如权利要求 10 所述的半导体结构的形成方法，其特征在于，所述第一离子包括氯离子；所述第二离子包括氟离子。
12. 如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述金属包括钨。
13. 如权利要求 12 所述的半导体结构的形成方法，其特征在于，所述覆盖层的形成工艺包括选择性原子层沉积工艺。
14. 如权利要求 13 所述的半导体结构的形成方法，其特征在于，所述原子层沉积工艺的工艺参数包括：反应气体包括氯化钨和氢气，反应温度范围为 400 摄氏度至 500 摄氏度。
15. 如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述第一导电层和所述第二导电层的形成工艺包括第二选择性沉积工艺。
16. 如权利要求 15 所述的半导体结构的形成方法，其特征在于，所述第二选择性沉积工艺的工艺参数包括：反应气体包括六氟化钨和氢气，反应温度范围为 300 摄氏度至 400 摄氏度。
17. 如权利要求 15 所述的半导体结构的形成方法，其特征在于，所述第一导电层和所述第二导电层的形成方法包括：在所述第一开口和所述第二开口内沉积导电材料层，直到所述第一开口和所述第二开口被填满；平坦化所述导电材料层直到暴露出所述第二介质

层。

- 18.如权利要求 15 所述的半导体结构的形成方法，其特征在于，所述导电材料层在所述辅助层表面的生长速率高于在所述导电结构表面的生长速率。
- 19.如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述第一导电层和所述第二导电层的材料包括钨。
- 20.如权利要求 5 所述的半导体结构的形成方法，所述辅助层的厚度范围为 1 纳米至 10 纳米。
- 21.如权利要求 5 所述的半导体结构的形成方法，其特征在于，所述导电结构的材料包括钴。

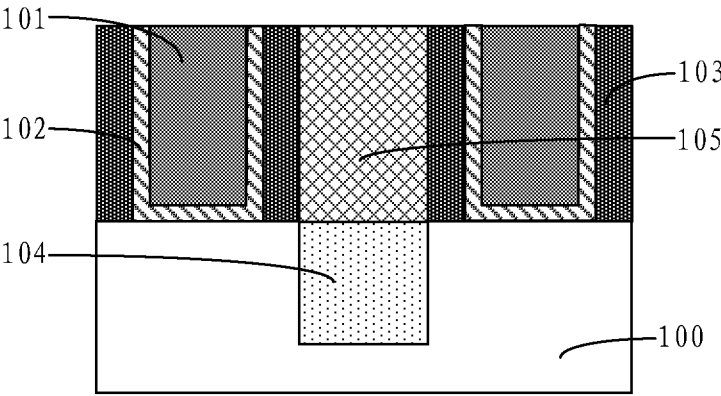


图 1

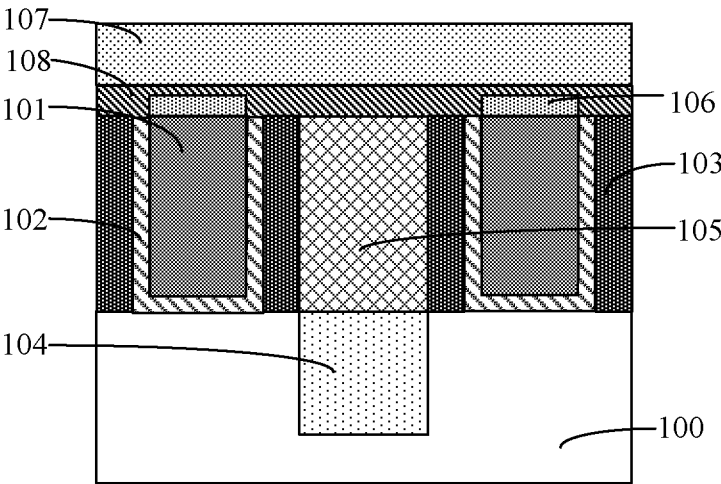


图 2

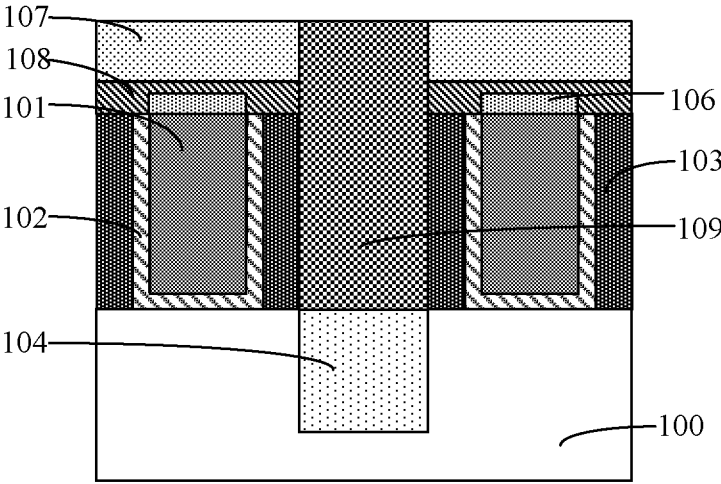


图 3

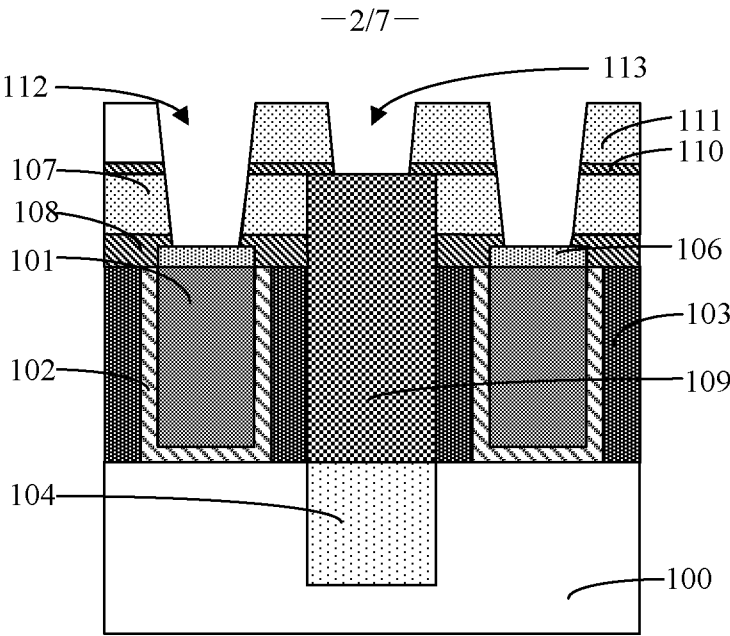


图 4

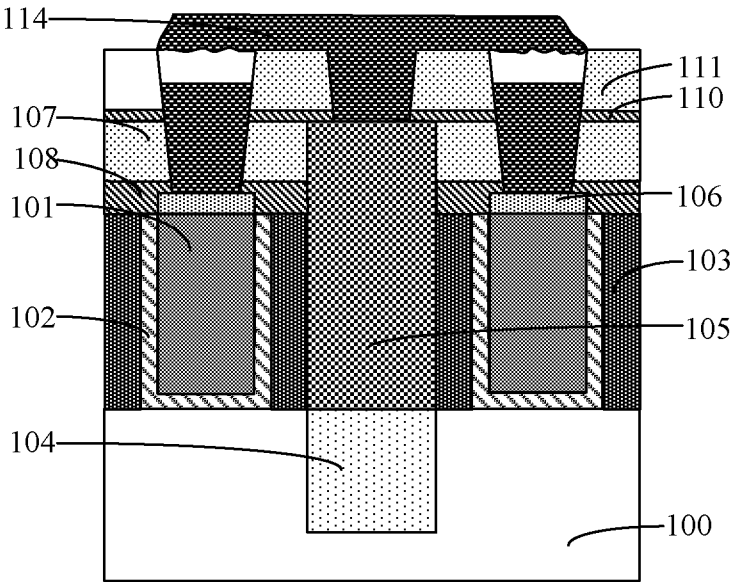


图 5

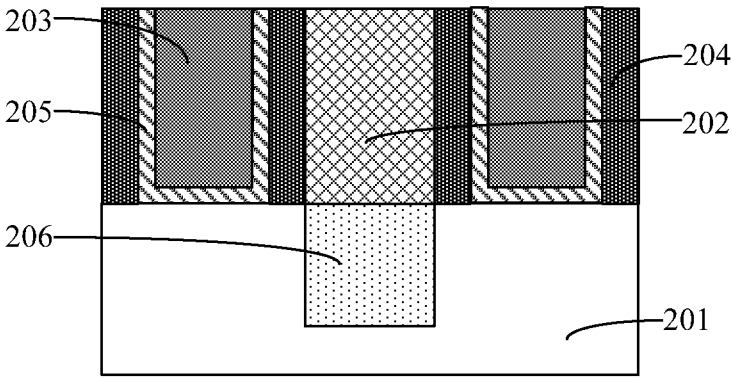


图 6

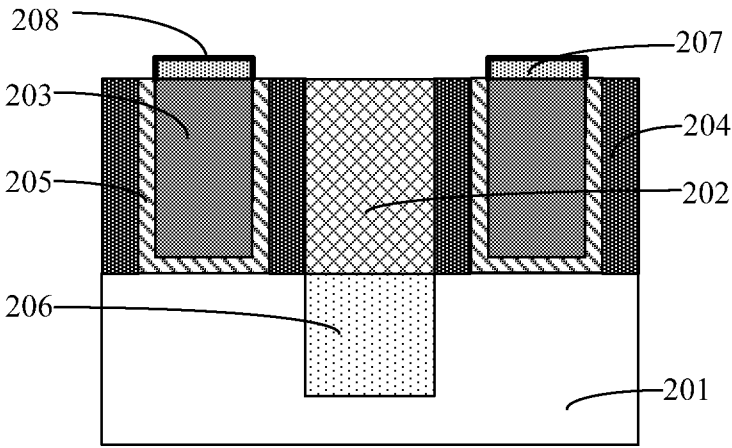


图 7

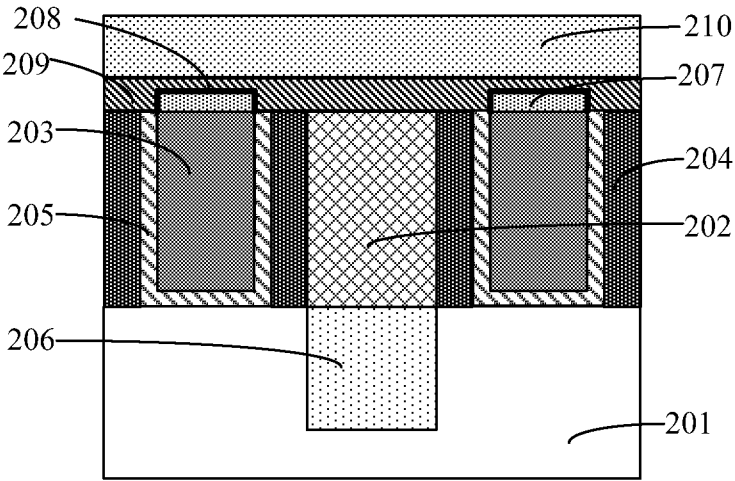


图 8

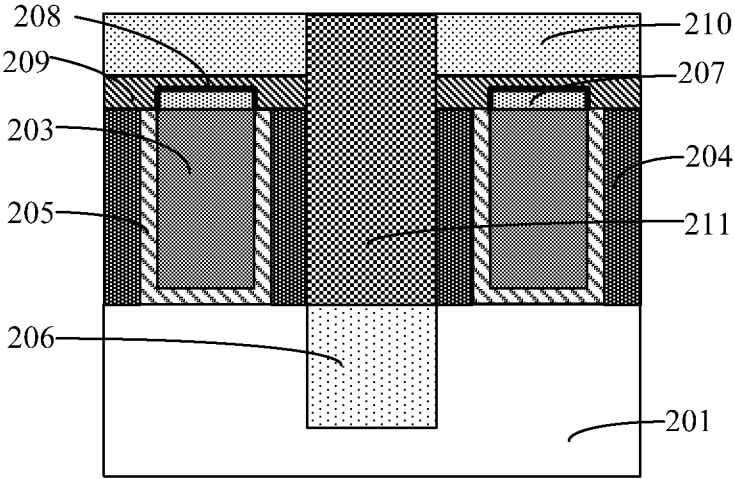


图 9

—6/7—

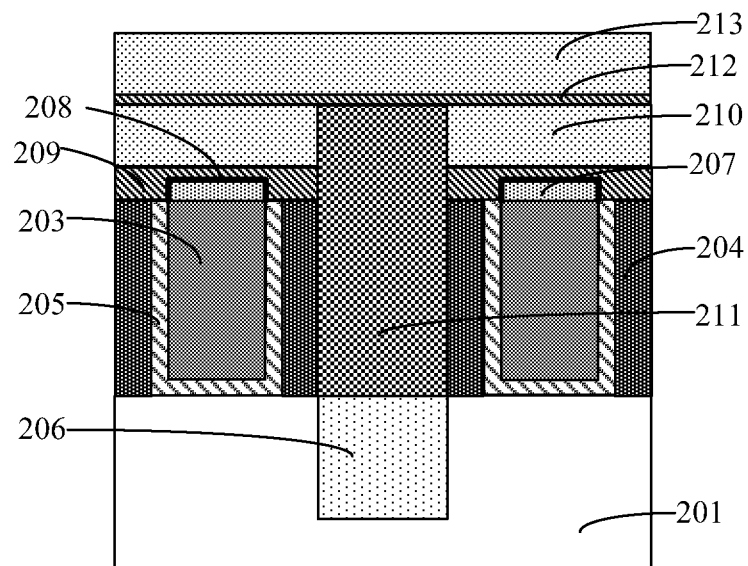


图 10

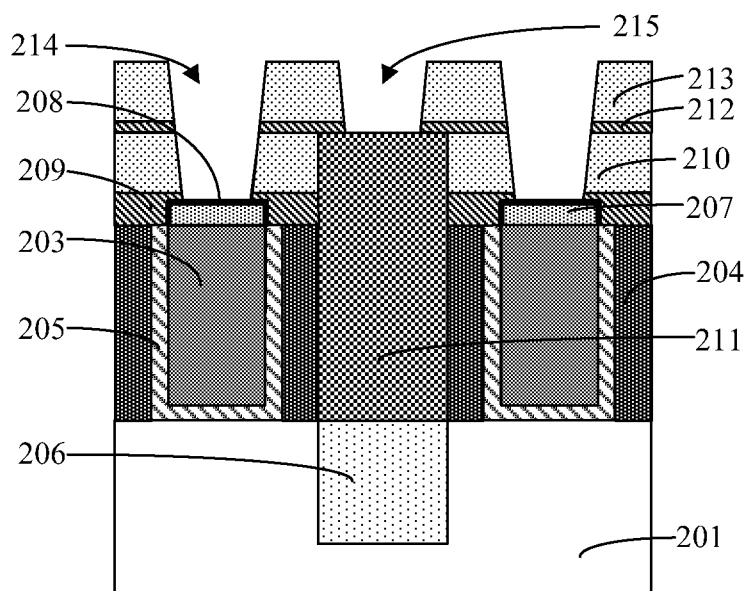


图 11

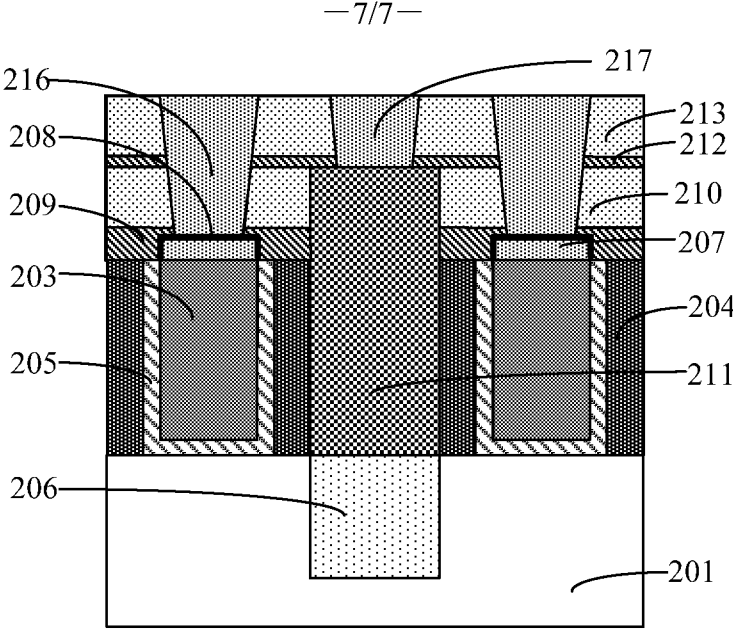


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/097156

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/088(2006.01)i; H01L 21/768(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 金属栅, 覆盖层, 辅助层, 氯化钨, 钨-氮键, 原子层沉积, 化学气相沉积, 孔洞, 速度, 速率, 六氟化钨, 插塞, Tungsten, chemical vapor deposition, CVD, atomic layer deposition, ALD, WC13, WF6, rate, plug, cover layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 112582407 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 30 March 2021 (2021-03-30) description, paragraphs [0018]-[0058], and figures 1-18	1-21
A	CN 104143515 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 12 November 2014 (2014-11-12) entire document	1-21
A	CN 111106158 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 05 May 2020 (2020-05-05) entire document	1-21
A	CN 105870050 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 17 August 2016 (2016-08-17) entire document	1-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 January 2022

Date of mailing of the international search report

27 January 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/097156

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	112582407	A	30 March 2021	US	2021098366	A1	01 April 2021
				KR	20210038824	A	08 April 2021
				TW	202115794	A	16 April 2021
				DE	102020110480	A1	01 April 2021
CN	104143515	A	12 November 2014	CN	104143515	B	01 December 2017
CN	111106158	A	05 May 2020	None			
CN	105870050	A	17 August 2016	CN	105870050	B	26 April 2019

国际检索报告

国际申请号

PCT/CN2021/097156

A. 主题的分类 H01L 27/088(2006.01)i; H01L 21/768(2006.01)i; H01L 21/336(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN;CNABS;CNTXT;USTXT;EPTXT;WOTXT;CNKI: 金属栅, 覆盖层, 辅助层, 氯化钨, 钨-氯键, 原子层沉积, 化学气相沉积, 孔洞, 速度, 速率, 六氟化钨, 插塞, Tungsten, chemical vapor deposition, CVD, atomic layer deposition, ALD, WC13, WF6, rate, plug, cover layer																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 112582407 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0058]段, 附图1-18</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 104143515 A (中芯国际集成电路制造上海有限公司) 2014年11月12日 (2014 - 11 - 12) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 111106158 A (中芯国际集成电路制造上海有限公司 等) 2020年5月5日 (2020 - 05 - 05) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 105870050 A (中芯国际集成电路制造上海有限公司) 2016年8月17日 (2016 - 08 - 17) 全文</td> <td>1-21</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 112582407 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0058]段, 附图1-18	1-21	A	CN 104143515 A (中芯国际集成电路制造上海有限公司) 2014年11月12日 (2014 - 11 - 12) 全文	1-21	A	CN 111106158 A (中芯国际集成电路制造上海有限公司 等) 2020年5月5日 (2020 - 05 - 05) 全文	1-21	A	CN 105870050 A (中芯国际集成电路制造上海有限公司) 2016年8月17日 (2016 - 08 - 17) 全文	1-21
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 112582407 A (台湾积体电路制造股份有限公司) 2021年3月30日 (2021 - 03 - 30) 说明书第[0018]-[0058]段, 附图1-18	1-21															
A	CN 104143515 A (中芯国际集成电路制造上海有限公司) 2014年11月12日 (2014 - 11 - 12) 全文	1-21															
A	CN 111106158 A (中芯国际集成电路制造上海有限公司 等) 2020年5月5日 (2020 - 05 - 05) 全文	1-21															
A	CN 105870050 A (中芯国际集成电路制造上海有限公司) 2016年8月17日 (2016 - 08 - 17) 全文	1-21															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件													
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																
国际检索实际完成的日期 2022年1月10日		国际检索报告邮寄日期 2022年1月27日															
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 张斌 电话号码 (86-512)88995753															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/097156

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	112582407	A	2021年3月30日	US	2021098366	A1	2021年4月1日
				KR	20210038824	A	2021年4月8日
				TW	202115794	A	2021年4月16日
				DE	102020110480	A1	2021年4月1日
CN	104143515	A	2014年11月12日	CN	104143515	B	2017年12月1日
CN	111106158	A	2020年5月5日	无			
CN	105870050	A	2016年8月17日	CN	105870050	B	2019年4月26日