



(10) **DE 11 2004 002 307 B4** 2011.07.07

(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2004 002 307.6**
(86) PCT-Aktenzeichen: **PCT/EP2004/053141**
(87) PCT-Veröffentlichungs-Nr.: **WO 2005/064683**
(86) PCT-Anmeldetag: **26.11.2004**
(87) PCT-Veröffentlichungstag: **14.07.2005**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **02.11.2006**
(45) Veröffentlichungstag
der Patenterteilung: **07.07.2011**

(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)
H01L 21/84 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/748,995 **30.12.2003** **US**

(72) Erfinder:
Li, Hong-Jyh, Tex., Austin, US

(73) Patentinhaber:
Infineon Technologies AG, 81669, München, DE

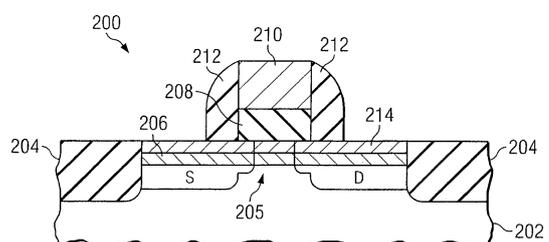
(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

(74) Vertreter:
Kindermann, Patentanwälte, 85598, Baldham, DE

DE **698 36 401** **T2**
US **2004/01 73 815** **A1**
US **2002/01 25 502** **A1**

(54) Bezeichnung: **Verfahren zur Herstellung eines Transistors und Transistor mit Silizium- und Kohlenstoffschicht in dem Kanalbereich**

(57) Hauptanspruch: Verfahren zum Herstellen eines Transistors (100 bis 500), das Verfahren umfassend:
Vorsehen eines Werkstücks (102 bis 502),
Aufwachsen einer ersten Schicht (106 bis 506) aus Silizium und Kohlenstoff über dem Werkstück (102 bis 502),
Abscheiden eines Gatedielektrikummaterials (108 bis 508) über der ersten Schicht (106 bis 506) aus Silizium und Kohlenstoff, das Gatedielektrikum umfassend ein Material mit einer großen Dielektrizitätskonstante ϵ , wo wobei das Material hoher Dielektrizitätskonstante ϵ des Gatedielektrikummaterials (108 bis 508) umfasst HfO_2 , HfSiO_x , ZrO_2 , ZrSiO_x oder Ta_2O_5 ,
Abscheiden eines Gatematerials (110 bis 510) über dem Gatedielektrikummaterial (108 bis 508),
Strukturieren des Gatematerials (110 bis 510) und Gatedielektrikummaterials (108 bis 508), um ein Gate und ein Gatedielektrikum auszubilden angeordnet über der ersten Schicht (106 bis 506) aus Silizium und Kohlenstoff, und
Ausbilden eines Sourcebereiches (S) und eines Drainbereiches (D) in mindestens der ersten Schicht (106 bis 506) aus Silizium und Kohlenstoff,...



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung bezieht sich allgemein auf Halbleitervorrichtungen und spezieller auf ein Verfahren des Fabrizieren eines Transistors und eine Struktur desselben.

Hintergrund

[0002] Halbleitervorrichtungen werden in einer Vielfalt elektronischer Anwendungen verwendet, wie Personalcomputer, Handys, Digitalkameras und anderen elektronischen Geräten, als Beispiele. Ein Transistor ist ein Element, das extensiv in Halbleitervorrichtungen verwendet wird. Es kann Millionen Transistoren auf einem einzigen integrierten Schaltkreis (IC) geben, z. B. Ein weit verbreiteter Transistortyp, der in Halbleitervorrichtungsfabrikation verwendet wird, ist ein Metalloxidhalbleiterfeldeffekttransistor (MOSFET).

[0003] Das Gatedielektrikum für MOSFET-Vorrichtungen hat in der Vergangenheit typischerweise Siliziumdioxid umfasst. Jedoch wird, wenn die Vorrichtungen in der Größe abwärts skaliert werden, Siliziumdioxid ein Problem auf Grund von Gateleckstrom, der die Vorrichtungsleistungsfähigkeit herabsetzen kann. Deshalb gibt es einen Trend in der Industrie hin zu der Entwicklung der Verwendung von Materialien mit großer Dielektrizitätskonstante (ϵ) für die Verwendung als Gatedielektrikum in MOSFET-Vorrichtungen.

[0004] Die Entwicklung von Dielektrika großer Dielektrizitätskonstante ϵ wurde als eine der großen Herausforderungen identifiziert in der 2003-Ausgabe des internationalen Technologieplans für Halbleiter (International Technology Road Map for Semiconductor – ITRS), der die technologischen Herausforderungen und Bedürfnisse identifiziert, die der Halbleiterindustrie in den nächsten fünfzehn Jahren begegnen. Für Logik kleiner Leistung (für tragbare elektronische Anwendungen, z. B.) ist die Hauptangelegenheit kleiner Leckstrom, der absolut erforderlich ist, um die Batterielebenszeit zu verlängern. Die Vorrichtungsleistungsfähigkeit wird dann maximiert gemäß den Erfordernissen des kleinen Leckstroms. Gateleckstrom muss in Anwendungen kleiner Leistung beachtet werden, ebenso wie Unterschwellspannungsleck, Übergangsleck, und Band-zu-Band-Tunneln.

[0005] Um die Vorteile des Transistorskalierens vollständig zu realisieren, müsste die Gateoxiddicke auf weniger als 2 Nanometer abwärts skaliert werden. Jedoch machen die resultierenden Gateleckströme die Verwendung solch dünner Oxide unpraktisch in vielen Vorrichtungsanwendungen, in denen kleiner Bereitschaftsleistungsverbrauch erforderlich ist. Aus

diesem Grund wird eventuell Gateoxid-Dielektrikummaterial ersetzt werden durch ein alternatives dielektrisches Material, das eine größere Dielektrizitätskonstante hat. Jedoch leidet die Vorrichtungsleistungsfähigkeit bei Verwendung von dielektrischen Materialien großer Dielektrizitätskonstante ϵ unter eingefangener Ladung in der dielektrischen Schicht, welche die Beweglichkeit herabsetzt, was den Ansteuerstrom kleiner macht als in Transistoren mit Siliziumdioxidgateoxiden, und somit die Geschwindigkeit und Leistungsfähigkeit der Transistoren verringert, die Gatedielektrikummaterialien hoher Dielektrizitätskonstante ϵ haben.

[0006] Deshalb ist das, was in dem Fachgebiet benötigt wird, ein Transistorentwurf und Fabrikationsmethode mit einem Gatedielektrikummaterial großer Dielektrizitätskonstante ϵ mit vergrößerter Geschwindigkeit und besserer Leistungsfähigkeit.

[0007] Aus der US 2002/0125502 A1 ist eine Halbleitervorrichtung bekannt, die eine SiGe-Schicht, eine SiC-Schicht und eine Si-Schicht enthält. Über der Si-Schicht befindet sich ein Gatedielektrikum aus Siliziumdioxid. Aus der DE 698 36 401 T2 ist ein Verfahren zum Herstellen einer Halbleiteranordnung bekannt, bei dem Tantaloxid als Gateisolator verwendet wird.

Zusammenfassung der Erfindung

[0008] Diese und andere Probleme werden allgemein gelöst oder umgangen, und technische Vorteile werden allgemein erreicht, durch bevorzugte Ausführungsformen der vorliegenden Erfindung, welche eine MOS-Vorrichtung umfasst mit gespanntem Kanal, der die Geschwindigkeit der MOS-Vorrichtung erhöht und die Vorrichtungsleistungsfähigkeit verbessert. Eine Schicht aus Silizium und Kohlenstoff wird epitaktisch in einem Kanalbereich der MOS-Vorrichtung aufgewachsen. Die Schicht aus Silizium und Kohlenstoff kann über einer optionalen epitaktisch aufgewachsenen gespannten Halbleiterschicht angeordnet werden. Ein optionales dünnes Halbleitermaterial kann über der Schicht aus Silizium und Kohlenstoff angeordnet werden. Die Schicht aus Silizium und Kohlenstoff und die optionale gespannte Halbleiterschicht erzeugen einen gespannten Bereich in dem Kanal der MOS-Vorrichtung, was vorteilhaft ist, weil die Elektronbeweglichkeit und Lochbeweglichkeit verbessert werden. Die gespannte Halbleiterschicht verkleinert den Übergangsbereich der Gitterfehlpassung zwischen dem unterliegenden Werkstück und der Schicht aus Silizium und Kohlenstoff, was die Leistungsfähigkeit der MOS-Vorrichtung weiter verbessert.

[0009] Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung enthält ein Verfahren zur Herstellung eines Transistors das Vorsehen einer

Ausgangskomponente bzw. eines Werkstücks, Aufwachsens einer gespannten Halbleiterschicht über dem Werkstück, Aufwachsen einer ersten Schicht aus Silizium und Kohlenstoff über der gespannten Halbleiterschicht, und Abscheiden eines Gatedielektrikummaterials über der Schicht aus Silizium und Kohlenstoff. Ein Gatematerial wird über dem Gatedielektrikummaterial abgeschieden, und das Gatematerial und Gatedielektrikummaterial werden strukturiert, um ein Gate und ein Gatedielektrikum auszubilden angeordnet über der Schicht aus Silizium und Kohlenstoff. Ein Sourcebereich und ein Drainbereich werden ausgebildet in der Schicht aus Silizium und Kohlenstoff und gespannten Halbleiterschicht, worin der Sourcebereich, Drainbereich, Gate und Gatedielektrikum einen Transistor umfassen.

[0010] Gemäß einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung enthält ein Verfahren des Fabrizierens eine Transistors das Vorsehen eines Werkstücks, Aufwachsen einer ersten Schicht aus Silizium und Kohlenstoff über dem Werkstück, und Abscheiden eines Gatedielektrikummaterials über der Schicht aus Silizium und Kohlenstoff, das Gatedielektrikum umfassend ein Material hoher Dielektrizitätskonstante ϵ . Ein Gatematerial wird über dem Gatedielektrikummaterial abgeschieden, das Gatematerial umfassend ein Metall, und das Gatematerial und das Gatedielektrikummaterial werden strukturiert, um ein Gate und ein Gatedielektrikum auszubilden angeordnet über der Schicht aus Silizium und Kohlenstoff. Ein Sourcebereich und ein Drainbereich werden ausgebildet in mindestens der Schicht aus Silizium und Kohlenstoff, worin der Sourcebereich, Drainbereich, Gate und Gatedielektrikum einen Transistor umfassen.

[0011] Gemäß einer noch anderen bevorzugten Ausführungsform der vorliegenden Erfindung enthält ein Transistor ein Werkstück, eine gespannte Halbleiterschicht angeordnet über dem Werkstück, und eine erste Schicht aus Silizium und Kohlenstoff angeordnet über der gespannten Halbleiterschicht. Ein Gatedielektrikum ist über der Schicht aus Silizium und Kohlenstoff angeordnet, und ein Gate ist über dem Gatedielektrikum angeordnet. Ein Sourcebereich und ein Drainbereich sind ausgebildet in der Schicht aus Silizium und Kohlenstoff und gespannten Halbleiterschicht, worin der Sourcebereich, Drainbereich, Gate und Gatedielektrikum einen Transistor umfassen.

[0012] Gemäß einer anderen bevorzugten Ausführungsform der vorliegenden Erfindung enthält ein Transistor ein Werkstück, eine erste Schicht aus Silizium und Kohlenstoff angeordnet über dem Werkstück, und ein Gatedielektrikum angeordnet über der Schicht aus Silizium und Kohlenstoff, das Gatedielektrikum umfassend ein Material hoher Dielektrizitätskonstante ϵ . Ein Gate ist über dem Gatedielektri-

kum angeordnet, das Gate umfassend Metall, und ein Sourcebereich und ein Drainbereich sind ausgebildet in mindestens der Schicht aus Silizium und Kohlenstoff, worin der Sourcebereich, Drainbereich, Gate und Gatedielektrikum einen Transistor umfassen.

[0013] Vorteile bevorzugter Ausführungsformen der vorliegenden Erfindung enthalten das Vorsehen eines Transistorentwurfs und Fertigungsverfahren desselben, worin die elektrische Leistungsfähigkeit des Transistors und elektrische Parameter verbessert sind. Der Transistor hat erhöhte Geschwindigkeit und kann in kleineren Abmessungen gefertigt werden. Epitaktisch aufgewachsene Materialschichten werden in den Kanalbereich hinein eingeführt, um Spannung in die kristalline Struktur einzuführen, verbessernd die Elektron- und Lochbeweglichkeit. Der Ansteuerstrom des Transistors wird auch erhöht.

[0014] Das Vorhergehende hat die Merkmale und technischen Vorteile der Ausführungsformen der vorliegenden Erfindung ziemlich breit ausgeführt, um zu erreichen, dass die detaillierte Beschreibung der Erfindung, die folgt, besser verstanden werden kann. Zusätzliche Merkmale und Vorteile der Ausführungsformen der Erfindung werden hiernach beschrieben werden.

Kurze Beschreibung der Zeichnungen

[0015] Für ein vollständigeres Verständnis der vorliegenden Erfindung und der Vorteile derselben wird nun verwiesen auf die folgenden Beschreibungen in Zusammenhang mit den begleitenden Zeichnungen genommen, in welchen:

[0016] [Fig. 1](#) und [Fig. 2](#) Querschnittsansichten eines Transistors zeigen zu verschiedenen Fertigungsstufen gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung, worin eine Schicht aus Silizium und Kohlenstoff über dem Kanalbereich des Transistors ausgebildet wird,

[0017] [Fig. 3](#) zeigt eine Ausführungsform der vorliegenden Erfindung, worin ein dünnes Halbleitermaterial ausgebildet wird über der Schicht aus Silizium und Kohlenstoff in dem Kanalbereich des Transistors,

[0018] [Fig. 4](#) und [Fig. 5](#) zeigen Querschnittsansichten von Ausführungsformen der vorliegenden Erfindung, worin die Ausführungsformen der [Fig. 2](#) bzw. [Fig. 3](#) an einem Silizium-auf-Isolator(SOI)-Substrat ausgebildet sind,

[0019] [Fig. 6](#) und [Fig. 7](#) zeigen die Ausführungsformen der [Fig. 2](#) bzw. [Fig. 3](#), worin eine gespannte Halbleiterschicht über einem Werkstück ausgebildet wird, bevor die erste Schicht aus Silizium und Kohlenstoff ausgebildet wird, und

[0020] **Fig. 8** zeigt eine Ausführungsform der vorliegenden Erfindung, die eine gespannte Halbleiterschicht enthält ausgebildet unterhalb der Schicht aus Silizium und Kohlenstoff und dünnen Halbleiterschicht, ausgebildet an einem SOI-Substrat.

[0021] Entsprechende Nummern und Symbole in den verschiedenen Figuren beziehen sich allgemein auf entsprechende Teile außer anders angezeigt. Die Figuren sind gezeichnet, um die relevanten Aspekte der bevorzugten Ausführungsformen klar zu illustrieren und nicht notwendiger Weise gezeichnet, um zu skalieren.

[0022] Die vorliegende Erfindung wird mit Hinsicht auf bevorzugte Ausführungsformen in einem spezifischen Kontext beschrieben, nämlich eines Transistors ausgebildet an einer Halbleitervorrichtung. Die Erfindung kann jedoch auch angewendet werden auf MOSFETs oder andere Transistorvorrichtungen und kann enthalten PMOS-, NMOS-, oder CMOS-Vorrichtungen, als Beispiele. Nur ein Transistor ist in jeder der Figuren gezeigt, jedoch können viele Transistoren vorhanden sein ausgebildet an den gezeigten Halbleitervorrichtungen.

[0023] **Fig. 1** und **Fig. 2** zeigen Querschnittsansichten eines Transistors an verschiedenen Stufen des Anfertigungs gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung, worin eine Schicht aus Silizium und Kohlenstoff in dem Kanalbereich des Transistors angeordnet ist. Um einen Transistor **100** gemäß einer Ausführungsform der vorliegenden Erfindung zu fabrizieren, wird ein Werkstück **102** vorgesehen. Das Werkstück **102** kann ein Halbleitersubstrat enthalten umfassend Silizium oder andere Halbleitermaterialien bedeckt mit einer isolierenden Schicht, zum Beispiel. Das Werkstück **102** kann auch andere aktive Komponenten enthalten oder Schaltkreise ausgebildet in dem Front-End-of-Line (FEOL), nicht gezeigt. Das Werkstück **102** kann Siliziumdioxid umfassen über einkristallinem Silizium, z. B. Das Werkstück **102** kann andere halbleitende Schichten enthalten oder andere Halbleiterelemente, z. B., Transistoren, Dioden usw. Verbindungshalbleiter, GaAs, InP, Si/Ge, oder SiC als Beispiele, können verwendet werden an Stelle von Silizium.

[0024] Isolationsbereiche **104** können an verschiedenen Stellen an dem Werkstück **102** ausgebildet werden, wie gezeigt. Die Isolationsbereiche **104** können an jeder Seite eines Kanalbereichs **105** einer Transistorvorrichtung **100** angeordnet werden, z. B. Die Isolationsbereiche **104** können durch Abscheiden eines Fotoresists über dem Werkstück **102** ausgebildet werden, nicht gezeigt. Der Fotoresist kann strukturiert werden verwendend Lithographietechniken, und der Fotoresist kann als eine Maske verwendet werden, während das Werkstück **102** geätzt wird, um Löcher oder Muster für die Isolationsbereiche **104**

in einer Deckfläche des Werkstücks **102** auszubilden. Ein Isolator wie ein Oxid, z. B., kann über dem Werkstück **102** abgeschieden werden, um die Muster zu füllen, ausbildend Isolationsbereiche **104**. Alternativ können die Isolationsbereiche **104** durch andere Verfahren ausgebildet werden, z. B. Gemäß Ausführungsformen der vorliegenden Erfindung können Isolationsbereiche **104** entweder ausgebildet werden bevor oder nachdem die gespannte Materialschicht **106** ausgebildet wird in dem Kanalbereich **105**, was hierin weiter beschrieben wird.

[0025] Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird eine Schicht aus Silizium und Kohlenstoff **106** ausgebildet über der Deckfläche des Werkstücks **102** in dem Kanalbereich **102**, wie gezeigt. Vorzugsweise wird die Schicht **106** aus Silizium und Kohlenstoff ausgebildet durch epitaktisches Aufwachsen einer Materialschicht umfassend etwa 90 bis 99,5 Prozent Silizium und etwa 0,5 bis 10 Prozent Kohlenstoff. Die Schicht aus Silizium und Kohlenstoff umfasst vorzugsweise eine Dicke von etwa einigen Nanometern bis etwa 5 Mikrometer. Alternativ umfasst die Schicht **106** aus Silizium und Kohlenstoff andere Prozentsätze Silizium und Kohlenstoff und kann andere Dicken umfassen, z. B. Die Schicht **106** aus Silizium und Kohlenstoff enthält vorzugsweise eine relativ kleine Menge Kohlenstoff, so dass die Schicht **106** leitfähig bleibt. Zum Beispiel umfasst der Kohlenstoff Zwischengitterbindungen in dem Siliziumkristallmaterial. Vorzugsweise wird die Schicht **106** aus Silizium und Kohlenstoff nicht an den Isolationsbereichen **104** ausgebildet. Weil eine epitaktische Wachstumsmethode verwendet wird, um die Schicht **106** aus Silizium und Kohlenstoff auszubilden, wird die Schicht **106** aus Silizium und Kohlenstoff vorzugsweise nicht an dem Isolatormaterial der Isolationsbereiche **104** ausgebildet, z. B. Jedoch wenn ein anderes Material abgeschieden oder über den Isolationsbereichen **104** aufgewachsen wird, kann ein Polierprozess oder Ätzprozess verwendet werden, um alles Silizium und Kohlenstoff von der Deckfläche der Isolationsbereiche **104** zu entfernen.

[0026] Bereiche des Werkstücks **102** (nicht gezeigt) können dann implantiert werden, für eine V_T -Schwellspannung, z. B. Ein Antidurchgriffsimplantat kann dann durchgeführt werden an Abschnitten des Werkstücks **102**, auch nicht gezeigt. Das Werkstück **102** kann dann einer Vor-Gate-Reinigung oder Behandlung ausgesetzt werden umfassend eine HF-chemische Ätzung, als ein Beispiel, um alle Teilchen zu entfernen, Verschmutzungen oder natürliche Oxidteilchen angeordnet an der Deckfläche der Schicht **106** aus Silizium und Kohlenstoff in dem Kanalbereich **105**, z. B.

[0027] Als Nächstes wird gemäß einer Ausführungsform der vorliegenden Erfindung ein Gatedielektri-

kummaterial **108** angeordnet über der Schicht **106** aus Silizium und Kohlenstoff und Isolationsbereichen **104**, wie in [Fig. 1](#) gezeigt. Das Gatedielektrikummaterial **108** umfasst gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung ein Material großer Dielektrizitätskonstante ϵ . Das Material großer Dielektrizitätskonstante ϵ des Gatedielektrikummaterials **108** kann umfassen HFO_2 , HFSiO_x , ZrO_2 , ZrSiO_x , Ta_2O_5 oder andere Materialien großer Dielektrizitätskonstante ϵ , z. B. In einer anderen Ausführungsform kann jedoch das Gatedielektrikummaterial **108** ein dielektrisches Material mit nicht großer Dielektrizitätskonstante ϵ umfassen, wie SiO_2 , Si_3N_4 oder andere dielektrische Materialien, als Beispiele.

[0028] Ein Gatematerial **110** wird dann abgeschieden über dem Gatedielektrikummaterial **108**. Das Gatematerial **110** umfasst vorzugsweise ein Material, das geeignet ist, um als Gateelektrode einer Transistorvorrichtung **100** zu fungieren. In einer bevorzugten Ausführungsform der vorliegenden Erfindung umfasst das Gatematerial **110** ein Metall, wie TiN, HfN, TaN, ein vollständig silizidiertes Gatematerial (FUSI) oder andere Metalle, als Beispiele. Alternativ kann in einer anderen Ausführungsform das Gatematerial **110** Polysilizium oder andere Halbleitermaterialien umfassen.

[0029] Das Gatematerial **110** und das Gatedielektrikummaterial **108** werden strukturiert, um ein Gate **110** und Gatedielektrikum **108** auszubilden, wie in [Fig. 2](#) gezeigt. Das Gatematerial **110** und Gatedielektrikummaterial **108** können mit einem Muster versehen werden verwendend herkömmliche Lithographietechniken, durch Abscheiden eines Fotoresists, Strukturieren des Fotoresists und Verwenden des Fotoresists als eine Maske, um das Gatematerial **110** und Gatedielektrikummaterial **108** zu strukturieren, nicht gezeigt, z. B. Alternativ können das Gatematerial **110** und das Gatedielektrikummaterial **108** direkt geätzt werden oder können strukturiert werden verwendend andere Verfahren, z. B.

[0030] Ein Sourcebereich S und Drainbereich D werden dann ausgebildet nahe des Kanalbereichs **105**. Genauer werden der Sourcebereich S und der Drainbereich D vorzugsweise in mindestens der Schicht **106** aus Silizium und Kohlenstoff ausgebildet, nicht gezeigt. Angemerkt ist, dass in dieser Ausführungsform Abschnitte des Sourcebereiches S und Drainbereiches D auch in einem Deckbereich des Werkstücks **102** ausgebildet werden. Der Sourcebereich S und Drainbereich D können ausgebildet werden verwendend ein Erweiterungsimplantat, das umfassen kann Implantieren von Dotierstoffen verwendend ein Implantat kleiner Energie bei etwa 200 Elektronenvolt bis 1 Kiloelektronenvolt, z. B. Ein Abstandshaltermaterial, wie Siliziumnitrid oder anderer Isolator, als Beispiele, wird über dem gesamten Werkstück **102** abgeschieden, und dann wird das Abstandshaltermaterial

geätzt verwendend einen Ätzprozess wie eine anisotrope Ätzung, zurücklassend die Abstandshalter **112** wie gezeigt. Alternativ können die Abstandshalter **12** rechteckiger geformt sein und können strukturiert werden verwendend ein Fotoresist als eine Maske, als ein Beispiel, nicht gezeigt. Um das Erweiterungsimplantat zu vervollständigen, wird dann ein zweiter Dotierstoffimplantationsprozess durchgeführt, vorzugsweise verwendend einen Hochenergieimplantationsprozess. Zum Beispiel kann der zweite Implantationsprozess bei etwa 5 Kiloelektronenvolt bis 20 Kiloelektronenvolt liegen. Ein Hochtemperaturerhitzen kann dann ausgeführt werden, um den Dotierstoff einzutreiben und zu aktivieren. Das Hochtemperaturerhitzen kann ausgeführt werden bei etwa 800°C bis etwa 1015°C, als Beispiele.

[0031] Der in [Fig. 2](#) gezeigte Transistor **100** ist dahin gehend vorteilhaft, dass die Schicht **106** aus Silizium und Kohlenstoff in dem Kanalbereich **105** eine Spannung einführt, welche den Steuerstrom erhöht, wenn der Transistor **100** in Betrieb ist, und auch die Loch- und Elektronenbeweglichkeit der Transistorvorrichtung **100** erhöht. Dies führt zu einem Transistor **100** mit verbesserter Leistungsfähigkeit und vergrößerter Geschwindigkeit.

[0032] In der in [Fig. 1](#) und [Fig. 2](#) gezeigten Ausführungsform können die Isolationsbereiche **104** entweder vor oder nach dem epitaktischen Wachstum der Schicht **106** aus Silizium und Kohlenstoff ausgebildet werden. Wenn die Schicht **106** aus Silizium und Kohlenstoff aufgewachsen wird, nachdem die Isolationsbereiche **104** ausgebildet sind, können die Isolationsbereiche **104** wieder gefüllt werden mit einem Oxid oder einem Isolator, so dass die Deckflächen der Isolationsbereiche **104** koplanar mit der Deckfläche der Schicht **106** aus Silizium und Kohlenstoff sind, und um zu sichern, dass der Kanalbereich **105** nicht höher als die Deckfläche der Isolationsbereiche **104** angehoben ist.

[0033] [Fig. 3](#) zeigt eine andere Ausführungsform der vorliegenden Erfindung, worin ein dünnes Halbleitermaterial **214** über einer Schicht **206** aus Silizium und Kohlenstoff in einem Kanalbereich **205** eines Transistors **200** angeordnet ist. Ähnliche Bezugszeichen sind für die verschiedenen Elemente bestimmt wie sie in [Fig. 1](#) und [Fig. 2](#) verwendet wurden. Um Wiederholung zu vermeiden, wird nicht jedes in der Darstellung gezeigte Bezugszeichen im Detail hierin beschrieben. Statt dessen werden vorzugsweise ähnliche Materialien x02, x04, x05 usw. für die gezeigten Materialschichten verwendet, wie sie für [Fig. 1](#) und [Fig. 2](#) erläutert wurden, wo $x = 1$ in [Fig. 1](#) und [Fig. 2](#) und $x = 2$ in [Fig. 3](#) ist. Als ein Beispiel werden die bevorzugten und alternativen Materialien, die für Gatedielektrikummaterial **108** in der Beschreibung für [Fig. 1](#) und [Fig. 2](#) aufgelistet wurden, vorzugsweise

auch als Gatedielektrikummaterial **208** in [Fig. 3](#) verwendet.

[0034] In dem gezeigten Transistor **200** wird ein dünnes Halbleitermaterial **214** ausgebildet über der Schicht **206** aus Silizium und Kohlenstoff vor Ablagern des Gatedielektrikummaterials **208**. Das dünne Halbleitermaterial **214** umfasst vorzugsweise etwa 10 Nanometern oder weniger Halbleitermaterial. Das dünne Halbleitermaterial **214** wird vorzugsweise epitaktisch aufgewachsen über der Schicht **206** aus Silizium und Kohlenstoff, z. B. Das dünne Halbleitermaterial **214** umfasst vorzugsweise Si in einer Ausführungsform. Alternativ kann der dünne Halbleiter **214** umfassen Ge, SiGe, eine Doppelschicht aus Si/SiGe, oder eine Doppelschicht aus Ge/SiGe.

[0035] Wenn das Halbleitermaterial **214** eine Doppelschicht aus Si/SiGe umfasst, kann die Doppelschicht umfassen eine erste Schicht aus Si und eine zweite Schicht aus SiGe angeordnet über der ersten Schicht aus Si. Alternativ kann die Doppelschicht umfassen eine erste Schicht aus SiGe und eine zweite Schicht aus Si angeordnet über der ersten Schicht aus SiGe, z. B. Ebenso kann, wenn das dünne Halbleitermaterial **214** eine Doppelschicht aus Ge/SiGe umfasst, die Doppelschicht umfassen eine erste Schicht aus Ge und eine zweite Schicht aus SiGe angeordnet über der ersten Schicht aus SiGe, oder eine erste Schicht aus SiGe und eine zweite Schicht aus Ge angeordnet über der ersten Schicht aus SiGe.

[0036] Der in [Fig. 3](#) gezeigte Transistor **200** ist vorteilhaft dahin gehend, dass das dünne Halbleitermaterial **214** angeordnet ist zwischen dem Gatedielektrikum **208** und der Schicht **206** aus Silizium und Kohlenstoff. Dies verschiebt das Übergangsgebiet der Schicht **206** aus Silizium und Kohlenstoff mit dem darunter liegenden Werkstück **202** in dem Kanalbereich **205** tiefer in den Kanalbereich **205** hinein. Dies ist vorteilhaft, weil der Übergangsbereich der Schicht **206** aus Silizium und Kohlenstoff sowie Werkstück **202** fehlangepasste Gitter umfassen kann. Zum Beispiel ist der Gitterabstand der kristallinen Siliziumstruktur in dem Werkstück **202** verschieden von dem Gitterabstand des Siliziums enthaltend Zwischengitterkohlenstoffatome in der Schicht **206** aus Silizium und Kohlenstoff. Deshalb kann dies eine Gitterfehl-anpassung erzeugen und/oder Defekte an der Überschneidung oder Übergangsbereich der Schicht **206** aus Silizium und Kohlenstoff sowie dem Werkstück **202**. Somit wird der Transistor **200** weiter verbessert in Vorrichtungsleistungsfähigkeit und Geschwindigkeit durch die zusätzliche dünne Halbleitermaterialschicht **214**.

[0037] In der in [Fig. 3](#) gezeigten Ausführungsform können die Isolationsbereiche **204** ausgebildet werden entweder vor oder nach dem epitaktischen Wachstum der Schicht **206** aus Silizium und Kohlen-

stoff und der dünnen Halbleitermaterialschicht **214**. Wenn die Schicht **206** aus Silizium und Kohlenstoff sowie die dünne Halbleitermaterialschicht **214** aufgewachsen werden, nachdem die Isolationsbereiche **204** ausgebildet werden, können die Isolationsbereiche **204** wieder gefüllt werden mit Oxid oder anderem Isolatormaterial, so dass die Deckflächen der Isolationsbereiche **204** koplanar sind mit der Deckfläche der dünnen Halbleitermaterialschicht **214**, und um zu sichern, dass der Kanalbereich **205** nicht höher als die Deckfläche der Isolationsbereiche **204** angehoben wird.

[0038] [Fig. 4](#) und [Fig. 5](#) zeigen Querschnittsansichten von Ausführungsformen der vorliegenden Erfindung, worin die mit Verweis auf [Fig. 1](#) bis [Fig. 2](#) bzw. [Fig. 3](#) erläuterten Ausführungsformen gezeigt sind ausgebildet an einem Silizium-an-Isolator-(SOI)-Substrat oder Wafer **302**. Wiederum werden gleiche Bezugszeichen verwendet wie sie verwendet und erläutert wurden für die verschiedenen Elemente in [Fig. 1](#) bis [Fig. 3](#), und um Wiederholung zu vermeiden, wird nicht jedes in der Darstellung gezeigte Bezugszeichen erneut im Detail hierin beschrieben. Statt dessen werden vorzugsweise ähnliche Materialien x02, x04, x05 verwendet für die gezeigten Materialschichten, wie sie erläutert wurden für [Fig. 1](#) bis [Fig. 3](#), wo x = 1 in [Fig. 1](#) und [Fig. 2](#), x = 2 in [Fig. 3](#) und x = 3 in [Fig. 4](#) und [Fig. 5](#).

[0039] In den in [Fig. 4](#) und [Fig. 5](#) gezeigten Ausführungsformen umfasst das Werkstück **302** vorzugsweise ein SOI-Substrat **302**. Das SOI-Substrat **302** umfasst einen dicken Silizium- oder anderen Halbleitermaterialabschnitt **316**, der eine Dicke umfassen kann von etwa 500 Mikrometer, z. B. Eine vergrabene SiO₂-Schicht **318** wird ausgebildet über dem dicken Siliziumschichtbereich **316**. Die SiO₂-Schicht **318** kann eine Dicke umfassen von etwa 100 Nanometern, z. B. Eine dünne Siliziumschicht **320** wird ausgebildet über der vergrabenen SiO₂-Schicht **318**. Die dünne Siliziumschicht **320** kann eine Dicke umfassen von etwa 50 Nanometern oder weniger, z. B. SOI-Substrate **302** sind vorteilhaft dahin gehend, dass Leckstrom von der Source zu dem Substrat verhindert wird und parasitäre Kapazität des Transistors **300** verringert wird, weiter vergrößernd die Geschwindigkeit des Transistors **300** und verringern den Leistungsverbrauch.

[0040] In [Fig. 4](#) enthält ein Transistor **300** eine Schicht **306** aus Silizium und Kohlenstoff aufgewachsen über der oberen dünnen Siliziumschicht **320** des SOI-Substrats **302** in dem Kanalbereich **305**. In [Fig. 5](#) enthält ein Transistor weiter eine dünne Halbleiterschicht **314** aufgewachsen über der Schicht **306** aus Silizium und Kohlenstoff in dem Kanalbereich **305**. Wieder können in diesen Ausführungsformen die Isolationsbereiche **304** ausgebildet werden entweder vor oder nach dem epitaktischen Wachs-

tum der Schicht **306** aus Silizium und Kohlenstoff oder der dünnen Halbleiterschicht **314**. Wenn die Schicht **306** aus Silizium und Kohlenstoff oder die dünne Halbleiterschicht **314** aufgewachsen werden nachdem die Isolationsbereiche **304** ausgebildet werden, können die Isolationsbereiche **304** wieder gefüllt werden mit Oxid oder anderem Isolatormaterial, so dass die Deckfläche des Isolationsbereiches **304** koplanar mit der Deckfläche der dünnen Halbleiterschicht **314** sind oder Schicht **306** aus Silizium und Kohlenstoff, und um zu sichern, dass der Kanalbereich **305** nicht höher als die Deckfläche der Isolationsbereiche **304** angehoben wird.

[0041] **Fig. 6** und **Fig. 7** zeigen die Ausführungsformen der **Fig. 2** bzw. **Fig. 3**, worin eine gespannte Halbleiterschicht **422** epitaktisch über einem Werkstück **402** aufgewachsen wird, bevor die Schicht **406** aus Silizium und Kohlenstoff ausgebildet wird. Wieder werden gleiche Bezugszeichen verwendet wie sie verwendet wurden in den zuvor beschriebenen Figuren. In diesen Ausführungsformen wird eine gespannte Halbleiterschicht **422** epitaktisch über dem Werkstück **402** aufgewachsen vor Aufwachsen der Schicht **406** aus Silizium und Kohlenstoff. Die Sourcebereiche S und Drainbereiche D werden dann ausgebildet in der Schicht **406** aus Silizium und Kohlenstoff und der gespannten Halbleiterschicht **422** in **Fig. 6**, und auch in dem optionalen dünnen Halbleiterschicht **414**, das in **Fig. 7** gezeigt ist. In diesen Ausführungsformen umfasst die gespannte Halbleiterschicht **422** vorzugsweise eine Dicke von etwa 10 Nanometern bis 5 Mikrometer. Die gespannte Halbleiterschicht **422** umfasst vorzugsweise in einer Ausführungsform eine zweite Schicht aus Silizium und Kohlenstoff umfassend ein gleiches Material wie die Schicht **406** aus Silizium und Kohlenstoff. In dieser Ausführungsform umfasst die gespannte Halbleiterschicht **422** vorzugsweise eine größere Dicke als die Schicht **406** aus Silizium und Kohlenstoff. Vorzugsweise umfasst die gespannte Halbleiterschicht **422** eine Kohlenstoffkonzentration, die kleiner ist als die Konzentration der Schicht **406** aus Silizium und Kohlenstoff. Zum Beispiel umfasst die gespannte Halbleiterschicht **422** eine Kohlenstoffkonzentration von etwa 2 bis 3% oder kleiner.

[0042] In einer anderen Ausführungsform umfasst die gespannte Halbleiterschicht **422** vorzugsweise eine Schicht aus Silizium und Germanium oder eine Schicht aus Silizium, Kohlenstoff und Germanium. Das Einführen von Germanium in die gespannte Halbleiterschicht **422** ist vorteilhaft, weil der Gitterabstand der Silizium- und Germanium-kristallinen Struktur (oder Silizium, Kohlenstoff und Germanium) verschieden von dem Gitterabstand der Schicht **406** aus Silizium und Kohlenstoff ist, welches die Lochbeweglichkeit des Transistors **400** weiter vergrößert. In dieser Ausführungsform beträgt die Germaniumkonzentration der gespannten Halbleiterschicht **422** vor-

zugsweise etwa 25% und kann alternativ etwa 15 bis 45% umfassen, und die Kohlenstoffkonzentration beträgt vorzugsweise etwa 2 bis 3% oder weniger, als Beispiele.

[0043] **Fig. 8** zeigt eine Ausführungsform der vorliegenden Erfindung, welche eine gespannte Halbleiterschicht **522** enthält angeordnet unterhalb der Schicht **506** aus Silizium und Kohlenstoff und optionaler dünnen Halbleiterschicht **514**, ausgebildet an einem SOI-Substrat **502**. In dieser Ausführungsform werden ein dünnes Halbleiterschicht **514**, eine Schicht **506** aus Silizium und Kohlenstoff und eine gespannte Halbleiterschicht **522** ausgebildet in dem Kanalbereich **505** eines Transistors **500**. Das Werkstück **502** umfasst ein SOI-Substrat **502** mit einem Siliziumbereich **518**, einer vergrabenen SiO₂-Schicht **516** und einer dünnen Siliziumschicht **520** ausgebildet über der vergrabenen SiO₂-Schicht **518**. Angemerkt ist, dass in dieser Ausführungsform die Isolationsbereiche **504** vorzugsweise ausgebildet werden nach zumindest dem epitaktischen Wachstum der gespannten Halbleiterschicht **522**. Obwohl in **Fig. 8** gezeigt, ist das dünne Halbleiterschicht **514** optional und braucht nicht angeordnet werden zwischen der Schicht **506** aus Silizium und Kohlenstoff sowie dem Gatedielektrikum **508**, (nicht gezeigt).

[0044] Angemerkt ist, dass in jeder der in den Figuren gezeigten Ausführungsformen eine Schicht epitaktisches Si angeordnet werden kann zwischen der Schicht **106**, **206**, **306**, **406**, **506** aus Silizium und Kohlenstoff sowie darunter liegenden Schichten **102**, **202**, **320**, **422** bzw. **522**, (nicht gezeigt). Die epitaktischen Si-Schichten sind dünn und umfassen vorzugsweise etwa 5 Nanometern oder weniger Material, als ein Beispiel. Die epitaktischen dünnen Si-Schichten verbessern das Wachstum der nachfolgend gebildeten epitaktischen Schichten **106**, **206**, **306**, **406**, **506**, z. B.

[0045] Vorteile der Ausführungsformen der Erfindung enthalten Vorsehen eines Transistors **100**, **200**, **300**, **400**, **500** mit vergrößerter Geschwindigkeit und verbesserten elektrischen Eigenschaften. Der Transistor **100**, **200**, **300**, **400**, **500** hat einen vergrößerten Steuerstrom, kleineren Leistungsverbrauch und vergrößerte Loch- und Elektronenbeweglichkeit.

Patentansprüche

1. Verfahren zum Herstellen eines Transistors (**100** bis **500**), das Verfahren umfassend:
Vorsehen eines Werkstücks (**102** bis **502**),
Aufwachsen einer ersten Schicht (**106** bis **506**) aus Silizium und Kohlenstoff über dem Werkstück (**102** bis **502**),
Abscheiden eines Gatedielektrikummaterials (**108** bis **508**) über der ersten Schicht (**106** bis **506**) aus Silizium und Kohlenstoff, das Gatedielektrikum umfas-

send ein Material mit einer großen Dielektrizitätskonstante ϵ , wo wobei

das Material hoher Dielektrizitätskonstante ϵ des Gatedielektrikummaterials (**108 bis 508**) umfasst HfO_2 , HfSiO_x , ZrO_2 , ZrSiO_x oder Ta_2O_5 ,

Abscheiden eines Gatematerials (**110 bis 510**) über dem Gatedielektrikummaterial (**108 bis 508**),

Strukturieren des Gatematerials (**110 bis 510**) und Gatedielektrikummaterials (**108 bis 508**), um ein Gate und ein Gatedielektrikum auszubilden angeordnet über der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff, und

Ausbilden eines Sourcebereiches (S) und eines Drainbereiches (D) in mindestens der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff, worin der Sourcebereich (S), Drainbereich (D), Gate und Gatedielektrikum einen Transistor (**100 bis 500**) umfassen.

2. Verfahren gemäß Anspruch 1, worin das Aufwachsen der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff umfasst epitaktisches Aufwachsen einer Schicht aus etwa 90 bis 99,5% Silizium und etwa 0,5 bis 10% Kohlenstoff mit einer Dicke von etwa einigen Nanometern bis etwa 5 Mikrometer.

3. Verfahren gemäß Anspruch 1, weiter umfassend Aufwachsen einer gespannten Halbleiterschicht (**422, 522**) über dem Werkstück (**102 bis 502**), vor Aufwachsen der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff über dem Werkstück (**102 bis 502**), worin das Ausbilden des Sourcebereiches (S) und des Drainbereiches (D) umfasst Ausbilden des Sourcebereiches (S) und des Drainbereiches (D) in der gespannten Halbleiterschicht (**422, 522**).

4. Verfahren gemäß Anspruch 3, worin das Aufwachsen der gespannten Halbleiterschicht (**422, 522**) umfasst epitaktisches Aufwachsen einer zweiten Schicht aus Silizium und Kohlenstoff, einer Schicht aus Silizium und Germanium oder einer Schicht aus Silizium, Kohlenstoff und Germanium, und worin das Aufwachsen der gespannten Halbleiterschicht umfasst Aufwachsen eines Materials mit einer Dicke von etwa 10 Nanometer bis 5 Mikrometer.

5. Verfahren gemäß Anspruch 1, worin das Abscheiden des Gatematerials (**110 bis 510**) umfasst oder besteht aus Abscheiden eines Halbleitermaterials oder eines Metalls, insbesondere TiN, HfN, TaN oder ein vollständig silizidiertes Gatematerial.

6. Verfahren gemäß Anspruch 1, weiter umfassend Abscheiden eines dünnen Halbleitermaterials (**214 bis 514**) über der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff vor Abscheiden des Gatedielektrikummaterials (**108 bis 508**).

7. Verfahren gemäß Anspruch 6, worin das Abscheiden des dünnen Halbleitermaterials (**214 bis**

514) umfasst Abscheiden von etwa 100 Nanometer oder weniger Si, Ge, SiGe, einer Doppelschicht aus Si/SiGe, oder einer Doppelschicht aus Ge/SiGe.

8. Verfahren gemäß Anspruch 1, weiter umfassend Ausbilden von Isolationsbereichen (**104 bis 504**) in dem Werkstück (**102 bis 502**) vor oder nach dem Aufwachsen der gespannten Halbleiterschicht (**422, 522**) über dem Werkstück (**102 bis 502**) und Aufwachsen der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff über dem Werkstück (**102 bis 502**) und weiter umfassend Ausbilden von Abstandselementen (**112 bis 512**) über Seitenwänden des Gate und Gatedielektrikums.

9. Verfahren gemäß Anspruch 1, worin das Vorsehen des Werkstücks (**102 bis 502**) umfasst Vorsehen eines Silizium-an-Isolator(SOI)-Wafers.

10. Transistor (**100 bis 500**), umfassend: ein Werkstück (**102 bis 502**), eine erste Schicht (**106 bis 206**) aus Silizium und Kohlenstoff angeordnet über dem Werkstück (**102 bis 502**),

ein Gatedielektrikum angeordnet über der Schicht aus Silizium und Kohlenstoff, das Gatedielektrikum umfassend ein Material mit einer großen Dielektrizitätskonstante ϵ , wobei

das Material mit der großen Dielektrizitätskonstante ϵ des Gatedielektrikummaterials (**108 bis 508**) umfasst HfO_2 , HfSiO_x , ZrO_2 , ZrSiO_x oder Ta_2O_5 ,

ein Gate (**110 bis 510**) angeordnet über dem Gatedielektrikum (**108 bis 508**), das Gate (**110 bis 510**) umfassend Metall, und ein Sourcebereich (S) und ein Drainbereich (D) ausgebildet in mindestens der ersten Schicht (**106 bis 206**) aus Silizium und Kohlenstoff, worin der Sourcebereich (S), Drainbereich (D), Gate (**101 bis 510**) und Gatedielektrikum einen Transistor (**100 bis 500**) umfassen.

11. Transistor (**100 bis 500**) gemäß Anspruch 10, worin die erste Schicht (**106 bis 506**) aus Silizium und Kohlenstoff umfasst eine epitaktisch gewachsene Schicht umfassend etwa 90 bis 99,5% Silizium und etwa 0,5 bis 10% Kohlenstoff mit einer Dicke von etwa einigen Nanometern bis etwa 5 Mikrometer.

12. Transistor (**100 bis 500**) gemäß Anspruch 10, weiter umfassend eine gespannte Halbleiterschicht (**422, 522**) ausgebildet über dem Werkstück (**102 bis 502**) unterhalb der ersten Schicht (**106 bis 506**) aus Silizium und Kohlenstoff, worin der Sourcebereich (S) und das Drain (D) auch in der gespannten Halbleiterschicht (**422, 522**) ausgebildet sind.

13. Transistor (**100 bis 500**) gemäß Anspruch 12, worin die gespannte Halbleiterschicht (**422, 522**) umfasst eine zweite Schicht aus Silizium und Kohlenstoff, eine Schicht aus Silizium und Germanium oder eine Schicht aus Silizium, Kohlenstoff und Germani-

um, und worin die gespannte Halbleiterschicht umfasst ein Material mit einer Dicke von etwa 10 Nanometer bis 5 Mikrometer.

14. Transistor (**100** bis **500**) gemäß Anspruch 10, worin das Gate (**110** bis **510**) umfasst ein Halbleitermaterial oder ein Metall.

15. Transistor (**100** bis **500**) gemäß Anspruch 10, weiter umfassend ein dünnes Halbleitermaterial (**214** bis **514**) angeordnet über der ersten Schicht (**106** bis **506**) aus Silizium und Kohlenstoff unterhalb des Gatedielektrikummaterials.

16. Transistor (**100** bis **500**) gemäß Anspruch 15, worin das dünne Halbleitermaterial (**214** bis **514**) umfasst etwa 10 Nanometern oder weniger aus Si, Ge, SiGe, einer Doppelschicht aus Si/SiGe, oder einer Doppelschicht aus Ge/SiGe.

17. Transistor (**100** bis **500**) gemäß Anspruch 10, weiter umfassend Isolationsbereiche (**104** bis **504**) ausgebildet in dem Werkstück (**102** bis **502**) und weiter umfassend Abstandselemente (**112** bis **512**) ausgebildet über Seitenwänden des. Gates (**110** bis **510**) und Gatedielektrikums.

18. Transistor (**100** bis **500**) gemäß Anspruch 10, worin das Werkstück (**102** bis **106**) umfasst einen Silizium-an-Isolator(SOI)-Wafer.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen

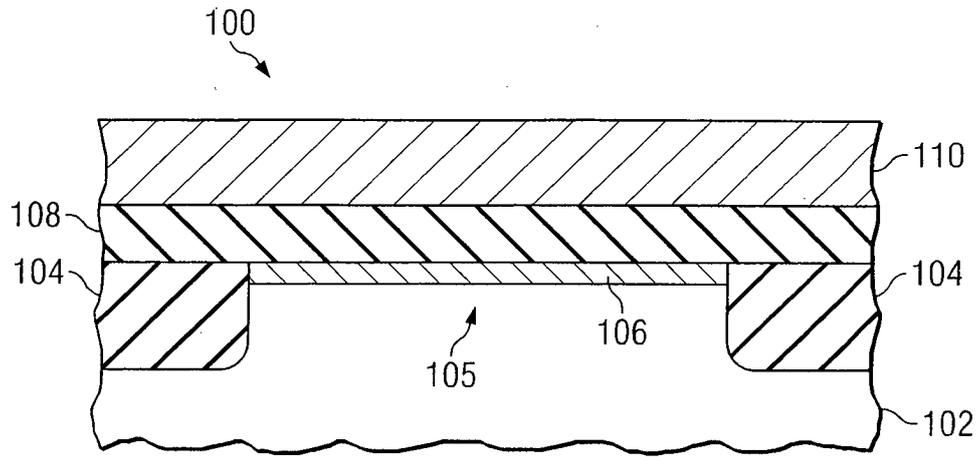


FIG. 1

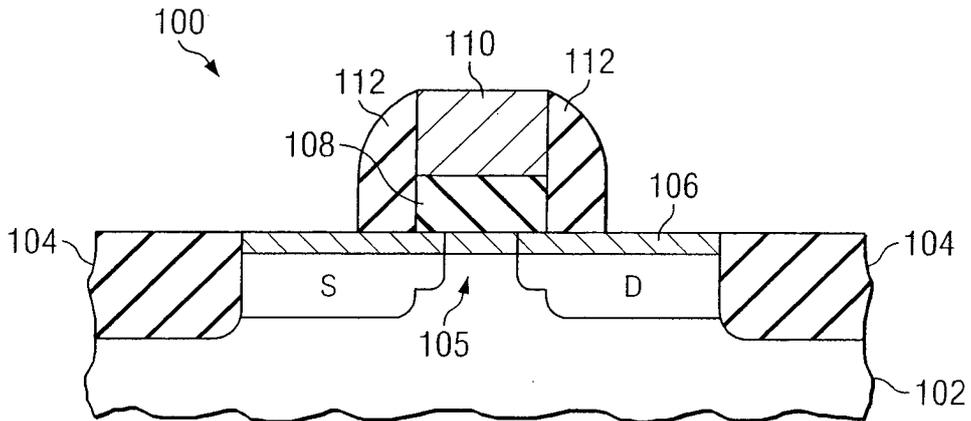


FIG. 2

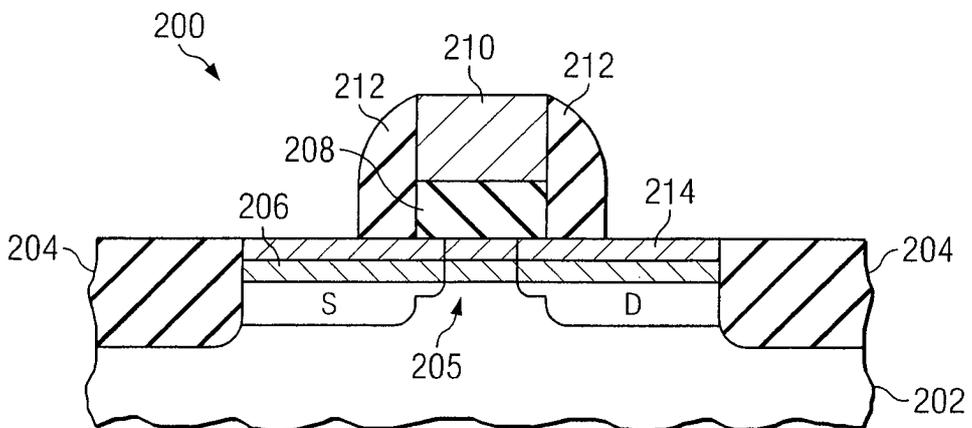


FIG. 3

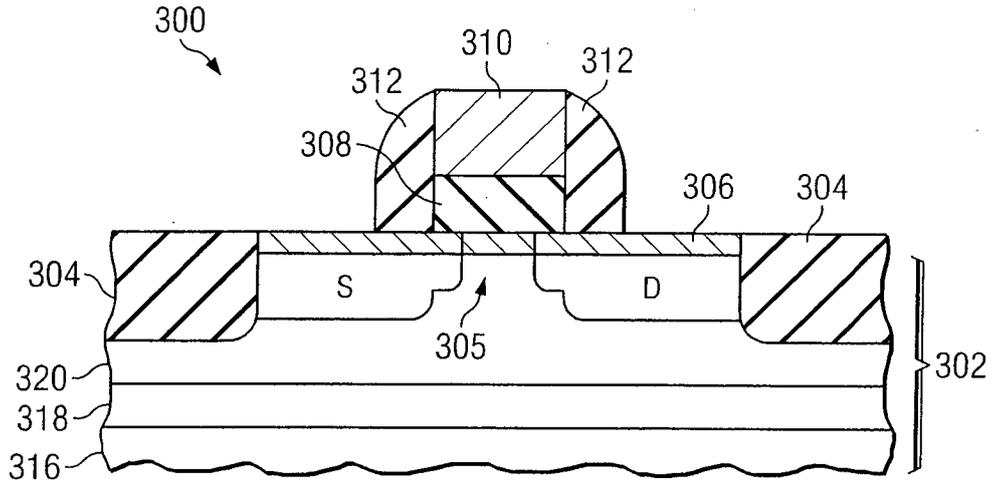


FIG. 4

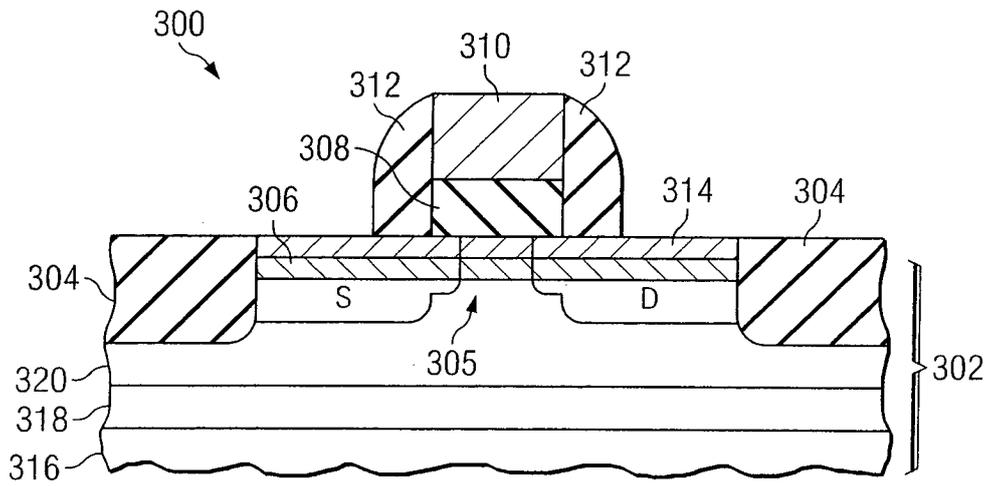


FIG. 5

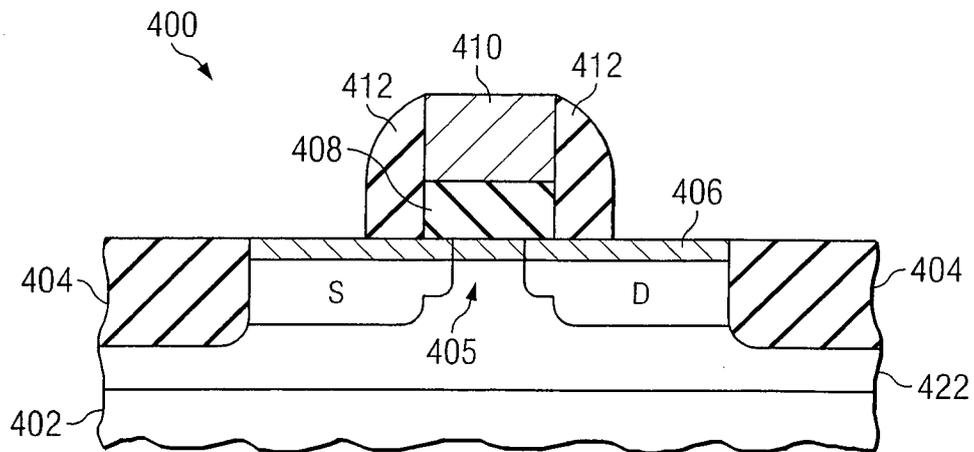


FIG. 6

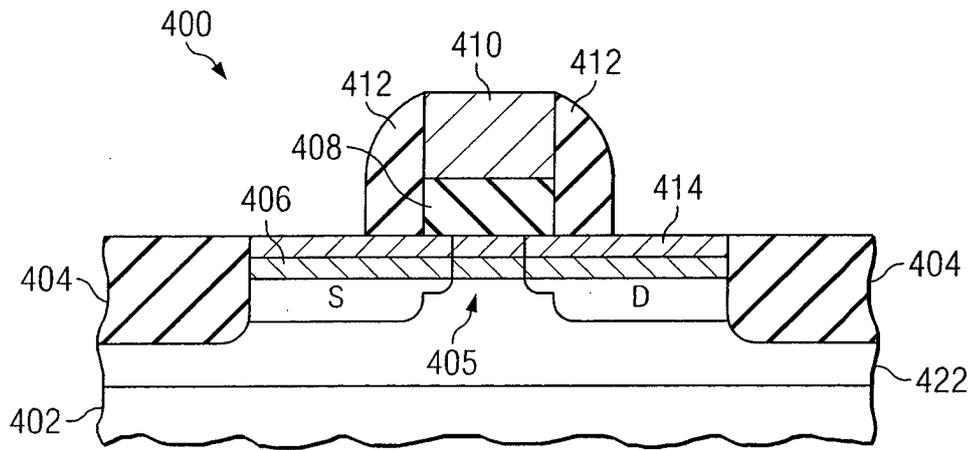


FIG. 7

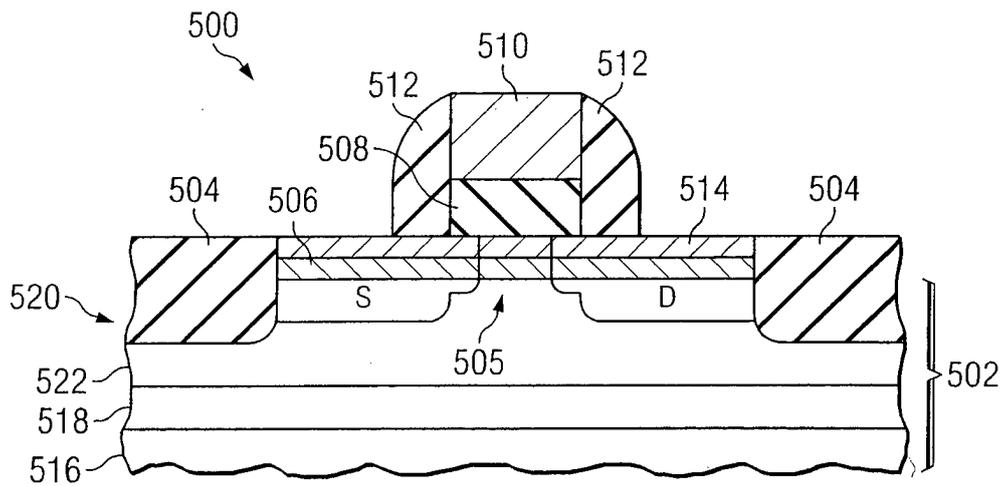


FIG. 8