

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6828969号
(P6828969)

(45) 発行日 令和3年2月10日(2021.2.10)

(24) 登録日 令和3年1月25日(2021.1.25)

(51) Int.Cl. F I
HO2M 3/00 (2006.01) HO2M 3/00 C
 HO2M 3/00 W

請求項の数 8 (全 12 頁)

(21) 出願番号	特願2019-230764 (P2019-230764)	(73) 特許権者	000227205
(22) 出願日	令和1年12月20日 (2019.12.20)		NECプラットフォームズ株式会社
審査請求日	令和1年12月20日 (2019.12.20)		神奈川県川崎市高津区北見方二丁目6番1号
		(74) 代理人	100106909
			弁理士 棚井 澄雄
		(74) 代理人	100134544
			弁理士 森 隆一郎
		(74) 代理人	100149548
			弁理士 松沼 泰史
		(74) 代理人	100162868
			弁理士 伊藤 英輔
		(72) 発明者	小澤 亮太
			神奈川県川崎市高津区北見方二丁目6番1号
			NECプラットフォームズ株式会社内
			最終頁に続く

(54) 【発明の名称】 電源装置、情報処理システム、電源装置による判定方法及びプログラム

(57) 【特許請求の範囲】

【請求項1】

出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源と、

前記複数の電源それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源全体の出力電圧とに基づいて、前記複数の電源において不具合が発生した電源を判定する判定部と、

を備える電源装置。

【請求項2】

前記判定部は、

前記複数の電源それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源全体の出力電圧との差電圧に基づいて、前記複数の電源において不具合が発生した電源を判定する、

請求項1に記載の電源装置。

【請求項3】

前記判定部は、

前記複数の電源それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源全体の出力電圧との差電圧のうち最も小さい差電圧に対応する電源において不具合が発生した電源を判定する、

請求項2に記載の電源装置。

【請求項 4】

前記判定部が前記複数の電源において不具合が発生した電源を判定した場合、前記不具合が発生した電源の出力に接続されている前記スイッチを切断させる第1制御部、
を備える請求項1から請求項3の何れか一項に記載の電源装置。

【請求項 5】

前記判定部が前記複数の電源において不具合が発生した電源を判定した場合、前記不具合が発生した電源を停止させる第2制御部、
請求項1から請求項4の何れか一項に記載の電源装置。

【請求項 6】

請求項1から請求項5の何れか一項に記載の電源装置と、
前記電源装置から電力が供給される情報処理装置と、
を備える情報処理システム。

10

【請求項 7】

出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源を備える電源装置による判定方法であって、
前記複数の電源それぞれの出力電圧に基づいて、前記複数の電源において不具合が発生した電源を判定すること、
を含む電源装置による判定方法。

【請求項 8】

出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源を備える電源装置のコンピュータに、
前記複数の電源それぞれの出力電圧に基づいて、前記複数の電源において不具合が発生した電源を判定すること、
を実行させるプログラム。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源装置、情報処理システム、電源装置による判定方法及びプログラムに関する。

【背景技術】

30

【0002】

情報処理システムなどを行う装置の中には、電力の供給に冗長性を持たせたものがある。

特許文献1には、関連する技術として、DC-DCコンバータモジュールを複数個並列に接続して負荷に直流電源を供給する電源装置に関する技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平06-121524号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0004】

ところで、電源を(N+1)個並列接続し冗長性を持たせた構成の電源装置では、電源装置から負荷へ電力を供給する配線における寄生インピーダンス、及び、電源装置と負荷との間に設けられるオアリング素子により電圧降下が生じる。この電圧降下分を調整する機能として、一般的に、リモートセンス機能やリモートセンシング機能などと呼ばれるものがある。リモートセンス機能は、負荷に印加される電圧を電源装置における制御部へフィードバックし、負荷に印加される電圧を目的の電圧に近づけるように電源装置の出力電圧を調整する機能である。

【0005】

50

しかしながら、冗長性を持たせた構成の電源装置においてリモートセンス機能を用いる場合、並列接続された複数の電源のうちのある電源に何等かの不具合が生じ、電源装置の出力電圧が過電圧になると、負荷に供給される電圧も過電圧となる。そのため、並列接続された複数の電源のうちのある正常な電源の出力電圧は、リモートセンス機能によって負荷に供給されている過電圧を基準に調整される。つまり、並列接続された複数の電源のうちのある正常な電源は、目的の電圧を出力しているにも関わらず、リモートセンス機能によって出力電圧が目的の電圧よりも高くなったと認識し、出力電圧を低くするように動作する。その結果、並列接続されたすべての電源が目的の電圧よりも低い異常な電圧となり、電源装置は、負荷に対して必要な電力を供給することができなくなってしまう。

【0006】

10

一般的に、冗長性を持たせた構成の電源装置を利用する製品では、高い信頼性が求められる。そのため、冗長性を持たせた構成の電源装置を利用する製品では、電源装置から負荷への電力の供給が停止することは許されない可能性がある。よって、冗長性を持たせた構成の電源装置において、並列接続された電源の一部に不具合が発生した場合であっても、電源装置から負荷へ所望の電圧を供給することができることが望ましい。

そのため、冗長性を持たせた構成の電源装置において、並列接続された電源の一部に不具合が発生したことを早急に判定することのできる技術が求められている。

【0007】

本発明の各態様は、上記の課題を解決することのできる電源装置、情報処理システム、電源装置による判定方法及びプログラムを提供することを目的としている。

20

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の一態様によれば、電源装置は、出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源と、前記複数の電源それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源全体の出力電圧とに基づいて、前記複数の電源において不具合が発生した電源を判定する判定部と、を備える。

【0009】

上記目的を達成するために、本発明の別の態様によれば、情報処理システムは、上記の電源装置と、前記電源装置から電力が供給される情報処理装置と、を備える。

30

【0010】

上記目的を達成するために、本発明の別の態様によれば、電源装置による判定方法は、出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源を備える電源装置による判定方法であって、前記複数の電源それぞれの出力電圧に基づいて、前記複数の電源において不具合が発生した電源を判定すること、を含む。

【0011】

上記目的を達成するために、本発明の一態様によれば、プログラムは、出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源を備える電源装置のコンピュータに、前記複数の電源それぞれの出力電圧に基づいて、前記複数の電源において不具合が発生した電源を判定すること、を実行させる。

40

【発明の効果】

【0012】

本発明の各態様によれば、冗長性を持たせた構成の電源装置において、並列接続された電源の一部に不具合が発生したことを早急に判定することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の一実施形態による情報処理システムの構成の一例を示す図である。

【図2】本発明の一実施形態による情報処理システムの処理フローの一例を示す図である。

【図3】本発明の実施形態による最小構成の電源装置を示す図である。

50

【図4】少なくとも1つの実施形態に係るコンピュータの構成を示す概略ブロック図である。

【発明を実施するための形態】

【0014】

以下、図面を参照しながら実施形態について詳しく説明する。

<実施形態>

本発明の一実施形態による情報処理システム1は、図1に示すように、電源装置10、情報処理装置20（負荷の一例）を備える。情報処理システム1は、電源装置10から情報処理装置20へ供給する電力に冗長性を持たせたシステムである。

【0015】

電源装置10は、情報処理装置20へ電力を供給する装置である。

電源装置10は、電源モジュール部101a1、101a2、・・・、101aN、制御部102、電圧検出回路103を備える。

以下、電源モジュール部101a1、101a2、・・・、101aNを総称して、電源モジュール部101と呼ぶ。なお、図1では、電源モジュール部101a2～101a(N-1)は省略されている。

【0016】

電源モジュール部101a1は、電圧調整部1011a1（電源の一例）、電圧検出回路1012a1、MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）スイッチ1013a1（スイッチの一例）を備える。

【0017】

電源モジュール部101a2は、電圧調整部1011a2（電源の一例）、電圧検出回路1012a2、MOSFETスイッチ1013a2（スイッチの一例）を備える。

電源モジュール部101a(N-1)は、電圧調整部1011a(N-1)（電源の一例）、電圧検出回路1012a(N-1)、MOSFETスイッチ1013a(N-1)（スイッチの一例）を備える。

【0018】

電源モジュール部101aNは、電圧調整部1011aN（電源の一例）、電圧検出回路1012aN、MOSFETスイッチ1013aN（スイッチの一例）を備える。

なお、電圧調整部1011a1、1011a2、・・・、1011aNを総称して、電圧調整部1011（電源の一例）と呼ぶ。また、電圧検出回路1012a1、1012a2、・・・、1012aNを総称して、電圧検出回路1012と呼ぶ。また、MOSFETスイッチ1013a1、1013a2、・・・、1013aNを総称して、MOSFETスイッチ1013（スイッチの一例）と呼ぶ。

【0019】

制御部102は、電圧制御部1021（第2制御部の一例）、過電圧制御部1022、スイッチ制御部1023（第1制御部の一例）を備える。

過電圧制御部1022は、演算部1022a（判定部の一例、第1制御部の一例、第2制御部の一例）、記憶部1022bを備える。

【0020】

電圧調整部1011、電圧検出回路1012、MOSFETスイッチ1013のそれぞれは、第1端子、第2端子、第3端子を備える。電圧制御部1021は、第1端子、第2端子、第3端子、・・・、第(N+2)端子を備える。過電圧制御部1022は、第1端子、第2端子、第3端子、第4端子、・・・、第(N+3)端子を備える。スイッチ制御部は、第1端子、第2端子、・・・、第(N+1)端子を備える。電圧検出回路103は、第1端子、第2端子、第3端子、第4端子を備える。情報処理装置20は、第1端子を備える。

【0021】

電圧調整部1011の第1端子のそれぞれは、外部から電圧を受ける端子である。電圧

10

20

30

40

50

調整部 1011a1 の第 2 端子は、電圧検出回路 1012a1 の第 1 端子に接続される。電圧調整部 1011a1 の第 3 端子は、電圧制御部 1021 の第 3 端子に接続される。電圧調整部 1011a2 の第 2 端子は、電圧検出回路 1012a2 の第 1 端子に接続される。電圧調整部 1011a2 の第 3 端子は、電圧制御部 1021 の第 4 端子に接続される。電圧調整部 1011aN の第 2 端子は、電圧検出回路 1012aN の第 1 端子に接続される。電圧調整部 1011aN の第 3 端子は、電圧制御部 1021 の第 (N+2) 端子に接続される。

【0022】

電圧検出回路 1012a1 の第 2 端子は、MOSFET スイッチ 1013a1 の第 1 端子に接続される。電圧検出回路 1012a1 の第 3 端子は、過電圧制御部 1022 の第 4 端子に接続される。電圧検出回路 1012a2 の第 2 端子は、MOSFET スイッチ 1013a2 の第 1 端子に接続される。電圧検出回路 1012a2 の第 3 端子は、過電圧制御部 1022 の第 5 端子に接続される。電圧検出回路 1012aN の第 3 端子は、過電圧制御部 1022 の第 (N+3) 端子に接続される。

10

【0023】

MOSFET スイッチ 1013 の第 2 端子のそれぞれは、電圧検出回路 103 の第 1 端子に接続される。MOSFET スイッチ 1013a1 の第 3 端子は、スイッチ制御部 1023 の第 2 端子に接続される。MOSFET スイッチ 1013a2 の第 3 端子は、スイッチ制御部 1023 の第 2 端子に接続される。MOSFET スイッチ 1013aN の第 3 端子は、スイッチ制御部 1023 の第 (N+1) 端子に接続される。

20

【0024】

電圧制御部 1021 の第 1 端子は、電圧検出回路 103 の第 3 端子に接続される。電圧制御部 1021 の第 2 端子は、過電圧制御部 1022 の第 1 端子に接続される。過電圧制御部 1022 の第 2 端子は、スイッチ制御部 1023 の第 1 端子に接続される。過電圧制御部 1022 の第 3 端子は、電圧検出回路 103 の第 4 端子に接続される。電圧検出回路 103 の第 2 端子は、情報処理装置 20 の第 1 端子に接続される。

【0025】

なお、電圧制御部 1021 の第 1 端子及び電圧検出回路 103 の第 3 端子は、リモートセンス線 L1 を介して接続される。また、電圧調整部 1011 の第 3 端子のそれぞれと電圧制御部 1021 の第 3 ~ 第 (N+2) 端子のそれぞれは、電圧調整部制御線 L2 を介して接続される。また、電圧検出回路 1012 の第 3 端子のそれぞれと過電圧制御部 1022 の第 4 ~ 第 (N+3) 端子のそれぞれは、電圧センス線 L3 を介して接続される。また、過電圧制御部 1022 の第 3 端子と電圧検出回路 103 の第 4 端子は、電圧センス線 L4 を介して接続される。また、MOSFET スイッチ 1013 の第 3 端子のそれぞれとスイッチ制御部 1023 の第 2 ~ 第 (N+1) 端子のそれぞれは、MOSFET スイッチ制御線 L5 を介して接続される。

30

【0026】

電圧調整部 1011 のそれぞれは、外部から受ける電圧から制御部 102 による制御に応じて調整した電圧を生成する。電圧調整部 1011 のそれぞれは、生成した電圧を、対応する電圧検出回路 1012 を介して対応する MOSFET スイッチ 1013 (すなわち、接続されている電圧検出回路 1012 を介して、その電圧検出回路 1012 に接続されている MOSFET スイッチ 1013) に出力する。

40

【0027】

電圧検出回路 1012 のそれぞれは、対応する電圧調整部 1011 が出力する電圧の値を検出する。電圧検出回路 1012 のそれぞれは、検出した電圧値を過電圧制御部 1022 に出力する。

【0028】

MOSFET スイッチ 1013 のそれぞれは、電源モジュール部 101 を並列接続させ、電源モジュール部 101 のオアリングを実現するスイッチである。MOSFET スイッチ 1013 のそれぞれは、スイッチ制御部 1023 による制御に応じてオン状態 (すなわ

50

ち、閉状態)またはオフ状態(すなわち、開状態)となる。MOSFETスイッチ1013のそれぞれは、オン状態の場合、対応する電圧調整部1011が出力する電圧を、電圧検出回路103を介して情報処理装置20に出力する。

【0029】

過電圧制御部1022は、演算部1022a、記憶部1022bを備える。

演算部1022aは、電圧検出回路1012a1~1012anのそれぞれが検出した出力端電圧 V_l と、出力端過電圧閾値 V_{lov} とを比較する。また、演算部1022aは、電圧検出回路103が検出した負荷端電圧 V_r と、負荷端過電圧閾値 V_{rov} とを比較する。

演算部1022aは、それらの比較結果に基づいて、出力端電圧 V_l および負荷端電圧 V_r が正常であるか否かを判定する。

10

【0030】

例えば、演算部1022aは、負荷端電圧 V_r が負荷端過電圧閾値 V_{rov} を超えておらず、出力端電圧 V_l が出力端過電圧閾値 V_{lov} を超えていないと判定した場合、出力端電圧 V_l および負荷端電圧 V_r が正常であると判断する。そして、演算部1022aは、MOSFETスイッチ1013のそれぞれをON状態またはOFF状態にさせる指示をスイッチ制御部1023に送信する。なお、このOFF状態にする指示は、出力端電圧 V_l および負荷端電圧 V_r が正常であると演算部1022aが判断し、MOSFETスイッチ1013において電圧検出回路103側から電圧検出回路1012側へ電流が流れる可能性があるとは判定された場合、オアリング状態を維持するために、その感知された電流を流しているMOSFETスイッチ1013のそれぞれをOFF状態にさせる指示をスイッチ制御部1023に送信する。例えば、演算部1022aは、MOSFETスイッチ1013それぞれについて、第1端子と第2端子の間電圧、すなわち、ソース-ドレイン間電圧を測定し、測定した電圧が所定のしきい値以下となった場合に(つまり、ソースの電位がドレインの電位よりも高く、電圧差が所定のしきい値以下となった場合に)、電圧検出回路103側から電圧検出回路1012側へ電流が流れる可能性があるとは判定する。

20

【0031】

また、例えば、演算部1022aは、負荷端電圧 V_r が負荷端過電圧閾値 V_{rov} を超えていると判定した場合、負荷端にて過電圧異常が発生したと判定する。この場合、演算部1022aは、電圧検出回路103が検出した負荷端電圧 V_r と電圧検出回路1012a1~1012anのそれぞれが検出した出力端電圧 V_l との差電圧 V_{dif} ($V_{dif} = V_l - V_r$)を算出する。演算部1022aは、算出した差電圧 V_{dif} のそれぞれを比較する。演算部1022aは、比較結果に基づいて、算出した差電圧 V_{dif} の中で最も小さい差電圧 V_{dif} を特定する。

30

そして、演算部1022aは、最も小さい差電圧 V_{dif} に対応するMOSFETスイッチ1013をOFF状態にさせる指示をスイッチ制御部1023に送信する。また、演算部1022aは、最も小さい差電圧 V_{dif} に対応する電圧調整部1011を停止させる指示を電圧制御部1021に送信する。

【0032】

また、例えば、演算部1022aは、出力端電圧 V_l が出力端過電圧閾値 V_{lov} を超えていると判定した場合、出力端にて過電圧異常が発生したと判定する。この場合、演算部1022aは、その出力端電圧 V_l を検出した電圧検出回路1012に対応するMOSFETスイッチ1013をOFF状態にさせる指示をスイッチ制御部1023に送信する。また、演算部1022aは、その電圧検出回路1012に対応する電圧調整部1011を停止させる指示を電圧制御部1021に送信する。

40

【0033】

記憶部1022bは、出力端過電圧閾値 V_{lov} 及び負荷端過電圧閾値 V_{rov} を予め記憶する。

【0034】

電圧制御部1021は、演算部1022aからの指示に応じて、最も小さい差電圧 V_d

50

if に対応する電圧調整部 1011 を停止させる。

【0035】

スイッチ制御部 1023 は、演算部 1022a からの指示に応じて、最も小さい差電圧 V_{dif} に対応する MOSFET スイッチ 1013 を OFF 状態にさせる。

【0036】

次に、情報処理システム 1 が行う並列接続された電源の一部に不具合が発生したことを検出する処理について説明する。

ここでは、図 2 に示す情報処理システム 1 の処理フローについて説明する。

【0037】

以下の処理は、例えば、外部から情報処理システム 1 に開始情報が入力されることによって開始される。

演算部 1022a は、電圧検出回路 1012a1 ~ 1012an のそれぞれが検出した出力端電圧 V_l を電圧センス線 L3 を介して取得する (ステップ S101)。また、演算部 1022a は、電圧検出回路 103 が検出した負荷端電圧 V_r を電圧センス線 L4 を介して取得する (ステップ S101)。

【0038】

演算部 1022a は、電圧検出回路 103 が検出した負荷端電圧 V_r と、負荷端過電圧閾値 V_{rov} とを比較する。演算部 1022a は、その比較結果に基づいて、負荷端電圧 V_r が正常であるか否かを判定する。

具体的には、演算部 1022a は、負荷端電圧 V_r が負荷端過電圧閾値 V_{rov} を超えているか否かを判定する (ステップ S102)。

【0039】

演算部 1022a は、負荷端電圧 V_r が負荷端過電圧閾値 V_{rov} を超えていないと判定した場合 (ステップ S102 において NO)、ステップ S101 の処理に戻す。

【0040】

また、演算部 1022a は、負荷端電圧 V_r が負荷端過電圧閾値 V_{rov} を超えていると判定した場合 (ステップ S102 において YES)、負荷端にて過電圧異常が発生したと判定する。この場合、演算部 1022a は、電圧検出回路 103 が検出した負荷端電圧 V_r と電圧検出回路 1012a1 ~ 1012an のそれぞれが検出した出力端電圧 V_l との差電圧 V_{dif} ($V_{dif} = V_l - V_r$) を算出する (ステップ S103)。

【0041】

演算部 1022a は、算出した差電圧 V_{dif} のそれぞれを比較する (ステップ S104)。演算部 1022a は、比較結果に基づいて、算出した差電圧 V_{dif} の中で最も小さい差電圧 V_{dif} を特定する。そして、演算部 1022a は、最も小さい差電圧 V_{dif} に対応する MOSFET スイッチ 1013 を OFF 状態にさせる指示をスイッチ制御部 1023 に送信する (ステップ S105)。スイッチ制御部 1023 は、演算部 1022a からのこの指示に応じて、最も小さい差電圧 V_{dif} に対応する MOSFET スイッチ 1013 を OFF 状態にさせる (ステップ S105)。また、演算部 1022a は、最も小さい差電圧 V_{dif} に対応する電圧調整部 1011 を停止させる指示を電圧制御部 1021 に送信する (ステップ S105)。電圧制御部 1021 は、演算部 1022a からのこの指示に応じて、最も小さい差電圧 V_{dif} に対応する電圧調整部 1011 を停止させる (ステップ S105)。

【0042】

また、演算部 1022a は、電圧検出回路 1012a1 ~ 1012an のそれぞれが検出した出力端電圧 V_l と、出力端過電圧閾値 V_{lov} とを比較する。演算部 1022a は、それらの比較結果に基づいて、出力端電圧 V_l が正常であるか否かを判定する。

具体的には、演算部 1022a は、出力端電圧 V_l が出力端過電圧閾値 V_{lov} を超えているか否かを判定する (ステップ S202)。

【0043】

演算部 1022a は、出力端電圧 V_l が出力端過電圧閾値 V_{lov} を超えていないと判

10

20

30

40

50

定した場合（ステップS202においてNO）、ステップS101の処理に戻す。

【0044】

また、演算部1022aは、出力端電圧V1が出力端過電圧閾値V1ovを超えていると判定した場合（ステップS202においてYES）、出力端にて過電圧異常が発生したと判定する。この場合、演算部1022aは、その出力端電圧V1を検出した電圧検出回路1012に対応するMOSFETスイッチ1013をOFF状態にさせる指示をスイッチ制御部1023に送信する（ステップS203）。スイッチ制御部1023は、演算部1022aからのこの指示に応じて、電圧検出回路1012に対応するMOSFETスイッチ1013をOFF状態にさせる（ステップS203）。また、演算部1022aは、その電圧検出回路1012に対応する電圧調整部1011を停止させる指示を電圧制御部1021に送信する（ステップS203）。電圧制御部1021は、演算部1022aからのこの指示に応じて、電圧検出回路1012に対応する電圧調整部1011を停止させる（ステップS203）。

10

【0045】

以上、本発明の一実施形態による情報処理システム1について説明した。

情報処理システム1において、電源装置10は、出力にMOSFETスイッチ1013を有する複数の電圧調整部1011であって、MOSFETスイッチ1013を介して並列に接続される複数の電圧調整部1011と、電圧調整部1011それぞれの出力電圧と、MOSFETスイッチ1013を介して並列接続された複数の電圧調整部1011全体の出力電圧とに基づいて、複数の電圧調整部1011において不具合が発生した電圧調整部1011電源を判定する演算部1022aと、を備える。

20

【0046】

こうすることで、電源装置10は、冗長性を持たせた構成の電源装置において、並列接続された電源の一部に不具合が発生したことを早急に判定することができる。

【0047】

また、情報処理システム1において、電源装置10は、演算部1022aが複数の電圧調整部1011において不具合が発生した電圧調整部1011を判定した場合、不具合が発生した電圧調整部1011の出力に接続されているMOSFETスイッチ1013を切断させる。

【0048】

こうすることで、電源装置10は、N冗長構成で情報処理装置20に接続され、リモートセンサ機能を使用している電源モジュール部101a2～101a(N-1)の中で、どの電圧調整部1011の出力が想定より高い出力電圧となっているかを演算部1022aによって検出し、演算部1022aからスイッチ制御部1023を介してオアリング用のMOSFETスイッチ1013をOFF状態にして、異常となっている電源モジュール部101を給電経路から切り離すことで、負荷である情報処理装置20への給電を継続することが可能となる。

30

【0049】

その結果、電源装置10は、冗長性を持たせた構成の電源装置10において、並列接続された電圧調整部1011の一部に不具合が発生した場合であっても、電源装置10から負荷である情報処理装置20へ所望の電圧を供給することができる。

40

【0050】

また、情報処理システム1において、電源装置10は、演算部1022aが複数の電圧調整部1011において不具合が発生した電圧調整部1011を判定した場合、不具合が発生した電圧調整部1011を停止させる。

【0051】

こうすることで、電源装置10は、N冗長構成で情報処理装置20に接続され、リモートセンサ機能を使用している電源モジュール部101a2～101a(N-1)の中で、どの電圧調整部1011の出力が想定より高い出力電圧となっているかを演算部1022aによって検出し、電圧調整部1011の出力電圧において過電圧保護をかけることで電

50

源モジュール部 1 0 1 内の素子や周辺回路の保護が可能となる。

【 0 0 5 2 】

その結果、電源装置 1 0 は、冗長性を持たせた構成の電源装置 1 0 において、並列接続された電圧調整部 1 0 1 1 の一部に不具合が発生した場合であっても、電源装置 1 0 から負荷である情報処理装置 2 0 へ所望の電圧を供給することができる。

【 0 0 5 3 】

本発明の実施形態による最小構成の電源装置 1 0 について説明する。

本発明の実施形態による最小構成の電源装置 1 0 は、図 3 に示すように、複数の電源 1 0 a、判定部 1 0 b を備える。

複数の電源 1 0 a は、出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される。

判定部 1 0 b は、複数の電源 1 0 a それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源 1 0 a 全体の出力電圧とに基づいて、前記複数の電源 1 0 a において不具合が発生した電源を判定する。

【 0 0 5 4 】

こうすることで、電源装置 1 0 は、冗長性を持たせた構成の電源装置であって、並列接続された電源の一部に不具合が発生したことを早急に判定することができる。

【 0 0 5 5 】

なお、本発明の実施形態における処理は、適切な処理が行われる範囲において、処理の順番が入れ替わってもよい。

【 0 0 5 6 】

例えば、本発明の一実施形態における処理は、図 2 に示すように、ステップ S 1 0 2 ~ ステップ S 1 0 5 の処理と、ステップ S 2 0 1 ~ ステップ S 2 0 2 の処理とを並列に、すなわち、演算部 1 0 2 2 a が並列処理するものとして説明した。

しかしながら、本発明の別の実施形態における処理は、演算部 1 0 2 2 a が直列に処理するもの、すなわち、ステップ S 1 0 2 ~ ステップ S 1 0 5 の処理を行った後にステップ S 2 0 1 ~ ステップ S 2 0 2 の処理を行うもの、または、ステップ S 2 0 1 ~ ステップ S 2 0 2 の処理を行った後にステップ S 1 0 2 ~ ステップ S 1 0 5 の処理を行うものであってもよい。

【 0 0 5 7 】

本発明の実施形態について説明したが、上述の情報処理システム 1、電源装置 1 0、情報処理装置 2 0、その他の制御装置は内部に、コンピュータシステムを有していてもよい。そして、上述した処理の過程は、プログラムの形式でコンピュータ読み取り可能な記録媒体に記憶されており、このプログラムをコンピュータが読み出して実行することによって、上記処理が行われる。コンピュータの具体例を以下に示す。

図 4 は、少なくとも 1 つの実施形態に係るコンピュータの構成を示す概略ブロック図である。

【 0 0 5 8 】

コンピュータ 5 は、図 4 に示すように、CPU 6、メインメモリ 7、ストレージ 8、インターフェース 9 を備える。

例えば、上述の情報処理システム 1、電源装置 1 0、情報処理装置 2 0、その他の制御装置のそれぞれは、コンピュータ 5 に実装される。そして、上述した各処理部の動作は、プログラムの形式でストレージ 8 に記憶されている。CPU 6 は、プログラムをストレージ 8 から読み出してメインメモリ 7 に展開し、当該プログラムに従って上記処理を実行する。また、CPU 6 は、プログラムに従って、上述した各記憶部に対応する記憶領域をメインメモリ 7 に確保する。なお、プログラムには、BIOS 1 4 1、BMC ファームウェア 1 3 1 が含まれる。

【 0 0 5 9 】

ストレージ 8 の例としては、HDD (Hard Disk Drive)、SSD (Solid State Drive)、磁気ディスク、光磁気ディスク、CD-ROM (

10

20

30

40

50

Compact Disc Read Only Memory)、DVD-ROM(Digital Versatile Disc Read Only Memory)、半導体メモリ等が挙げられる。ストレージ8は、コンピュータ5のバスに直接接続された内部メディアであってもよいし、インターフェース9または通信回線を介してコンピュータ5に接続される外部メディアであってもよい。また、このプログラムが通信回線によってコンピュータ5に配信される場合、配信を受けたコンピュータ5が当該プログラムをメインメモリ7に展開し、上記処理を実行してもよい。少なくとも1つの実施形態において、ストレージ8は、一時的でない有形の記憶媒体である。

【0060】

また、上記プログラムは、前述した機能の一部を実現してもよい。さらに、上記プログラムは、前述した機能をコンピュータシステムにすでに記録されているプログラムとの組み合わせで実現できるファイル、いわゆる差分ファイル(差分プログラム)であってもよい。

10

【0061】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例であり、発明の範囲を限定しない。これらの実施形態は、発明の要旨を逸脱しない範囲で、種々の追加、省略、置き換え、変更を行ってよい。

【符号の説明】

【0062】

- 1・・・情報処理システム
- 5・・・コンピュータ
- 6・・・CPU
- 7・・・メインメモリ
- 8・・・ストレージ
- 9・・・インターフェース
- 10・・・電源装置
- 10a・・・電源
- 10b・・・判定部
- 20・・・情報処理装置
- 101、101a1、101a2、・・・、101aN・・・電源モジュール部
- 102・・・制御部
- 103、1012、1012a1、1012a2、・・・、1012aN・・・電圧検出回路
- 1011、1011a1、1011a2、・・・、1011aN・・・電圧調整部
- 1013、1013a1、1013a2、・・・、1013aN・・・MOSFETスイッチ
- 1021・・・電圧制御部
- 1022・・・過電圧制御部
- 1022a・・・演算部
- 1022b・・・記憶部
- 1023・・・スイッチ制御部

20

30

40

【要約】

【課題】冗長性を持たせた構成の電源装置であって、並列接続された電源の一部に不具合が発生したことを早急に判定することのできる電源装置を提供する。

【解決手段】電源装置は、出力にスイッチを有する電源であって、前記スイッチを介して並列に接続される複数の電源と、前記複数の電源それぞれの出力電圧と、前記スイッチを介して並列接続された前記複数の電源全体の出力電圧とに基づいて、前記複数の電源において不具合が発生した電源を判定する判定部と、を備える。

【選択図】図3

【図1】

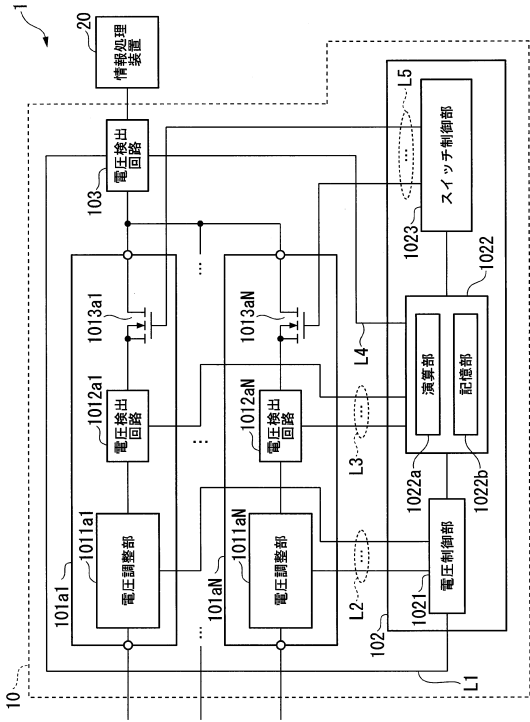


図1

【図2】

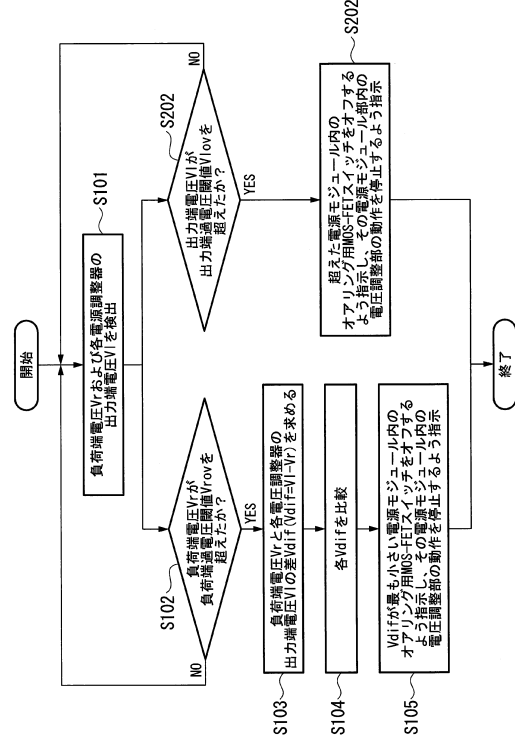


図2

【図3】

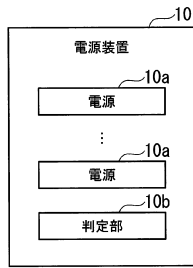


図3

【図4】

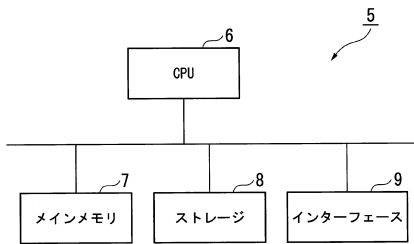


図4

フロントページの続き

審査官 麻生 哲朗

(56)参考文献 特開2005-086883(JP,A)
特開2019-170116(JP,A)
特開2011-095915(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/00