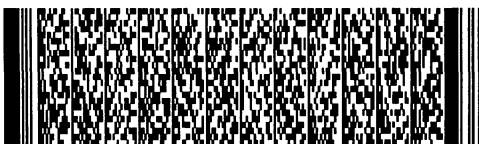


申請日期：	IPC分類
申請案號： 90116659	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共6人)	姓名 (中文)	4. 章勳明 5. 黃俊龍 6. 劉人誠
	姓名 (英文)	4. 5. 6.
	國籍 (中英文)	4. 中華民國 ROC 5. 中華民國 ROC 6. 中華民國 ROC
	住居所 (中文)	4. 新竹市光華里8鄰光華北街83號7樓 5. 新竹市民生路259號12樓之一 6. 嘉義市安樂街144巷3號
	住居所 (英文)	4. 5. 6.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
代表人 (英文)		



2005.09.15.002

## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

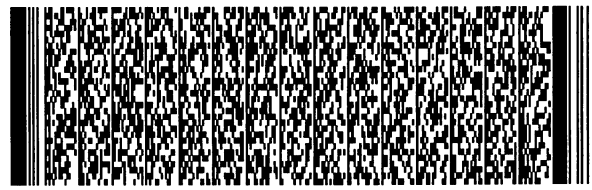
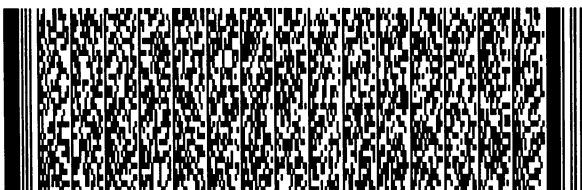
## 發明領域：

本發明揭露一種有關於半導體元件製程，特別是有關於一種銅製程中以複合材料做為蝕刻終止層進行雙鑲嵌製程，以提高低介電常數內連線介電層抗水分吸收之製程。

## 發明背景：

積體電路之製程除了使得晶片內元件的體積小，以達到高密度及降低單位成本之目的之外，元件之最後的性能更是關鍵，而除了電晶體元件本身之設計外，最後之內連接金屬導線乃至內連線間介電層都是重要影響元件速度表現的重要因素，這是因導線之阻值 $R$ ，與上、下層導線及相鄰導線之間會有電容 $C$ 存在，一如熟悉相關技術之人士所共知，此 $RC$ 值愈低代表較低之時間延遲，因此目前內連線銅製程已有逐漸取代鋁製程之趨勢，此外，將內連線間介電層改用低介電常數之介電層以使寄生電容降低，以提高速度，也是目前半導體業處理 $RC$ 延遲的共識。

不過，內連線介電層(interlevel dielectric)除了介電層之介電常數 $k$ 值是一考慮的重點外，製程的填隙能力，平坦性、低溫的沉積能力、製程成本、防水性甚至於和蝕刻終止層之接合能力(adhere ability)及內連線介電層相對於蝕刻終止層的蝕刻選擇比都是必須一併考慮的。



## 五、發明說明 (2)

因此，一般不需藉助電漿輔助沉積法沉積之高品質CVD氧化層，卻不適用於做為內連線介電層。因為沉積的溫度多太高而不能和金屬導線匹配。同樣地，低溫且不藉助電漿輔助沉積的氧化層，往往由於太過於多孔性而容易吸水而不適用。

也因此，不同的低k值介電層將因應不同的製程條件而為半導體業者所選用。舉例而言：有機旋塗式玻璃(spin on glass; SOG)就是已知具有低介電常數之材料，其具有良好之間隙填補能力，但受到蝕刻電漿損傷後，防水能力就會降低。此外，如以化學氣相沉積法沉積之LOW K材料，例如正甲基矽烷(tetramethylsilane)，由於不致於一如SOG有吸水性的問題，且其介電常數不到3，僅2.95而已，因此更是廣範使用於雙鑲嵌製程中之金屬內連線介電層。不過在進行雙鑲嵌製程時，由於進行雙鑲嵌製程時必須形成蝕刻終止層，以做為介層洞和導線溝渠同時形成時避免過度蝕刻的指標。

對於銅製程而言，由於碳化矽或氮化矽或含氮碳化矽都具有阻障銅進入氧化性的介電層中，因此，很自然地為公認之蝕刻終止層。然而含碳的低k值介電層，例如正甲基矽烷相對上述習知蝕刻終止層面言，蝕刻選擇性較差。蝕刻選擇比(約5:1)要比SiLK(一種由Dow Chemical Company所生產的低介電值介電材料)對SiC之蝕刻選擇比來得差



## 五、發明說明 (3)

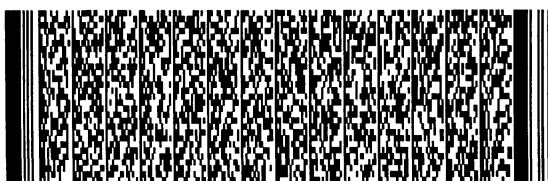
(約20:1)。此外，SiLK則類似有機SOG具有低介電常數之材料，具有良好之間隙填補能力。但受到蝕刻電漿損傷後，防水能力就會降低，此外當元件披覆的是SiLK時，散熱性也是個問題。

基於上述問題與傳統解決方法的不理想，例如低k值介電層的吸水性與傳統蝕刻終止層搭配時不能提供對低k值介電層的吸水性提供改善。能提供抗水性的氮化矽，卻屬於高介電常數的窘境。本發明將針對上述問題提供一嶄新之解決方法。

## 發明目的及概述：

本發明目的係提供一種應用於銅製程中之複合蝕刻終止層結構，具有改善低介電常數介電層與習知蝕刻終止層搭配時抗水性不佳及介電常數高的問題。

本發明揭露一種應用於銅製程且以低介電常數介電層做為內連線介電層時之複合蝕刻終止層結構。複合蝕刻終止層包含TEOS材料層及氮化矽、碳化矽或碳氮化矽其中的一種。對於銅製程而言，一定厚度之氮化矽、碳化矽或碳氮化矽做為蝕刻終止層是必要的，因其同時也是銅的阻障層。但上述氮化矽、碳化矽或碳氮化矽若不是抗水性有待加強(如碳化矽或碳氮化矽)，就是介電常數(如氮化矽)太高。



## 五、發明說明 (4)

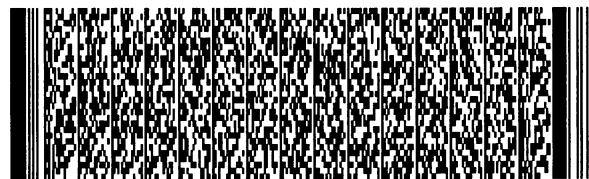
藉由本發明複合蝕刻終止層結構中之TEOS材料層所具有的緻密性及低介電常數的特性，不但可做為抗水膜，以改善多孔性低介電常數的吸水性，且由於TEOS材料層具有較習知蝕刻終止層材料如氮化矽、碳化矽或碳氮化矽更低的介電常數。因此，以TEOS材料層取代部分習知蝕刻終止層材料的厚度可降低整體蝕刻終止層的介電常數。此外，TEOS材料層在含碳之低k值介電層，如正甲基矽烷(tetramethylsilane)反也有改善蝕刻選擇比的效果。

此外，當TEOS材料層為複合蝕刻終止層的上層時，若此複合蝕刻終止層係做為雙鑲嵌製程的蝕刻終止層時，也具有防止因光阻渣(scum)致使雙鑲嵌製程中介層洞不能順利形成的問題。

## 發明詳細說明：

有鑑於如發明背景所述，基於上述介電層及蝕刻終止層其間的抗水性、介電常數與彼此的蝕刻選擇比，每每呈互相牽制的關係，對於製程參數的容忍度而言，相當不利。本發明將提供上述問題的一種簡易的解決方式。

本發明的方法係改變銅製程中傳統蝕刻終止層以氮化矽( $\text{SiN}_x$ ；x約0.5-0.65)或碳化矽層(SiC)或含氮碳化矽層(SiCN)其中之一單層蝕刻終止層不管是氮化矽( $\text{Si}_N\text{X}$ )或碳



## 五、發明說明 (5)

化矽層(SiC)或含氮碳化矽層(SiCN)都各有缺失。要不是抗水性佳、介電常數高，如氮化矽層，就是雖具較低介電常數的優勢但防水性、相對低k值介電層蝕刻選擇比不佳，如碳化矽層。

習知技術雖也有提出以氮化矽+碳化矽之複合蝕刻終止層的概念。不過，這種複合層仍屬介電常數偏高的蝕刻終止層。本發明所是出的是一種複合式蝕刻終止層結構，可以選自以TEOS (tetraethylorthosilicate)或稱為(tetraethoxyethoxysilane)  $\text{Si}(\text{O}_c\text{2}_H\text{5})_4$ 的材料層與碳化矽層複合層，或TEOS層與含碳氮化矽層(SiCN)複合層，或者TEOS層與氮化矽層複合層等其中的一種。上述的TEOS層厚度約為複合式蝕刻終止層結構的20%至80%，平均值約各半。

當複合層提供為低介電常數(或稱低k值)介電層蝕刻的終止層，以提高低k值介電層之抗水性時，則TEOS層與( $\text{Si}_N\text{X}$ )或碳化矽層(SiC)或含氮碳化矽層(SiCN)其中之一種構成複合蝕刻終止層結構時並不限定沉積之的先後順序，對提高防水性都有效。

為了解TEOS層的確有優於碳化矽或氮矽氧化層，發明人進行以下的防水性試驗。由於矽氟鍵結(Si-F)對水氣極為敏感，例如當以傅利葉轉換紅外線分析(FTIR)頻譜分析儀分析其振盪頻率時Si-F 鍵結係位於波數940/cm位置。



## 五、發明說明 (6)

若有吸水現象，波數將產生位移。因此，首先將依序沉積厚約 $1\ \mu\text{m}$ 的含FSG(氟摻雜矽酸玻璃)層及蝕刻終止層(ES)於矽基板上，接著，以進行標準壓力烹煮試驗(standard pressure cook test; 簡稱PCT)測試水滲透的情況(壓力約2大氣壓，並以約 $110^\circ\text{C}$ 的水蒸氣灌入水氣)

接著，再以FTIR頻譜分析儀分析Si-F 鍵之振盪頻率。如圖一所示之曲線即為各種不同材質之ES對Si-F 鍵波數的影響。其詳細的波數記錄則如圖二A所示。

由圖二A所示的表格中可以發現，未進行PCT之前，FSG上未覆蓋ES層或者有ES層Si-F 鍵波數約為 $939.331$ 。而若已進行PCT，則FSG上未覆蓋ES層或FSG上覆蓋PEOX層或覆蓋SiC層，表現相同，都有 $7.715/\text{cm}$ 的波數位移。而或FSG上覆蓋PESiN層，情況較佳，僅有 $1.929/\text{cm}$ 的波數位移。最佳的情況是FSG上覆蓋PETEOS層則無位移。由上述的分析結果，若將量度誤差也一併加以考慮，可得到以下的抗水性排行：

$\text{SiN} \sim \text{PETEOS} > \text{SiC} > \text{SiCN} \sim \text{SilaneOX}$

因此，由上述實驗結果得知PETEOS和PESiN有相近的抗水性，但以介電常數考量，顯然的，以k值比較觀點，利用TEOS和SiC 或TEOS和SiCN相結合的複合層，顯然優於SiC結合SiN。而SiCN的防水性能力僅和矽甲烷相當。



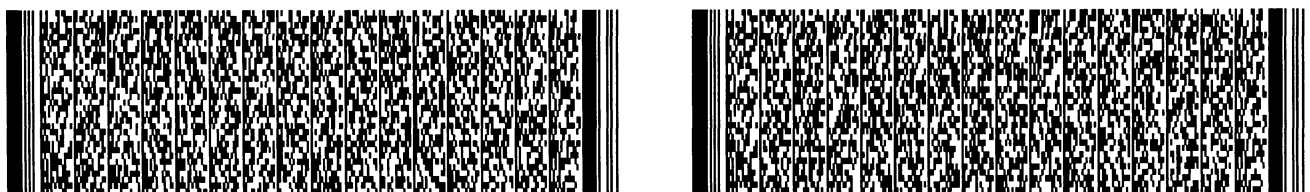
## 五、發明說明 (7)

圖二B則示 $0.13\ \mu\text{m}$ 銅製程在第七層內連線完成對第五層以comb-meander方法量電容值之結果。縱列三欄分別為進行化學/機械式研磨製程後、以 $400\ ^\circ\text{C}$ 的合金去水分、及又經歷三天後的情況。由電量的表現，也可發現本發明的複合蝕刻終止層結構確有防有效果，而習知單層蝕刻終止層的SiC則相反有吸水現象(電容值升高)。

除此之外，發明人研究發現，本發明以TEOS和SiC複合蝕刻終止層與SiC單層蝕刻終止層比較顯示，TEOS和SiC複合蝕刻終止層蝕刻蝕刻選擇比約為5.5:1比SiC單層蝕刻終止層(蝕刻選擇比約為5:1)更佳。

本發明的複合蝕刻終止層結構的另一好處是防止光阻殘渣形成於雙鑲嵌製程中介層洞上方或稱為光阻毒害(photoresist poisoning)的現象。

請參考圖三所示的橫截面示意圖。當一半導體基板在進行雙鑲嵌製程以連接被介電層所覆蓋的元件時，如圖示圖號5係厚約50至100nm之蝕刻終止層，圖號2為導線。圖號10係CVD低k值含碳介電層。當介層洞15藉由光阻圖案為單幕蝕刻後，再定義一溝渠圖案(如虛線30A)所示，此時係先以一光阻30形成於介電層10上並填滿整個介層洞15，再以微影技術進行曝光與顯影以形成光阻圖案。但實際上常發現光阻結塊35形成於介層洞15內。這塊結塊阻塞了介層洞，導致蝕刻導線溝渠時，原介層洞又被塞住。此



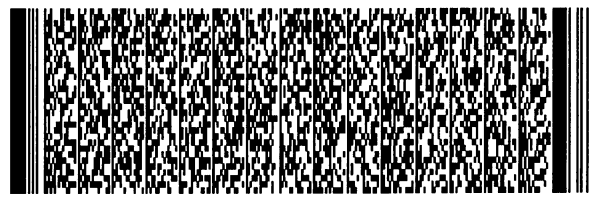
## 五、發明說明 (8)

即為光阻毒害。

發明人分析其產生的原因，係習知蝕刻終止層，例如沉積碳化矽層或含氮碳化矽層，通常需要以氮氣為前導氣體，將造成 $N_H X$ ，其中 $X$ 介於2.5-3.5之間。而使得氮氣存在於蝕刻終止層內，另一情況係以含氮氣的電漿處理以提高碳化矽層和導線5的接合性。因此，將會使得碳化矽層含有 $N_H X$ 。這些 $N_H X$ 卻會在形成光阻時擴散上來而和光阻起作用而結塊。而微影曝光時該處因又屬於離焦(defocus)位置(導線溝渠定義之光阻，而致不能完全顯影，而阻塞了介層洞。

本發明使用了複合蝕刻終止層，則可以防止上述PR毒害問題的發生。此時，TEOS需形成於碳化矽或含氮碳化矽層上。由於TEOS具有高緻密性。將足以阻擋上述氮或氮擴形上來而導致光阻產生殘渣(PR SCUM)的問題。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。例如上述的實施例係以化學氣相沉積法沉積的TEOS材料層做為複合蝕刻終止層其中之一層，此為本發明的最佳實施例。本發明的次佳實施例係以其他電漿輔助化學氣相沉積法沉積的緻密的氧化層做為複合蝕刻終止層其中之一。



## 圖式簡單說明

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一顯示以FTIR頻譜分析儀分析含氟矽酸玻璃在各種不同材質之ES覆蓋下Si-F 鍵之振盪頻率。

圖二A顯示依據圖一之結果以表格列出Si-F 鍵在進行PCT後與未進行PCT之波數比較圖。

圖二B顯示0.13  $\mu\text{m}$ 銅製程在第七層內連線完成對第五層以comb-meander方法量電容值之結果。

圖三顯示傳統製程，光阻將因 $\text{NH}_x$ 和光阻的作用結塊而無法顯影，造成介層洞阻塞的問題。

## 元件符號對照表：

- 2 導線
- 5 蝕刻終止層
- 10 CVD 低 k 值含碳介電層
- 15 介層洞
- 35 溝渠圖案
- 30 光阻



## 四、中文發明摘要 (發明名稱：半導體製程之複合材料蝕刻終止層)

一種應用於低介電常數介電層之複合蝕刻終止層結構。複合蝕刻終止層包含TEOS材料層及氮化矽、碳化矽或碳氮化矽其中之一種。藉由其中之TEOS材料層所具有的緻密性及低介電常數的特性，不但可做為抗水膜，以改善多孔性低介電常數的吸水性，且由於TEOS材料層具有較習知蝕刻終止層材料如氮化矽、碳化矽或碳氮化矽更低的介電常數，因此，以TEOS材料層取代部分習知蝕刻終止層材料的厚度可降低整體蝕刻終止層的介電常數。此外，TEOS材料層在含碳之低k值介電層，如正甲基矽烷 (tetramethylsilane) 也有改善蝕刻選擇比的效果，對雙鑲嵌製程中光阻殘渣的問題也可有效解決。

## 五、英文發明摘要 (發明名稱：)



## 六、申請專利範圍

1. 一種應用於低介電常數介電層之複合材料蝕刻終止層結構；該結構至少包含：

一TEOS層及一選自由含氮碳化矽層、碳化矽層、氮化矽層所組成的群組其中之一所組成的複合材料形成於包含低介電常數介電層之半導體基板上以做為蝕刻終止層，其中該TEOS層的厚度約為該複合材料蝕刻終止層整體厚度的20%-80%。

2. 如申請專利範圍第1項之複合材料蝕刻終止層結構，其中上述之低介電常數介電層至少包含具有碳摻雜的介電層。

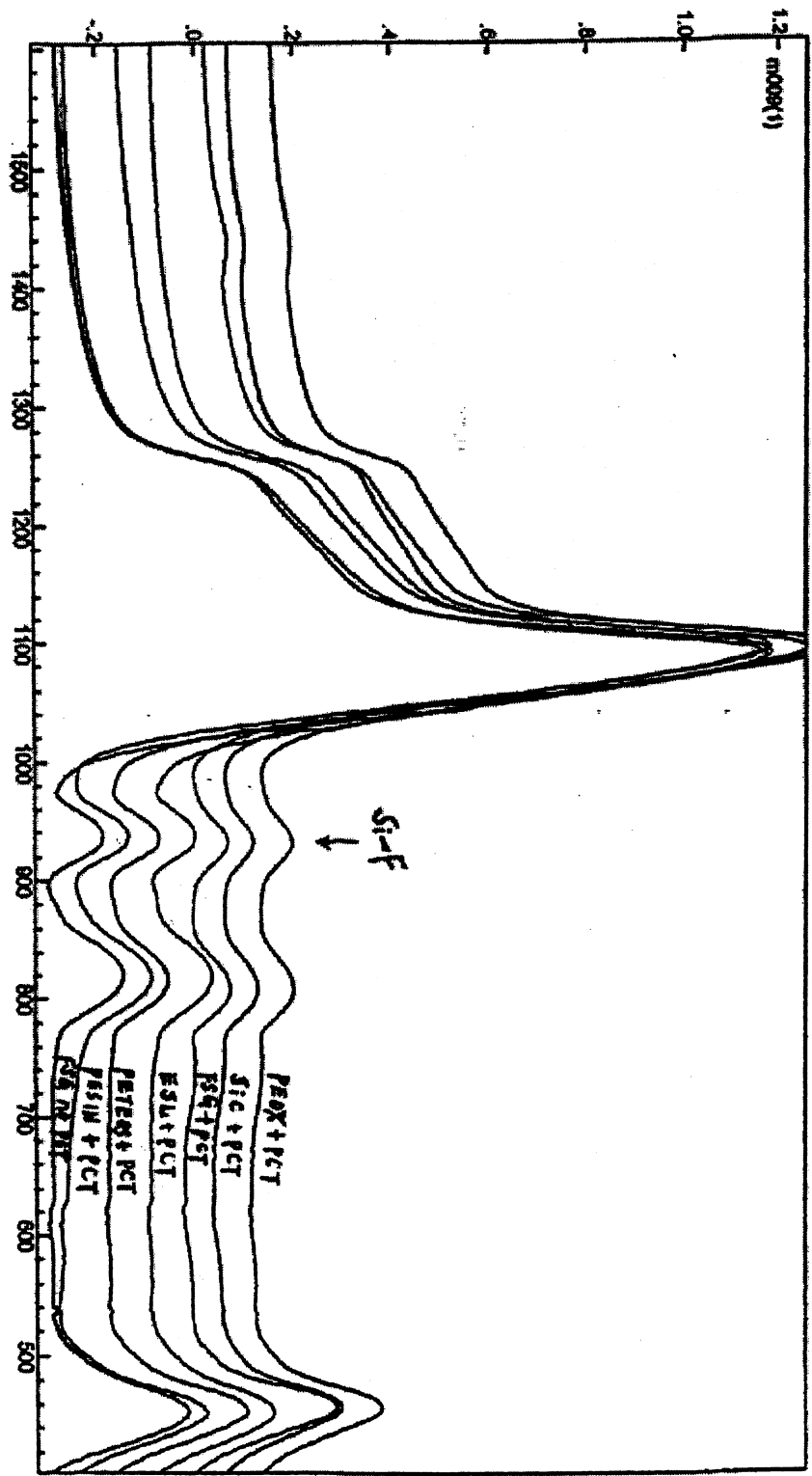
3. 如申請專利範圍第1項之複合材料蝕刻終止層結構，其中上述之複合蝕刻終止層至少形成於一導線層上且被該低介電常數介電層所包覆。

4. 一種用以防止光阻毒害之應用於低介電常數介電層之複合材料蝕刻終止層結構；該結構至少包含：

一TEOS層形成於一選自由含氮碳化矽層、碳化矽層、氮化矽層所組成的群組其中之一材料層上且形成於包含低介電常數介電層之半導體基板上以做為蝕刻終止層，其中該TEOS層的厚度約為該複合材料蝕刻終止層整體厚度的20%-80%。



吸收性 (Absorbance)



波數 (Wavenumber)

圖 一

	FSG	FSG + PEOX	FSG + SiC	FSG + PETEOS	FSG + PESiN
無 PCT	939.331	939.331	939.331	935.474	939.331
有 PCT	931.616	931.616	931.616	935.474	937.402
位移	-7.715	-7.715	-7.715	0.000	-1.929

圖 二 A

	第七層導線 CMP 後	剛以合金 去水後	在三天後
傳統以 SiC 做為 ES	169E - 11	1.7E - 11	>1.72E - 11
本發明 SiC + TEOS 做為 ES	1.48E - 11	1.48E - 11	1.46E - 11

圖 二 B

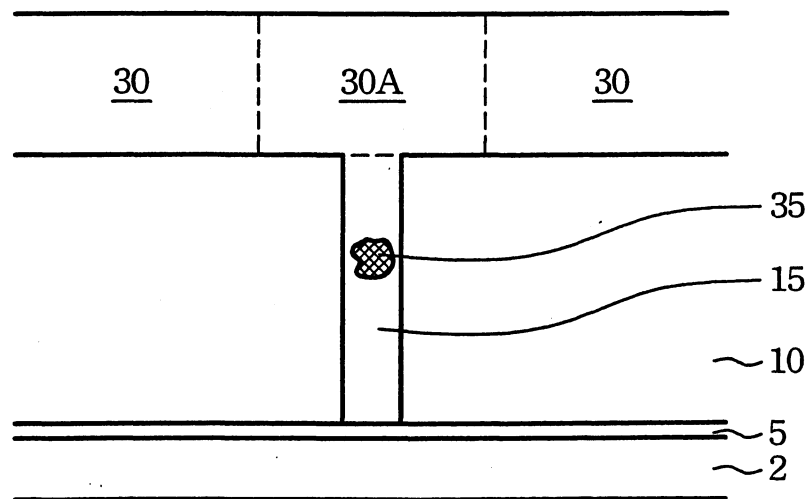


圖 三

六、指定代表圖

指定代表圖為第二B圖



94年 7月 29日

修正

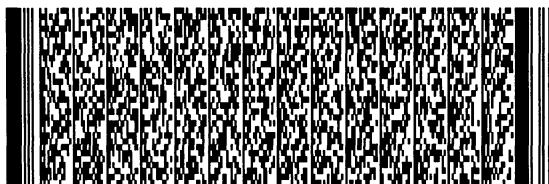
I247358

申請日期：90.7.6.	IPC分類 H01L 21/311.
申請案號：90116659	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	半導體製程之複合材料蝕刻終止層
	英文	
二、 發明人 (共6人)	姓名 (中文)	1. 李連忠 2. 包天一 3. 鄭雙銘
	姓名 (英文)	1. 2. 3.
	國籍 (中英文)	1. 中華民國 ROC 2. 中華民國 ROC 3. 中華民國 ROC
	住居所 (中文)	1. 花蓮市民運里6鄰東興街5號 2. 新竹縣寶山鄉南坑路183號 3. 新竹市振興路85巷10號4樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行六路八號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 張忠謀
代表人 (英文)	1.	



2005.09.15.001