

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-103996

(P2012-103996A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.

G06F 12/16 (2006.01)

F I

G06F 12/16 340E

テーマコード (参考)

5B018

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2010-253369 (P2010-253369)
 (22) 出願日 平成22年11月12日 (2010.11.12)

(71) 出願人 000004651
 日本信号株式会社
 東京都千代田区丸の内一丁目5番1号
 (74) 代理人 100078330
 弁理士 笹島 富二雄
 (72) 発明者 多和田 誠
 埼玉県久喜市江面字大谷1836番1 日
 本信号株式会社久喜事業所内
 (72) 発明者 三国 宏之
 埼玉県久喜市江面字大谷1836番1 日
 本信号株式会社久喜事業所内
 Fターム(参考) 5B018 GA04 HA26 JA26 MA01 MA33
 QA15

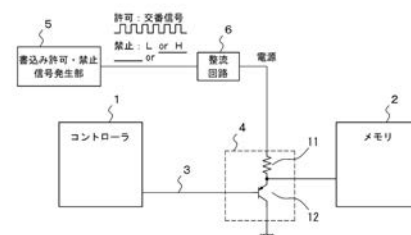
(54) 【発明の名称】 書込み制御装置

(57) 【要約】

【課題】 メモリへのデータの書込みを禁止する際に誤書込みを確実に防止する。

【解決手段】 コントローラ1からメモリ2への書込み信号ライン3に、書込み信号を伝送する伝送回路4を介装する。書込み許可・禁止信号発生部5は、書込み許可信号として交番信号を発生し、書込み禁止信号として非交番信号を発生するように構成する。信号発生部5からの信号は整流回路6に入力し、整流回路6は交番信号が入力されるときにのみ電源電圧を発生させる。ここにおいて、前記伝送回路4は、その作動用電源として、前記整流回路6を用い、電源電圧が供給されているときのみ、書込み信号を伝送し、電源電圧が供給されていないときは、書込み信号の伝送を遮断する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

書込み許可信号の発生時のみ、コントローラからメモリへのデータの書込みを可能とする書込み制御装置であって、

書込み許可信号として交番信号を発生し、書込み禁止信号として非交番信号を発生する書込み許可・禁止信号発生部と、

前記信号発生部からの信号が入力され、交番信号が入力されるときにのみ電源電圧を発生させる整流回路と、

前記コントローラから前記メモリへの書込み信号ラインに介装されて、書込み信号を伝送する伝送回路と、

を含んで構成され、

前記伝送回路は、その作動用電源として、前記整流回路を用い、電源電圧が供給されているときのみ、書込み信号を伝送し、電源電圧が供給されていないときは、書込み信号の伝送を遮断することの特徴とする、書込み制御装置。

【請求項 2】

前記伝送回路は、電源と接地との間に介装された抵抗とトランジスタとの直列回路を含んで構成され、前記トランジスタのベースに前記コントローラからの書込み信号ラインが接続され、前記抵抗とトランジスタとの接続点から前記メモリへの書込み信号ラインが導出されることを特徴とする、請求項 1 記載の書込み制御装置。

【請求項 3】

前記伝送回路は、バッファであることを特徴とする、請求項 1 記載の書込み制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コントローラからメモリへのデータの書込みを制御する書込み制御装置に関し、特にデータの書込みを禁止する際に誤書込みを確実に防止できる書込み制御装置に関する。

【背景技術】

【0002】

CPU、DSP等のコントローラからメモリへのデータの書込みを制御する書込み制御装置においては、特許文献 1 などに示されているように、データの意図しない書換えを防止するため、コントローラからメモリへの書込み信号ラインにゲート（ANDゲート）を設け、その一方の入力端子に書込み許可信号（例えばHレベル）又は書込み禁止信号（例えばLレベル）を与えている。これにより、前記ゲートの一方の入力端子に書込み禁止信号が入力されているときは、書換えが禁止され、書込み許可信号が入力されているときのみ、書換えが可能となる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 10-049442 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来技術においては、書込み許可・禁止信号発生部の故障で、前記ゲートの一方の入力端子が例えばHレベルの状態に固定故障した場合、書込み許可信号が出力されたままの状態となるため、誤書込み防止機能を発揮させることができなくなる。

このため、誤った信号がメモリに入力されたときに、データ破損又はデータ上書きが発生してしまう。また、本事象は、故障を検出することができないため、修理等の対処が打てない。

【0005】

本発明は、このような実状に鑑み、書込み許可・禁止信号発生部が故障した場合でも、確率的に書込み禁止側に故障し、誤書込みを防止できるようにした書込み制御装置を提供することを課題とする。

【課題を解決するための手段】

【0006】

上記の課題を解決するために、本発明に係る書込み制御装置は、
書込み許可信号として交番信号を発生し、書込み禁止信号として非交番信号を発生する書込み許可・禁止信号発生部と、

前記信号発生部からの信号が入力され、交番信号が入力されるときにのみ電源電圧を発生させる整流回路と、

コントローラからメモリへの書込み信号ラインに介装されて、書込み信号を伝送する伝送回路と、

を含んで構成され、

前記伝送回路は、その作動用電源として、前記整流回路を用い、電源電圧が供給されているときのみ、書込み信号を伝送し、電源電圧が供給されていないときは、書込み信号の伝送を遮断することを特徴とする。

【発明の効果】

【0007】

本発明によれば、書込み許可・禁止信号発生部の故障時は、確率的に、その出力がLレベル又はHレベルに固定されるので、書込み禁止時と同じく、非交番信号となる。従って、整流回路から電源電圧が発生しない。このため、伝送回路にはその作動用電源が供給されないため、書込み信号の伝送が遮断される結果、誤書込みを防止できるという効果を奏する。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態を示す書込み制御装置の構成図

【図2】書込み許可・禁止信号発生部でのフローチャート

【図3】コントローラ・メモリ間の詳細構成図

【図4】他の実施形態を示す書込み制御装置の構成図

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態について、詳細に説明する。

図1は本発明の一実施形態を示す書込み制御装置の構成図である。

【0010】

コントローラ1は、CPU又はDSP等で構成され、メモリ2との間で、メモリ2からのデータの読み込み、メモリ2へのデータの書込みを行う。

特に書込みについては、コントローラ1から書込み信号ライン3を通じてメモリ2へ書込み信号を伝送することで、メモリ2への書込みを可能としている。

【0011】

ここにおいて、意図しないメモリ2への書込みを防止するため、コントローラ1とメモリ2との間の書込み信号ライン3に、伝送回路4が設けられる。

伝送回路4は、書込み許可信号の発生時のみコントローラ1からの書込み信号をメモリ2へ伝送して書込みを可能とし、書込み許可信号の非発生時、すなわち書込み禁止信号の発生時は、コントローラ1からの書込み信号をメモリ2へ伝送しないようにして書込みを禁止するものである。

【0012】

ここで、書込み許可信号又は禁止信号を発生する書込み許可・禁止信号発生部5は、書込み許可信号として交番信号（交流信号）を発生し、書込み禁止信号として非交番信号（Lレベル又はHレベルの固定信号）を発生するように構成する。

すなわち、書込み許可・禁止信号発生部5の機能については、図2のフローチャートに

10

20

30

40

50

示すように、S 1で予め定めた書込み許可条件が成立しているか否かを判定し、書込み許可条件が成立している場合（YESの場合）は、S 2へ進んで、交番信号（書込み許可信号）を発生する。これとは逆に、書込み許可条件が成立していない場合（NOの場合）は、S 3へ進んで、非交番信号、すなわち、Lレベル又はHレベルの固定信号（書込み禁止信号）を発生する。

【0013】

書込み許可信号・禁止信号発生部5の発生出力は、整流回路6に入力する。

整流回路6は、交番信号が入力されるときにこれを整流にして電源電圧を発生させ、非交番信号（Lレベル又はHレベルの固定信号）が入力されるときは電源電圧を発生させない。この整流回路6は、伝送回路4の作動用電源として用いられる。

10

【0014】

伝送回路4は、具体的には、電源と接地との間に直列に接続された抵抗11とトランジスタ12とを含んで構成され、コントローラ1からの書込み信号ラインがトランジスタ11のベースに接続され、抵抗11とトランジスタ12との接続点からメモリ2への書込み信号ラインが導出されている。

【0015】

伝送回路4は、その作動用電源として、前記整流回路6を用い、電源電圧が供給されているときのみ、書込み信号を伝送し、電源電圧が供給されていないときは、書込み信号の伝送を遮断する。

【0016】

20

次に作用を説明する。

（1）書込み許可信号が出力されている場合

信号発生部5より書込み許可信号として交番信号が発生している場合は、整流回路6より電源電圧が発生して、伝送回路4（抵抗11とトランジスタ12との直列回路）に印加されている。

従って、コントローラ1から書込み信号ライン3にHレベルの書込み信号が出力されると、トランジスタ12がOFFとなる結果、メモリ2への入力がHレベルとなるので、メモリ2に書込み信号が入力される。これにより、メモリ2への書込みが可能となる。

コントローラ1から書込み信号ライン3にHレベルの書込み信号が出力されていないときは、トランジスタ12のベースがLレベルとなって、トランジスタ12がONとなる結果、メモリ2への入力がLレベルとなり、メモリ2に書込み信号は入力されない。

30

【0017】

（2）書込み禁止信号が出力されている場合

信号発生部5より書込み禁止信号として非交番信号（Lレベル又はHレベルの固定信号）が発生している場合は、整流回路6より電源電圧が発生せず、伝送回路4（抵抗11とトランジスタ12との直列回路）に電源電圧が印加されない。

従って、コントローラ1からHレベルの書込み信号が出力されて、トランジスタ12がOFFとなっても、メモリ2への入力がLレベルとなり、メモリ2に書込み信号は入力されない。

40

コントローラ1からHレベルの書込み信号が出力されていないときは、トランジスタ12のベースがLレベルとなって、トランジスタ12がONとなるが、いずれにしても、メモリ2への入力がLレベルとなり、メモリ2に書込み信号は入力されない。

【0018】

（3）書込み許可・禁止信号発生部5が故障した場合

書込み許可・禁止信号発生部5の故障時は、確率的に、その出力がLレベル又はHレベルに固定されるので、書込み禁止時と同じく、非交番信号となる。従って、整流回路6から電源電圧が発生しない。このため、伝送回路4にはその作動用電源が供給されない。

従って、コントローラ1からHレベルの書込み信号が出力されて、トランジスタ12がOFFとなっても、メモリ2への入力はLレベルに固定され、メモリ2に書込み信号は入力されない。このため、誤って書込みモードに遷移することはない。

50

コントローラ 1 から H レベルの書込み信号が出力されていないときは、トランジスタ 1 2 のベースが L レベルとなって、トランジスタ 1 2 が ON となるが、いずれにしても、メモリ 2 への入力が L レベルとなり、メモリ 2 に書込み信号は入力されない。

【0019】

従って、書込み許可・禁止信号発生部 5 の故障時は、書込み信号の伝送が遮断される結果、誤書込みを確実に防止できる。尚、信号発生部 5 そのものの故障ではなく、信号発生部 5 の出力ラインの断線等の故障時も、同様に誤書込みを防止できることは言うまでもない。このように回路故障が発生しても確実にメモリ 2 への書込みを防止することができ、高信頼性のライトプロテクト回路となる。

【0020】

以上の説明では、コントローラ 1 からメモリ 2 への書込み信号ラインに、書込み制御用の伝送回路 4 を介装する旨、説明したが、より詳しくは、図 3 に示すように、チップセレクト信号のラインとライト信号のラインとにそれぞれ介装する。

すなわち、コントローラ 1 とメモリ 2 との間には、図 3 に示すように、コントローラ 1 からメモリ 2 に対しデータを読出す又は書込むためのアドレスを指定するアドレス信号を送信するアドレスバス 2 1 と、コントローラ 1 からメモリ 2 へチップセレクト信号を出力するチップセレクト信号ライン 2 2 と、コントローラ 1 からメモリ 2 へデータの読出しを指示するリード信号ライン 2 3 と、コントローラ 1 からメモリ 2 へデータの書込みを指示するライト信号ライン 2 4 と、メモリ 2 からコントローラ 1 に対し読出したデータを送信又はコントローラ 1 からメモリ 2 に対し書込むデータを送信するデータバス 2 5 と、が備えられる。尚、チップセレクト信号ライン 2 2 は、通常、アドレスバス上のアドレス信号をアドレスデコーダにより解読してメモリ 2 へのチップセレクト信号を出力する。

ここにおいて、前記伝送回路 4 は、チップセレクト信号ライン 2 2 と、ライト信号ライン 2 4 との両方に介装することで、高信頼性が担保される。

【0021】

次に本発明の他の実施形態について図 4 により説明する。

本実施形態では、コントローラ 1 からメモリ 2 への書込み信号ライン 3 に、伝送回路 4 として、バッファ B F を設け、このバッファ B F の電源として、信号発生部 5 からの信号が入力される整流回路 6 を用いている。

【0022】

従って、信号発生部 5 より書込み許可信号として交番信号が発生している場合は、整流回路 6 より電源電圧が発生して、バッファ B F に印加されている。よって、コントローラ 1 から書込み信号ライン 3 に出力される信号がバッファ B F を介してメモリ 2 に伝送され、メモリ 2 への書込みが可能となる。

【0023】

信号発生部 5 より書込み禁止信号として非交番信号（L レベル又は H レベルの固定信号）が発生している場合は、整流回路 6 より電源電圧が発生せず、バッファ B F に電源電圧が印加されない。

よって、コントローラ 1 から H レベルの書込み信号が出力されても、バッファ B F からメモリ 2 に伝送されず、メモリ 2 に書込み信号は入力されない。これにより、誤書込みが防止される。

【0024】

信号発生部 5 の故障時は、確率的に、その出力が L レベル又は H レベルに固定されるので、書込み禁止時と同じく、非交番信号となる。従って、整流回路 6 から電源電圧が発生しない。このため、バッファ B F にはその作動用電源が供給されない。

よって、コントローラ 1 から H レベルの書込み信号が出力されても、バッファ B F からメモリ 2 に伝送されず、メモリ 2 に書込み信号は入力されない。これにより、信号発生部 5 の故障時も誤書込みが防止される。

【0025】

尚、図示の実施形態はあくまで本発明を例示するものであり、本発明は、説明した実施

10

20

30

40

50

形態により直接的に示されるものに加え、特許請求の範囲内で当業者によりなされる各種の改良・変更を包含するものであることは言うまでもない。

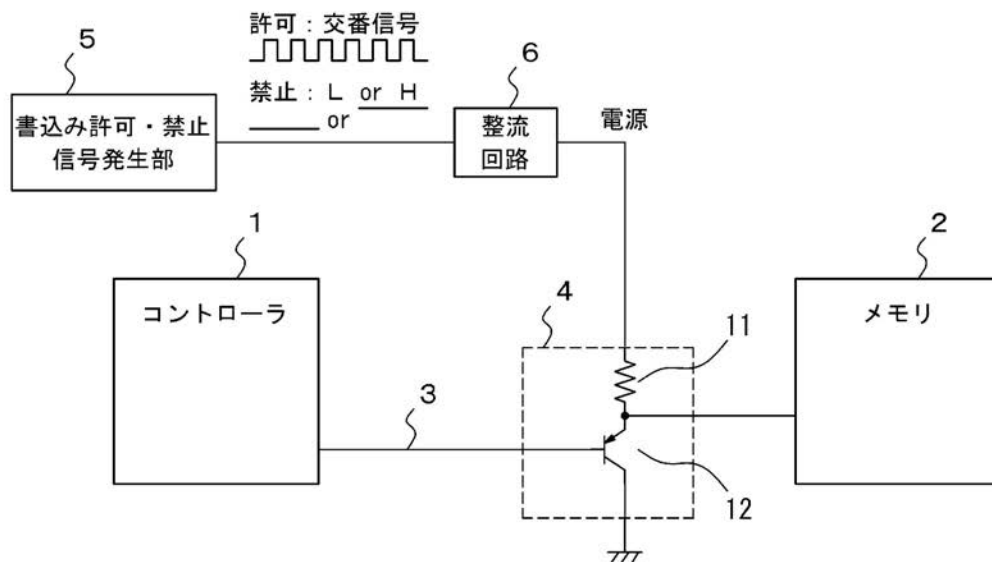
【符号の説明】

【0026】

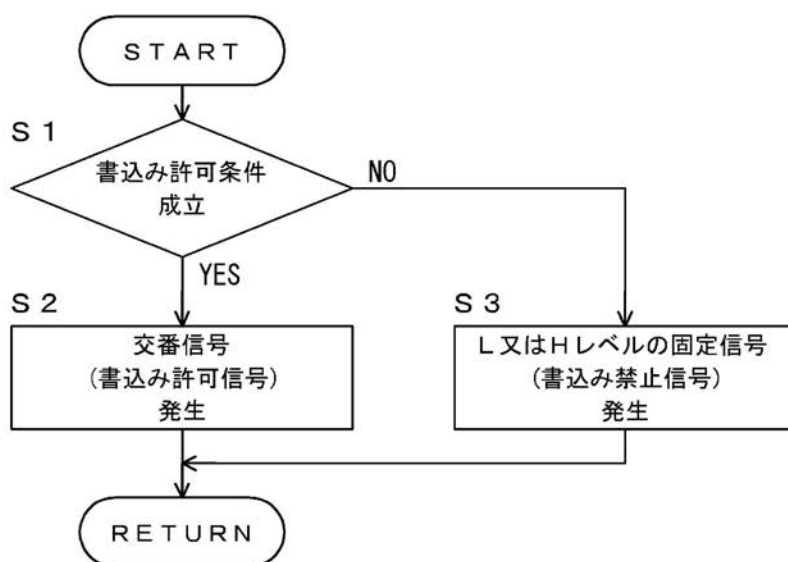
- 1 コントローラ
- 2 メモリ
- 3 書き込み信号ライン
- 4 伝送回路
- 5 書き込み許可・禁止信号発生部
- 6 整流回路
- 11 抵抗
- 12 トランジスタ
- B F バッファ

10

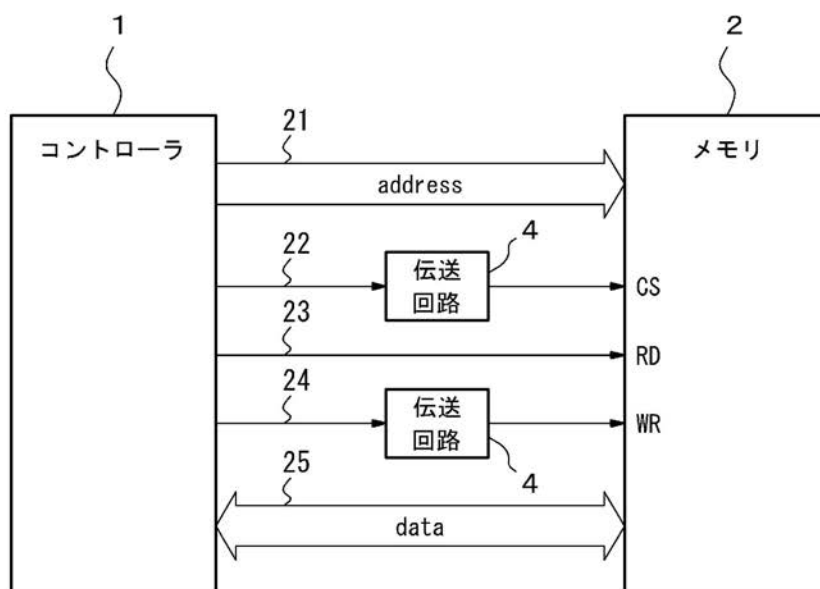
【図1】



【図 2】



【図 3】



【図 4】

