

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 信号伝達装置は、例えば、一次回路系と二次回路系との間を絶縁しつつ前記一次回路系と前記二次回路系との間でゲート駆動用トランジスタの駆動信号を伝達するものであり、前記二次回路系の接地端を接続するように構成された第1外部端子と、前記第1外部端子がオープン状態であるか否かに応じて端子電圧が変化するように構成された第2外部端子と、前記第2外部端子の端子電圧を監視して前記第1外部端子のオープン検出を行うオープン検出回路と、を有する。

明 細 書

発明の名称： 信号伝達装置、電子機器、車両

技術分野

[0001] 本明細書中に開示されている発明は、信号伝達装置、及び、これを用いた電子機器並びに車両に関する。

背景技術

[0002] 従来、一次回路系と二次回路系との間を電氣的に絶縁しつつ、一次回路系と二次回路系との間で信号を伝達する信号伝達装置は、様々なアプリケーション（電源装置またはモータ駆動装置など）に用いられている。

[0003] なお、上記に関連する従来技術の一例としては、本願出願人による特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2018-011108号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、従来の信号伝達装置では、二次回路系のGNDオープン検出について、検討の余地があった。

[0006] 本明細書中に開示されている発明は、本願の発明者らにより見出された上記の課題に鑑み、二次回路系のGNDオープンを検出することのできる信号伝達装置、及び、これを用いた電子機器並びに車両を提供することを目的とする。

課題を解決するための手段

[0007] 例えば、本明細書中に開示されている信号伝達装置は、一次回路系と二次回路系との間を絶縁しつつ前記一次回路系と前記二次回路系との間でゲート駆動用トランジスタの駆動信号を伝達するものであって、前記二次回路系の接地端を接続するように構成された第1外部端子と、前記第1外部端子がオ

オープン状態であるか否かに応じて端子電圧が変化するように構成された第2外部端子と、前記第2外部端子の端子電圧を監視して前記第1外部端子のオープン検出を行うオープン検出回路と、を有する。

[0008] なお、その他の特徴、要素、ステップ、利点、及び、特性については、以下に続く発明を実施するための形態及びこれに関する添付の図面によって、さらに明らかとなる。

発明の効果

[0009] 本明細書中に開示されている発明によれば、二次回路系のGNDオープンを検出することのできる信号伝達装置、及び、これを用いた電子機器並びに車両を提供することが可能となる。

図面の簡単な説明

[0010] [図1]図1は、信号伝達装置の基本構成を示す図である。

[図2]図2は、トランスチップの基本構造を示す図である。

[図3]図3は、2チャンネル型のトランスチップとして用いられる半導体装置の斜視図である。

[図4]図4は、図3に示す半導体装置の平面図である。

[図5]図5は、図3の半導体装置において低電位コイルが形成された層を示す平面図である。

[図6]図6は、図3の半導体装置において高電位コイルが形成された層を示す平面図である。

[図7]図7は、図6に示すVIII-VIII線に沿う断面図である。

[図8]図8は、図7に示す領域XIIIの拡大図（分離構造）を示す図である。

[図9]図9は、トランスチップのレイアウト例を模式的に示す図である。

[図10]図10は、信号伝達装置の実施形態を示す図である。

[図11]図11は、信号伝達装置が搭載される電子機器の一構成例を示す図である。

[図12]図12は、短絡検出端子の第1接続例（DESAT方式）を示す図である。

[図13]図 1 3 は、短絡検出端子の第 2 接続例（エミッタセンス方式）を示す図である。

[図14]図 1 4 は、オープン検出回路の一構成例を示す図である。

[図15]図 1 5 は、オープン検出動作の一例を示す図である。

[図16]図 1 6 は、電子機器が搭載される車両の外観を示す図である。

発明を実施するための形態

[0011] <信号伝達装置（基本構成）>

図 1 は、信号伝達装置の基本構成を示す図である。本構成例の信号伝達装置 200 は、一次回路系 200 p（VCC1-GND1 系）と二次回路系 200 s（VCC2-GND2 系）との間を絶縁しつつ、一次回路系 200 p から二次回路系 200 s にパルス信号を伝達し、二次回路系 200 s に設けられたスイッチ素子（不図示）のゲートを駆動する半導体集積回路装置（いわゆる絶縁ゲートドライバ IC）である。例えば、信号伝達装置 200 は、コントローラチップ 210 と、ドライバチップ 220 と、トランスチップ 230 と、を単一のパッケージに封止して成る。

[0012] コントローラチップ 210 は、電源電圧 VCC1（例えば GND1 基準で最大 7 V）の供給を受けて動作する半導体チップである。コントローラチップ 210 には、例えば、パルス送信回路 211 と、バッファ 212 及び 213 が集積されている。

[0013] パルス送信回路 211 は、入力パルス信号 IN に応じて送信パルス信号 S11 及び S21 を生成するパルスジェネレータである。より具体的に述べると、パルス送信回路 211 は、入力パルス信号 IN がハイレベルである旨を通知するときには、送信パルス信号 S11 のパルス駆動（単発または複数発の送信パルス出力）を行い、入力パルス信号 IN がローレベルである旨を通知するときには、送信パルス信号 S21 のパルス駆動を行う。すなわち、パルス送信回路 211 は、入力パルス信号 IN の論理レベルに応じて、送信パルス信号 S11 及び S21 のいずれか一方をパルス駆動する。

[0014] バッファ 212 は、パルス送信回路 211 から送信パルス信号 S11 の入

力を受けて、トランスチップ230（具体的にはトランス231）をパルス駆動する。

[0015] バッファ213は、パルス送信回路211から送信パルス信号S21の入力を受けて、トランスチップ230（具体的にはトランス232）をパルス駆動する。

[0016] ドライバチップ220は、電源電圧VCC2（例えばGND2基準で最大30V）の供給を受けて動作する半導体チップである。ドライバチップ220には、例えば、バッファ221及び222と、パルス受信回路223と、ドライバ224が集積されている。

[0017] バッファ221は、トランスチップ230（具体的にはトランス231）に誘起される受信パルス信号S12を波形整形してパルス受信回路223に出力する。

[0018] バッファ222は、トランスチップ230（具体的にはトランス232）に誘起される受信パルス信号S22を波形整形してパルス受信回路223に出力する。

[0019] パルス受信回路223は、バッファ221及び222を介して入力される受信パルス信号S12及びS22に応じてドライバ224を駆動することにより出力パルス信号OUTを生成する。より具体的に述べると、パルス受信回路223は、受信パルス信号S12のパルス駆動を受けて出力パルス信号OUTをハイレベルに立ち上げる一方、受信パルス信号S22のパルス駆動を受けて出力パルス信号OUTをローレベルに立ち下げるようにドライバ224を駆動する。すなわち、パルス受信回路223は、入力パルス信号INの論理レベルに応じて出力パルス信号OUTの論理レベルを切り替える。なお、パルス受信回路223としては、例えば、RSフリップフロップを好適に用いることができる。

[0020] ドライバ224は、パルス受信回路223の駆動制御に基づいて出力パルス信号OUTを生成する。

[0021] トランスチップ230は、トランス231及び232を用いてコントロー

ラチップ210とドライバチップ220との間を直流的に絶縁しつつ、パルス送信回路211から入力される送信パルス信号S11及びS21をそれぞれ受信パルス信号S12及びS22としてパルス受信回路223に出力する。なお、本明細書中において、「直流的に絶縁する」とは、絶縁すべき対象物が導体では接続されていないということである。

[0022] より具体的に述べると、トランス231は、一次側コイル231pに入力される送信パルス信号S11に応じて、二次側コイル231sから受信パルス信号S12を出力する。一方、トランス232は、一次側コイル232pに入力される送信パルス信号S21に応じて、二次側コイル232sから受信パルス信号S22を出力する。

[0023] このように、絶縁間通信に用いられるスパイラルコイルの特性上、入力パルス信号INは、2本の送信パルス信号S11及びS21（＝ライズ信号及びフォール信号に相当）に分離された後、2つのトランス231及び232を介して一次回路系200pから二次回路系200sに伝達される。

[0024] なお、本構成例の信号伝達装置200は、コントローラチップ210及びドライバチップ220とは別に、トランス231及び232のみを搭載するトランスチップ230を独立に有しており、これら3つのチップを単一のパッケージに封止して成る。

[0025] このような構成とすることにより、コントローラチップ210、及び、ドライバチップ220については、いずれも一般の低耐圧～中耐圧プロセス（数V～数十V耐圧）で形成することができるので、専用の高耐圧プロセス（数千V耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。

[0026] なお、信号伝達装置200は、例えば、車両に搭載される車載機器の電源装置またはモータ駆動装置などで好適に利用することができる。上記の車両には、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV [plug-in hybrid electric vehicle/plug-in hybrid vehicle]、又は、FCEV/

F C V (fuel cell electric vehicle/fuel cell vehicle] などの x E V) も含まれる。

[0027] <トランスチップ (基本構造) >

次に、トランスチップ 230 の基本構造について説明する。図 2 は、トランスチップ 230 の基本構造を示す図である。本図のトランスチップ 230 において、トランス 231 は、上下方向に対向する一次側コイル 231 p と二次側コイル 231 s を含む。トランス 232 は、上下方向に対向する一次側コイル 232 p と二次側コイル 232 s を含む。

[0028] 一次側コイル 231 p 及び 232 p は、いずれも、トランスチップ 230 の第 1 配線層 (下層) 230 a に形成されている。二次側コイル 231 s 及び 232 s は、いずれも、トランスチップ 230 の第 2 配線層 (本図では上層) 230 b に形成されている。なお、二次側コイル 231 s は、一次側コイル 231 p の直上に配置され、一次側コイル 231 p に対向している。また、二次側コイル 232 s は、一次側コイル 232 p の直上に配置され、一次側コイル 232 p に対向している。

[0029] 一次側コイル 231 p は、内部端子 X 21 に接続された第 1 端を始点として、内部端子 X 21 の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が内部端子 X 22 に接続されている。一方、一次側コイル 232 p は、内部端子 X 23 に接続された第 1 端を始点として、内部端子 X 23 の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第 2 端が内部端子 X 22 に接続されている。内部端子 X 21、X 22 及び X 23 は、図示の順で直線的に配列されている。

[0030] 内部端子 X 21 は、導電性の配線 Y 21 及びビア Z 21 を介して、第 2 層 230 b の外部端子 T 21 に接続されている。内部端子 X 22 は、導電性の配線 Y 22 及びビア Z 22 を介して、第 2 層 230 b の外部端子 T 22 に接続されている。内部端子 X 23 は、導電性の配線 Y 23 及びビア Z 23 を介して、第 2 層 230 b の外部端子 T 23 に接続されている。なお、外部端子 T 21 ~ T 23 は、直線的に並べて配置されており、コントローラチップ 2

10とのワイヤボンディングに用いられる。

[0031] 二次側コイル231sは、外部端子T24に接続された第1端を始点として、外部端子T24の周囲を反時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が外部端子T25に接続されている。一方、二次側コイル232sは、外部端子T26に接続された第1端を始点として、外部端子T26の周囲を時計回りで取り囲むように螺旋状に敷設されており、その終点に相当する第2端が外部端子T25に接続されている。なお、外部端子T24、T25及びT26は、図示の順で直線的に並べて配置されており、ドライバチップ220とのワイヤボンディングに用いられる。

[0032] 二次側コイル231s及び232sは、それぞれ、磁気結合によって一次側コイル231p及び232pに交流接続されると共に、一次側コイル231p及び232pから直流絶縁されている。すなわち、ドライバチップ220は、トランスチップ230を介してコントローラチップ210に交流接続されると共に、トランスチップ230によりコントローラチップ210から直流絶縁されている。

[0033] <トランスチップ（2チャンネル型）>

図3は、2チャンネル型のトランスチップとして用いられる半導体装置5を示す斜視図である。図4は、図3に示す半導体装置5の平面図である。図5は、図3に示す半導体装置5において低電位コイル22（＝トランスの一次側コイルに相当）が形成された層を示す平面図である。図6は、図3に示す半導体装置5において高電位コイル23（＝トランスの二次側コイルに相当）が形成された層を示す平面図である。図7は、図6に示すVIII-VIII線に沿う断面図である。

[0034] 図3～図7を参照して、半導体装置5は、直方体形状の半導体チップ41を含む。半導体チップ41は、シリコン、ワイドバンドギャップ半導体および化合物半導体のうちの少なくとも1つを含む。

[0035] ワイドバンドギャップ半導体は、シリコンのバンドギャップ（約1.12 eV）を超える半導体からなる。ワイドバンドギャップ半導体のバンドギャ

ップは、 2.0 eV 以上であることが好ましい。ワイドバンドギャップ半導体は、SiC（炭化シリコン）であってもよい。化合物半導体は、III-V族化合物半導体であってもよい。化合物半導体は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）およびGaAs（ヒ化ガリウム）のうちの少なくとも1つを含んでいてもよい。

[0036] 半導体チップ41は、この形態では、シリコン製の半導体基板を含む。半導体チップ41は、シリコン製の半導体基板およびシリコン製のエピタキシャル層を含む積層構造を有するエピタキシャル基板であってもよい。半導体基板の導電型は、n型またはp型であってもよい。エピタキシャル層は、n型またはp型であってもよい。

[0037] 半導体チップ41は、一方側の第1主面42、他方側の第2主面43、及び、第1主面42並びに第2主面43を接続するチップ側壁44A～44Dを有している。第1主面42及び第2主面43は、それらの法線方向Zから見た平面視（以下、単に「平面視」という）において、四角形状（この形態では長方形形状）に形成されている。

[0038] チップ側壁44A～44Dは、第1チップ側壁44A、第2チップ側壁44B、第3チップ側壁44Cおよび第4チップ側壁44Dを含む。第1チップ側壁44Aおよび第2チップ側壁44Bは、半導体チップ41の長辺を形成している。第1チップ側壁44Aおよび第2チップ側壁44Bは、第1方向Xに沿って延び、第2方向Yに対向している。第3チップ側壁44Cおよび第4チップ側壁44Dは、半導体チップ41の短辺を形成している。第3チップ側壁44Cおよび第4チップ側壁44Dは、第2方向Yに延び、第1方向Xに対向している。チップ側壁44A～44Dは、研削面からなる。

[0039] 半導体装置5は、半導体チップ41の第1主面42の上に形成された絶縁層51をさらに含む。絶縁層51は、絶縁主面52および絶縁側壁53A～53Dを有している。絶縁主面52は、平面視において第1主面42に整合する四角形状（この形態では長方形形状）に形成されている。絶縁主面52は、第1主面42に対して平行に延びている。

- [0040] 絶縁側壁53A～53Dは、第1絶縁側壁53A、第2絶縁側壁53B、第3絶縁側壁53Cおよび第4絶縁側壁53Dを含む。絶縁側壁53A～53Dは、絶縁主面52の周縁から半導体チップ41に向けて延び、チップ側壁44A～44Dに連なっている。絶縁側壁53A～53Dは、具体的には、チップ側壁44A～44Dに対して面一に形成されている。絶縁側壁53A～53Dは、チップ側壁44A～44Dに面一な研削面を形成している。
- [0041] 絶縁層51は、最下絶縁層55、最上絶縁層56および複数（この形態では11層）の層間絶縁層57を含む多層絶縁積層構造からなる。最下絶縁層55は、第1主面42を直接被覆する絶縁層である。最上絶縁層56は、絶縁主面52を形成する絶縁層である。複数の層間絶縁層57は、最下絶縁層55および最上絶縁層56の間に介在する絶縁層である。最下絶縁層55は、この形態では、酸化シリコンを含む単層構造を有している。最上絶縁層56は、この形態では、酸化シリコンを含む単層構造を有している。最下絶縁層55の厚さおよび最上絶縁層56の厚さは、それぞれ1 μ m以上3 μ m以下（たとえば2 μ m程度）であってもよい。
- [0042] 複数の層間絶縁層57は、最下絶縁層55側の第1絶縁層58および最上絶縁層56側の第2絶縁層59を含む積層構造をそれぞれ有している。第1絶縁層58は、窒化シリコンを含んでいてもよい。第1絶縁層58は、第2絶縁層59に対するエッチングストoppa層として形成されている。第1絶縁層58の厚さは、0.1 μ m以上1 μ m以下（たとえば0.3 μ m程度）であってもよい。
- [0043] 第2絶縁層59は、第1絶縁層58の上に形成されている。第1絶縁層58とは異なる絶縁材料を含む。第2絶縁層59は、酸化シリコンを含んでいてもよい。第2絶縁層59の厚さは、1 μ m以上3 μ m以下（たとえば2 μ m程度）であってもよい。第2絶縁層59の厚さは、第1絶縁層58の厚さを超えていることが好ましい。
- [0044] 絶縁層51の総厚さDTは、5 μ m以上50 μ m以下であってもよい。絶縁層51の総厚さDT及び層間絶縁層57の積層数は任意であって、実現す

べき絶縁耐圧（絶縁破壊耐量）に応じて調整される。また、最下絶縁層 5 5、最上絶縁層 5 6 および層間絶縁層 5 7 の絶縁材料は任意であり、特定の絶縁材料に限定されない。

[0045] 半導体装置 5 は、絶縁層 5 1 に形成された第 1 機能デバイス 4 5 を含む。第 1 機能デバイス 4 5 は、1 つ又は複数（この形態では複数）の変圧器 2 1（先出のトランスに相当）を含む。つまり、半導体装置 5 は、複数の変圧器 2 1 を含むマルチチャネル型デバイスである。複数の変圧器 2 1 は、絶縁側壁 5 3 A～5 3 D から間隔を空けて絶縁層 5 1 の内方部に形成されている。複数の変圧器 2 1 は、第 1 方向 X に間隔を空けて形成されている。

[0046] 複数の変圧器 2 1 は、具体的には、平面視において絶縁側壁 5 3 C 側から絶縁側壁 5 3 D 側に向けてこの順に形成された第 1 変圧器 2 1 A、第 2 変圧器 2 1 B、第 3 変圧器 2 1 C および第 4 変圧器 2 1 D を含む。複数の変圧器 2 1 A～2 1 D は、同様の構造をそれぞれ有している。以下では、第 1 変圧器 2 1 A の構造を例にとって説明する。第 2 変圧器 2 1 B、第 3 変圧器 2 1 C および第 4 変圧器 2 1 D の構造の説明については、第 1 変圧器 2 1 A の構造の説明が準用されるものとし、省略する。

[0047] 図 5～図 7 を参照して、第 1 変圧器 2 1 A は、低電位コイル 2 2 および高電位コイル 2 3 を含む。低電位コイル 2 2 は、絶縁層 5 1 内に形成されている。高電位コイル 2 3 は、法線方向 Z に低電位コイル 2 2 と対向するように絶縁層 5 1 内に成されている。低電位コイル 2 2 および高電位コイル 2 3 は、この形態では、最下絶縁層 5 5 および最上絶縁層 5 6 に挟まれた領域（つまり複数の層間絶縁層 5 7）に形成されている。

[0048] 低電位コイル 2 2 は、絶縁層 5 1 内において最下絶縁層 5 5（半導体チップ 4 1）側に形成されており、高電位コイル 2 3 は、絶縁層 5 1 内において低電位コイル 2 2 に対して最上絶縁層 5 6（絶縁主面 5 2）側に形成されている。つまり、高電位コイル 2 3 は、低電位コイル 2 2 を挟んで半導体チップ 4 1 に対向している。低電位コイル 2 2 および高電位コイル 2 3 の配置箇所は任意である。また、高電位コイル 2 3 は、1 層以上の層間絶縁層 5 7 を

挟んで低電位コイル 2 2 に対向していればよい。

[0049] 低電位コイル 2 2 及び高電位コイル 2 3 の間の距離（つまり層間絶縁層 5 7 の積層数）は、低電位コイル 2 2 及び高電位コイル 2 3 の間の絶縁耐圧及び電界強度に応じて適宜調整される。低電位コイル 2 2 は、この形態では、最下絶縁層 5 5 側から数えて 3 層目の層間絶縁層 5 7 に形成されている。高電位コイル 2 3 は、この形態では、最上絶縁層 5 6 側から数えて 1 層目の層間絶縁層 5 7 に形成されている。

[0050] 低電位コイル 2 2 は、層間絶縁層 5 7 において第 1 絶縁層 5 8 及び第 2 絶縁層 5 9 を貫通して埋め込まれている。低電位コイル 2 2 は、第 1 内側末端 2 4、第 1 外側末端 2 5、ならびに、第 1 内側末端 2 4 および第 1 外側末端 2 5 の間を螺旋状に引き回された第 1 螺旋部 2 6 を含む。第 1 螺旋部 2 6 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 1 螺旋部 2 6 の最内周縁を形成する部分は、平面視において楕円形状の第 1 内側領域 6 6 を区画している。

[0051] 第 1 螺旋部 2 6 の巻回数は、5 以上 30 以下であってもよい。第 1 螺旋部 2 6 の幅は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 1 螺旋部 2 6 の幅は、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 1 螺旋部 2 6 の幅は、螺旋方向に直交する方向の幅によって定義される。第 1 螺旋部 2 6 の第 1 巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 1 巻回ピッチは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 1 巻回ピッチは、第 1 螺旋部 2 6 において螺旋方向に直交する方向に隣り合う 2 つの部分の間の距離によって定義される。

[0052] 第 1 螺旋部 2 6 の巻回形状及び第 1 内側領域 6 6 の平面形状は任意であり、図 5 などに示される形態に限定されない。第 1 螺旋部 2 6 は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第 1 内側領域 6 6 は、第 1 螺旋部 2 6 の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0053] 低電位コイル 2 2 は、チタン、窒化チタン、銅、アルミニウム及びタングステンのうちの少なくとも 1 つを含んでいてもよい。低電位コイル 2 2 は、バリア層および本体層を含む積層構造を有していてもよい。バリア層は、層間絶縁層 5 7 内においてリセス空間を区画する。バリア層は、チタンおよび窒化チタンのうちの少なくとも 1 つを含んでいてもよい。本体層は、銅、アルミニウムおよびタングステンのうちの少なくとも 1 つを含んでいてもよい。

[0054] 高電位コイル 2 3 は、層間絶縁層 5 7 において第 1 絶縁層 5 8 及び第 2 絶縁層 5 9 を貫通して埋め込まれている。高電位コイル 2 3 は、第 2 内側末端 2 7、第 2 外側末端 2 8、ならびに、第 2 内側末端 2 7 および第 2 外側末端 2 8 の間を螺旋状に引き回された第 2 螺旋部 2 9 を含む。第 2 螺旋部 2 9 は、平面視において楕円形状（長円形状）に延びる螺旋状に引き回されている。第 2 螺旋部 2 9 の最内周縁を形成する部分は、この形態では、平面視において楕円形状の第 2 内側領域 6 7 を区画している。第 2 螺旋部 2 9 の第 2 内側領域 6 7 は、法線方向 Z に第 1 螺旋部 2 6 の第 1 内側領域 6 6 に対向している。

[0055] 第 2 螺旋部 2 9 の巻回数は、5 以上 30 以下であってもよい。第 1 螺旋部 2 6 の巻回数に対する第 2 螺旋部 2 9 の巻回数は、昇圧すべき電圧値に応じて調整される。第 2 螺旋部 2 9 の巻回数は、第 1 螺旋部 2 6 の巻回数を超えていることが好ましい。むろん、第 2 螺旋部 2 9 の巻回数は、第 1 螺旋部 2 6 の巻回数未満であってもよいし、第 1 螺旋部 2 6 の巻回数と等しくてもよい。

[0056] 第 2 螺旋部 2 9 の幅は、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 2 螺旋部 2 9 の幅は、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。第 2 螺旋部 2 9 の幅は、螺旋方向に直交する方向の幅によって定義される。第 2 螺旋部 2 9 の幅は、第 1 螺旋部 2 6 の幅と等しいことが好ましい。

[0057] 第 2 螺旋部 2 9 の第 2 巻回ピッチは、 $0.1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。第 2 巻回ピッチは、 $1\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下であることが好ましい。

第2巻回ピッチは、第2螺旋部29において螺旋方向に直交する方向に隣り合う2つの部分の間の距離によって定義される。第2巻回ピッチは、第1螺旋部26の第1巻回ピッチと等しいことが好ましい。

[0058] 第2螺旋部29の巻回形状及び第2内側領域67の平面形状は任意であり、図6などに示される形態に限定されない。第2螺旋部29は、平面視において三角形状、四角形状等の多角形状、または、円形状に巻回されていてもよい。第2内側領域67は、第2螺旋部29の巻回形状に応じて、平面視において三角形状、四角形状等の多角形状、または、円形状に区画されていてもよい。

[0059] 高電位コイル23は、低電位コイル22と同一の導電材料によって形成されていることが好ましい。つまり、高電位コイル23は、低電位コイル22と同様に、バリア層および本体層を含むことが好ましい。

[0060] 図4を参照して、半導体装置5は、複数（本図では12個）の低電位端子11、及び、複数（本図では12個）の高電位端子12を含む。複数の低電位端子11は、対応する変圧器21A～21Dの低電位コイル22にそれぞれ電氣的に接続されている。複数の高電位端子12は、対応する変圧器21A～21Dの高電位コイル23にそれぞれ電氣的に接続されている。

[0061] 複数の低電位端子11は、絶縁層51の絶縁主面52の上に形成されている。複数の低電位端子11は、具体的には、複数の変圧器21A～21Dから第2方向Yに間隔を空けて絶縁側壁53B側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0062] 複数の低電位端子11は、第1低電位端子11A、第2低電位端子11B、第3低電位端子11C、第4低電位端子11D、第5低電位端子11Eおよび第6低電位端子11Fを含む。複数の低電位端子11A～11Fは、この形態では、2個ずつそれぞれ形成されている。複数の低電位端子11A～11Fの個数は任意である。

[0063] 第1低電位端子11Aは、平面視において第2方向Yに第1変圧器21Aに対向している。第2低電位端子11Bは、平面視において第2方向Yに第

2変圧器21Bに対向している。第3低電位端子11Cは、平面視において第2方向Yに第3変圧器21Cに対向している。第4低電位端子11Dは、平面視において第2方向Yに第4変圧器21Dに対向している。第5低電位端子11Eは、平面視において第1低電位端子11Aおよび第2低電位端子11Bの間の領域に形成されている。第6低電位端子11Fは、平面視において第3低電位端子11Cおよび第4低電位端子11Dの間の領域に形成されている。

[0064] 第1低電位端子11Aは、第1変圧器21A（低電位コイル22）の第1内側末端24に電氣的に接続されている。第2低電位端子11Bは、第2変圧器21B（低電位コイル22）の第1内側末端24に電氣的に接続されている。第3低電位端子11Cは、第3変圧器21C（低電位コイル22）の第1内側末端24に電氣的に接続されている。第4低電位端子11Dは、第4変圧器21D（低電位コイル22）の第1内側末端24に電氣的に接続されている。

[0065] 第5低電位端子11Eは、第1変圧器21A（低電位コイル22）の第1外側末端25および第2変圧器21B（低電位コイル22）の第1外側末端25に電氣的に接続されている。第6低電位端子11Fは、第3変圧器21C（低電位コイル22）の第1外側末端25および第4変圧器21D（低電位コイル22）の第1外側末端25に電氣的に接続されている。

[0066] 複数の高電位端子12は、複数の低電位端子11から間隔を空けて絶縁層51の絶縁主面52の上に形成されている。複数の高電位端子12は、具体的には、複数の低電位端子11から第2方向Yに間隔を空けて絶縁側壁53A側の領域に形成され、第1方向Xに間隔を空けて配列されている。

[0067] 複数の高電位端子12は、平面視において対応する変圧器21A～21Dに近接する領域にそれぞれ形成されている。高電位端子12が変圧器21A～21Dに近接するとは、平面視において高電位端子12および変圧器21の間の距離が、低電位端子11および高電位端子12の間の距離未満であることを意味する。

- [0068] 複数の高電位端子 1 2 は、具体的には、平面視において第 1 方向 X に沿って複数の変圧器 2 1 A ～ 2 1 D と対向するように第 1 方向 X に沿って間隔を空けて形成されている。複数の高電位端子 1 2 は、さらに具体的には、平面視において高電位コイル 2 3 の第 2 内側領域 6 7 および隣り合う高電位コイル 2 3 の間の領域に位置するように第 1 方向 X に沿って間隔を空けて形成されている。これにより、複数の高電位端子 1 2 は、平面視において第 1 方向 X に複数の変圧器 2 1 A ～ 2 1 D と一列に並んで配列されている。
- [0069] 複数の高電位端子 1 2 は、第 1 高電位端子 1 2 A、第 2 高電位端子 1 2 B、第 3 高電位端子 1 2 C、第 4 高電位端子 1 2 D、第 5 高電位端子 1 2 E および第 6 高電位端子 1 2 F を含む。複数の高電位端子 1 2 A ～ 1 2 F は、この形態では、2 個ずつそれぞれ形成されている。複数の高電位端子 1 2 A ～ 1 2 F の個数は任意である。
- [0070] 第 1 高電位端子 1 2 A は、平面視において第 1 変圧器 2 1 A（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 2 高電位端子 1 2 B は、平面視において第 2 変圧器 2 1 B（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 3 高電位端子 1 2 C は、平面視において第 3 変圧器 2 1 C（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 4 高電位端子 1 2 D は、平面視において第 4 変圧器 2 1 D（高電位コイル 2 3）の第 2 内側領域 6 7 に形成されている。第 5 高電位端子 1 2 E は、平面視において第 1 変圧器 2 1 A および第 2 変圧器 2 1 B の間の領域に形成されている。第 6 高電位端子 1 2 F は、平面視において第 3 変圧器 2 1 C および第 4 変圧器 2 1 D の間の領域に形成されている。
- [0071] 第 1 高電位端子 1 2 A は、第 1 変圧器 2 1 A（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。第 2 高電位端子 1 2 B は、第 2 変圧器 2 1 B（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。第 3 高電位端子 1 2 C は、第 3 変圧器 2 1 C（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続されている。第 4 高電位端子 1 2 D は、第 4 変圧器 2 1 D（高電位コイル 2 3）の第 2 内側末端 2 7 に電氣的に接続さ

れている。

[0072] 第5高電位端子12Eは、第1変圧器21A（高電位コイル23）の第2外側末端28および第2変圧器21B（高電位コイル23）の第2外側末端28に電氣的に接続されている。第6高電位端子12Fは、第3変圧器21C（高電位コイル23）の第2外側末端28および第4変圧器21D（高電位コイル23）の第2外側末端28に電氣的に接続されている。

[0073] 図5～図7を参照して、半導体装置5は、絶縁層51内にそれぞれ形成された第1低電位配線31、第2低電位配線32、第1高電位配線33及び第2高電位配線34を含む。この形態では、複数の第1低電位配線31、複数の第2低電位配線32、複数の第1高電位配線33および複数の第2高電位配線34が形成されている。

[0074] 第1低電位配線31および第2低電位配線32は、第1変圧器21Aの低電位コイル22および第2変圧器21Bの低電位コイル22を同電位に固定している。また、第1低電位配線31および第2低電位配線32は、第3変圧器21Cの低電位コイル22および第4変圧器21Dの低電位コイル22を同電位に固定している。第1低電位配線31および第2低電位配線32は、この形態では、変圧器21A～21Dの全ての低電位コイル22を同電位に固定している。

[0075] 第1高電位配線33および第2高電位配線34は、第1変圧器21Aの高電位コイル23および第2変圧器21Bの高電位コイル23を同電位に固定している。また、第1高電位配線33および第2高電位配線34は、第3変圧器21Cの高電位コイル23および第4変圧器21Dの高電位コイル23を同電位に固定している。第1高電位配線33および第2高電位配線34は、この形態では、変圧器21A～21Dの全ての高電位コイル23を同電位に固定している。

[0076] 複数の第1低電位配線31は、対応する低電位端子11A～11Dおよび対応する変圧器21A～21D（低電位コイル22）の第1内側末端24にそれぞれ電氣的に接続されている。複数の第1低電位配線31は、同様の構

造を有している。以下では、第1低電位端子11Aおよび第1変圧器21Aに接続された第1低電位配線31の構造を例にとって説明する。他の第1低電位配線31の構造の説明については、第1変圧器21Aに接続された第1低電位配線31の構造の説明が準用されるものとし、省略する。

[0077] 第1低電位配線31は、貫通配線71、低電位接続配線72、引き出し配線73、第1接続プラグ電極74、第2接続プラグ電極75、1つまたは複数（この形態では複数）のパッドプラグ電極76、および、1つまたは複数（この形態では複数）の基板プラグ電極77を含む。

[0078] 貫通配線71、低電位接続配線72、引き出し配線73、第1接続プラグ電極74、第2接続プラグ電極75、パッドプラグ電極76および基板プラグ電極77は、低電位コイル22等と同一の導電材料によってそれぞれ形成されていることが好ましい。つまり、貫通配線71、低電位接続配線72、引き出し配線73、第1接続プラグ電極74、第2接続プラグ電極75、パッドプラグ電極76および基板プラグ電極77は、低電位コイル22等と同様に、バリア層および本体層をそれぞれ含むことが好ましい。

[0079] 貫通配線71は、絶縁層51において複数の層間絶縁層57を貫通し、法線方向Zに沿って延びる柱状に延びている。貫通配線71は、この形態では、絶縁層51において最下絶縁層55および最上絶縁層56の間の領域に形成されている。貫通配線71は、最上絶縁層56側の上端部、および、最下絶縁層55側の下端部を有している。貫通配線71の上端部は、高電位コイル23と同一の層間絶縁層57に形成され、最上絶縁層56によって被覆されている。貫通配線71の下端部は、低電位コイル22と同一の層間絶縁層57に形成されている。

[0080] 貫通配線71は、この形態では、第1電極層78、第2電極層79、および、複数の配線プラグ電極80を含む。貫通配線71では、第1電極層78、第2電極層79および配線プラグ電極80が低電位コイル22等と同一の導電材料によってそれぞれ形成されている。つまり、第1電極層78、第2電極層79および配線プラグ電極80は、低電位コイル22等と同様に、バ

リア層および本体層をそれぞれ含む。

[0081] 第1電極層78は、貫通配線71の上端部を形成している。第2電極層79は、貫通配線71の下端部を形成している。第1電極層78は、アイランド状に形成され、法線方向Zに低電位端子11（第1低電位端子11A）に対向している。第2電極層79は、アイランド状に形成され、法線方向Zに第1電極層78に対向している。

[0082] 複数の配線プラグ電極80は、第1電極層78および第2電極層79の間の領域に位置する複数の層間絶縁層57にそれぞれ埋設されている。複数の配線プラグ電極80は、互いに電氣的に接続されるように最下絶縁層55から最上絶縁層56に向けて積層され、かつ、第1電極層78および第2電極層79を電氣的に接続している。複数の配線プラグ電極80は、第1電極層78の平面積および第2電極層79の平面積未満の平面積をそれぞれ有している。

[0083] なお、複数の配線プラグ電極80の積層数は、複数の層間絶縁層57の積層数に一致している。この形態では、6個の配線プラグ電極80が各層間絶縁層57内に埋設されているが、各層間絶縁層57内に埋設される配線プラグ電極80の個数は任意である。もちろん、複数の層間絶縁層57を貫通する1つまたは複数の配線プラグ電極80が形成されていてもよい。

[0084] 低電位接続配線72は、低電位コイル22と同一の層間絶縁層57内において第1変圧器21A（低電位コイル22）の第1内側領域66に形成されている。低電位接続配線72は、アイランド状に形成され、法線方向Zに高電位端子12（第1高電位端子12A）に対向している。低電位接続配線72は、配線プラグ電極80の平面積を超える平面積を有していることが好ましい。低電位接続配線72は、低電位コイル22の第1内側末端24に電氣的に接続されている。

[0085] 引き出し配線73は、層間絶縁層57内において半導体チップ41および貫通配線71の間の領域に形成されている。引き出し配線73は、この形態では、最下絶縁層55から数えて1層目の層間絶縁層57内に形成されてい

る。引き出し配線 7 3 は、一方側の第 1 端部、他方側の第 2 端部、ならびに、第 1 端部および第 2 端部を接続する配線部を含む。引き出し配線 7 3 の第 1 端部は、半導体チップ 4 1 および貫通配線 7 1 の下端部の間の領域に位置している。引き出し配線 7 3 の第 2 端部は、半導体チップ 4 1 および低電位接続配線 7 2 の間の領域に位置している。配線部は、半導体チップ 4 1 の第 1 主面 4 2 に沿って延び、第 1 端部および第 2 端部の間の領域を帯状に延びている。

[0086] 第 1 接続プラグ電極 7 4 は、層間絶縁層 5 7 内において貫通配線 7 1 および引き出し配線 7 3 の間の領域に形成され、貫通配線 7 1 および引き出し配線 7 3 の第 1 端部に電氣的に接続されている。第 2 接続プラグ電極 7 5 は、層間絶縁層 5 7 内において低電位接続配線 7 2 および引き出し配線 7 3 の間の領域に形成され、低電位接続配線 7 2 および引き出し配線 7 3 の第 2 端部に電氣的に接続されている。

[0087] 複数のパッドプラグ電極 7 6 は、最上絶縁層 5 6 内において低電位端子 1 1（第 1 低電位端子 1 1 A）および貫通配線 7 1 の間の領域に形成され、低電位端子 1 1 および貫通配線 7 1 の上端部にそれぞれ電氣的に接続されている。複数の基板プラグ電極 7 7 は、最下絶縁層 5 5 内において半導体チップ 4 1 および引き出し配線 7 3 の間の領域に形成されている。基板プラグ電極 7 7 は、この形態では、半導体チップ 4 1 および引き出し配線 7 3 の第 1 端部の間の領域に形成され、半導体チップ 4 1 および引き出し配線 7 3 の第 1 端部にそれぞれ電氣的に接続されている。

[0088] 図 6 及び図 7 を参照して、複数の第 1 高電位配線 3 3 は、対応する高電位端子 1 2 A～1 2 D および対応する変圧器 2 1 A～2 1 D（高電位コイル 2 3）の第 2 内側末端 2 7 にそれぞれ電氣的に接続されている。複数の第 1 高電位配線 3 3 は、同様の構造をそれぞれ有している。以下では、第 1 高電位端子 1 2 A 及び第 1 変圧器 2 1 A に接続された第 1 高電位配線 3 3 の構造を例にとって説明する。他の第 1 高電位配線 3 3 の構造の説明については、第 1 変圧器 2 1 A に接続された第 1 高電位配線 3 3 の構造の説明が準用される。

ものとし、省略する。

- [0089] 第1高電位配線33は、高電位接続配線81、および、1つまたは複数（この形態では複数）のパッドプラグ電極82を含む。高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同一の導電材料によって形成されていることが好ましい。つまり、高電位接続配線81およびパッドプラグ電極82は、低電位コイル22等と同様に、バリア層および本体層を含むことが好ましい。
- [0090] 高電位接続配線81は、高電位コイル23と同一の層間絶縁層57内において高電位コイル23の第2内側領域67に形成されている。高電位接続配線81は、アイランド状に形成され、法線方向Zに高電位端子12（第1高電位端子12A）に対向している。高電位接続配線81は、高電位コイル23の第2内側末端27に電氣的に接続されている。高電位接続配線81は、平面視において低電位接続配線72から間隔を空けて形成され、法線方向Zに低電位接続配線72には対向していない。これにより、低電位接続配線72と高電位接続配線81の間の絶縁距離が増加し、絶縁層51の絶縁耐圧が高められている。
- [0091] 複数のパッドプラグ電極82は、最上絶縁層56内において高電位端子12（第1高電位端子12A）および高電位接続配線81の間の領域に形成され、高電位端子12及び高電位接続配線81にそれぞれ電氣的に接続されている。複数のパッドプラグ電極82は、平面視において高電位接続配線81の平面積未満の平面積をそれぞれ有している。
- [0092] 図7を参照して、低電位端子11および高電位端子12の間の距離D1は、低電位コイル22および高電位コイル23の間の距離D2を超えていることが好ましい（ $D2 < D1$ ）。距離D1は、複数の層間絶縁層57の総厚さDTを超えていることが好ましい（ $DT < D1$ ）。距離D1に対する距離D2の比 $D2/D1$ は、0.01以上0.1以下であってもよい。距離D1は、100 μm 以上500 μm 以下であることが好ましい。距離D2は、1 μm 以上50 μm 以下であってもよい。距離D2は、5 μm 以上25 μm 以下

であることが好ましい。距離D 1 および距離D 2 の値は任意であり、実現すべき絶縁耐圧に応じて適宜調整される。

[0093] 図6及び図7を参照して、半導体装置5は、平面視において変圧器2 1 A～2 1 Dの周囲に位置するように絶縁層5 1内に埋設されたダミーパターン8 5を含む。

[0094] ダミーパターン8 5は、高電位コイル2 3および低電位コイル2 2とは異なるパターン（不連続なパターン）で形成されており、変圧器2 1 A～2 1 Dから独立している。つまり、ダミーパターン8 5は、変圧器2 1 A～2 1 Dとしては機能しない。ダミーパターン8 5は、変圧器2 1 A～2 1 Dにおいて低電位コイル2 2および高電位コイル2 3の間の電界を遮蔽し、高電位コイル2 3に対する電界集中を抑制するシールド導体層として形成されている。ダミーパターン8 5は、この形態では、単位面積当たりにおいて高電位コイル2 3のライン密度と等しいライン密度で引き回されている。ダミーパターン8 5のライン密度が高電位コイル2 3のライン密度と等しいとは、ダミーパターン8 5のライン密度が高電位コイル2 3のライン密度の±20%の範囲内に収まることを意味する。

[0095] 絶縁層5 1の内部におけるダミーパターン8 5の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。ダミーパターン8 5は、法線方向Zに関して低電位コイル2 2に対して高電位コイル2 3に近接する領域に形成されていることが好ましい。なお、法線方向Zに関してダミーパターン8 5が高電位コイル2 3に近接するとは、法線方向Zに関して、ダミーパターン8 5および高電位コイル2 3の間の距離が、ダミーパターン8 5および低電位コイル2 2の間の距離未満であることを意味する。

[0096] この場合、高電位コイル2 3に対する電界集中を適切に抑制できる。法線方向Zに関して、ダミーパターン8 5及び高電位コイル2 3の間の距離を小さくするほど、高電位コイル2 3に対する電界集中を抑制できる。ダミーパターン8 5は、高電位コイル2 3と同一の層間絶縁層5 7内に形成されていることが好ましい。この場合、高電位コイル2 3に対する電界集中を更に適

切に抑制できる。ダミーパターン８５は、電気的狀態が異なる複数のダミーパターンを含む。ダミーパターン８５は高電位ダミーパターンを含んでもよい。

[0097] 絶縁層５１の内部における高電位ダミーパターン８６の深さ位置は任意であり、緩和すべき電界強度に応じて調整される。高電位ダミーパターン８６は、法線方向Ｚに関して低電位コイル２２に対して高電位コイル２３に近接する領域に形成されていることが好ましい。法線方向Ｚに関して高電位ダミーパターン８６が高電位コイル２３に近接するとは、法線方向Ｚに関して、高電位ダミーパターン８６および高電位コイル２３の間の距離が、高電位ダミーパターン８６及び低電位コイル２２の間の距離未満であることを意味する。

[0098] ダミーパターン８５は、変圧器２１Ａ～２１Ｄの周囲に位置するように絶縁層５１内に電氣的に浮遊状態に形成された浮遊ダミーパターンを含む。

[0099] 浮遊ダミーパターンは、この形態では、平面視において高電位コイル２３の周囲の領域を部分的に被覆し、かつ、部分的に露出させるように密なライン状に引き回されている。浮遊ダミーパターンは、有端状に形成されていてもよいし、無端状に形成されてもよい。

[0100] 絶縁層５１の内部における浮遊ダミーパターンの深さ位置は任意であり、緩和すべき電界強度に応じて調整される。

[0101] 浮遊ラインの個数は任意であり、緩和すべき電界に応じて調整される。浮遊ダミーパターンは、複数の浮遊から構成されていてもよい。

[0102] 図７を参照して、半導体装置５は、デバイス領域６２において半導体チップ４１の第１主面４２に形成された第２機能デバイス６０を含む。第２機能デバイス６０は、半導体チップ４１の第１主面４２の表層部、および／または、半導体チップ４１の第１主面４２の上の領域を利用して形成され、絶縁層５１（最下絶縁層５５）によって被覆されている。図７では、第２機能デバイス６０が第１主面４２の表層部に示された破線によって簡略化して示されている。

- [0103] 第2機能デバイス60は、低電位配線を介して低電位端子11に電氣的に接続され、高電位配線を介して高電位端子12に電氣的に接続されている。低電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1低電位配線31（第2低電位配線32）と同様の構造を有している。高電位配線は、第2機能デバイス60に接続されるように絶縁層51内に引き回されている点を除いて、第1高電位配線33（第2高電位配線34）と同様の構造を有している。第2機能デバイス60に係る低電位配線および高電位配線の具体的な説明は省略される。
- [0104] 第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの少なくとも1つを含んでいてもよい。受動デバイスは、第2機能デバイス60は、受動デバイス、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の2種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。
- [0105] 受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイスは、抵抗及びコンデンサのいずれか一方または双方を含んでいてもよい。半導体整流デバイスは、pn接合ダイオード、PINダイオード、ツェナーダイオード、ショットキーバリアダイオードおよびファーストリカバリーダイオードのうちの少なくとも1つを含んでいてもよい。半導体スイッチングデバイスは、BJT [Bipolar Junction Transistor]、MISFET [Metal Insulator Field Effect Transistor]、IGBT [Insulated Gate Bipolar Junction Transistor] およびJFET [Junction Field Effect Transistor] のうちの少なくとも1つを含んでいてもよい。
- [0106] 図5～図7を参照して、半導体装置5は、絶縁層51内に埋設されたシール導体61をさらに含む。シール導体61は、平面視において絶縁側壁53A～53Dから間隔を空けて絶縁層51内に壁状に埋設され、絶縁層51をデバイス領域62および外側領域63に区画している。シール導体61は、外側領域63からデバイス領域62への水分の進入及びクラックの進入を抑

制する。

[0107] デバイス領域 6 2 は、第 1 機能デバイス 4 5（複数の変圧器 2 1）、第 2 機能デバイス 6 0、複数の低電位端子 1 1、複数の高電位端子 1 2、第 1 低電位配線 3 1、第 2 低電位配線 3 2、第 1 高電位配線 3 3、第 2 高電位配線 3 4 およびダミーパターン 8 5 を含む領域である。外側領域 6 3 は、デバイス領域 6 2 外の領域である。

[0108] シール導体 6 1 は、デバイス領域 6 2 から電氣的に切り離されている。シール導体 6 1 は、具体的には、第 1 機能デバイス 4 5（複数の変圧器 2 1）、第 2 機能デバイス 6 0、複数の低電位端子 1 1、複数の高電位端子 1 2、第 1 低電位配線 3 1、第 2 低電位配線 3 2、第 1 高電位配線 3 3、第 2 高電位配線 3 4 およびダミーパターン 8 5 から電氣的に切り離されている。シール導体 6 1 は、さらに具体的には、電氣的に浮遊状態に固定されている。シール導体 6 1 は、デバイス領域 6 2 に繋がる電流経路を形成しない。

[0109] シール導体 6 1 は、平面視において、絶縁側壁 5 3～5 3 D に沿う帯状に形成されている。シール導体 6 1 は、この形態では、平面視において、四角環状（具体的には長方形環状）に形成されている。これにより、シール導体 6 1 は、平面視において四角形状（具体的には長方形形状）のデバイス領域 6 2 を区画している。また、シール導体 6 1 は、平面視においてデバイス領域 6 2 を取り囲む四角環状（具体的には長方形環状）の外側領域 6 3 を区画している。

[0110] シール導体 6 1 は、具体的には、絶縁主面 5 2 側の上端部、半導体チップ 4 1 側の下端部、ならびに、上端部および下端部の間を壁状に延びる壁部を有している。シール導体 6 1 の上端部は、この形態では、絶縁主面 5 2 から半導体チップ 4 1 側に間隔を空けて形成され、絶縁層 5 1 内に位置している。シール導体 6 1 の上端部は、この形態では、最上絶縁層 5 6 によって被覆されている。シール導体 6 1 の上端部は、1 つまたは複数の層間絶縁層 5 7 によって被覆されていてもよい。シール導体 6 1 の上端部は、最上絶縁層 5 6 から露出してもよい。シール導体 6 1 の下端部は、半導体チップ 4 1

から上端部側に間隔を空けて形成されている。

[0111] このように、シール導体 6 1 は、この形態では、複数の低電位端子 1 1 および複数の高電位端子 1 2 に対して半導体チップ 4 1 側に位置するように絶縁層 5 1 内に埋設されている。また、シール導体 6 1 は、絶縁層 5 1 内において第 1 機能デバイス 4 5（複数の変圧器 2 1）、第 1 低電位配線 3 1、第 2 低電位配線 3 2、第 1 高電位配線 3 3、第 2 高電位配線 3 4 およびダミーパターン 8 5 に絶縁主面 5 2 に平行な方向に対向している。シール導体 6 1 は、絶縁層 5 1 内において、第 2 機能デバイス 6 0 の一部に絶縁主面 5 2 に平行な方向に対向していてもよい。

[0112] シール導体 6 1 は、複数のシールプラグ導体 6 4、および、1 つまたは複数（この形態では複数）のシールビア導体 6 5 を含む。シールビア導体 6 5 の個数は任意である。複数のシールプラグ導体 6 4 のうちの最上のシールプラグ導体 6 4 は、シール導体 6 1 の上端部を形成している。複数のシールビア導体 6 5 は、シール導体 6 1 の下端部をそれぞれ形成している。シールプラグ導体 6 4 およびシールビア導体 6 5 は、低電位コイル 2 2 と同一の導電材料によって形成されていることが好ましい。つまり、シールプラグ導体 6 4 およびシールビア導体 6 5 は、低電位コイル 2 2 等と同様に、バリア層および本体層を含むことが好ましい。

[0113] 複数のシールプラグ導体 6 4 は、複数の層間絶縁層 5 7 にそれぞれ埋め込まれ、平面視においてデバイス領域 6 2 を取り囲む四角環状（具体的には長方形環状）にそれぞれ形成されている。複数のシールプラグ導体 6 4 は、互いに接続されるように最下絶縁層 5 5 から最上絶縁層 5 6 に向かって積層されている。複数のシールプラグ導体 6 4 の積層数は、複数の層間絶縁層 5 7 の積層数に一致している。むろん、複数の層間絶縁層 5 7 を貫通する 1 つまたは複数のシールプラグ導体 6 4 が形成されていてもよい。

[0114] 複数のシールプラグ導体 6 4 の集合体により 1 つの環状のシール導体 6 1 が形成されるのであれば、複数のシールプラグ導体 6 4 の全てが環状に形成される必要はない。たとえば、複数のシールプラグ導体 6 4 の少なくとも 1

つが有端状に形成されていてもよい。また、複数のシールプラグ導体 6 4 の少なくとも 1 つが複数の有端帯状部分に分割されていてもよい。ただし、デバイス領域 6 2 への水分及びクラックの進入のリスクを鑑みると、複数のシールプラグ導体 6 4 は、無端状（環状）に形成されていることが好ましい。

[0115] 複数のシールビア導体 6 5 は、最下絶縁層 5 5 において半導体チップ 4 1 およびシールプラグ導体 6 4 の間の領域にそれぞれ形成されている。複数のシールビア導体 6 5 は、半導体チップ 4 1 から間隔を空けて形成され、シールプラグ導体 6 4 に接続されている。複数のシールビア導体 6 5 は、シールプラグ導体 6 4 の平面積未満の平面積を有している。単一のシールビア導体 6 5 が形成されている場合、単一のシールビア導体 6 5 は、シールプラグ導体 6 4 の平面積以上の平面積を有していてもよい。

[0116] シール導体 6 1 の幅は、0.1 μm 以上 10 μm 以下であってもよい。シール導体 6 1 の幅は、1 μm 以上 5 μm 以下であることが好ましい。シール導体 6 1 の幅は、シール導体 6 1 が延びる方向に直交する方向の幅によって定義される。

[0117] 図 7 及び図 8 を参照して、半導体装置 5 は、半導体チップ 4 1 及びシール導体 6 1 の間に介在し、シール導体 6 1 を半導体チップ 4 1 から電氣的に切り離す分離構造 1 3 0 を更に含む。分離構造 1 3 0 は、絶縁体を含むことが好ましい。分離構造 1 3 0 は、この形態では、半導体チップ 4 1 の第 1 主面 4 2 に形成されたフィールド絶縁膜 1 3 1 からなる。

[0118] フィールド絶縁膜 1 3 1 は、酸化膜（酸化シリコン膜）及び窒化膜（窒化シリコン膜）のうちの少なくとも一方を含む。フィールド絶縁膜 1 3 1 は、半導体チップ 4 1 の第 1 主面 4 2 の酸化によって形成された酸化膜の一例としての LOCOS (local oxidation of silicon) 膜からなることが好ましい。フィールド絶縁膜 1 3 1 の厚さは、半導体チップ 4 1 およびシール導体 6 1 を絶縁できる限り任意である。フィールド絶縁膜 1 3 1 の厚さは、0.1 μm 以上 5 μm 以下であってもよい。

[0119] 分離構造 1 3 0 は、半導体チップ 4 1 の第 1 主面 4 2 に形成され、平面視

においてシール導体 6 1 に沿う帯状に延びている。分離構造 1 3 0 は、この形態では、平面視において四角環状（具体的には長方形環状）に形成されている。分離構造 1 3 0 は、シール導体 6 1 の下端部（シールビア導体 6 5）が接続された接続部 1 3 2 を有している。接続部 1 3 2 は、シール導体 6 1 の下端部（シールビア導体 6 5）が半導体チップ 4 1 側に向けて食い込んだアンカー部を形成していてもよい。むろん、接続部 1 3 2 は、分離構造 1 3 0 の主面に対して面一に形成されていてもよい。

[0120] 分離構造 1 3 0 は、デバイス領域 6 2 側の内端部 1 3 0 A、外側領域 6 3 側の外端部 1 3 0 B、ならびに、内端部 1 3 0 A および外端部 1 3 0 B の間の本体部 1 3 0 C を含む。内端部 1 3 0 A は、平面視において第 2 機能デバイス 6 0 が形成された領域（つまり、デバイス領域 6 2）を区画している。内端部 1 3 0 A は、半導体チップ 4 1 の第 1 主面 4 2 に形成された絶縁膜（図示せず）と一体的に形成されていてもよい。

[0121] 外端部 1 3 0 B は、半導体チップ 4 1 のチップ側壁 4 4 A～4 4 D から露出し、半導体チップ 4 1 のチップ側壁 4 4 A～4 4 D に連なっている。外端部 1 3 0 B は、より具体的には、半導体チップ 4 1 のチップ側壁 4 4 A～4 4 D に対して面一に形成されている。外端部 1 3 0 B は、半導体チップ 4 1 のチップ側壁 4 4 A～4 4 D および絶縁層 5 1 の絶縁側壁 5 3 A～5 3 D との間で面一な研削面を形成している。むろん、他の形態において、外端部 1 3 0 B は、チップ側壁 4 4 A～4 4 D から間隔を空けて第 1 主面 4 2 内に形成されていてもよい。

[0122] 本体部 1 3 0 C は、半導体チップ 4 1 の第 1 主面 4 2 に対してほぼ平行に延びる平坦面を有している。本体部 1 3 0 C は、シール導体 6 1 の下端部（シールビア導体 6 5）が接続された接続部 1 3 2 を有している。接続部 1 3 2 は、本体部 1 3 0 C において内端部 1 3 0 A 及び外端部 1 3 0 B から間隔を空けた部分に形成されている。分離構造 1 3 0 は、フィールド絶縁膜 1 3 1 の他、種々の形態を採り得る。

[0123] 図 7 を参照して、半導体装置 5 は、シール導体 6 1 を被覆するように絶縁

層 5 1 の絶縁主面 5 2 の上に形成された無機絶縁層 1 4 0 をさらに含む。無機絶縁層 1 4 0 は、パッシベーション層と称されてもよい。無機絶縁層 1 4 0 は、絶縁主面 5 2 の上から絶縁層 5 1 及び半導体チップ 4 1 を保護する。

[0124] 無機絶縁層 1 4 0 は、この形態では、第 1 無機絶縁層 1 4 1 及び第 2 無機絶縁層 1 4 2 を含む積層構造を有する。第 1 無機絶縁層 1 4 1 は、酸化シリコンを含んでいてもよい。第 1 無機絶縁層 1 4 1 は、不純物無添加の酸化シリコンである USG (undoped silicate glass) を含むことが好ましい。第 1 無機絶縁層 1 4 1 の厚さは、50 nm 以上 5000 nm 以下であってもよい。第 2 無機絶縁層 1 4 2 は、窒化シリコンを含んでいてもよい。第 2 無機絶縁層 1 4 2 の厚さは、500 nm 以上 5000 nm 以下であってもよい。無機絶縁層 1 4 0 の総厚さを大きくすることにより、高電位コイル 2 3 上の絶縁耐圧を高めることができる。

[0125] 第 1 無機絶縁層 1 4 1 が USG からなり、第 2 無機絶縁層 1 4 2 が窒化シリコンからなる場合、USG の絶縁破壊電圧 (V/cm) は窒化シリコンの絶縁破壊電圧 (V/cm) を超える。したがって、無機絶縁層 1 4 0 を厚化する場合、第 2 無機絶縁層 1 4 2 よりも厚い第 1 無機絶縁層 1 4 1 が形成されることが好ましい。

[0126] 第 1 無機絶縁層 1 4 1 は、酸化シリコンの一例としての BPSG (boron doped phosphor silicate glass) および PSG (phosphorus silicate glass) のうちの少なくとも一方を含んでいてもよい。ただし、この場合、酸化シリコン内に不純物 (ホウ素又はリン) が含まれるため、高電位コイル 2 3 上の絶縁耐圧を高める上では、USG からなる第 1 無機絶縁層 1 4 1 が形成されることが特に好ましい。むろん、無機絶縁層 1 4 0 は、第 1 無機絶縁層 1 4 1 および第 2 無機絶縁層 1 4 2 のいずれか一方からなる単層構造を有していてもよい。

[0127] 無機絶縁層 1 4 0 は、シール導体 6 1 の全域を被覆し、シール導体 6 1 外の領域に形成された複数の低電位パッド開口 1 4 3 及び複数の高電位パッド開口 1 4 4 を有している。複数の低電位パッド開口 1 4 3 は、複数の低電位

端子 1 1 をそれぞれ露出させている。複数の高電位パッド開口 1 4 4 は、複数の高電位端子 1 2 をそれぞれ露出させている。無機絶縁層 1 4 0 は、低電位端子 1 1 の周縁部に乗り上げたオーバラップ部を有していてもよい。無機絶縁層 1 4 0 は、高電位端子 1 2 の周縁部に乗り上げたオーバラップ部を有していてもよい。

[0128] 半導体装置 5 は、無機絶縁層 1 4 0 の上に形成された有機絶縁層 1 4 5 を更に含む。有機絶縁層 1 4 5 は、感光性樹脂を含んでいてもよい。有機絶縁層 1 4 5 は、ポリイミド、ポリアミドおよびポリベンゾオキサゾールのうちの少なくとも 1 つを含んでいてもよい。有機絶縁層 1 4 5 は、この形態では、ポリイミドを含む。有機絶縁層 1 4 5 の厚さは、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。

[0129] 有機絶縁層 1 4 5 の厚さは、無機絶縁層 1 4 0 の総厚さを超えていることが好ましい。さらに、無機絶縁層 1 4 0 および有機絶縁層 1 4 5 の総厚さは、低電位コイル 2 2 及び高電位コイル 2 3 の間の距離 D 2 以上であることが好ましい。この場合、無機絶縁層 1 4 0 の総厚さは $2\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。また、有機絶縁層 1 4 5 の厚さは $5\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であることが好ましい。これらの構造によれば、無機絶縁層 1 4 0 及び有機絶縁層 1 4 5 の厚化を抑制できると同時に、無機絶縁層 1 4 0 及び有機絶縁層 1 4 5 の積層膜により高電位コイル 2 3 上の絶縁耐圧を適切に高めることができる。

[0130] 有機絶縁層 1 4 5 は、低電位側の領域を被覆する第 1 部分 1 4 6 及び高電位側の領域を被覆する第 2 部分 1 4 7 を含む。第 1 部分 1 4 6 は、無機絶縁層 1 4 0 を挟んでシール導体 6 1 を被覆している。第 1 部分 1 4 6 は、シール導体 6 1 外の領域において複数の低電位端子 1 1（低電位パッド開口 1 4 3）をそれぞれ露出させる複数の低電位端子開口 1 4 8 を有している。第 1 部分 1 4 6 は、低電位パッド開口 1 4 3 の周縁（オーバラップ部）に乗り上がったオーバラップ部を有していてもよい。

[0131] 第 2 部分 1 4 7 は、第 1 部分 1 4 6 から間隔を空けて形成されており、第

１部分１４６との間から無機絶縁層１４０を露出させている。第２部分１４７は、複数の高電位端子１２（高電位パッド開口１４４）をそれぞれ露出させる複数の高電位端子開口１４９を有している。第２部分１４７は、高電位パッド開口１４４の周縁（オーバラップ部）に乗り上がったオーバラップ部を有していてもよい。

[0132] 第２部分１４７は、変圧器２１Ａ～２１Ｄおよびダミーパターン８５を一括して被覆している。第２部分１４７は、具体的には、複数の高電位コイル２３、複数の高電位端子１２、第１高電位ダミーパターン８７、第２高電位ダミーパターン８８および浮遊ダミーパターン１２１を一括して被覆している。

[0133] 本発明の実施形態は、さらに他の形態で実施できる。前述の実施形態では、第１機能デバイス４５および第２機能デバイス６０が形成された例について説明した。しかし、第１機能デバイス４５を有せずに、第２機能デバイス６０だけを有する形態が採用されてもよい。この場合、ダミーパターン８５は取り除かれてもよい。この構造によれば、第２機能デバイス６０について、第１実施形態において述べた効果（ダミーパターン８５に係る効果を除く）と同様の効果を奏することができる。

[0134] つまり、低電位端子１１および高電位端子１２を介して第２機能デバイス６０に電圧が印加された場合において、高電位端子１２およびシール導体６１の間の不所望な導通を抑制できる。また、低電位端子１１および高電位端子１２を介して第２機能デバイス６０に電圧が印加された場合において、低電位端子１１およびシール導体６１の間の不所望な導通を抑制できる。

[0135] また、前述の実施形態では、第２機能デバイス６０が形成された例について説明した。しかし、第２機能デバイス６０は必ずしも必要ではなく、取り除かれてもよい。

[0136] また、前述の実施形態では、ダミーパターン８５が形成された例について説明した。しかし、ダミーパターン８５は必ずしも必要ではなく、取り除かれてもよい。

[0137] また、前述の実施形態では、第1機能デバイス45が、複数の変圧器21を含むマルチチャネル型からなる例について説明した。しかし、単一の変圧器21を含むシングルチャネル型からなる第1機能デバイス45が採用されてもよい。

[0138] <トランス配列>

図9は、2チャンネル型のトランスチップ300（先出の半導体装置5に相当）におけるトランス配列の一例を模式的に示す平面図（上面図）である。本図のトランスチップ300は、第1トランス301と、第2トランス302と、第3トランス303と、第4トランス304と、第1ガードリング305と、第2ガードリング306と、パッドa1～a8と、パッドb1～b8と、パッドc1～c4と、パッドd1～d4と、を有する。

[0139] トランスチップ300において、第1トランス301を形成する二次側コイルL1sの一端には、パッドa1及びb1が接続されており、二次側コイルL1sの他端には、パッドc1及びd1が接続されている。第2トランス302を形成する二次側コイルL2sの一端には、パッドa2及びb2が接続されており、二次側コイルL2sの他端には、パッドc1及びd1が接続されている。

[0140] また、第3トランス303を形成する二次側コイルL3sの一端には、パッドa3及びb3が接続されており、二次側コイルL3sの他端には、パッドc2及びd2が接続されている。第4トランス304を形成する二次側コイルL4sの一端には、パッドa4及びb4が接続されており、二次側コイルL4sの他端には、パッドc2及びd2が接続されている。

[0141] なお、第1トランス301を形成する一次側コイル、第2トランス302を形成する一次側コイル、第3トランス303を形成する一次側コイル、及び、第4トランス304を形成する一次側コイルは、いずれも本図に明示されていない。ただし、一次側コイルは、それぞれ、基本的に二次側コイルL1s～L4sと同様の構成を有しており、二次側コイルL1s～L4sとそれぞれ対向する形で、二次側コイルL1s～L4sそれぞれの直下に配置さ

れている。

[0142] すなわち、第1トランス301を形成する一次側コイルの一端には、パッドa5及びb5が接続されており、一次側コイルの他端には、パッドc3及びd3が接続されている。また、第2トランス302を形成する一次側コイルの一端には、パッドa6及びb6が接続されており、一次側コイルの他端には、パッドc3及びd3が接続されている。

[0143] また、第3トランス303を形成する一次側コイルの一端には、パッドa7及びb7が接続されており、一次側コイルの他端には、パッドc4及びd4が接続されている。また、第4トランス304を形成する一次側コイルの一端には、パッドa8及びb8が接続されており、一次側コイルの他端には、パッドc4及びd4が接続されている。

[0144] ただし、上記のパッドa5～a8、パッドb5～b8、パッドc3並びにc4、及び、パッドd3並びにd4については、不図示のビアを介してトランスチップ300の内部から表面まで引き出されている。

[0145] 上記複数のパッドのうち、パッドa1～a8は、それぞれ、第1の電流供給用パッドに相当し、パッドb1～b8は、それぞれ、第1の電圧測定用パッドに相当する。また、パッドc1～c4は、それぞれ、第2の電流供給用パッドに相当し、パッドd1～d4は、それぞれ、第2の電圧測定用パッドに相当する。

[0146] 従って、本構成例のトランスチップ300であれば、その不良品検査時に各コイルの直列抵抗成分を正確に測定することができる。従って、各コイルの断線が生じている不良品をリジェクトすることはもちろん、各コイルの抵抗値異常（例えば、コイル同士の中途短絡）が生じている不良品についても、これを適切にリジェクトすることが可能となり、延いては、不良品の市場流出を未然に防止することが可能となる。

[0147] なお、上記の不良品検査を通過したトランスチップ300については、上記複数のパッドを一次側チップ及び二次側チップ（例えば先出のコントローラチップ210及びドライバチップ220）との接続手段として用いればよ

い。

[0148] 具体的に述べると、パッド a 1 並びに b 1、パッド a 2 並びに b 2、パッド a 3 並びに b 3、及び、パッド a 4 及び b 4 は、それぞれ、二次側チップの信号入力端または信号出力端に接続すればよい。また、パッド c 1 並びに d 1、及び、パッド c 2 及び d 2 は、それぞれ、二次側チップのコモン電圧印加端（GND 2）に接続すればよい。

[0149] 一方、パッド a 5 並びに b 5、パッド a 6 並びに b 6、パッド a 7 並びに b 7、及び、パッド a 8 及び b 8 は、それぞれ、一次側チップの信号入力端または信号出力端に接続すればよい。また、パッド c 3 並びに d 3、及び、パッド c 4 及び d 4 は、それぞれ、一次側チップのコモン電圧印加端（GND 1）に接続すればよい。

[0150] ここで、第 1 トランス 301～第 4 トランス 304 は、図 9 に示すように、それぞれの信号伝達方向毎にカップリングして並べられている。本図に即して述べると、例えば一次側チップから二次側チップに向けて信号を伝達する第 1 トランス 301 と第 2 トランス 302 が第 1 ガードリング 305 によって第 1 のペアとされている。また、例えば二次側チップから一次側チップに向けて信号を伝達する第 3 トランス 303 と第 4 トランス 304 が第 2 ガードリング 306 によって第 2 のペアとされている。

[0151] このようなカップリングを行った理由は、第 1 トランス 301～第 4 トランス 304 をそれぞれ形成する一次側コイルと二次側コイルをトランスチップ 300 の基板上下方向に積み重ねる形で積層形成した場合において、一次側コイルと二次側コイルとの間で耐圧を確保するためである。ただし、第 1 ガードリング 305、及び、第 2 ガードリング 306 については、必ずしも必須の構成要素ではない。

[0152] なお、第 1 ガードリング 305 及び第 2 ガードリング 306 は、それぞれ、パッド e 1 及び e 2 を介して、接地端などの低インピーダンス配線に接続すればよい。

[0153] また、トランスチップ 300 において、パッド c 1 及び d 1 は、二次側コ

イル L_{1s} と二次側コイル L_{2s} との間で共有されている。また、パッド c_2 及び d_2 は、二次側コイル L_{3s} と二次側コイル L_{4s} との間で共有されている。また、パッド c_3 及び d_3 は、一次側コイル L_{1p} と一次側コイル L_{2p} との間で共有されている。また、パッド c_4 及び d_4 は、対応するそれぞれの一次側コイルとの間で共有されている。このような構成とすることにより、パッド数を削減して、トランスチップ300の小型化を図ることが可能となる。

[0154] また、図9に示したように、第1トランス301～第4トランス304をそれぞれ形成する一次側コイルと二次側コイルは、トランスチップ300の平面視において、長方形状（または角を丸めたトラック状）となるように巻き回すことが望ましい。このような構成とすることにより、一次側コイルと二次側コイルが互いに重複する部分の面積が大きくなり、トランスの伝達効率を高めることが可能となる。

[0155] もちろん、本図のトランス配列はあくまでも一例であり、コイルの個数、形状、配置、及び、パッドの配置は任意である。また、これまでに説明してきたチップ構造及びトランス配列などについては、半導体チップ上にコイルを集積化した半導体装置全般に適用することが可能である。

[0156] <信号伝達装置（実施形態）>

図10は、信号伝達装置の実施形態を示す図である。本実施形態の信号伝達装置400は、一次回路系400p（ VCC_1-GND_1 系）と二次回路系400s（ VCC_2-GND_2 系）との間を電氣的に絶縁しつつ、一次回路系400pから二次回路系400sにパルス信号を伝達し、二次回路系400sに設けられたパワートランジスタ（不図示）のゲートを駆動する半導体集積回路装置（いわゆる絶縁ゲートドライバIC）である。なお、信号伝達装置400は、先出の信号伝達装置200に相当するものとして理解することができる。

[0157] 信号伝達装置400は、装置外部との電氣的接続を確立する手段として、複数の外部端子（本図では、電源端子 VCC_1 及び VCC_2 、接地端子GN

D 1 及び G N D 2、負電源端子 V E E 2、入力端子 I N A 及び I N B、出力端子 O U T 1 H 及び O U T 1 L、フォールト端子 F L T、レディー端子 R D Y、及び、短絡検出端子 S C P I N) を備えている。

[0158] 信号伝達装置 4 0 0 を形成するパッケージの第 1 辺 (= 本図では左辺) には、上から順に、接地端子 G N D 1、フォールト端子 F L T、入力端子 I N A、入力端子 I N B、レディー端子 R D Y、電源端子 V C C 1、及び、接地端子 G N D 1 が配列されている。一方、同パッケージの第 2 辺 (= 上記の第 1 辺と対向する辺であり、本図では右辺) には、上から順に、負電源端子 V E E 2、出力端子 O U T 1 L、出力端子 O U T 1 H、電源端子 V C C 2、短絡検出端子 S C P I N、接地端子 G N D 2、及び、負電源端子 V E E 2 が配列されている。

[0159] このように、一次回路系 4 0 0 p の外部端子 (G N D 1、F L T、I N A 及び I N B、R D Y、並びに、V C C 1) をパッケージの第 1 辺に集約し、二次回路系 4 0 0 s の外部端子 (V E E 2、O U T 1 L、O U T 1 H、V C C 2、S C P I N、並びに、G N D 2) をパッケージの第 2 辺に集約するとよい。

[0160] また、パッケージの第 1 辺及び第 2 辺には、それぞれの両端に接地端子 G N D 1 及び負電源端子 V E E 2 を配置するとよい。すなわち、接地端子 G N D 1 及び負電源端子 V E E 2 は、それぞれ、2 本ずつ設けるとよい。

[0161] なお、信号伝達装置 4 0 0 は、一次回路系 4 0 0 p と二次回路系 4 0 0 s との間を絶縁しながら相互間の信号伝達を行う必要のあるアプリケーション全般 (高電圧を取り扱うモータドライバまたは D C / D C コンバータなど) に広く適用することが可能である。

[0162] 引き続き、図 1 0 を参照しながら、信号伝達装置 4 0 0 の内部構成について説明する。本構成例の信号伝達装置 4 0 0 は、コントローラチップ 4 1 0 (= 第 1 チップに相当) と、ドライバチップ 4 2 0 (= 第 2 チップに相当) と、トランスチップ 4 3 0 (= 第 3 チップに相当) と、を単一のパッケージに封止して成る。

- [0163] コントローラチップ410は、電源電圧VCC1（例えばGND1基準で最大7V）の供給を受けて動作する一次回路系400pの回路素子を集積化した半導体チップである。なお、コントローラチップ410には、例えば、ロジック回路411と、UVLO [under-voltage lock out] /OVLO [over-voltage lock out] 回路412と、NMOSFET413及び414が集積化されている。
- [0164] ロジック回路411は、入力パルス信号INA及びINBに応じて、パワートランジスタ（不図示）の駆動パルス信号PWMを生成する。例えば、INB=H（ディセーブル時の論理レベル）であれば、PWM=L（固定値）となり、INB=L（イネーブル時の論理レベル）であれば、PWM=INAとなる。また、ロジック回路411は、信号伝達装置400の各種異常検出信号（低電圧、過電圧、短絡、オープン、過熱、負荷電源異常など）を監視し、その監視結果に基づいてNMOSFET413及び414を駆動することにより、フォールト信号FLTとレディー信号RDYの論理レベルを決定する機能も備えている。
- [0165] UVLO/OVLO回路412は、電源電圧VCC1の低電圧／過電圧をそれぞれ検出して、その検出結果をロジック回路411に出力する。
- [0166] NMOSFET413は、ロジック回路411からの指示に応じてフォールト端子FLTと接地端との間を導通／遮断する。例えば、ドライバチップ420で過熱または負荷電源異常が検出されたときには、NMOSFET413がオンして、フォールト端子FLTがローレベル（＝異常検出時の論理レベル）となる。
- [0167] NMOSFET414は、ロジック回路411からの指示に応じてレディー端子RDYと接地端との間を導通／遮断する。例えば、コントローラチップ410及びドライバチップ420いずれかで低電圧または過電圧が検出されたときには、NMOSFET414がオンして、レディー端子RDYがローレベル（＝異常検出時の論理レベル）となる。
- [0168] ドライバチップ420は、電源電圧VCC2（例えばGND2基準で最大

30V)の供給を受けて動作する二次回路系400sの回路素子を集積化した半導体チップである。なお、ドライバチップ420には、例えば、ロジック回路421と、UVLO/OVLO回路422と、コンパレータ423と、PMOSFET424と、NMOSFET425及び426と、が集積化されている。

[0169] ロジック回路421は、トランスチップ430を介して入力される駆動パルス信号PWMに応じてPMOSFET424及びNMOSFET425をオン/オフすることにより、出力端子OUT1H及びOUT1Lに接続されるパワートランジスタ（不図示）のゲート駆動を行う。なお、出力端子OUT1H及びOUT1Lは、信号伝達装置400の外部で互いに短絡しておけばよい。また、ロジック回路421は、ドライバチップ420側の各種異常検出信号（低電圧、過電圧、短絡、オープン、過熱、負荷電源異常など）をトランスチップ430経由でコントローラチップ410に伝達する機能も備えている。

[0170] UVLO/OVLO回路422は、電源電圧VCC2の低電圧/過電圧をそれぞれ検出して、その検出結果をロジック回路421に出力する。

[0171] コンパレータ423は、短絡検出端子SCPINの端子電圧を監視することにより、パワートランジスタの短絡検出を行う（詳細は後述）。

[0172] PMOSFET424は、ゲート駆動用トランジスタの一つであり、ロジック回路421からの指示に応じて電源端と出力端子OUT1Hとの間を導通/遮断する。例えば、駆動パルス信号PWMがハイレベルであるときには、PMOSFET424がオンして、出力端子OUT1H（延いてはパワートランジスタのゲートに印加される出力パルス信号）がハイレベルとなる。

[0173] NMOSFET425は、ゲート駆動用トランジスタの一つであり、ロジック回路421からの指示に応じて出力端子OUT1Lと接地端との間を導通/遮断する。例えば、駆動パルス信号PWMがローレベルであるときには、NMOSFET425がオンして、出力端子OUT1L（延いてはパワートランジスタのゲートに印加される出力パルス信号）がローレベルとなる。

- [0174] このように、PMOSFET 424 及び NMOSFET 425 は、ゲート駆動用のハーフブリッジ出力段（CMOS [complementary MOS] インバータ段）として機能する。
- [0175] NMOSFET 426 は、ロジック回路 421 からの指示に応じて接地端子 GND 2 と短絡検出端子 SCPIN との間を導通／遮断する。例えば、NMOSFET 426 は、OUT1H=H であるときにオフし、OUT1H=L であるときにオンする。なお、NMOSFET 426 は、PMOSFET 424（延いては不図示のパワートランジスタ）と相補的にオン／オフすることにより、SCPIN-GND 2 間に外付けされたキャパシタ（不図示）を放電する放電スイッチとして機能する（詳細は後述）。
- [0176] トランスチップ 430 は、コントローラチップ 410 とドライバチップ 420 との間を絶縁しつつ、双方向の信号伝達を行うためのトランスを集積化した半導体チップである。
- [0177] なお、本実施形態の信号伝達装置 400 は、コントローラチップ 410 及びドライバチップ 420 とは別に、トランスのみを搭載するトランスチップ 430 を独立に有しており、これら 3 つのチップを単一のパッケージに封止して成る。
- [0178] このような構成とすることにより、コントローラチップ 410、及び、ドライバチップ 420 については、いずれも一般の低耐圧～中耐圧プロセス（数 V～数十 V 耐圧）で形成することができるので、専用の高耐圧プロセス（数千 V 耐圧）を用いる必要がなくなり、製造コストを低減することが可能となる。
- [0179] また、コントローラチップ 410、及び、ドライバチップ 420 については、いずれも実績のある既存プロセスで作成することが可能であり、新たに信頼性試験を行う必要がないので、開発期間の短縮及び開発コストの低減に貢献することができる。
- [0180] また、トランス以外の直流絶縁素子（例えばフォトカプラ）を用いる場合であっても、トランスチップ 430 のみを載せ換えることにより、容易に対

応することが可能となるので、コントローラチップ410及びドライバチップ420を開発し直す必要がなくなり、開発期間の短縮及び開発コストの低減に貢献することができる。

[0181] <電子機器>

図11は、信号伝達装置400が搭載される電子機器の一構成例を示す図である。本構成例の電子機器Aは、上側ゲートドライバIC1H (u/v/w) と、下側ゲートドライバIC1L (u/v/w) と、上側パワートランジスタ2H (u/v/w) と、下側パワートランジスタ2L (u/v/w) と、ECU3と、モータ4と、を有する。

[0182] 上側ゲートドライバIC1H (u/v/w) は、それぞれ、ECU3と上側パワートランジスタ2H (u/v/w) との間を絶縁しつつ、ECU3から入力される上側ゲート制御信号に応じて上側ゲート駆動信号を生成することにより、上側パワートランジスタ2H (u/v/w) を駆動する。

[0183] 下側ゲートドライバIC1L (u/v/w) は、それぞれ、ECU3と下側パワートランジスタ2L (u/v/w) との間を絶縁しつつ、ECU3から入力される下側ゲート制御信号に応じて下側ゲート駆動信号を生成することにより、下側パワートランジスタ2L (u/v/w) を駆動する。

[0184] なお、上記の上側ゲートドライバIC1H (u/v/w) 及び下側ゲートドライバIC1L (u/v/w) としては、先出の信号伝達装置400を好適に用いることができる。

[0185] 上側パワートランジスタ2H (u/v/w) は、それぞれ、3相 (U相/V相/W相) のハーフブリッジ出力段を形成する上側スイッチとして、パワー系電源端 (= 負荷電源電圧P V D Dの印加端) とモータ4の各相入力端との間に接続されている。

[0186] 下側パワートランジスタ2L (u/v/w) は、それぞれ、3相 (U相/V相/W相) のハーフブリッジ出力段を形成する下側スイッチとして、モータ4の各相入力端とパワー系接地端との間に接続されている。

[0187] 本図では、上側パワートランジスタ2H (u/v/w) 及び下側パワート

ランジスタ 2 L (u / v / w) として、それぞれ、I G B T [insulated gate bipolar transistor] を用いているが、例えば、I G B T に代えて M O S F E T [metal oxide semiconductor field effect transistor] を用いることも可能である。

[0188] E C U 3 は、上側ゲートドライバ I C 1 H (u / v / w) 及び下側ゲートドライバ I C 1 L (u / v / w) を介して、上側パワートランジスタ 2 H (u / v / w) 及び下側パワートランジスタ 2 L (u / v / w) をそれぞれ駆動することにより、モータ 4 の回転駆動を制御する。また、E C U 3 は、上側ゲートドライバ I C 1 H (u / v / w) 及び下側ゲートドライバ I C 1 L (u / v / w) それぞれのフォールト端子 F L T 及びレディー端子 R D Y を監視し、その監視結果に基づいて各種の安全制御を行う機能も備えている。

[0189] モータ 4 は、3 相 (U 相 / V 相 / W 相) のハーフブリッジ出力段からそれぞれ入力される 3 相の駆動電圧 U / V / W に応じて回転駆動される 3 相モータである。

[0190] <短絡（貫通）検出>

図 1 2 は、短絡検出端子 S C P I N の第 1 接続例 (D E S A T 方式) を示す図であって、図示の便宜上、電子機器 A の 1 相のみが抽出して示されている。

[0191] 本図で示すように、D E S A T 方式の短絡検出を行う下側ゲートドライバ I C 1 L (信号伝達装置 4 0 0) の外部には、ダイオード D 1 と、抵抗 R 0 ~ R 3 と、キャパシタ C 1 が接続されている。抵抗 R 0 の第 1 端は、出力端子 O U T 1 H 及び O U T 1 L 双方に接続されている。抵抗 R 0 の第 2 端は、下側パワートランジスタ 2 L のゲートに接続されている。抵抗 R 1 の第 1 端は、電源電圧 V C C 2 の印加端に接続されている。抵抗 R 1 の第 2 端と抵抗 R 2 の第 1 端は、いずれもダイオード D 1 のアノードに接続されている。ダイオード D 1 のカソードは、上側パワートランジスタ 2 H のエミッタと下側パワートランジスタ 2 L のコレクタとの接続ノードに接続されている。抵抗 R 2 の第 2 端と抵抗 R 3 及びキャパシタ C 1 それぞれの第 1 端は、いずれも

短絡検出端子 SCPIN に接続されている。抵抗 R3 及びキャパシタ C1 それぞれの第2端は、いずれも接地端子 GND2 に接続されている。

[0192] また、下側ゲートドライバ IC1L の内部において、短絡検出端子 SCPIN には、コンパレータ 423 と、NMOSFET 426 と、ダイオード 427 が接続されている。

[0193] コンパレータ 423 は、反転入力端 (−) に入力される短絡検出電圧 SCPIN (=短絡検出端子 SCP の端子電圧) と、所定の閾値電圧 V_{th} とを比較して短絡検出信号 SCP を生成する。短絡検出信号 SCP は、 $SCPIN < V_{th}$ であるときにハイレベル (=正常時の論理レベル) となり、 $SCPIN > V_{th}$ であるときにローレベル (=異常時の論理レベル) となる。

[0194] NMOSFET 426 は、下側パワートランジスタ 2L 及び PMOSFET 424 と相補的にオン/オフして接地端子 GND2 と短絡検出端子 SCPIN との間を導通/遮断することにより、 $SCPIN - GND2$ 間に外付けされたキャパシタ C1 を放電する放電スイッチとして機能する。例えば、NMOSFET 426 は、下側パワートランジスタ 2L 及び PMOSFET 424 のオン期間にオフし、下側パワートランジスタ 2L 及び PMOSFET 424 のオフ期間にオンする。

[0195] ダイオード 427 は、アノードが接地端子 GND2 に接続されてカソードが短絡検出端子 SCPIN に接続された静電保護ダイオードである。

[0196] 正常状態 (=上側パワートランジスタ 2H がオフして下側パワートランジスタ 2L がオンしている状態) では、ダイオード D1 のカソード電圧 V_x がほぼ接地電圧 GND2 まで低下する。従って、ダイオード D1 が順バイアスとなるので、ダイオード D1 のアノード電圧 V_y がほぼ順方向降下電圧 V_f となる。このとき、短絡検出電圧 SCPIN (= $\{R3 / (R2 + R3)\} \times V_f$) が閾値電圧 V_{th} よりも低くなるので、短絡検出信号 SCP がハイレベル (=正常時の論理レベル) となる。

[0197] 一方、短絡状態 (=上側パワートランジスタ 2H と下側パワートランジスタ 2L が同時にオンして過大な短絡電流が流れ得る状態) では、ダイオード

D 1 のカソード電圧 V_x がほぼ負荷電源電圧 $PVDD$ まで上昇する。従って、ダイオード D 1 が逆バイアスとなるので、ダイオード D 1 のアノード電圧 V_y がほぼ電源電圧 $VCC2$ となる。このとき、短絡検出電圧 $SCPIN$ ($= \{R3 / (R2 + R3) \times VCC2\}$) が閾値電圧 V_{th} よりも高くなるので、短絡検出信号 SCP がローレベル (= 異常時の論理レベル) となる。

[0198] このように、DESAT方式では、短絡検出電圧 $SCPIN$ を監視することにより、下側パワートランジスタ 2 L のコレクタ・エミッタ間が不飽和状態であるか否か、すなわち上側パワートランジスタ 2 H と下側パワートランジスタ 2 L が短絡状態 (同時オン状態) であるか否かを検出することができる。

[0199] なお、ロジック回路 4 2 1 は、上記の短絡検出信号 SCP がローレベル (= 異常時の論理レベル) となったときに、下側パワートランジスタ 2 L を強制的にオフする保護機能を備えている。また、ロジック回路 4 2 1 は、下側パワートランジスタ 2 L の強制オフ後、NMOSFET 4 2 6 をオンしてキャパシタ C 1 を放電することにより、短絡検出状態を解除することができる。

[0200] 図 1 3 は、短絡検出端子 $SCPIN$ の第 2 接続例 (エミッタセンス方式) を示す図であって、先出の図 1 2 と同じく、電子機器 A の 1 相のみが抽出して示されている。

[0201] 本図で示すように、エミッタセンス方式の短絡検出を行う下側ゲートドライバ IC 1 L (信号伝達装置 4 0 0) の外部には、抵抗 $R0$ 、抵抗 $R4$ 及び $R5$ とキャパシタ C 1 が接続されている。抵抗 $R0$ の第 1 端は、出力端子 $OUT1H$ 及び $OUT1L$ 双方に接続されている。抵抗 $R0$ の第 2 端は、下側パワートランジスタ 2 L のゲートに接続されている。抵抗 $R4$ 及びキャパシタ C 1 それぞれの第 1 端は、いずれも短絡検出端子 $SCPIN$ に接続されている。抵抗 $R4$ の第 2 端と抵抗 $R5$ の第 1 端は、いずれも下側パワートランジスタ 2 L のエミッタ (センス用エミッタ) に接続されている。抵抗 $R5$ 及びキャパシタ C 1 それぞれの第 2 端は、いずれも接地端子 $GND2$ に接続さ

れている。

[0202] 正常状態（＝上側パワートランジスタ 2 H がオフして下側パワートランジスタ 2 L がオンしている状態）では、抵抗 R 5 に過大な短絡電流が流れないので、抵抗 R 5 の両端間電圧 V_z がほぼ接地電圧 GND 2 まで低下する。このとき、短絡検出電圧 SCPIN（ $\doteq V_z$ ）が閾値電圧 V_{th} よりも低くなるので、短絡検出信号 SCP がハイレベル（＝正常時の論理レベル）となる。

[0203] 一方、短絡状態（＝上側パワートランジスタ 2 H と下側パワートランジスタ 2 L が同時にオンして過大な短絡電流が流れ得る状態）では、抵抗 R 5 の両端間電圧 V_z が短絡電流 I_{sc} に応じた電圧値（ $= I_{sc} \times R_5$ ）まで上昇する。このとき、短絡検出電圧 SCPIN（ $\doteq V_z$ ）が閾値電圧 V_{th} よりも高くなるので、短絡検出信号 SCP がローレベル（＝異常時の論理レベル）となる。

[0204] このように、エミッタセンス方式であれば、短絡検出電圧 SCPIN を監視することにより、下側パワートランジスタ 2 L に過大な短絡電流 I_{sc} が流れているか否か、すなわち、上側パワートランジスタ 2 H と下側パワートランジスタ 2 L が短絡状態（同時オン状態）であるか否かを検出することができる。

[0205] <オープン検出回路>

図 14 は、オープン検出回路の一構成例を示す図である。本構成例のオープン検出回路 429 は、ドライバチップ 420 に設けられて二次回路系 400 の接地端子 GND 2 がオープン状態であるか否かを検出するための回路ブロックであり、コンパレータ 4291 と、マスク処理部 4292 と、を含む。また、本図では、負電源端子 VEE 2 と接地端子 GND 2 との間に接続された静電保護用のダイオード 428 が描写されている。なお、以下の説明では、接地端子 GND 2 の端子電圧（IC 内部の電圧）を内部 GND 2 と呼ぶ場合がある。

[0206] コンパレータ 4291 は、非反転入力端（+）に入力される接地端子 GN

D 2 の端子電圧と、反転入力端（－）に入力される短絡検出端子 S C P I N とを比較することにより、比較信号 S C を生成する。比較信号 S C は、接地端子 G N D 2 及び短絡検出端子 S C P I N それぞれの端子電圧の差分値（＝内部 G N D 2 － S C P I N）が所定の閾値よりも高いときにハイレベルとなり、所定の閾値よりも低いときにローレベルとなる。なお、コンパレータ 4 2 9 1 の回路構成については、コンパレータ 4 2 3 と同等の回路構成とすればよい。

[0207] マスク処理部 4 2 9 2 は、所定のマスク期間に亘って比較信号 S C にマスク処理を施す。本図では、図示の便宜上、マスク処理部 4 2 9 2 からフォールト信号 F L T が直接出力されているように描写されているが、実態に即して述べると、マスク処理部 4 2 9 2 の出力信号（＝接地端子 G N D 2 のオープン検出結果に相当）は、ドライバチップ 4 2 0 における他の異常検出信号（例えば過熱または負荷電源異常の検出信号）と論理演算された後、トランスチップ 4 3 0 を介してコントローラチップ 4 1 0 のロジック回路 4 1 1 に伝達され、ロジック回路 4 1 1 で N M O S F E T 4 1 3 のオン／オフを切り替えることによりフォールト信号 F L T の論理レベルが決定される。

[0208] このように、本構成例の下側ゲートドライバ I C 1 L（信号伝達装置 4 0 0）は、二次回路系 4 0 0 s の接地端を接続するように構成された第 1 外部端子（例えば接地端子 G N D 2）と、第 1 外部端子がオープン状態であるか否かに応じて端子電圧が変化するように構成された第 2 外部端子（例えば短絡検出端子 S C P I N）と、第 2 外部端子の端子電圧を監視して第 1 外部端子のオープン検出を行うオープン検出回路 4 2 9 と、を有する。

[0209] 以下では、本図とともに図 1 5 を参照しながら、オープン検出回路 4 2 9 によるオープン検出動作について詳述する。

[0210] 図 1 5 は、オープン検出動作の一例を示す図であり、上から順番に、入力パルス信号 I N A、出力パルス信号 O U T 1 H、N M O S F E T 4 2 6 のオン／オフ状態、接地端子 G N D 2 並びに短絡検出端子 S C P I N それぞれの端子電圧（実線及び破線）、比較信号 S C、及び、フォールト信号 F L T が

描写されている。なお、以下の説明では、接地端子GND 2の端子電圧（IC内部の電圧）を内部GND 2と呼び、IC外部の接地電圧を外部GND 2と呼んで区別する場合がある。

[0211] 入力パルス信号INAがローレベルであるときには、出力パルス信号OUT 1 Hもローレベルとなるので、下側パワートランジスタ2 Lがオフ（上側パワートランジスタ2 Hはオン）する。このとき、キャパシタC 1の放電スイッチとして機能するNMOSFET 4 2 6がオンするので、接地端子GND 2と短絡検出端子SCPINとの間がショートする。従って、接地端子GND 2及び短絡検出端子SCPINそれぞれの端子電圧がほぼ同値となる（SCPIN≡内部GND 2）。その結果、比較信号SCがハイレベル（＝正常時の論理レベル）となり、延いては、フォールト信号FLTがハイレベル（＝NMOSFET 4 1 3がオフしてフォールト端子FLTがハイインピーダンスである状態）となる。

[0212] 一方、接地端子GND 2がオープン状態になると、図14の細い一点鎖線矢印で示すように、電源端子VCC 2から、二次回路系400sの回路群（図中ではGND 2SYSと表記）、接地端子GND 2に接続される内部配線（＝IC内部の接地ライン）、及び、オン状態のNMOSFET 4 2 6を介して、短絡検出端子SCPINに向けた回路電流IGND 2が流れる。

[0213] この回路電流IGND 2は、短絡検出端子SCPINから下側ゲートドライバIC 1 L（信号伝達装置400）の外部に流れ出し、抵抗R 4及びR 5を介して二次回路系400sの接地端に至る。その結果、短絡検出端子SCPINの端子電圧は、外部GND 2基準で、回路電流IGND 2と抵抗R 4及びR 5に応じた電圧値（ $IGND 2 \times (R 4 + R 5)$ ）まで上昇する。ただし、出力パルス信号OUT 1 Hのローレベル期間には、NMOSFET 4 2 6がオンしているので、接地端子GND 2及び短絡検出端子SCPINそれぞれの端子電圧が同値のままとなる（SCPIN≡内部GND 2）。従って、比較信号SCがハイレベルに維持され、延いては、フォールト信号FLTもハイレベルのままとなる。

- [0214] なお、抵抗 R_4 及び R_5 それぞれの抵抗値は、接地端子 GND_2 の端子電圧（内部 GND_2 ）が持ち上がっても、接地端子 GND_2 と負電源端子 V_{EE} との間に接続されたダイオード428の耐圧を超えないように適宜設定するとよい。
- [0215] その後、入力パルス信号 INA がハイレベルに立ち上がると、出力パルス信号 OUT_1H もハイレベルに立ち上がるので、下側パワートランジスタ2Lがオン（上側パワートランジスタ2Hはオフ）する。このとき、NMOSFET426がオフするので、回路電流 I_{GND_2} は、図14の細い二点鎖線矢印で示すように、順バイアスとなるダイオード427またはNMOSFET426のボディダイオードを介して流れるようになる。
- [0216] 従って、接地端子 GND_2 の端子電圧は、短絡検出端子 $SCPIN$ の端子電圧よりもダイオード427（またはNMOSFET426のボディダイオード）の順方向降下電圧 V_f だけ高くなる（内部 $GND_2 = SCPIN + V_f$ 、すなわち内部 $GND_2 > SCPIN$ ）。その結果、比較信号 SC がローレベル（＝オープン検出時の論理レベル）となり、延いては、コントローラチップ410のロジック回路411において、フォールト信号 FLT がローレベル（＝NMOSFET413がオン状態）にラッチされる。なお、コンパレータ4291における閾値（＝ GND_2 オープン検出電圧）は、順方向降下電圧 V_f のばらつきを考慮して適宜設定するとよい（順方向降下電圧 V_f の最小値よりも低い0.2V程度）。
- [0217] ECU3では、上記のフォールト信号 FLT を監視することにより、下側ゲートドライバIC1Lの異常（接地端子 GND_2 のオープンを含む）を検出することが可能となる。なお、フォールト信号 FLT のラッチ解除条件としては、例えば、ECU3から下側ゲートドライバIC1L（信号伝達装置400）のイネーブル信号を立ち上げ直せばよい。
- [0218] また、先にも述べたように、オープン検出回路429はマスク処理部4292を含み、比較信号 SC がローレベルに立ち下げられてからマスク期間 T_2 （例えば最小10 μs ）が経過するまでフォールト信号 FLT の論理レベ

ルが切り替わらないように、比較信号 S C にマスク処理を施す。従って、ノイズによるオープン誤検出を防止することが可能となる。

[0219] なお、NMOS FET 4 2 6 がオンしているときには、S C P I N ≡ 内部 G N D 2 となるので、接地端子 G N D 2 のオープン検出を行うことができない。逆に言えば、接地端子 G N D 2 のオープン検出は、NMOS FET 4 2 6 がオフしているときに行う必要がある。NMOS FET 4 2 6 がオフするのは、出力パルス信号 O U T 1 H のハイレベル期間（延いては下側パワートランジスタ 2 L のオン期間）であり、この期間中に接地端子 G N D 2 のオープン検出を行うなければならない。

[0220] 例えば、出力パルス信号 O U T 1 H のスイッチング周波数が 1 0 k H z であり、かつ、デューティが 5 0 % である場合、出力パルス信号 O U T 1 H のハイレベル期間は、5 0 μ s となる（入力パルス信号 I N A のハイレベル期間 T 1 としては 5 0 μ s 以上を想定）。これを鑑みると、マスク期間 T 2 は、下側パワートランジスタ 2 L のオン期間（例えば、入力パルス信号 I N A のハイレベル期間 T 1 ）よりも短く設定すればよく、例えば T 2 = 2 0 μ s （最大でも 3 5 μ s ）に設定することが望ましい。

[0221] また、オープン検出からフォールト信号 F L T をローレベルに立ち下げるまでの遅延時間（トランス伝達及びロジック処理に要する時間）は 1 0 ~ 3 6 μ s 程度であるとよい。

[0222] なお、オープン検出回路 4 2 9 が接続される外部端子は、短絡検出端子 S C P I N に限らず、接地端子 G N D 2 がオープン状態であるか否かに応じて端子電圧が変化するように構成された外部端子（例えば、ダイオードを介して接地端子 G N D 2 に接続されており、かつ、接地端子 G N D 2 がオープン状態であるときに装置内部の接地ラインから順バイアスのダイオードを介して回路電流が流れ出る外部端子）であればよい。

[0223] 従って、オープン検出回路 4 2 9 で短絡検出端子 S C P I N の端子電圧を監視対象としない場合、言い換えれば、端子電圧の監視対象となる外部端子と接地端子 G N D 2 との間をショートする素子が存在しない場合には、上記

のようなマスク期間T2の制約を考慮する必要はない。

[0224] また、改めて図示はしないが、入力パルス信号INAがハイレベルであるときに、接地端子GND2がオープン状態となった場合でも、上記と同じく、接地端子GND2及び短絡検出端子SCPINそれぞれの端子電圧の差分値（＝内部GND2－SCPIN）が所定の閾値よりも高くなるので、オープン検出を行うことが可能である。

[0225] また、上記の説明では、フォールト信号FLTを用いて接地端子GND2のオープン検出結果をECU3に報知する例を挙げたが、例えば、レディー信号RDYを用いて同様の報知を行うこともできる。その場合、マスク処理部4292の出力信号（＝接地端子GND2のオープン検出結果に相当）は、ドライバチップ420におけるUVO/OVO検出信号と論理演算された後、トランスチップ430を介してコントローラチップ410のロジック回路411に伝達され、ロジック回路411でNMOSFET414のオン／オフを切り替えることによりレディー信号RDYの論理レベルが決定されることになる。

[0226] ＜車両への適用＞

図16は、電子機器が搭載される車両の外観を示す図である。本構成例の車両Bは、不図示のバッテリーから電力供給を受けて動作する電子機器B11～B18を搭載している。

[0227] 車両Bには、エンジン車のほか、電動車（BEV [battery electric vehicle]、HEV [hybrid electric vehicle]、PHEV/PHV (plug-in hybrid electric vehicle/plug-in hybrid vehicle]、又は、FC EV/FCV (fuel cell electric vehicle/fuel cell vehicle]などのxEV) も含まれる。

[0228] なお、本図における電子機器B11～B18の搭載位置は、図示の便宜上、実際とは異なる場合がある。

[0229] 電子機器B11は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オー

トルク制御など)、または、モータに関する制御(トルク制御、及び、電力回生制御など)を行う電子制御ユニットである。

[0230] 電子機器B12は、H I D [high intensity discharged lamp] 又はD R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

[0231] 電子機器B13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0232] 電子機器B14は、車両Bの運動に関連する制御(A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など)を行う制動ユニットである。

[0233] 電子機器B15は、ドアロック又は防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

[0234] 電子機器B16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー(ショックアブソーバー)、電動サンルーフ、及び、電動シートなど、標準装備品またはメーカーオプション品として、工場出荷段階で車両Bに組み込まれている電子機器である。

[0235] 電子機器B17は、車載A/V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [electronic toll collection system] など、ユーザオプション品として任意で車両Bに装着される電子機器である。

[0236] 電子機器B18は、車載ブロア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0237] なお、電子機器B11~B18は、先に説明した電子機器Aの具体例として理解することができる。すなわち、先述の信号伝達装置200及び400は、電子機器B11~B18のいずれにも組み込むことが可能である。

[0238] <総括>

以下では、これまでに説明してきた種々の実施形態について総括的に述べる。

[0239] 例えば、本明細書中に開示されている信号伝達装置は、一次回路系と二次

回路系との間を絶縁しつつ前記一次回路系と前記二次回路系との間でゲート駆動用トランジスタの駆動信号を伝達するものであって、前記二次回路系の接地端を接続するように構成された第 1 外部端子と、前記第 1 外部端子がオープン状態であるか否かに応じて端子電圧が変化するように構成された第 2 外部端子と、前記第 2 外部端子の端子電圧を監視して前記第 1 外部端子のオープン検出を行うオープン検出回路を有する構成（第 1 の構成）とされている。

[0240] なお、上記第 1 の構成から成る信号伝達装置は、アノードが前記第 1 外部端子に接続されてカソードが前記第 2 外部端子に接続されたダイオードをさらに有する構成（第 2 の構成）にしてもよい。

[0241] また、上記第 1 または第 2 の構成から成る信号伝達装置は、前記ゲート駆動用トランジスタと相補的に前記第 1 外部端子と前記第 2 外部端子との間を導通／遮断する放電スイッチをさらに有する構成（第 3 の構成）にしてもよい。

[0242] また、上記第 3 の構成から成る信号伝達装置において、前記オープン検出回路は、前記放電スイッチがオフしているときに前記オープン検出を行う構成（第 4 の構成）にしてもよい。

[0243] また、上記第 1 ～第 4 いずれかの構成から成る信号伝達装置において、前記オープン検出回路は、前記第 1 外部端子及び前記第 2 外部端子それぞれの端子電圧を比較して比較信号を生成するコンパレータを含む構成（第 5 の構成）にしてもよい。

[0244] また、上記第 5 の構成から成る信号伝達装置において、前記オープン検出回路は、マスク期間に亘って前記比較信号にマスク処理を施すマスク処理部をさらに含む構成（第 6 の構成）にしてもよい。

[0245] また、上記第 6 の構成から成る信号伝達装置において、前記マスク期間は、前記ゲート駆動用トランジスタのオン期間よりも短い構成（第 7 の構成）にしてもよい。

[0246] また、上記第 1 ～第 7 いずれかの構成から成る信号伝達装置において、前

記オープン検出回路は、前記第 1 外部端子のオープン検出結果を他の異常検出信号に論理演算して出力する構成（第 8 の構成）にしてもよい。

[0247] また、上記第 1 ～第 8 いずれかの構成から成る信号伝達装置は、前記一次回路系の回路素子を集積化した第 1 チップと、前記二次回路系の回路素子を集積化した第 2 チップと、前記一次回路系と前記二次回路系の間を絶縁する絶縁素子を集積化した第 3 チップと、を単一のパッケージに封止した構成（第 9 の構成）にしてもよい。

[0248] また、例えば、本明細書中に開示されている電子機器は、パワートランジスタと、前記パワートランジスタのゲートを駆動するゲートドライバ IC と、を有し、前記ゲートドライバ IC は、上記第 1 ～第 9 いずれかの構成から成る信号伝達装置である構成（第 10 の構成）とされている。

[0249] また、例えば、本明細書中に開示されている車両は、上記第 10 の構成から成る電子機器を有する構成（第 11 の構成）とされている。

[0250] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

符号の説明

[0251]	1 H (u / v / w)	上側ゲートドライバ IC
	1 L (u / v / w)	下側ゲートドライバ IC
	2 H (u / v / w)	上側パワートランジスタ
	2 L (u / v / w)	下側パワートランジスタ
	3	ECU
	4	モータ
	5	半導体装置

- 1 1、1 1 A～1 1 F 低電位端子
- 1 2、1 2 A～1 2 F 高電位端子
- 2 1、2 1 A～2 1 D 変圧器（トランス）
- 2 2 低電位コイル（一次側コイル）
- 2 3 高電位コイル（二次側コイル）
- 2 4 第1内側末端
- 2 5 第1外側末端
- 2 6 第1螺旋部
- 2 7 第2内側末端
- 2 8 第2外側末端
- 2 9 第2螺旋部
- 3 1 第1低電位配線
- 3 2 第2低電位配線
- 3 3 第1高電位配線
- 3 4 第2高電位配線
- 4 1 半導体チップ
- 4 2 第1主面
- 4 3 第2主面
- 4 4 A～4 4 D チップ側壁
- 4 5 第1機能デバイス
- 5 1 絶縁層
- 5 2 絶縁主面
- 5 3 A～5 3 D 絶縁側壁
- 5 5 最下絶縁層
- 5 6 最上絶縁層
- 5 7 層間絶縁層
- 5 8 第1絶縁層
- 5 9 第2絶縁層

- 6 0 第2機能デバイス
- 6 1 シール導体
- 6 2 デバイス領域
- 6 3 外側領域
- 6 4 シールプラグ導体
- 6 5 シールビア導体
- 6 6 第1内側領域
- 6 7 第2内側領域
- 7 1 貫通配線
- 7 2 低電位接続配線
- 7 3 引き出し配線
- 7 4 第1接続プラグ電極
- 7 5 第2接続プラグ電極
- 7 6 パッドプラグ電極
- 7 7 基板プラグ電極
- 7 8 第1電極層
- 7 9 第2電極層
- 8 0 配線プラグ電極
- 8 1 高電位接続配線
- 8 2 パッドプラグ電極
- 8 5 ダミーパターン
- 8 6 高電位ダミーパターン
- 8 7 第1高電位ダミーパターン
- 8 8 第2高電位ダミーパターン
- 8 9 第1領域
- 9 0 第2領域
- 9 1 第3領域
- 9 2 第1接続部

9 3	第 1 パターン
9 4	第 2 パターン
9 5	第 3 パターン
9 6	第 1 外周ライン
9 7	第 2 外周ライン
9 8	第 1 中間ライン
9 9	第 1 接続ライン
1 0 0	スリット
1 3 0	分離構造
1 4 0	無機絶縁層
1 4 1	第 1 無機絶縁層
1 4 2	第 2 無機絶縁層
1 4 3	低電位パッド開口
1 4 4	高電位パッド開口
1 4 5	有機絶縁層
1 4 6	第 1 部分
1 4 7	第 2 部分
1 4 8	低電位端子開口
1 4 9	高電位端子開口
2 0 0	信号伝達装置
2 0 0 p	一次回路系
2 0 0 s	二次回路系
2 1 0	コントローラチップ（第 1 チップ）
2 1 1	パルス送信回路（パルスジェネレータ）
2 1 2、2 1 3	バッファ
2 2 0	ドライバチップ（第 2 チップ）
2 2 1、2 2 2	バッファ
2 2 3	パルス受信回路（RS フリップフロップ）

2 2 4	ドライバ
2 3 0	トランスチップ（第3チップ）
2 3 0 a	第1配線層（下層）
2 3 0 b	第2配線層（上層）
2 3 1、2 3 2	トランス
2 3 1 p、2 3 2 p	一次側コイル
2 3 1 s、2 3 2 s	二次側コイル
3 0 0	トランスチップ
3 0 1	第1トランス
3 0 2	第2トランス
3 0 3	第3トランス
3 0 4	第4トランス
3 0 5	第1ガードリング
3 0 6	第2ガードリング
4 0 0	信号伝達装置（絶縁ゲートドライバIC）
4 0 0 p	一次回路系
4 0 0 s	二次回路系
4 1 0	コントローラチップ
4 1 1	ロジック回路
4 1 2	UVLO／OVLO回路
4 1 3、4 1 4	NMOSFET
4 2 0	ドライバチップ
4 2 1	ロジック回路
4 2 2	UVLO／OVLO回路
4 2 3	コンパレータ
4 2 4	PMOSFET
4 2 5	NMOSFET
4 2 6	NMOSFET（放電スイッチ）

4 2 7、4 2 8 ダイオード
4 2 9 オープン検出回路
4 2 9 1 コンパレータ
4 2 9 2 マスク処理部
4 3 0 トランスチップ
A 電子機器
B 車両
B 1 1 ～ B 1 8 電子機器
C 1 キャパシタ
D 1 ダイオード
a 1 ～ a 8 パッド（第 1 の電流供給用パッドに相当）
b 1 ～ b 8 パッド（第 1 の電圧測定用パッドに相当）
c 1 ～ c 4 パッド（第 2 の電流供給用パッドに相当）
d 1 ～ d 4 パッド（第 2 の電圧測定用パッドに相当）
e 1、e 2 パッド
L 1 p、L 2 p 一次側コイル
L 1 s、L 2 s、L 3 s、L 4 s 二次側コイル
R 0、R 1、R 2、R 3、R 4、R 5 抵抗
T 2 1、T 2 2、T 2 3、T 2 4、T 2 5、T 2 6 外部端子
X 第 1 方向
X 2 1、X 2 2、X 2 3 内部端子
Y 第 2 方向
Y 2 1、Y 2 2、Y 2 3 配線
Z 法線方向
Z 2 1、Z 2 2、Z 2 3 ビア

請求の範囲

- [請求項1] 一次回路系と二次回路系との間を絶縁しつつ前記一次回路系と前記二次回路系との間でゲート駆動用トランジスタの駆動信号を伝達する信号伝達装置であって、
- 前記二次回路系の接地端を接続するように構成された第1外部端子と、
- 前記第1外部端子がオープン状態であるか否かに応じて端子電圧が変化するように構成された第2外部端子と、
- 前記第2外部端子の端子電圧を監視して前記第1外部端子のオープン検出を行うオープン検出回路と、
- を有する、信号伝達装置。
- [請求項2] アノードが前記第1外部端子に接続されてカソードが前記第2外部端子に接続されたダイオードをさらに有する、請求項1に記載の信号伝達装置。
- [請求項3] 前記ゲート駆動用トランジスタと相補的に前記第1外部端子と前記第2外部端子との間を導通／遮断する放電スイッチをさらに有する、請求項1又は2に記載の信号伝達装置。
- [請求項4] 前記オープン検出回路は、前記放電スイッチがオフしているときに前記オープン検出を行う、請求項3に記載の信号伝達装置。
- [請求項5] 前記オープン検出回路は、前記第1外部端子及び前記第2外部端子それぞれの端子電圧を比較して比較信号を生成するコンパレータを含む、請求項1～4のいずれか一項に記載の信号伝達装置。
- [請求項6] 前記オープン検出回路は、マスク期間に亘って前記比較信号にマスク処理を施すマスク処理部をさらに含む、請求項5に記載の信号伝達装置。
- [請求項7] 前記マスク期間は、前記ゲート駆動用トランジスタのオン期間よりも短い、請求項6に記載の信号伝達装置。
- [請求項8] 前記オープン検出回路は、前記第1外部端子のオープン検出結果を

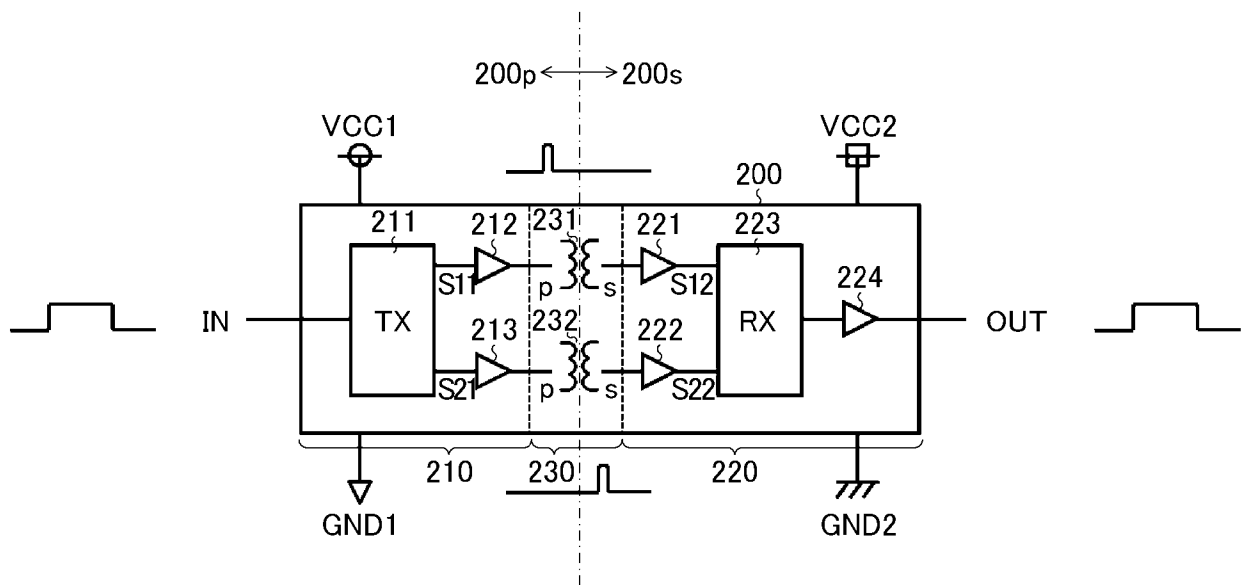
他の異常検出信号に論理演算して出力する、請求項 1 ～ 7 のいずれか一項に記載の信号伝達装置。

[請求項9] 前記一次回路系の回路素子を集積化した第 1 チップと、
 前記二次回路系の回路素子を集積化した第 2 チップと、
 前記一次回路系と前記二次回路系の間を絶縁する絶縁素子を集積化した第 3 チップと、
 を単一のパッケージに封止した、請求項 1 ～ 8 のいずれか一項に記載の信号伝達装置。

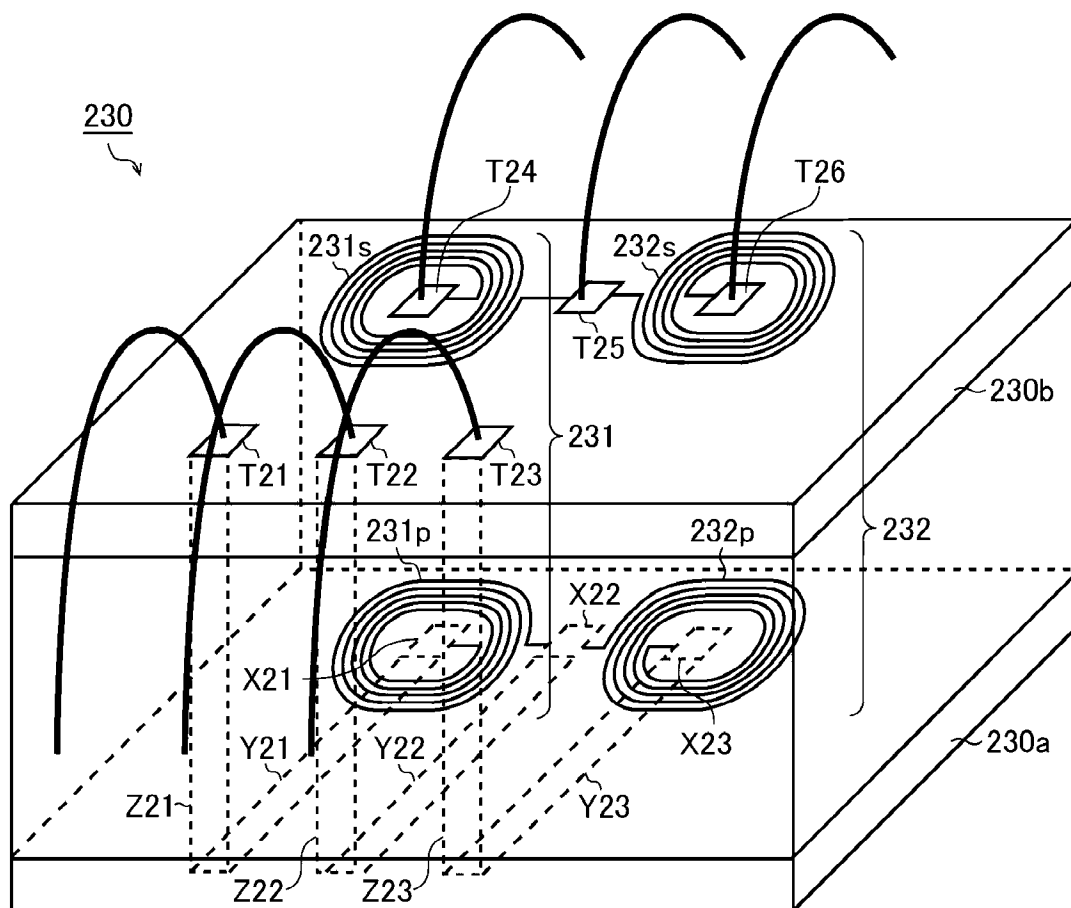
[請求項10] パワートランジスタと、前記パワートランジスタのゲートを駆動するゲートドライバ IC と、を有し、前記ゲートドライバ IC は、請求項 1 ～ 9 のいずれか一項に記載の信号伝達装置である、電子機器。

[請求項11] 請求項 10 に記載の電子機器を有する、車両。

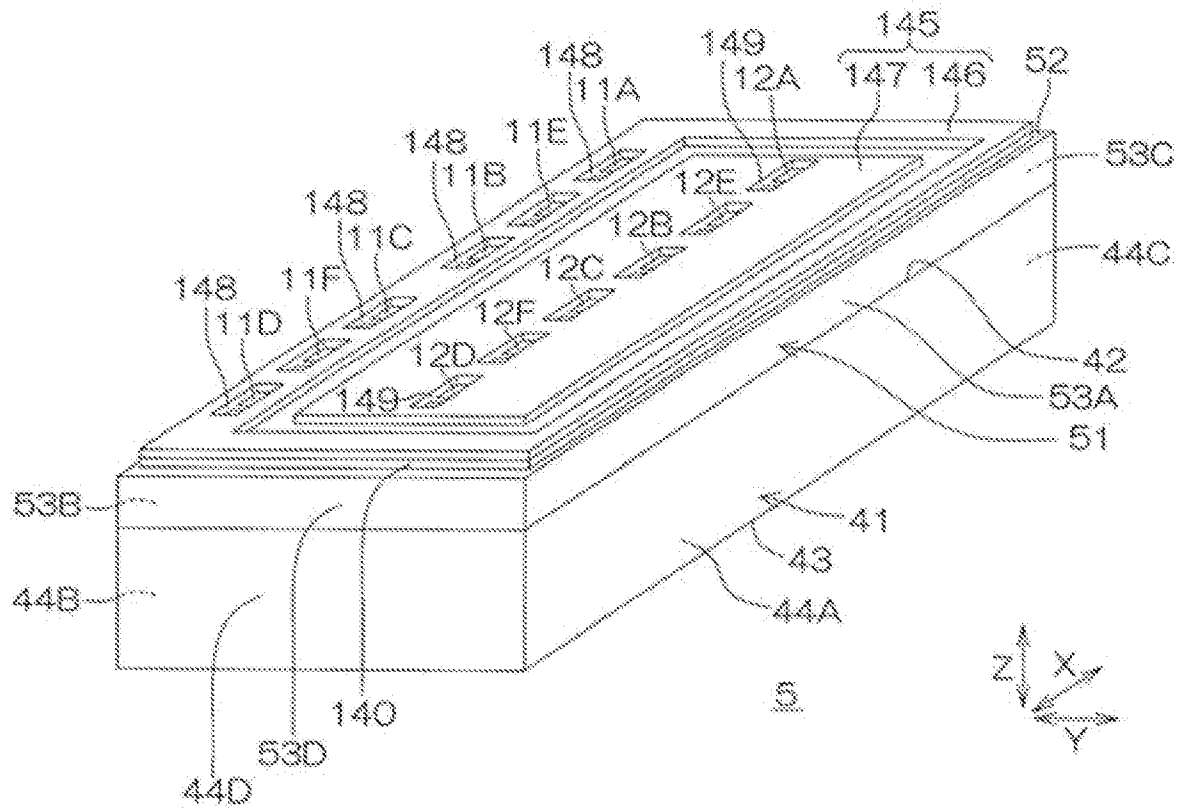
[図1]



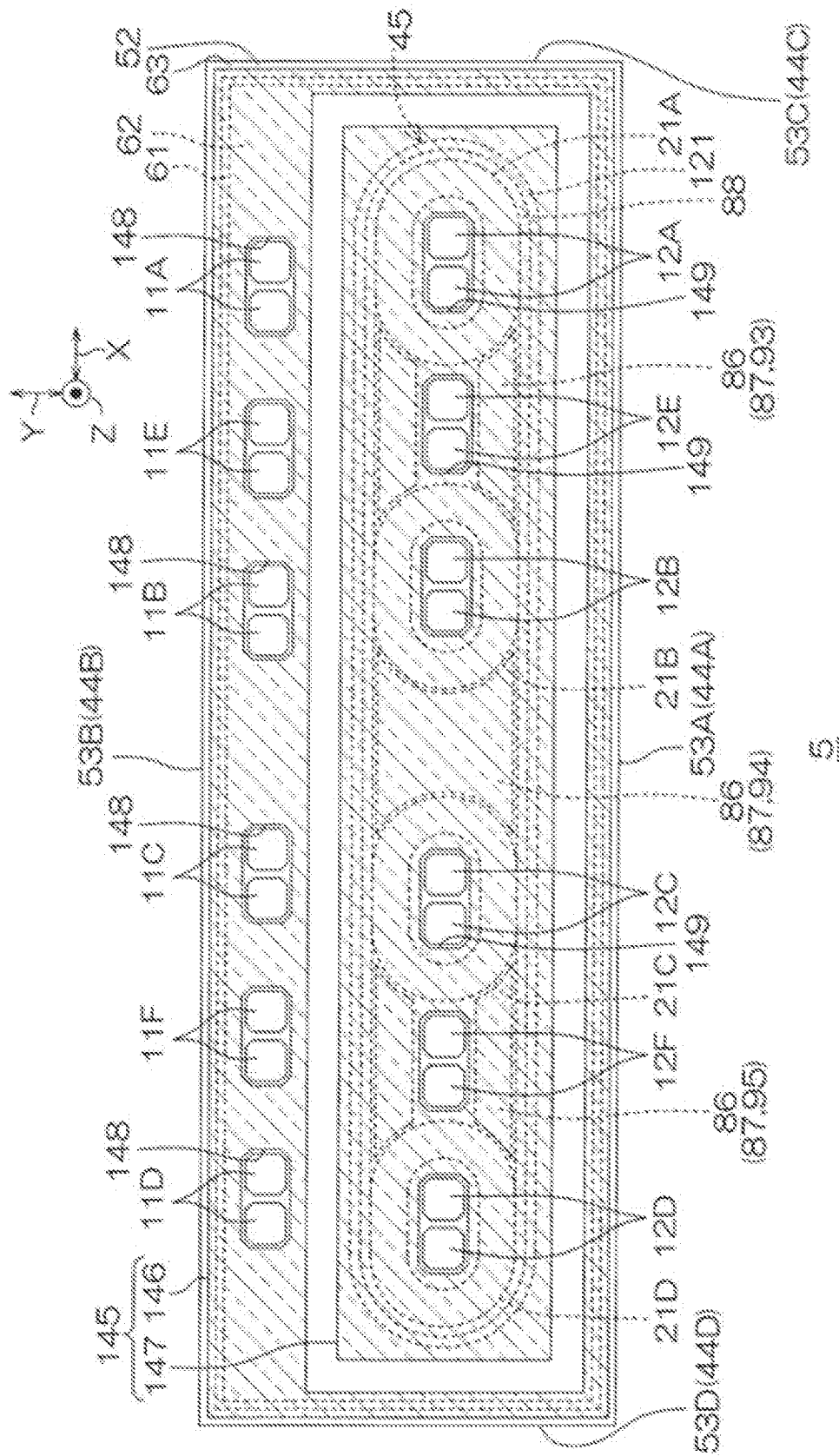
[図2]



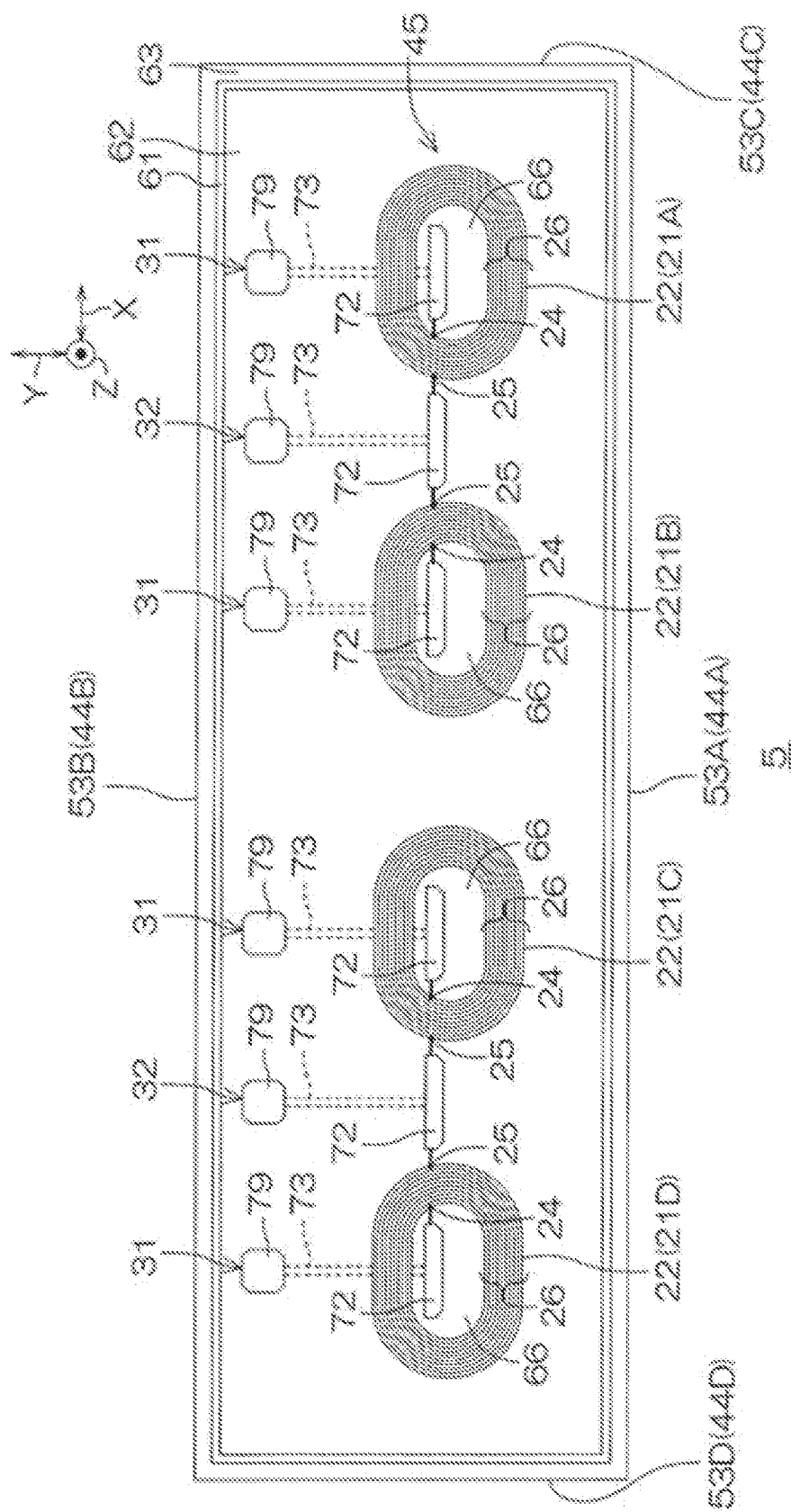
[図3]



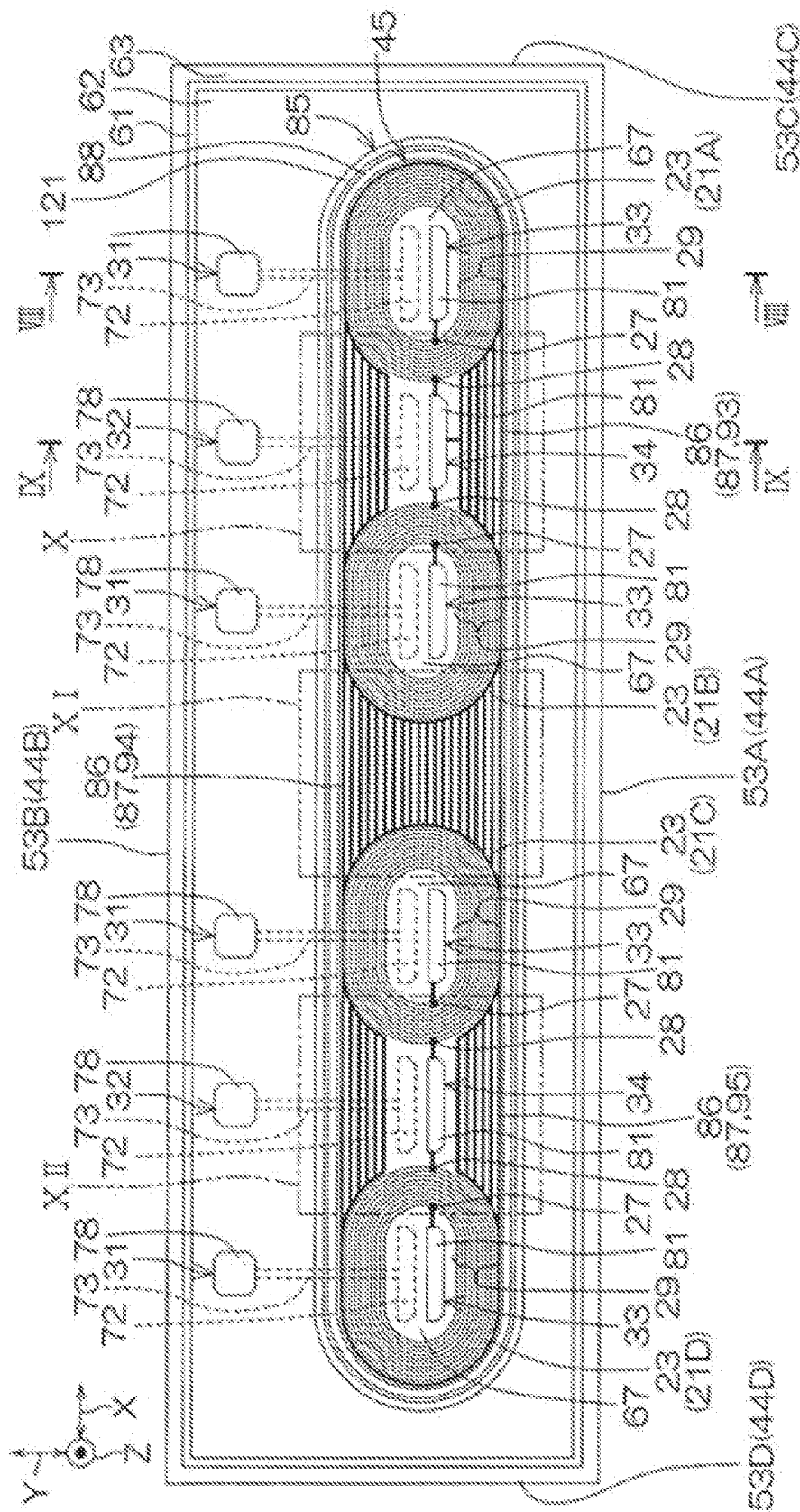
[図4]



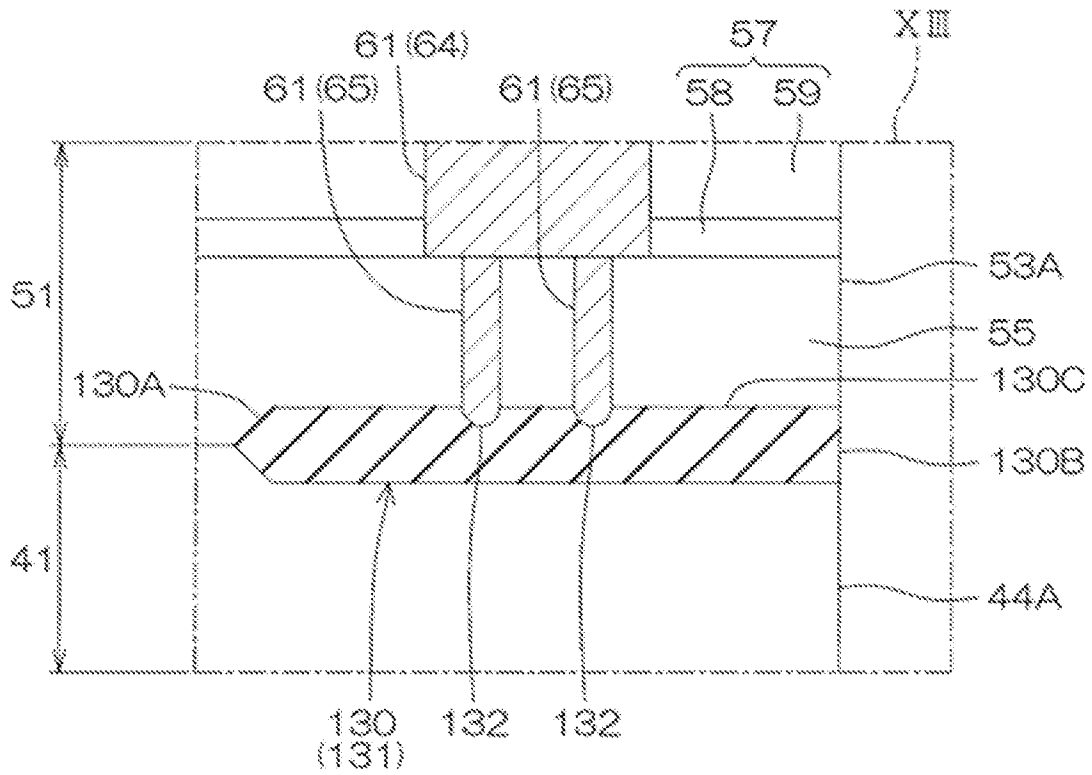
[図5]



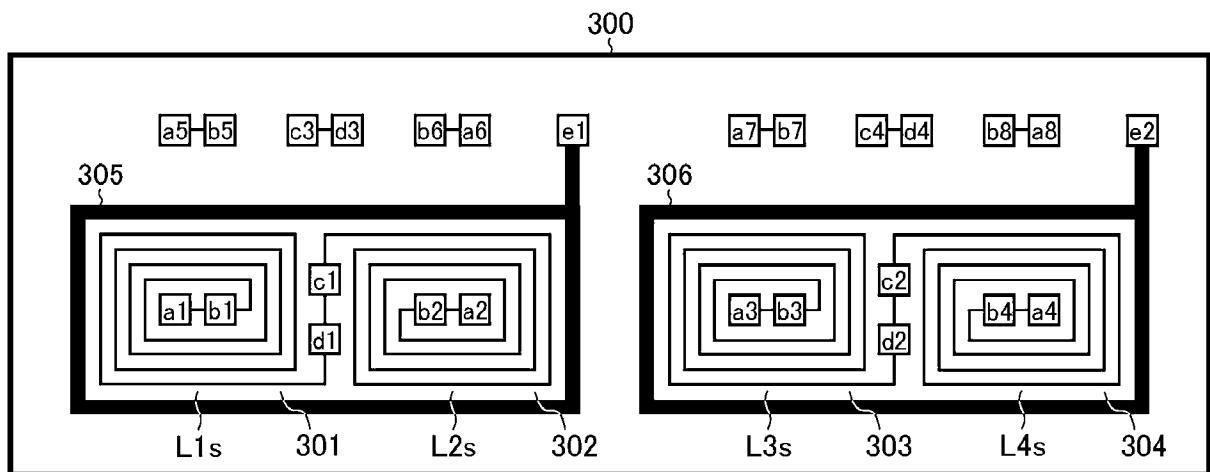
[図6]



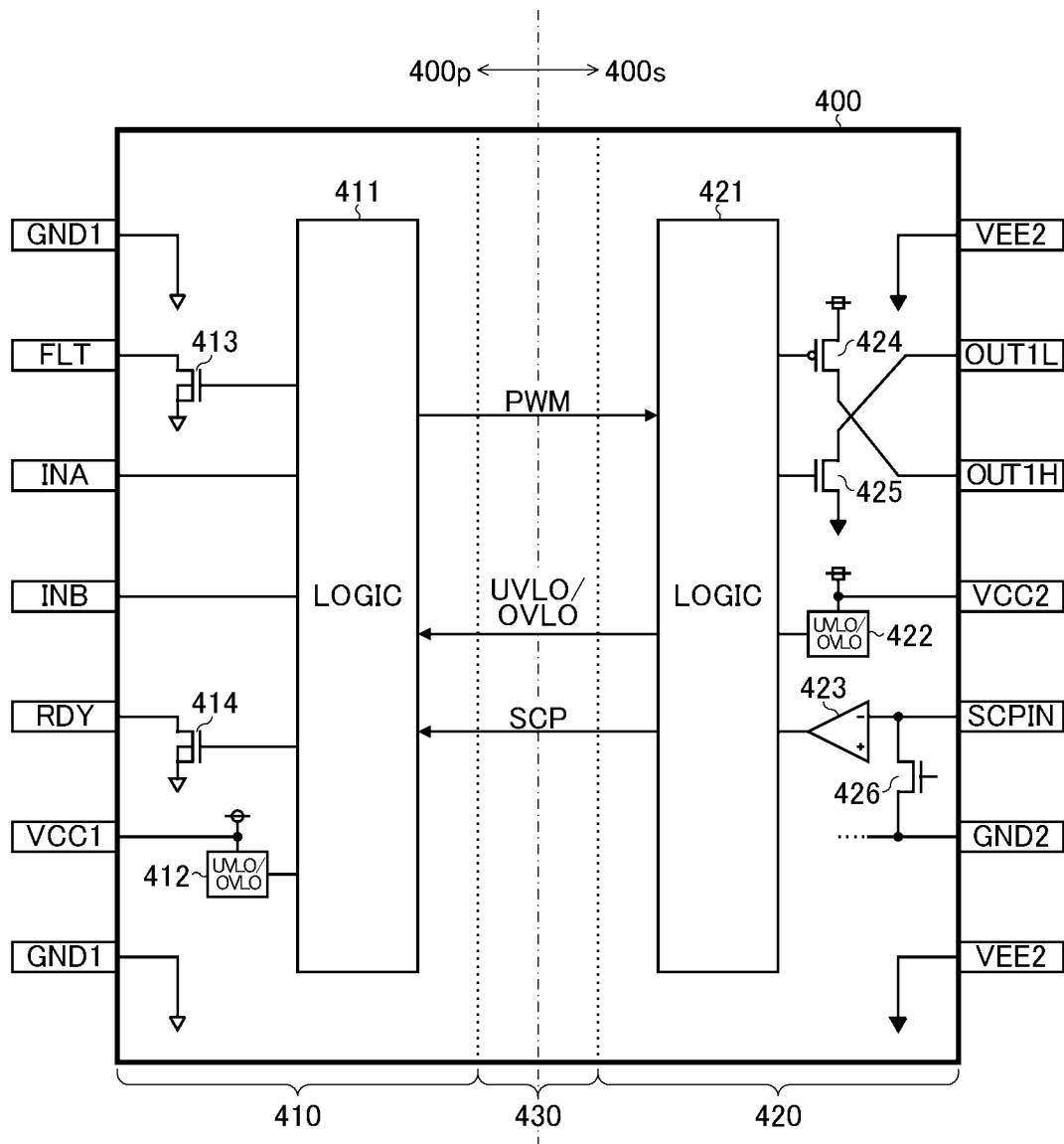
[図8]



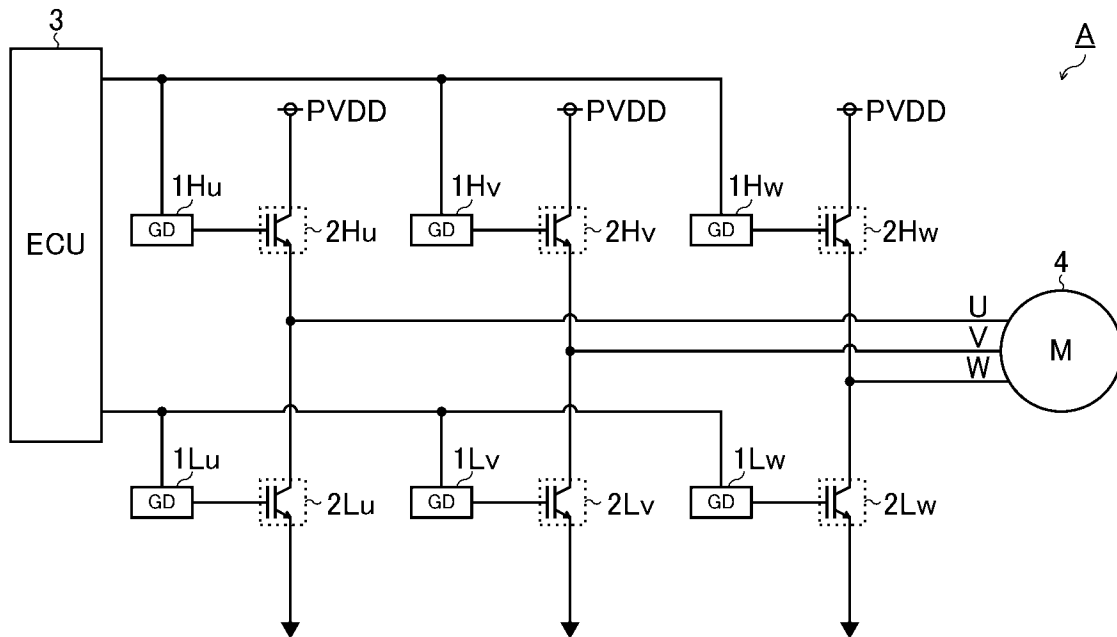
[図9]



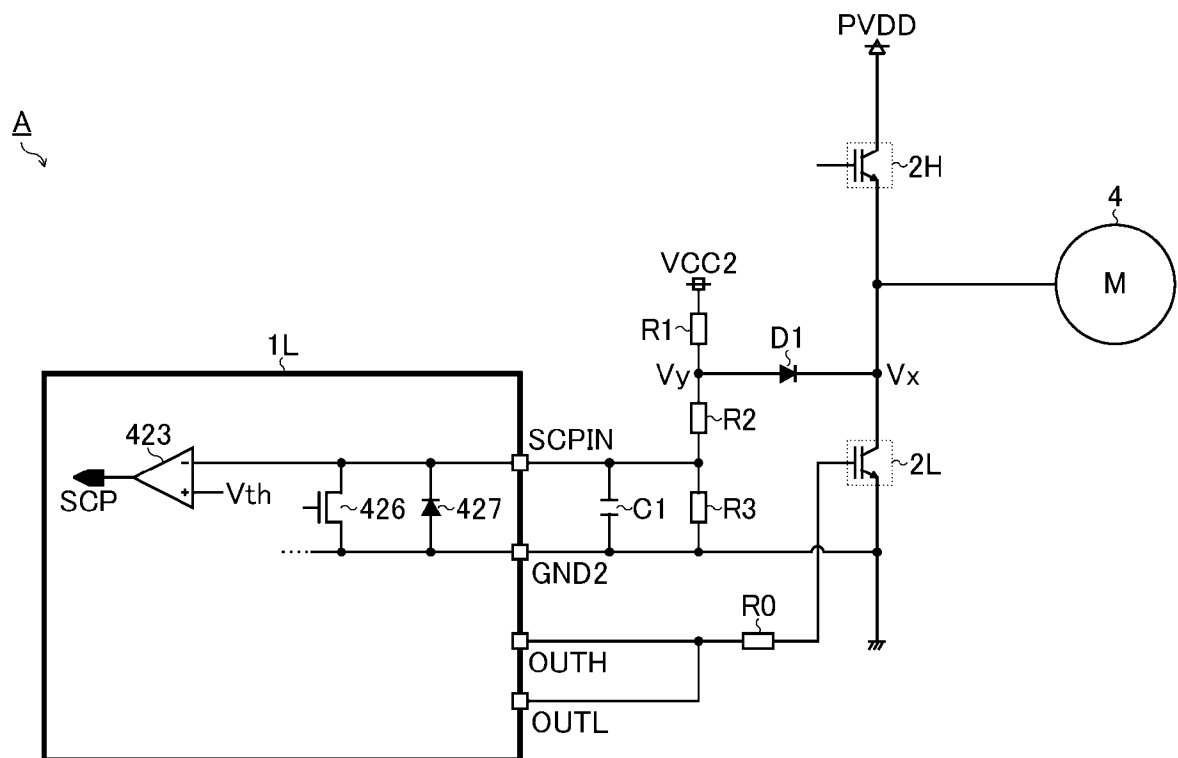
[図10]



[図11]

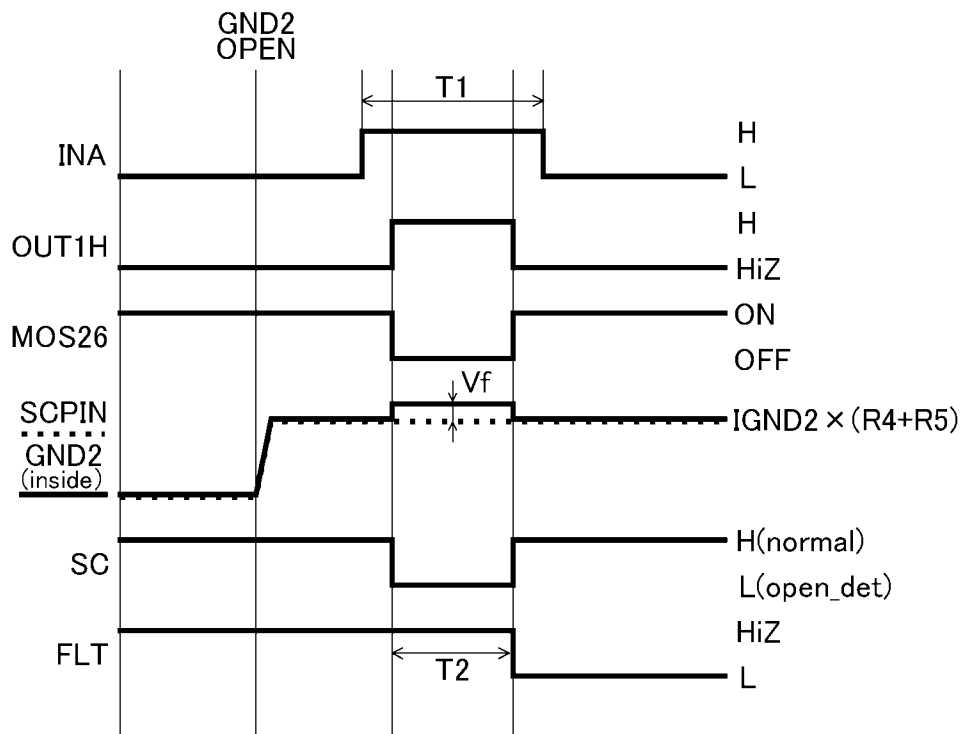


[図12]

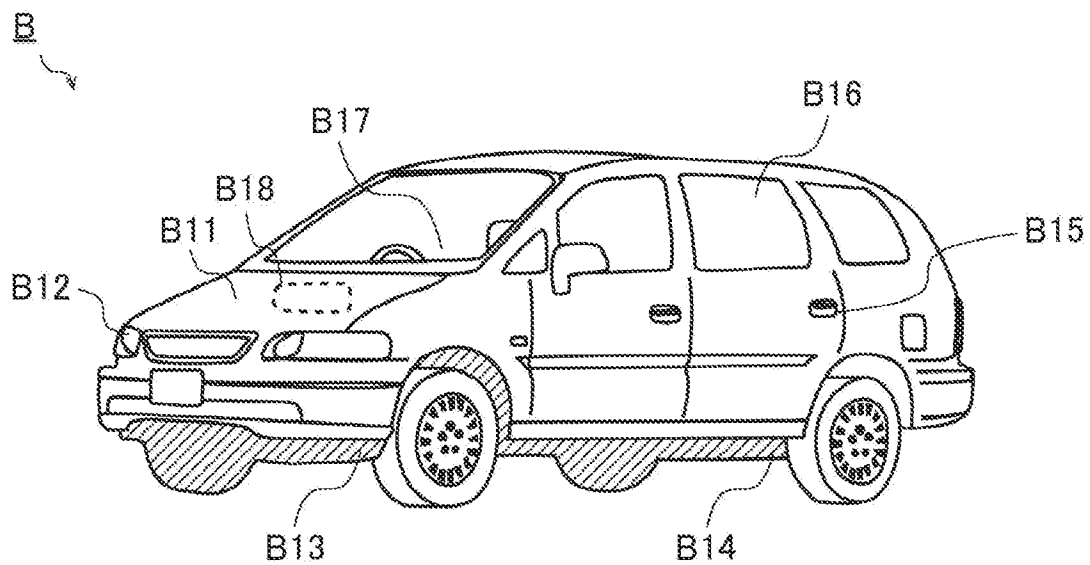


[illegible]

[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/033882

A. CLASSIFICATION OF SUBJECT MATTER**H04L 25/02**(2006.01)i; **H02M 1/08**(2006.01)i; **H03K 17/08**(2006.01)i; **H03K 17/567**(2006.01)i

FI: H04L25/02 301D; H02M1/08 301A; H03K17/08 Z; H03K17/567; H04L25/02 303B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02; H02M1/08; H03K17/08; H03K17/567

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-219294 A (HITACHI LTD) 24 September 2009 (2009-09-24)	1, 8-11
A	paragraphs [0016]-[0018], [0037], [0038], fig. 1, 8	2-7
Y	JP 05-006966 A (MITSUBISHI DENKI ENG KK) 14 January 1993 (1993-01-14)	1, 8-11
A	paragraphs [0034]-[0040], [0043], [0044], fig. 3, 5	2-7
Y	JP 08-083909 A (MITSUBISHI ELECTRIC CORP) 26 March 1996 (1996-03-26)	8
A	paragraphs [0038]-[0042], fig. 4	
A	JP 2018-011108 A (MITSUBISHI ELECTRIC CORP) 18 January 2018 (2018-01-18)	1-11
A	JP 2010-256064 A (FUJITSU SEMICONDUCTOR LTD) 11 November 2010 (2010-11-11)	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 November 2021

Date of mailing of the international search report

30 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/033882

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2009-219294	A	24 September 2009	US 2009/0230938 A1 paragraphs [0029]-[0031], [0050], [0051], fig. 1, 8	
JP	05-006966	A	14 January 1993	(Family: none)	
JP	08-083909	A	26 March 1996	US 5483404 A "Second Embodiment", fig. 4 KR 10-1996-0012558 A	
JP	2018-011108	A	18 January 2018	US 2018/0013419 A1 CN 107612532 A	
JP	2010-256064	A	11 November 2010	US 2010/0271054 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04L 25/02(2006.01)i; H02M 1/08(2006.01)i; H03K 17/08(2006.01)i; H03K 17/567(2006.01)i FI: H04L25/02 301D; H02M1/08 301A; H03K17/08 Z; H03K17/567; H04L25/02 303B										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H04L25/02; H02M1/08; H03K17/08; H03K17/567										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2021年									
日本国実用新案登録公報	1996-2021年									
日本国登録実用新案公報	1994-2021年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
Y	JP 2009-219294 A（株式会社日立製作所）24.09.2009（2009-09-24） 段落 [0016]-[0018], [0037], [0038], 図1, 8	1, 8-11								
A		2-7								
Y	JP 05-006966 A（三菱電機エンジニアリング株式会社）14.01.1993（1993-01-14） 段落 [0034]-[0040], [0043], [0044], 図3, 5	1, 8-11								
A		2-7								
Y	JP 08-083909 A（三菱電機株式会社）26.03.1996（1996-03-26） 段落 [0038]-[0042], 図4	8								
A	JP 2018-011108 A（三菱電機株式会社）18.01.2018（2018-01-18）	1-11								
A	JP 2010-256064 A（富士通セミコンダクター株式会社）11.11.2010（2010-11-11）	1-11								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 04.11.2021		国際調査報告の発送日 30.11.2021								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 白井 亮 5K 3363 電話番号 03-3581-1101 内線 3596								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/033882

引用文献			公表日	パテントファミリー文献	公表日
JP	2009-219294	A	24.09.2009	US 2009/0230938 A1 段落 [0029]-[0031], [0050], [0051], 図1, 8	
JP	05-006966	A	14.01.1993	(ファミリーなし)	
JP	08-083909	A	26.03.1996	US 5483404 A 「Second Embodiment」, 図4	
				KR 10-1996-0012558 A	
JP	2018-011108	A	18.01.2018	US 2018/0013419 A1	
				CN 107612532 A	
JP	2010-256064	A	11.11.2010	US 2010/0271054 A1	