I683429

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I683429 B**

(45)公告日： 中華民國 109 (2020) 年 01 月 21 日

(21)申請案號：103141256　(22)申請日： 中華民國 103 (2014) 年 11 月 27 日

(51)Int. Cl.：　*H01L27/146 (2006.01)*　*H01L23/28 (2006.01)*

(30)優先權：2013/12/19　日本　2013-262099

2014/05/14　日本　2014-100182

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：駒井尚紀 KOMAI, NAOKI (JP)；佐佐木直人 SASAKI, NAOTO (JP)；小川直樹 OGAWA, NAOKI (JP)；大井上昂志 OINOUE, TAKASHI (JP)；岩元勇人 IWAMOTO, HAYATO (JP)；大岡豊 OOKA, YUTAKA (JP)；長田昌也 NAGATA, MASAYA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW	201104853A	TW	201212212A
US	8115267B2	US	8558387B2
US	2012/0256319A1	US	2013/0321680A1

審查人員：鄭敬偉

申請專利範圍項數：5 項　圖式數：119　共 233 頁

(54)名稱

半導體器件及其製造方法，以及電子裝置

(57)摘要

本發明揭示一種半導體器件，其包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保護基板係安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂經內插於該保護基板與該晶片上透鏡之間。

A semiconductor device includes a first semiconductor substrate in which a pixel region where pixel portions performing photoelectric conversion are two-dimensionally arranged is formed and a second semiconductor substrate in which a logic circuit processing a pixel signal output from the pixel portion is formed, the first and second semiconductor substrates being laminated. A protective substrate protecting an on-chip lens is disposed on the on-chip lens in the pixel region of the first semiconductor substrate with a sealing resin interposed therebetween.

指定代表圖：

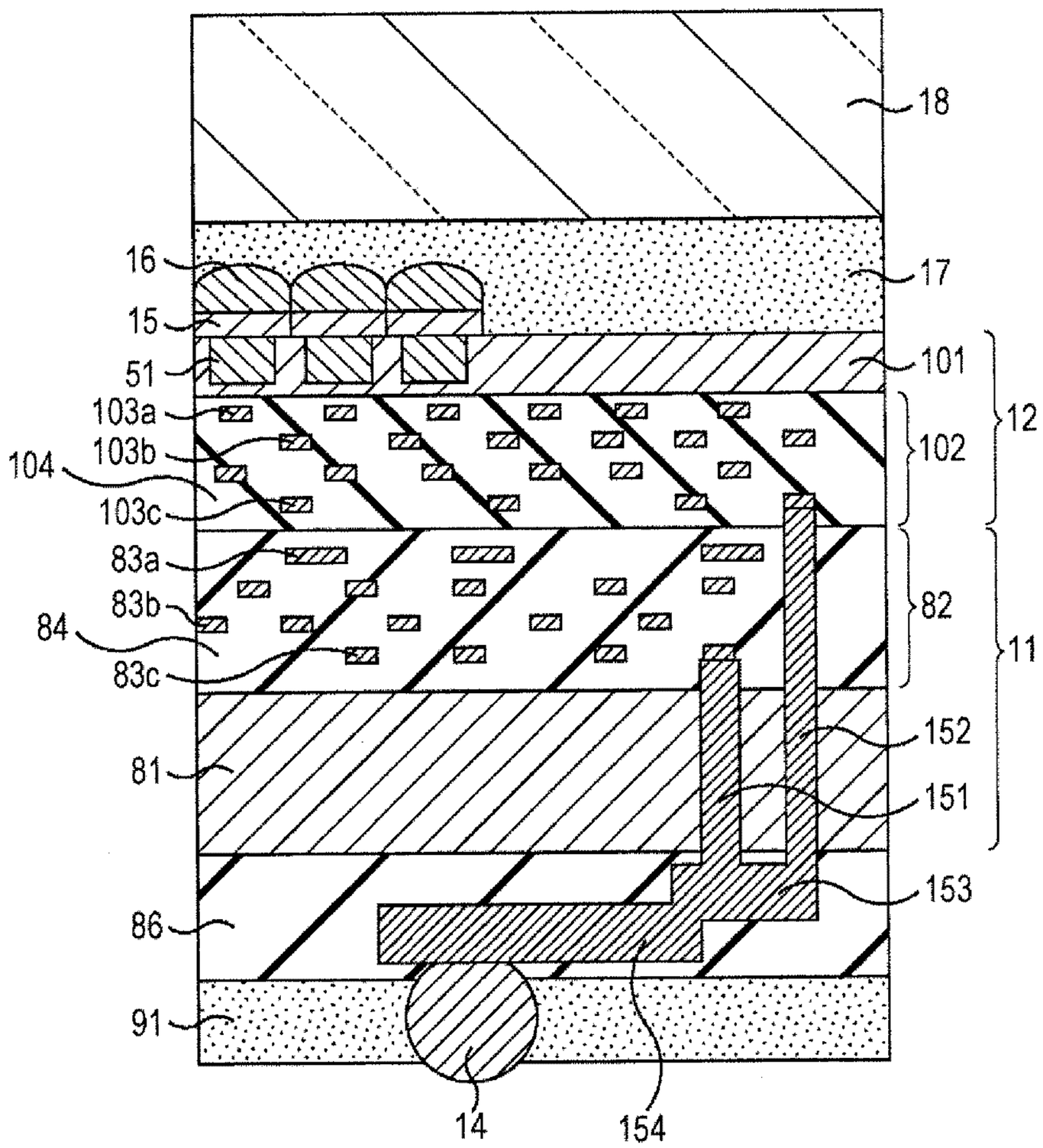


圖6

符號簡單說明：

11・・・下基板/邏輯基板

12・・・上基板/像素感測器基板

14・・・焊料球

15・・・彩色濾波器

16・・・晶片上透鏡

17・・・玻璃密封樹脂

18・・・玻璃保護基板

51・・・光二極體

81・・・半導體基板/矽基板

82・・・多層佈線層

83a・・・最上佈線層

83b・・・中間佈線層

83c・・・最下佈線層

84・・・層間絕緣膜

86・・・絕緣膜

91・・・焊料遮罩

101・・・半導體基板/矽基板

102・・・多層佈線層

103a・・・最上層佈線層

103b・・・中間佈線層

103c・・・最下佈線層

104・・・層間絕緣膜

151・・・矽穿透電極

152・・・晶片穿透電極

153・・・連接佈線

154・・・重新佈線

公告本

I683429

發明摘要

※ 申請案號：103141256

※ 申請日：103年11月27日 ※IPC 分類：***H01L 27/146*** (2006.01)
H01L 23/28 (2006.01)

【發明名稱】

半導體器件及其製造方法，以及電子裝置

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

【中文】

本發明揭示一種半導體器件，其包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保護基板係安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂經內插於該保護基板與該晶片上透鏡之間。

【英文】

A semiconductor device includes a first semiconductor substrate in which a pixel region where pixel portions performing photoelectric conversion are two-dimensionally arranged is formed and a second semiconductor substrate in which a logic circuit processing a pixel signal output from the pixel portion is formed, the first and second semiconductor substrates being laminated. A protective substrate protecting an on-chip lens is disposed on the on-chip lens in the pixel region of the first semiconductor substrate with a sealing resin interposed therebetween.

【代表圖】

【本案指定代表圖】：第（ 6 ）圖。

【本代表圖之符號簡單說明】：

11	下基板/邏輯基板
12	上基板/像素感測器基板
14	焊料球
15	彩色濾波器
16	晶片上透鏡
17	玻璃密封樹脂
18	玻璃保護基板
51	光二極體
81	半導體基板/矽基板
82	多層佈線層
83a	最上佈線層
83b	中間佈線層
83c	最下佈線層
84	層間絕緣膜
86	絕緣膜
91	焊料遮罩
101	半導體基板/矽基板
102	多層佈線層
103a	最上層佈線層
103b	中間佈線層
103c	最下佈線層
104	層間絕緣膜
151	矽穿透電極

152　晶片穿透電極

153　連接佈線

154　重新佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】

半導體器件及其製造方法，以及電子裝置

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND ELECTRONIC APPARATUS

[相關申請案之交叉參考]

本申請案主張2013年12月19日申請之日本優先專利申請案JP 2013-262099及2014年5月14日申請之日本優先專利申請案JP 2014-100182之權利，該等案之各者之全文以引用的方式併入本文中。

【技術領域】

本發明係關於一種半導體器件、一種製造該半導體器件之方法、及一種電子器件，且更特定言之，本發明係關於一種經組態以被進一步縮小尺寸之半導體器件、一種製造該半導體器件之方法、及一種電子器件。

【先前技術】

回應於使一半導體器件縮小尺寸之一請求，已實現使其之一半導體器件之尺寸縮小至多達一晶片尺寸之一晶圓級CSP (晶片尺寸封裝)。

作為一固態成像器件之一晶圓級CSP，已提出一結構，其中將其中形成一彩色濾波器或一晶片上透鏡之一表面型固態成像器件黏合至具有一凹腔結構之一玻璃，一通孔及一重新佈線由一矽基板之側形成，且安裝一焊料球(例如參閱PTL 1)。

[引用列表]

[專利文獻]

[PTL 1]

日本未審查專利申請公開案第2009-158862號

【發明內容】

[技術問題]

表面型固態成像器件具有一結構，其中在一平面方向上安置一像素區域(其中配置執行光電轉換之像素部分)及執行控制之周邊電路。在一些情況中，除該等周邊電路之外，亦在該平面方向上進一步安置執行一像素信號之一影像處理單元或其類似者。即使表面型固態成像器件具有一晶圓級CSP結構，但歸因於固態成像器件具有至少包含該等周邊電路之一平面區域之一封包尺寸的事實，面積減小係有限的。

鑑於此等狀況而設計本發明，且可期望使一半導體器件進一步縮小尺寸。

[問題之解決方案]

根據本發明之一第一實施例，提供一種半導體器件，其包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保護基板安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂內插於該保護基板與該晶片上透鏡之間。

根據本發明之一第二實施例，提供一種製造一半導體器件之方法。該方法包含：連接其中形成一第一佈線層之一第一半導體基板及其中形成一第二佈線層之一第二半導體基板，使得該等半導體基板之該等佈線層面向彼此；形成電連接至該第一佈線層及該第二佈線層之一穿透電極；形成一彩色濾波器及一晶片上透鏡；及藉由一密封樹脂

將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

在本發明之第二實施例中，其中形成一第一佈線層之一第一半導體基板及其中形成一第二佈線層之一第二半導體基板經連接使得該等半導體基板之該等佈線層面向彼此，形成電連接至該第一佈線層及該第二佈線層之一穿透電極，形成一彩色濾波器及一晶片上透鏡，且藉由一密封樹脂將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

根據本發明之一第三實施例，提供一種製造一半導體器件之方法。該方法包含：在其中形成一第一佈線層之一第一半導體基板上，在與其中形成該第一半導體基板之該第一佈線層的一側相對之一表面上形成一彩色濾波器及一晶片上透鏡；形成穿透其中形成一第二佈線層之一第二半導體基板的一穿透電極；及將其中形成該彩色濾波器及該晶片上透鏡之該第一半導體基板連接至其中形成該穿透電極之該第二半導體基板，使得該等半導體基板之該等佈線層面向彼此。

在本發明之第三實施例中，在其中形成一第一佈線層之一第一半導體基板中，在與其中形成該第一半導體基板之該第一佈線層的一側相對之一表面上，形成一彩色濾波器及一晶片上透鏡；在其中形成一第二佈線層之一第二半導體基板中形成穿透該第二半導體基板之一穿透電極；及其中形成該彩色濾波器及該晶片上透鏡之該第一半導體基板及其中形成該穿透電極之該第二半導體基板經連接使得該等半導體基板之該等佈線層面向彼此。

根據本發明之一第四實施例，提供一種電子裝置，其包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保

護基板安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂內插於該保護基板與該晶片上透鏡之間。

在本發明之第一實施例至第四實施例中，組態經層疊之一第一半導體基板(其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分)及一第二半導體基板(其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號)。保護一晶片上透鏡之一保護基板安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂內插於該保護基板與該晶片上透鏡之間。

該半導體器件及該電子器件可為獨立器件或可為嵌入至其他器件中之模組。

[本發明之有利效應]

根據本發明之第一實施例至第四實施例，可進一步使該半導體器件縮小尺寸。

本文所描述之有利效應未必受限制且可獲得本發明中所描述之任何有利效應。

【圖式簡單說明】

圖1係繪示根據本發明之一實施例之一固態成像器件(其係一半導體器件)之外觀的一示意圖。

圖2係繪示固態成像器件之一基板的一說明圖。

圖3係繪示一層疊基板之電路組態之一實例的一圖式。

圖4係繪示一像素之一等效電路的一圖式。

圖5係繪示層疊基板之一詳細結構的一圖式。

圖6係繪示根據一第一修改實例之層疊基板之一詳細結構的一說明圖。

圖7係繪示根據一第二修改實例之層疊基板之一詳細結構的一說

明圖。

圖8係繪示根據一第三修改實例之層疊基板之一詳細結構的一說明圖。

圖9係繪示根據一第四修改實例之層疊基板之一詳細結構的一說明圖。

圖10係繪示根據一第五修改實例之層疊基板之一詳細結構的一說明圖。

圖11係繪示根據一第六修改實例之層疊基板之一詳細結構的一說明圖。

圖12係繪示根據一第七修改實例之層疊基板之一詳細結構的一說明圖。

圖13係繪示根據一第八修改實例之層疊基板之一詳細結構的一說明圖。

圖14係繪示根據一第九修改實例之層疊基板之一詳細結構的一說明圖。

圖15係繪示一固態成像器件之一面對背(face-to-back)結構的一截面圖。

圖16係繪示製造圖15中之固態成像器件之一第一方法的一說明圖。

圖17係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖18係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖19係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖20係繪示製造圖15中之固態成像器件之第一方法的一說明

圖。

圖21係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖22係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖23係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖24係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖25係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖26係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖27係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖28係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖29係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖30係繪示製造圖15中之固態成像器件之第一方法的一說明圖。

圖31係繪示製造圖15中之固態成像器件之一第二方法的一說明圖。

圖32係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖33係繪示製造圖15中之固態成像器件之第二方法的一說明

圖。

圖34係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖35係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖36係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖37係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖38係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖39係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖40係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖41係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖42係繪示製造圖15中之固態成像器件之第二方法的一說明圖。

圖43係繪示製造圖15中之固態成像器件之一第三方法的一說明圖。

圖44係繪示製造圖15中之固態成像器件之第三方法的一說明圖。

圖45係繪示製造圖15中之固態成像器件之第三方法的一說明圖。

圖46係繪示製造圖15中之固態成像器件之第三方法的一說明

圖。

圖47係繪示製造圖15中之固態成像器件之第三方法的一說明圖。

圖48係繪示製造圖15中之固態成像器件之第三方法的一說明圖。

圖49係繪示製造圖15中之固態成像器件之第三方法的一說明圖。

圖50係繪示根據一修改實例之一重新佈線的一說明圖。

圖51A係繪示根據修改實例之重新佈線的一說明圖。

圖51B係繪示根據修改實例之重新佈線的一說明圖。

圖51C係繪示根據修改實例之重新佈線的一說明圖。

圖52A係繪示根據修改實例之重新佈線的一說明圖。

圖52B係繪示根據修改實例之重新佈線的一說明圖。

圖52C係繪示根據修改實例之重新佈線的一說明圖。

圖52D係繪示根據修改實例之重新佈線的一說明圖。

圖53係繪示根據修改實例之重新佈線的一說明圖。

圖54A係繪示根據修改實例之重新佈線的一說明圖。

圖54B係繪示根據修改實例之重新佈線的一說明圖。

圖54C係繪示根據修改實例之重新佈線的一說明圖。

圖54D係繪示根據修改實例之重新佈線的一說明圖。

圖54E係繪示根據修改實例之重新佈線的一說明圖。

圖55係繪示製造圖5中之固態成像器件之一方法的一說明圖。

圖56係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖57係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖58係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖59係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖60係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖61係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖62係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖63係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖64係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖65係繪示製造圖5中之固態成像器件之方法的一說明圖。

圖66A係繪示圖6中之第一修改實例之一第一製造方法的一說明圖。

圖66B係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖66C係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖66D係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖67A係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖67B係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖67C係繪示圖6中之第一修改實例之第一製造方法的一說明圖。

圖68A係繪示圖6中之第一修改實例之一第二製造方法的一說明圖。

圖68B係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖68C係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖68D係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖69A係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖69B係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖69C係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖70A係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖70B係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖70C係繪示圖6中之第一修改實例之第二製造方法的一說明圖。

圖71A係繪示圖6中之第一修改實例之第二製造方法之一修改實例的一說明圖。

圖71B係繪示圖6中之第一修改實例之第二製造方法之修改實例的一說明圖。

圖72A係繪示圖6中之第一修改實例之一第三製造方法的一說明圖。

圖72B係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖72C係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖72D係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖73A係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖73B係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖73C係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖73D係繪示圖6中之第一修改實例之第三製造方法的一說明圖。

圖74A係繪示圖6中之第一修改實例之一第四製造方法的一說明圖。

圖74B係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖74C係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖74D係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖75A係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖75B係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖75C係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖75D係繪示圖6中之第一修改實例之第四製造方法的一說明圖。

圖76A係繪示圖6中之第一修改實例之一第五製造方法的一說明圖。

圖76B係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖76C係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖76D係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖77A係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖77B係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖77C係繪示圖6中之第一修改實例之第五製造方法的一說明圖。

圖78A係繪示圖6中之第一修改實例之一第六製造方法的一說明圖。

圖78B係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖78C係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖78D係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖79A係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖79B係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖79C係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖80A係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖80B係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖80C係繪示圖6中之第一修改實例之第六製造方法的一說明圖。

圖81A係繪示圖7中之第二修改實例之一第一製造方法的一說明圖。

圖81B係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖81C係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖81D係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖82A係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖82B係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖82C係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖82D係繪示圖7中之第二修改實例之第一製造方法的一說明圖。

圖83A係繪示圖7中之第二修改實例之一第二製造方法的一說明圖。

圖83B係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖83C係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖83D係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖84A係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖84B係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖84C係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖85A係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖85B係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖85C係繪示圖7中之第二修改實例之第二製造方法的一說明圖。

圖86A係繪示圖8中之第三修改實例之一製造方法的一說明圖。

圖86B係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖86C係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖86D係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖87A係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖87B係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖87C係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖87D係繪示圖8中之第三修改實例之製造方法的一說明圖。

圖88A係繪示圖9中之第四修改實例之一製造方法的一說明圖。

圖88B係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖88C係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖88D係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖89A係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖89B係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖89C係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖89D係繪示圖9中之第四修改實例之製造方法的一說明圖。

圖90A係繪示圖10中之第五修改實例之一製造方法的一說明圖。

圖90B係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖90C係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖90D係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖91A係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖91B係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖91C係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖91D係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖92A係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖92B係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖92C係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖92D係繪示圖10中之第五修改實例之製造方法的一說明圖。

圖93A係繪示圖11中之第六修改實例之一製造方法的一說明圖。

圖93B係繪示圖11中之第六修改實例之製造方法的一說明圖。

圖93C係繪示圖11中之第六修改實例之製造方法的一說明圖。

圖94A係繪示圖11中之第六修改實例之製造方法的一說明圖。

圖94B係繪示圖11中之第六修改實例之製造方法的一說明圖。

圖94C係繪示圖11中之第六修改實例之製造方法的一說明圖。

圖95A係繪示圖12中之第七修改實例之一製造方法的一說明圖。

圖95B係繪示圖12中之第七修改實例之製造方法的一說明圖。

圖95C係繪示圖12中之第七修改實例之製造方法的一說明圖。

圖96A係繪示圖12中之第七修改實例之製造方法的一說明圖。

圖96B係繪示圖12中之第七修改實例之製造方法的一說明圖。

圖96C係繪示圖12中之第七修改實例之製造方法的一說明圖。

圖97A係繪示圖13中之第八修改實例之一製造方法的一說明圖。

圖97B係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖97C係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖98A係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖98B係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖98C係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖99A係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖99B係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖99C係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖100A係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖100B係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖100C係繪示圖13中之第八修改實例之製造方法的一說明圖。

圖101A係繪示圖14中之第九修改實例之一製造方法的一說明圖。

圖101B係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖101C係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖102A係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖102B係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖102C係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖102D係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖103A係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖103B係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖103C係繪示圖14中之第九修改實例之製造方法的一說明圖。

圖104係繪示根據一第十修改實例之層疊基板之一詳細結構的一說明圖。

圖105A係繪示圖15中之第十修改實例之一第一製造方法的一說明圖。

圖105B係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖105C係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖105D係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖105E係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖106A係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖106B係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖106C係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖106D係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖106E係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖107A係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖107B係繪示圖15中之第十修改實例之第一製造方法的一說明

圖。

圖107C係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖107D係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖107E係繪示圖15中之第十修改實例之第一製造方法的一說明圖。

圖108A係繪示圖15中之第十修改實例之一第二製造方法的一說明圖。

圖108B係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖108C係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖108D係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖108E係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖109A係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖109B係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖109C係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖109D係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖109E係繪示圖15中之第十修改實例之第二製造方法的一說明

圖。

圖110A係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖110B係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖110C係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖110D係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖110E係繪示圖15中之第十修改實例之第二製造方法的一說明圖。

圖111A係繪示製造具有一通用背面照射型結構之一固態成像器件之一方法的一說明圖。

圖111B係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖111C係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖111D係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖111E係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖112A係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖112B係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖112C係繪示製造具有通用背面照射型結構之固態成像器件之

方法的一說明圖。

圖112D係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖112E係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖113A係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖113B係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖113C係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖113D係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖113E係繪示製造具有通用背面照射型結構之固態成像器件之方法的一說明圖。

圖114A係繪示一固態成像器件之一個三層層疊基板之總體組態的一圖式。

圖114B係繪示固態成像器件之三層層疊基板之總體組態的一圖式。

圖115A係繪示三層層疊基板之組態的一說明圖。

圖115B係繪示三層層疊基板之組態的一說明圖。

圖115C係繪示三層層疊基板之組態的一說明圖。

圖116A係繪示三層層疊基板之組態的一說明圖。

圖116B係繪示三層層疊基板之組態的一說明圖。

圖116C係繪示三層層疊基板之組態的一說明圖。

圖117A係繪示三層層疊基板之組態的一說明圖。

圖117B係繪示三層層疊基板之組態的一說明圖。

圖117C係繪示三層層疊基板之組態的一說明圖。

圖118係繪示三層層疊基板之組態的一說明圖。

圖119係繪示根據本發明之一實施例之一成像裝置(其係一電子裝置)之一組態實例的一方塊圖。

【實施方式】

在下文中，將描述用於實施本發明之模式(下文中指稱實施例)。將依以下順序進行描述。

1. 固態成像器件之總體組態
2. 固態成像器件之第一基本結構實例
3. 固態成像器件之第一修改結構實例至第九修改結構實例
4. 固態成像器件之第二基本結構實例
5. 用於第二基本結構之製造方法
6. 用於第一基本結構之製造方法
7. 第十修改實例
8. 第十修改實例之製造方法
9. 三層層疊基板之組態實例
10. 電子裝置之應用實例

<1. 固態成像器件之總體組態>

[外觀之示意圖]

圖1係繪示根據本發明之一實施例之一固態成像器件(其係一半導體器件)之外觀的一示意圖。

圖1中所繪示之一固態成像器件1係一半導體封裝，其中封裝藉由層疊一下基板11及一上基板12而組態之一層疊基板13。

在下基板11中，形成複數個焊料球14，其等係電連接至一外部基板(圖中未繪示)之背面電極。

R (紅色)、G (綠色)或B (藍色)濾波器15及晶片上透鏡16形成於上基板12之上表面上。上基板12連接至保護晶片上透鏡16之一玻璃保護基板18，其中一玻璃密封樹脂17內插於玻璃保護基板18與晶片上透鏡16之間以具有一無凹腔結構。

例如，如圖2A中所繪示，一像素區域21 (其中依二維方式配置執行光電轉換之像素部分)及一控制電路22 (其控制該等像素部分)形成於上基板12中。一邏輯電路23 (諸如一信號處理電路)(其執行自像素部分輸出之一像素信號)形成於下基板11中。

替代地，如圖2B中所繪示，可實現一組態，其中僅像素區域21形成於上基板12中且控制電路22及邏輯電路23形成於下基板11中。

如上文所描述，藉由在不同於像素區域21之上基板12之下基板11中形成及層疊邏輯電路23或控制電路22及邏輯電路23兩者，可相較於其中像素區域21、控制電路22及邏輯電路23在一平面方向上安置於一半導體基板中之一情況而縮小固態成像器件1之尺寸。

在下文之描述中，其中至少形成像素區域21之上基板12指稱一像素感測器基板12且其中至少形成邏輯電路23之下基板11指稱一邏輯基板11。

<層疊基板之組態實例>

圖3係繪示一層疊基板13之電路組態之一實例的一圖式。

層疊基板13包含：一像素陣列單元33，其中像素32配置成一個二維陣列形式；一垂直驅動電路34；行信號處理電路35；一水平驅動電路36；一輸出電路37；一控制電路38；及一輸入/輸出端子39。

像素32包含：一光二極體，其充當一光電轉換元件；及複數個像素電晶體。下文將參考圖4來描述像素32之電路組態之一實例。

像素32亦可具有一像素共用結構。該像素共用結構由複數個光二極體、複數個轉移電晶體、一個共用浮動擴散(浮動擴散區)、及彼

此共用之像素電晶體形成。即，共用像素經組態使得形成複數個單位像素之光二極體及轉移電晶體彼此共用像素電晶體。

控制電路38接收指示一操作模式或其類似者之一輸入時脈及資料且輸出層疊基板13之內部資料或其類似者之資料。即，基於一垂直同步信號、一水平同步信號及一主時脈，控制電路38產生充當垂直驅動電路34、行信號處理電路35、水平驅動電路36及其類似者之操作之一參考的一時脈信號或一控制信號。接著，控制電路38將所產生之時脈信號或控制信號輸出至垂直驅動電路34、行信號處理電路35、水平驅動電路36及其類似者。

垂直驅動電路34包含(例如)一移位暫存器，選擇一預定像素驅動佈線40，將用於驅動像素32之一脈衝供應至經選擇之像素驅動佈線40，且以列為單位驅動像素32。即，垂直驅動電路34在垂直方向上以列為單位依序選擇性地掃描像素陣列單元33之像素32，且經由一垂直信號線41將基於根據各像素32之光電轉換部分中所接收之光量而產生之一信號電荷的一像素信號供應至行信號處理電路35。

行信號處理電路35安置於像素32之各行處且對自對應於各像素行之一列之像素32輸出之信號執行信號處理(諸如雜訊消除)。例如，行信號處理電路35執行信號處理(諸如相關雙重取樣(CDS)及AD轉換)以消除像素獨有之定型雜訊。

水平驅動電路36包含(例如)一移位暫存器，藉由依序輸出水平掃描脈衝而依序選擇行信號處理電路35，且將來自行信號處理電路35之各者之一像素信號輸出至一水平信號線42。

輸出電路37對經由水平信號線42自行信號處理電路35依序供應之信號執行信號處理，且輸出經處理之信號。例如，輸出電路37在一些情況中僅執行緩衝或在一些情況中執行黑色位準調整、行變動校正、各種數位信號處理及其類似者。輸入/輸出端子39將信號傳輸至

外部及自外部接收信號。

具有上述組態之層疊基板13係稱為一行AD類型之一CMOS影像感測器，其中執行CDS程序及AD轉換程序之行信號處理電路35安置於各像素行處。

<像素之電路組態實例>

圖4繪示像素32之一等效電路。

圖4中所繪示之像素32具有實現一電子全域快門功能之一組態。

像素32包含一光二極體51 (其係一光電轉換元件)、一第一轉移電晶體52、一記憶體部分(MEM) 53、一第二轉移電晶體54、一FD (浮動擴散區) 55、一重設電晶體56、一放大電晶體57、一選擇電晶體58及一放電電晶體59。

光二極體51係根據所接收之光量而產生及累積一電荷(信號電荷)之一光電轉換部分。光二極體51之陽極端子係接地的，且其陰極端子經由第一轉移電晶體52而連接至記憶體部分53。光二極體51之陰極端子亦連接至放電電晶體59以使一非必要電荷放電。

當藉由一轉移信號TRX而接通電源時，第一轉移電晶體52讀取由光二極體51產生之電荷且將該電荷轉移至記憶體部分53。記憶體部分53係暫時保持電荷直至電荷被轉移至FD 55之一電荷保持部分。

當藉由一轉移信號TRG而接通電源時，第二轉移電晶體54讀取記憶體部分53中所保持之電荷且將該電荷轉移至FD 55。

FD 55係保持自記憶體部分53讀取之電荷以將該電荷讀取為一信號之一電荷保持部分。當藉由一重設信號RST而接通電源時，重設電晶體56藉由使儲存於FD 55中之電荷放電至一恆定電壓源VDD而重設FD 55之電位。

放大電晶體57根據FD 55之電位而輸出一像素信號。即，放大電晶體57形成充當一恆定電流源及一源極隨耦器電路之一負載MOS

60。指示根據FD 55中所儲存之電荷之一位準的一像素信號經由選擇電晶體58自放大電晶體57輸出至行信號處理電路35 (參閱圖3)。例如，負載MOS 60安置於行信號處理電路35之內部。

當藉由一選擇信號SEL而選擇像素32時，選擇電晶體58被接通且經由垂直信號線41將像素32之像素信號輸出至行信號處理電路35。

當藉由一放電信號OFG而接通電源時，放電電晶體59將儲存於光二極體51中之非必要電荷放電至恆定電壓源VDD。

經由像素驅動佈線40自垂直驅動電路34供應轉移信號TRX及TRG、重設信號RST、放電信號OFG及選擇信號SEL。

將簡要描述像素32之一操作。

首先，當在開始暴露之前將具有一高位準之放電信號OFG供應至放電電晶體59時，接通放電電晶體59，使累積於光二極體51中之電荷放電至恆定電壓源VDD，且重設所有像素之光二極體51。

當在重設光二極體51之後藉由具有一低位準之放電信號OFG而切斷放電電晶體59時，在像素陣列單元33之所有像素中開始暴露。

當預先判定之一預定暴露時間過去時，在像素陣列單元33之所有像素中藉由轉移信號TRX而接通第一轉移電晶體52，且將累積於光二極體51中之電荷轉移至記憶體部分53。

在切斷第一轉移電晶體52之後，以列為單位將保持於像素32之記憶體部分53中之電荷依序讀取至行信號處理電路35。在讀取操作中，藉由轉移信號TRG而接通讀取列中之像素32之第二轉移電晶體54且將保持於記憶體部分53中之電荷轉移至FD 55。接著，當藉由選擇信號SEL而接通選擇電晶體58時，經由選擇電晶體58將指示根據累積於FD 55中之電荷之位準的信號自放大電晶體57輸出至行信號處理電路35。

如上文所描述，包含圖4中之像素電路之像素32可根據以下之一

全域快門方案而執行一操作(成像)：在像素陣列單元33之所有像素中設定相同暴露時間；在結束暴露之後將電荷暫時保持於記憶體部分53中；及以列為單位自記憶體部分53依序讀取電荷。

像素32之電路組態不受限於圖4中所繪示之組態。例如，亦可採用其中根據不包含記憶體部分53之一所謂的滾動快門方案而執行一操作之一電路組態。

<2. 固態成像器件之第一基本結構實例>

接著，將參考圖5來描述層疊基板13之詳細組態。圖5係使固態成像器件1之一部分放大之一截面圖。

在邏輯基板11中，一多層佈線層82形成於由(例如)矽(Si)形成之一半導體基板81 (下文中指稱矽基板81)之上側(像素感測器基板12之側)上。圖2中之控制電路22及邏輯電路23由多層佈線層82形成。

多層佈線層82包含：複數個佈線層83，其包含最接近於像素感測器基板12之一最上佈線層83a、一中間佈線層83b、及最接近於矽基板81之一最下佈線層83c；及層間絕緣膜84，其形成於各自佈線層83之間。

複數個佈線層83由(例如)銅(Cu)、鋁(Al)或鎢(W)形成，且層間絕緣膜84由(例如)氧化矽膜或氮化矽膜形成。在複數個佈線層83及層間絕緣膜84之各者中，相同材料可用於所有層中或兩種或兩種以上材料可用於該等層中。

在矽基板81之預定位置處，形成穿透矽基板81之一矽通孔85，且藉由在矽通孔85之內壁上嵌入一連接導體87而形成一矽穿透電極(TSV：矽穿孔) 88，其中一絕緣膜86內插於矽通孔85與矽穿透電極88之間。絕緣膜86可由(例如)一SiO_2膜或一SiN膜形成。

沿圖5中所繪示之矽穿透電極88之內壁表面形成絕緣膜86及連接導體87，使得矽通孔85之內部係中空的。然而，根據內徑將矽通孔85

之整個內部嵌入至連接導體87中。換言之，通孔之內部可嵌入有一導體或內部之一部分可為中空的。此同樣亦適用於待在下文中描述之一晶片穿透電極(TCV：晶片穿孔) 105或其類似者。

矽穿透電極88之連接導體87連接至形成於矽基板81之下表面側上之一重新佈線90，且重新佈線90連接至一焊料球14。連接導體87及重新佈線90可由(例如)銅(Cu)、鎢(W)、鈦(Ti)、鉭(Ta)、鈦鎢合金(TiW)或多晶矽形成。

在矽基板81之下表面側上，一焊料遮罩(阻焊層) 91經形成以覆蓋重新佈線90及絕緣膜86，除其中形成焊料球14之一區域之外。

另一方面，在像素感測器基板12中，一多層佈線層102形成於由矽(Si)形成之一半導體基板101 (下文中指稱矽基板101)之下側(邏輯基板11之側)上。圖2中之像素區域21之像素電路由多層佈線層102形成。

多層佈線層102包含：複數個佈線層103，其包含最接近於矽基板101之一最上層佈線層103a、一中間佈線層103b、及最接近於邏輯基板11之一最下佈線層103c；及層間絕緣膜104，其形成於各自佈線層103之間。

可採用上文所描述之佈線層83及層間絕緣膜84之相同種類材料作為用於複數個佈線層103及層間絕緣膜104中之材料。一種材料或兩種或兩種以上材料可用於形成複數個佈線層103及層間絕緣膜104之事實同樣適用於上文所描述之佈線層83及層間絕緣膜84。

在圖5之實例中，像素感測器基板12之多層佈線層102包含三層之佈線層103，且邏輯基板11之多層佈線層82包含四層之佈線層83。然而，佈線層之數目不限於此。可形成任何數目個層。

在矽基板101中，由一PN接面形成之光二極體51形成於各像素32中。

儘管圖中未繪示，但複數個像素電晶體(諸如第一轉移電晶體52及第二轉移電晶體54)、記憶體部分(MEM) 53或其類似者形成於多層佈線層102及矽基板101中。

連接至像素感測器基板12之佈線層103a的一矽穿透電極109及連接至邏輯基板11之佈線層83a的一晶片穿透電極105形成於其中不形成彩色濾波器15及晶片上透鏡16之矽基板101之預定位置處。

晶片穿透電極105及矽穿透電極109連接至形成於矽基板101之上表面中之一連接佈線106。一絕緣膜107形成於矽基板101與矽穿透電極109及晶片穿透電極105之各者之間。此外，彩色濾波器15或晶片上透鏡16形成於矽基板101之上表面上，其中一絕緣膜(平坦化膜) 108內插於彩色濾波器15或晶片上透鏡16與矽基板101之上表面之間。

如上文所描述，圖1中所繪示之固態成像器件1之層疊基板13具有一層疊結構，其中邏輯基板11之多層佈線層82之側與像素感測器基板12之多層佈線層102之側彼此結合。在圖5中，邏輯基板11之多層佈線層82與像素感測器基板12之多層佈線層102之間之一黏合表面由一虛線指示。

在固態成像器件1之層疊基板13中，像素感測器基板12之佈線層103及邏輯基板11之佈線層83由兩個穿透電極(即，矽穿透電極109及晶片穿透電極105)連接，且邏輯基板11之佈線層83及焊料球(背面電極) 14由矽穿透電極88及重新佈線90連接。因此，可使固態成像器件1之平面面積減小至極度最小值。

層疊基板13及玻璃保護基板18藉由玻璃密封樹脂17而彼此黏合，使得無凹腔結構被形成，且因此亦可在高度方向上降低固態成像器件。

相應地，可實現圖1中所繪示之固態成像器件1，即，經進一步縮小尺寸之半導體器件(半導體封裝)。

<3. 固態成像器件之第一修改結構實例至第九修改結構實例>

接著，將參考圖6至圖14來描述固態成像器件1之層疊基板13之內部結構之其他實例。

在圖6至圖14中，將相同參考元件符號給予對應於圖5中所繪示之結構中之部分的部分，且將適當省略其描述。將藉由與上文所描述之結構比較而描述不同於圖5中所繪示之結構之部分的部分。在下文中，圖5中所繪示之結構指稱一基本結構。例如，在圖6至圖14中，為簡單起見，未在一些情況中繪示圖5中所繪示之結構之部分，諸如絕緣膜86、絕緣膜107及絕緣膜108。

<第一修改實例>

圖6係繪示根據一第一修改實例之固態成像器件1之層疊基板13的一圖式。

在圖5之基本結構中，使用兩個穿透電極(即，矽穿透電極109及晶片穿透電極105)來使邏輯基板11及像素感測器基板12連接於上側之像素感測器基板12之側上。

相比而言，在圖6之第一修改實例中，使用兩個穿透電極(即，一矽穿透電極151及一晶片穿透電極152)來使邏輯基板11及像素感測器基板12連接於下側之邏輯基板11之側上。

更具體言之，連接至邏輯基板11之佈線層83c的矽穿透電極151及連接至像素感測器基板12之佈線層103c的晶片穿透電極152形成於邏輯基板11之側上之矽基板81之預定位置處。由絕緣膜(圖中未繪示)使矽穿透電極151及晶片穿透電極152與矽基板81絕緣。

矽穿透電極151及晶片穿透電極152連接至形成於矽基板81之下表面上之一連接佈線153。連接佈線153亦連接至一重新佈線154，重新佈線154連接至焊料球14。

在上文所描述之第一修改實例中，由於採用邏輯基板11及像素感

測器基板12之層疊結構，所以可縮小固態成像器件1之封裝尺寸。

在第一修改實例中，將邏輯基板11電連接至像素感測器基板12之連接佈線153未形成於像素感測器基板12之矽基板101之上側上，而是形成於邏輯基板11之矽基板81之下側上。因此，由於可使玻璃保護基板18與具有無凹腔結構之層疊基板13之間之空間(厚度)最小化，所以可達成固態成像器件1之低後部。

<第二修改實例>

圖7係繪示根據一第二修改實例之固態成像器件1之層疊基板13的一圖式。

在第二修改實例中，邏輯基板11及像素感測器基板12藉由佈線層之金屬結合而連接。

更具體言之，邏輯基板11之多層佈線層82中之最上佈線層83a及像素感測器基板12之多層佈線層102中之最下佈線層103c藉由金屬結合而連接。例如，銅(Cu)適合於佈線層83a及佈線層103c之材料。在圖7之實例中，佈線層83a及佈線層103c僅形成於邏輯基板11及像素感測器基板12之結合表面之一部分上。然而，一金屬(銅)層可在結合表面之整個表面上形成為一結合佈線層。

在圖7中，僅繪示用於與圖5比較之圖式。然而，邏輯基板11中之佈線層83及焊料球14由矽穿透電極88及重新佈線90連接，如同圖5之基本結構。

<第三修改實例>

圖8係繪示根據一第三修改實例之固態成像器件1之層疊基板13的一圖式。

在第三修改實例中，將邏輯基板11連接至像素感測器基板12之一方法相同於圖6中所描述之第一修改實例之方法。即，邏輯基板11及像素感測器基板12由矽穿透電極151、晶片穿透電極152及連接佈線

153連接。

第三修改實例與第一修改實例之不同點在於：一連接導體171在一深度方向上形成於連接至焊料球14之重新佈線154與將矽穿透電極151連接至晶片穿透電極152之連接佈線153之間。連接導體171將連接佈線153連接至重新佈線154。

<第四修改實例>

圖9係繪示根據一第四修改實例之固態成像器件1之層疊基板13的一圖式。

在第四修改實例中，將邏輯基板11連接至像素感測器基板12之一方法相同於圖5中所繪示之基本結構之方法。即，邏輯基板11及像素感測器基板12藉由使用連接佈線106及兩個穿透電極(即，矽穿透電極109及晶片穿透電極105)而連接至像素感測器基板12之上側。

固態成像器件1之下側之焊料球14、及邏輯基板11之複數個佈線層83及像素感測器基板12之複數個佈線層103由穿透邏輯基板11及像素感測器基板12之一晶片穿透電極181連接。

更具體言之，穿透邏輯基板11及像素感測器基板12之晶片穿透電極181形成於層疊基板13之一預定位置處。晶片穿透電極181經由形成於像素感測器基板12之矽基板101之上表面中之一連接佈線182而連接至像素感測器基板12之佈線層103。此外，晶片穿透電極181亦連接至形成於下側之邏輯基板11之矽基板81之下表面上之一重新佈線183，且因此經由重新佈線183而連接至焊料球14。

<第五修改實例>

圖10係繪示根據一第五修改實例之固態成像器件1之層疊基板13的一圖式。

在圖10之第五修改實例中，將邏輯基板11連接至像素感測器基板12之一方法及將固態成像器件1之下側連接至焊料球14之一方法相同

於圖9中所描述之第四修改實例之方法。

然而，在第五修改實例中，邏輯基板11之矽基板81之下側之結構不同於圖9之第四修改實例之結構。

具體言之，在圖9中所描述之第四修改實例中，邏輯基板11之矽基板81之下表面覆蓋有絕緣膜86，且接著形成一焊料遮罩(阻焊層)91。

然而，在圖10之第五修改實例中，邏輯基板11之矽基板81之下表面僅覆蓋有厚絕緣膜86。絕緣膜86可包含藉由(例如)一電漿化學氣相沈積(CVD)方法而形成之一SiO_2膜及一SiN膜。

<第六修改實例>

圖11係繪示根據一第六修改實例之固態成像器件1之層疊基板13的一圖式。

在圖11之第六修改實例中，用於焊料球14之一連接方法相同於上文所描述之第四修改實例(圖9)及第五修改實例(圖10)之方法。即，焊料球14藉由穿透邏輯基板11及像素感測器基板12之晶片穿透電極181而連接至邏輯基板11之佈線層83及像素感測器基板12之佈線層103。

然而，在第六修改實例中，將邏輯基板11連接至像素感測器基板12之一方法不同於第四修改實例(圖9)及第五修改實例(圖10)之方法。

具體言之，在第六修改實例中，自形成於像素感測器基板12之矽基板101之上側上之連接佈線192至邏輯基板11之佈線層83a的一晶片穿透電極191經形成以穿透像素感測器基板12。晶片穿透電極191亦連接至像素感測器基板12之佈線層103b。

因此，在第六修改實例中，晶片穿透電極191經組態以共用與邏輯基板11之佈線層83之連接及與像素感測器基板12之佈線層103之連接。

<第七修改實例>

圖12係繪示根據一第七修改實例之固態成像器件1之層疊基板13的一圖式。

在圖12之第七修改實例中，用於固態成像器件1之下側上之焊料球14的一連接方法相同於第四修改實例至第六修改實例(圖9至圖11)之方法。即，固態成像器件1之下側之焊料球14、及邏輯基板11之佈線層83及像素感測器基板12之佈線層103由穿透邏輯基板11及像素感測器基板12之晶片穿透電極181連接。

然而，在第七修改實例中，將邏輯基板11連接至像素感測器基板12之一方法不同於第四修改實例至第六修改實例(圖9至圖11)之方法。

更具體言之，在第七修改實例中，邏輯基板11之最上佈線層83a及像素感測器基板12之最下佈線層103c藉由金屬結合而連接。例如，銅(Cu)用作為佈線層83a及佈線層103c之材料。在圖12之實例中，佈線層83a及佈線層103c僅形成於邏輯基板11及像素感測器基板12之結合表面之一部分上。然而，一金屬(銅)層可在結合表面之整個表面上形成為一結合佈線層。

<第八修改實例>

圖13係繪示根據一第八修改實例之固態成像器件1之層疊基板13的一圖式。

在第八修改實例中，相較於圖5之基本結構，形成於邏輯基板11之矽基板81之下表面上之一絕緣膜201係不同的。

在第八修改實例中，等於或大於250度且等於或小於400度之一高溫(其不影響佈線層83及其類似者)處所形成之一無機膜在邏輯基板11之矽基板81之下表面上形成為絕緣膜201。例如，一電漿TEOS膜、一電漿SiN膜、一電漿SiO_2膜、一CVD-SiN膜或一CVD-SiO_2膜可形成為絕緣膜201。

例如，當一有機材料用於形成絕緣膜201且使用一低溫絕緣膜時，吾人擔心會發生由不佳防潮性、侵蝕或離子遷移引起之可靠性之劣化。然而，一無機膜具有良好防潮性。因此，在第八修改實例之結構中，可藉由採用在等於或小於400度之一溫度處形成為絕緣膜201之一無機膜而改良佈線可靠性。

<第九修改實例>

圖14係繪示根據一第九修改實例之固態成像器件1之層疊基板13的一圖式。

在圖14之第九修改實例中，將邏輯基板11連接至像素感測器基板12之一方法不同於圖5之基本結構之方法。

即，在圖5之基本結構中，邏輯基板11及像素感測器基板12由兩個穿透電極(即，矽穿透電極151及晶片穿透電極152)連接。然而，在第九修改實例中，邏輯基板11之多層佈線層82中之最上佈線層83a及像素感測器基板12之多層佈線層102中之最下佈線層103c藉由金屬結合(Cu-Cu結合)而連接。

在第九修改實例中，用於固態成像器件1之下側之焊料球14的一連接方法相同於圖5之基本結構之方法。即，藉由將矽穿透電極88連接至邏輯基板11之最下佈線層83c，焊料球14連接至層疊基板13中之佈線層83及佈線層103。

然而，第九修改實例中之一結構與圖5之基本結構的不同點在於：在矽基板81之下表面之側上，未經電連接至任何部分之一虛設佈線211在與重新佈線90 (其連接至焊料球14)相同的層中係由與重新佈線90之佈線相同的材料形成。

當邏輯基板11之側上之最上佈線層83a及像素感測器基板12之側上之最下佈線層103c係藉由金屬結合(Cu-Cu結合)而連接時，虛設佈線211經形成以減少不均勻性之影響。即，當重新佈線90在執行Cu-Cu

結合時僅形成於矽基板81之下表面的一部分區域中時，不均勻性係由歸因於存在或不存在重新佈線90之一厚度差引起。相應地，可藉由設置虛設佈線211來減少不均勻性之影響。

<4. 固態成像器件之第二基本結構實例>

在上文所描述之固態成像器件1之基本結構及修改實例中，層疊基板13具有層疊結構，其中邏輯基板11之多層佈線層82之側與像素感測器基板12之多層佈線層102之側經黏合以面向彼此。在本說明書中，其中該兩個基板之佈線層面向彼此之結構指稱一面對面結構。

接著，作為固態成像器件1之另一組態實例，下文將描述一層疊結構，其中與邏輯基板11之多層佈線層82之側相對之一表面經黏合至像素感測器基板12之多層佈線層102之側以形成層疊基板13。在本說明書中，其中一基板之佈線層之側經結合至與另一基板之佈線層之側相對之表面的結構指稱一面對背結構。

圖15係圖5之固態成像器件1經組態以具有面對背結構時使固態成像器件1之一部分放大之一截面圖。

基本上，圖15中所繪示之面對背結構與圖5中所繪示之面對面結構之間之一差異在於：邏輯基板11之多層佈線層82之側經結合至像素感測器基板12之多層佈線層102之側，或不經結合至多層佈線層82，而是經結合至與多層佈線層82相對之側。

相應地，在圖15中，將相同參考元件符號給予對應於圖5之部分的部分，且將不描述及將粗略地描述詳細結構。

在圖15中之固態成像器件1中，像素感測器基板12之多層佈線層102之層間絕緣膜104與邏輯基板11之絕緣膜86彼此結合。在圖15中，邏輯基板11之多層佈線層86與像素感測器基板12之多層佈線層102之間之一黏合表面由一虛線指示。

在邏輯基板11中，多層佈線層82形成於與其上形成有矽基板81之

絕緣膜86的表面相對之側(圖式中之下側)上，且(例如)形成由銅(Cu)形成之重新佈線90、焊料球14及焊料遮罩(阻焊層) 91。

另一方面，在像素感測器基板12中，多層佈線層102在圖式中形成於矽基板101之下側(邏輯基板11之側)上，且彩色濾波器15、晶片上透鏡16及其類似者形成於矽基板101之上側(其係與其上形成有多層佈線層102之表面相對之側)上。

在矽基板101中，光二極體51形成於各像素中。

像素感測器基板12之佈線層103及邏輯基板11之佈線層83由兩個穿透電極(即，矽穿透電極109及晶片穿透電極105)連接。

圖15與圖5之不同點在於：抑制一暗電流之一高介電膜401繪示於矽基板101之上表面上，且由氮化物膜(SiN)或其類似者形成之一罩蓋膜402繪示於將晶片穿透電極105連接至矽穿透電極109之連接佈線106之上表面上。即使在圖5之面對面結構中，可依此方式形成高介電膜401及罩蓋膜402。替代地，在圖15之面對背結構中，可省略高介電膜401及罩蓋膜402，如同圖5之面對面結構。

在固態成像器件1之層疊基板13中，像素感測器基板12之佈線層103及邏輯基板11之佈線層83由兩個穿透電極(即，矽穿透電極109及晶片穿透電極105)及使該兩個穿透電極彼此連接之連接佈線106連接。此外，邏輯基板11之佈線層83及焊料球(背面電極) 14由重新佈線90連接。因此，可使固態成像器件1之平面面積減小至極度最小值。

層疊基板13及玻璃保護基板18藉由玻璃密封樹脂17而彼此黏合，使得無凹腔結構被形成，且因此亦可在高度方向上降低固態成像器件。

相應地，可實現具有面對背結構之固態成像器件1，即，經進一步縮小尺寸之半導體器件(半導體封裝)。

<5. 用於第二基本結構之製造方法>

[製造圖15中之固態成像器件之第一方法]

接著，將參考圖16至圖30來描述製造具有圖15中所繪示之面對背結構之固態成像器件1的一第一方法。

首先，單獨製造半成品邏輯基板11及半成品像素感測器基板12。

在邏輯基板11中，變為控制電路22或邏輯電路23之多層佈線層82形成於變為矽基板(矽晶圓) 81之各晶片部分的一區域中。此時，矽基板81尚未被薄化且具有(例如)約600微米之一厚度。

另一方面，在像素感測器基板12中，各像素32之光二極體51及像素電晶體之源極/汲極區域形成於變為矽基板(矽晶圓) 101之各晶片部分的一區域中。形成控制電路22或其類似者之一部分的多層佈線層102形成於其上形成有像素電晶體之源極/汲極區域的矽基板101之表面上。

隨後，如圖16中所繪示，將一臨時結合基板(矽基板) 411作為一支撐基板黏合至半成品邏輯基板11之多層佈線層82之側。

黏合之實例包含電漿結合及藉由一黏著劑之結合。在該實施例中，假定執行電漿結合。就電漿結合而言，藉由在邏輯基板11及臨時結合基板411之結合表面上形成一電漿TEOS膜、一電漿SiN膜、一SiON膜(阻隔膜)、一SiC膜或其類似者，對結合表面執行電漿處理，疊加該兩個基板，且接著執行一退火程序而結合邏輯基板11及臨時結合基板411。

如圖17中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

此處，如圖18中所繪示，為避免由加熱邏輯基板11引起之熱電子之影響，由諸如鉭(Ta)、銅(Cu)或鈦(Ti)之金屬形成之一遮光膜416可

形成於絕緣膜86上，且由SiO_2或其類似者形成之一保護膜417可形成於遮光膜416上。其中未形成矽基板81之表面上之遮光膜416的一區域係其中形成矽穿透電極109及晶片穿透電極105之區域。需要在藉由一電漿CVD方法或其類似者而形成保護膜417之後藉由一化學機械拋光(CMP)方法而使保護膜417平坦化。

下文將在其中未形成遮光膜416及保護膜417之一情況中進行描述。如圖19中所繪示，邏輯基板11之絕緣膜86及經部分製造之半成品像素感測器基板12之多層佈線層102經黏合以面向彼此。圖20繪示黏合狀態，且一黏合表面由一虛線指示。黏合之實例包含電漿結合及藉由一黏著劑之結合。在該實施例中，假定執行電漿結合。就電漿結合而言，藉由在邏輯基板11及像素感測器基板12之結合表面上形成一電漿TEOS膜、一電漿SiN膜、一SiON膜(阻隔膜)、一SiC膜或其類似者，對結合表面執行電漿處理，疊加該兩個基板，且接著執行一退火程序而結合邏輯基板11及像素感測器基板12。

在使邏輯基板11與像素感測器基板12彼此黏合之後，如圖21中所繪示，將像素感測器基板12之矽基板101薄化至約1微米至約10微米之程度。形成充當一犧牲層之高介電膜401及絕緣膜108。例如，一SiO_2膜或其類似者可用作為絕緣膜108。

如圖22中所繪示，將一光阻層412施加至絕緣膜108，根據其中形成矽穿透電極109及晶片穿透電極105之區域而圖案化光阻層412，且形成對應於晶片穿透電極105及矽穿透電極109之開口413及414。在形成開口413及414之後，剝離光阻層412。

隨後，如圖23中所繪示，在藉由一電漿CVD方法而使絕緣膜107形成於開口413及414之內壁上之後，藉由一回蝕方法而移除開口413及414之底部部分之絕緣膜107。因此，使邏輯基板11之佈線層83a暴露於開口413中，且使像素感測器基板12之佈線層103a暴露於開口414

中。亦在回蝕程序中移除開口413與414之間之絕緣膜108之一部分。

如圖24中所繪示，藉由在開口413與414之間嵌入銅(Cu)而形成晶片穿透電極105、矽穿透電極109及將晶片穿透電極105連接至矽穿透電極109之連接佈線106。例如，可採用下列方法作為嵌入銅(Cu)之一方法。首先，使用一濺鍍方法來形成用於電場電鍍之一障壁金屬膜及一Cu晶種層，且根據需要，藉由一無電電鍍方法或其類似者而加強該Cu晶種層。其後，在藉由一電解電鍍方法而使開口填充有銅之後，藉由一CMP方法而移除過量銅，使得晶片穿透電極105、矽穿透電極109及連接佈線106被形成。例如，可使用鉭(Ta)、鈦(Ti)、鎢(W)、鋯(Zr)、該等金屬之氮化物膜、或該等金屬之碳化膜作為該障壁金屬膜之材料。在該實施例中，使用鈦膜作為該障壁金屬膜。

如圖25中所繪示，在由氮化物膜(SiN)或其類似者形成之罩蓋膜402形成於連接佈線106及絕緣膜108之表面上之後，使罩蓋膜402進一步覆蓋有絕緣膜108。

隨後，如圖26中所繪示，藉由雕刻其中形成光二極體51之像素區域21之罩蓋膜402及絕緣膜108而形成一凹腔415。

如圖27中所繪示，彩色濾波器15及晶片上透鏡16形成於所形成之凹腔415中。

接著，如圖28中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離(剝離)臨時結合基板411。

接著，如圖29中所繪示，將邏輯基板11及像素感測器基板12倒置，使得玻璃保護基板18充當支撐基板，使最接近於邏輯基板11之外部的佈線層83c之一部分開口且藉由一半加成方法而形成重新佈線90。

隨後，如圖30中所繪示，在一焊料遮罩91經形成以保護重新佈線90之後，僅移除其上安裝有焊料球14之一區域中之焊料遮罩91，且接著藉由一焊料球安裝方法或其類似者而形成焊料球14。

可藉由上述製造方法而製造圖15中之固態成像器件1。

[製造圖15中之固態成像器件之第二方法]

接著，將參考圖31至圖43來描述製造具有圖15中所繪示之面對背結構之固態成像器件1的一第二方法。

首先，如圖31中所繪示，製造半成品邏輯基板11，其中變為控制電路22或邏輯電路23之多層佈線層82形成於變為矽基板81之各晶片部分的一區域中。此時，矽基板81尚未被薄化且具有(例如)約600微米之一厚度。

如圖32中所繪示，藉由一鑲嵌方法，使用(例如)作為佈線材料之Cu來形成連接至多層佈線層82之最上佈線層83c的重新佈線90。使用氮化物膜(SiN)或其類似者之一罩蓋膜421形成於所形成之重新佈線90及層間絕緣膜84之上表面上，且接著覆蓋有絕緣膜422，諸如SiO_2。圖15中未繪示罩蓋膜421及絕緣膜422。可藉由(例如)一電漿CVD方法而形成罩蓋膜421及絕緣膜422。

隨後，如圖33中所繪示，藉由電漿結合或使用一黏著劑之結合而將一臨時結合基板(矽基板) 423作為一支撐基板黏合至邏輯基板11之多層佈線層82之側。

如圖34中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。此製造方法與上述第一製造方法之相同點在於：一遮光膜416及一保護膜417可形成於絕緣膜86之上表面上以避免熱電子之影響(參考圖18)。

如圖35中所繪示，將單獨製造之半成品像素感測器基板12之多層佈線層102之側黏合至經薄化之邏輯基板11。

在使邏輯基板11與像素感測器基板12彼此黏合之後，如圖36中所繪示，將像素感測器基板12之矽基板101薄化至約1微米至約10微米之程度。形成充當一犧牲層之高介電膜401及絕緣膜108。例如，一SiO_2膜或其類似者可用作為絕緣膜108。

其後，藉由在上述第一製造方法中參考圖22至圖27所描述之方法而形成晶片穿透電極105、矽穿透電極109及連接佈線106 (其將晶片穿透電極105連接至矽穿透電極109或彩色濾波器15及晶片上透鏡16)。接著，如圖37中所繪示，經由玻璃密封樹脂17而連接玻璃保護基板18，且接著分離臨時結合基板423。

如圖38中所繪示，將邏輯基板11及像素感測器基板12倒置。如圖39中所繪示，使用玻璃保護基板18作為支撐基板，使重新佈線90之一部分開口，且藉由一焊料球方法或其類似者而形成焊料球14。除其上安裝有焊料球14之區域之外，絕緣膜422之上表面覆蓋有焊料遮罩91。

<焊料球安裝部分之第一修改實例>

圖40繪示一焊料球安裝部分之一第一修改實例，該焊料球安裝部分係其上安裝有焊料球14之一區域。

在第一修改實例中，如圖40中所繪示，一焊盤431在重新佈線90上由相同於重新佈線90之材料(例如Cu)形成。接著，焊料球14連接於焊盤431上。

除焊料球14之外，焊盤431之上表面覆蓋有一罩蓋膜441及一絕緣膜442。因此，罩蓋膜421、絕緣膜422、罩蓋膜441及絕緣膜442之一4層結構形成於重新佈線90之上表面上。

當焊料球安裝部分形成有圖40中所繪示之結構時，可進一步形

成焊盤431、及罩蓋膜441及絕緣膜442，如圖41以及製造重新佈線90、及罩蓋膜421及絕緣膜422之程序(如參考圖32所描述)中所繪示。剩餘製造方法相同於上述第二製造方法。

<焊料球安裝部分之第二修改實例>

圖42繪示焊料球安裝部分之一第二修改實例。

在第二修改實例中，如圖42中所繪示，重新佈線90及焊盤431未如同第一修改實例般直接連接，而是透過一介層孔(連接導體) 443而連接。罩蓋膜421、絕緣膜422、罩蓋膜441及絕緣膜442之4層結構形成於重新佈線90之上表面上。

因此，由於易於藉由使用一介層孔443來形成多個層而路由一佈線，所以可獲得佈局方面之一優點。

當焊料球安裝部分形成有圖42中所繪示之結構(如圖41中所繪示)時，可進一步形成焊盤431、介層孔443、及罩蓋膜441及絕緣膜442，如圖43以及製造重新佈線90、及罩蓋膜421及絕緣膜422之程序(如參考圖32所描述)中所繪示。剩餘製造方法相同於上述第二製造方法。

[製造圖15中之固態成像器件之第三方法]

接著，將參考圖44至圖49來描述製造具有圖15中所繪示之面對背結構之固態成像器件1的一第三方法。

首先，如圖44中所繪示，製造半成品邏輯基板11，其中變為控制電路22或邏輯電路23之多層佈線層82形成於變為矽基板81之各晶片部分的一區域中。此時，矽基板81尚未被薄化且具有(例如)約600微米之一厚度。

如圖45中所繪示，藉由一鑲嵌方法，使用(例如)作為佈線材料之Cu來形成連接至多層佈線層82之最上佈線層83c的重新佈線90。使用氮化物膜(SiN)或其類似者之一罩蓋膜421形成於所形成之重新佈線90及層間絕緣膜84之上表面上，且接著覆蓋有絕緣膜422，諸如SiO_2。

該等程序相同於上述第二製造方法之程序。

接著，如圖46中所繪示，形成焊料遮罩91，且藉由在其上安裝有焊料球14之區域中蝕刻焊料遮罩91、罩蓋膜421及絕緣膜422而形成一開口451。可藉由施加一光阻層且在其上安裝有焊料球14之區域中執行乾式蝕刻而形成開口451。

接著，如圖47中所繪示，藉由(例如)一焊料球安裝方法而使焊料球14形成於開口451中。

接著，如圖48及圖49中所繪示，使用具有一厚度(其係焊料球14被掩蓋之厚度)之一黏著劑452來使邏輯基板11之焊料球14之側及一臨時結合基板(矽基板) 453黏合在一起。

使用黏著劑452來結合邏輯基板11及臨時結合基板453之後之製程相同於上述第二製造方法之製程，且因此將省略其描述。

<重新佈線之修改實例>

關於連接至焊料球14或焊盤431之佈線層的重新佈線90之厚度，需要確保：一剩餘厚度不與銅反應，此係因為焊料中之錫與金屬佈線中之銅在焊接期間彼此反應且接著形成一金屬間化合物(IMC)。

替代地，如圖50中所繪示，一障壁金屬461可形成於重新佈線90之外部。因此，即使使重新佈線90之所有銅發生反應，但該反應可經組態以由障壁金屬461停止。可使用Ta、TaN、Ti、Co (鈷)、Cr (鉻)或其類似者作為障壁金屬461之材料。當Ta或TaN用作為障壁金屬461之材料時，可將障壁金屬461之厚度設定為約30奈米。另一方面，當Ti用作為障壁金屬461之材料時，可考量使障壁金屬461之厚度為約200奈米。障壁金屬461可具有Ta (下層)/Ti (上層)、TaN/Ta/Ti或其類似者之一層疊結構。

圖51A至圖51C繪示後反應狀態，其中當使用作為障壁金屬461之Ta或TaN來執行焊接時，一金屬間化合物(IMC)形成於重新佈線90

中。圖51A至圖51C中之一障壁金屬461A指示使用Ta或TaN來形成之障壁金屬461。

圖51A繪示其中僅接近於焊料球14之重新佈線90之一上部分轉變成一IMC (CuSn) 462的一狀態。

圖51B繪示其中使重新佈線90形成為比圖51A中之重新佈線薄，使重新佈線90之所有Cu變成IMC 462，且由障壁金屬461A停止反應的一狀態。

圖51C繪示其中使重新佈線90形成為比圖51A中之重新佈線薄，使重新佈線90之所有Cu變成IMC 462，且由障壁金屬461A停止反應的一狀態。在圖51C中，IMC 462擴散至焊料球14之內部。

圖52A至圖52D繪示後反應狀態，其中當使用作為障壁金屬461之Ti來執行焊接時，一金屬間化合物(IMC)形成於重新佈線90中。圖52A至圖52D中之一障壁金屬461B指示使用Ti來形成之障壁金屬461。

如同圖51A，圖52A繪示其中僅接近於焊料球14之重新佈線90之一上部分轉變成一IMC (CuSn) 462的一狀態。

如同圖51B，圖52B繪示其中使重新佈線90形成為比圖52A中之重新佈線薄，使重新佈線90之所有Cu變成IMC 462，且由障壁金屬461B停止反應的一狀態。

圖52C繪示其中使重新佈線90形成為比圖52A中之重新佈線薄，使重新佈線90之所有Cu發生反應且變成CuSn之IMC 462，亦使障壁金屬461B之一部分發生反應，且因此形成TiSn之一IMC 463的一狀態。

圖52D繪示其中使重新佈線90形成為比圖52A中之重新佈線薄，使重新佈線90之所有Cu發生反應，CuSn之IMC 462擴散至焊料球14之內部，使障壁金屬461B之一部分發生反應，且因此形成TiSn之IMC 463的一狀態。

因此，可藉由在重新佈線90之下層中形成障壁金屬461而抑制一

焊接缺陷。當Ti用作為障壁金屬461之材料時，亦可預期在焊接之後於一可靠性測試中抑制歸因於Cu與Sn之間之一相互擴散速率之一差異而發生之一克肯達耳(Kirkendall)空隙之生長。

<其中存在焊盤之情況之實例>

即使焊盤431形成於重新佈線90上方，如圖40或圖42中所繪示，但可依此方式形成障壁金屬461。

圖53繪示其中障壁金屬461形成於重新佈線90及焊盤431之各者之一下層中的一結構實例。因此，其中障壁金屬461安置於焊料球14下方的一結構指稱一凸塊下金屬(UBM)結構。

將參考圖54A至圖54E來描述當存在焊盤431 (如圖53中所繪示)時形成障壁金屬461之一程序。

首先，如圖54A中所繪示，在藉由一濺鍍方法而形成障壁金屬461之後，藉由一鑲嵌方法而形成重新佈線90。在形成重新佈線90之後，將罩蓋膜421及絕緣膜422層疊。

接著，在使其中形成焊盤431之區域開口(如圖54B中所繪示)之後，如圖54C中所繪示，形成用於焊盤431之障壁金屬461及一佈線材料431A。此處，可藉由將障壁金屬461之厚度設定為厚達(例如)約500奈米之程度而改良焊料球14之連接可靠性。

接著，如圖54D中所繪示，藉由通過用於移除過量佈線材料431A及過量障壁金屬461之一CMP方法使表面平坦化而形成焊盤431。

最後，如圖54E中所繪示，罩蓋膜441及絕緣膜442形成於最上表面上，焊料球14形成於焊盤431上方，且焊料遮罩91形成於其他部分中。

如上文所描述，藉由通過鑲嵌方法形成重新佈線90及焊盤431，可使障壁金屬461形成於佈線側壁上，且因此可降低佈線間洩漏或其類似者之風險。由於藉由鑲嵌方法而形成焊料球安裝部分之UBM結

構，所以可移除障壁金屬461之下切口，且因此易於使障壁金屬461變厚或形成一層疊膜。

根據製造具有上文所描述之面對背結構之固態成像器件1之第一方法至第三方法，在形成彩色濾波器15或晶片上透鏡16之前形成兩個穿透電極，即，晶片穿透電極105及矽穿透電極109。因此，亦可在形成彩色濾波器15或晶片上透鏡16之前形成充當一隔離膜之絕緣膜107或絕緣膜108。因此，可形成具有良好膜品質之絕緣膜107或絕緣膜108，且因此可改良耐壓性、黏著性或其類似者之特性。即，可改良絕緣膜107或絕緣膜108之可靠性以確保高可靠性。

<6. 用於第一基本結構之製造方法>

接著，如圖5至圖14中所繪示，將描述製造具有面對面結構(其中邏輯基板11及像素感測器基板12之佈線層面向彼此)之固態成像器件1的一方法。

[製造圖5中之基本結構之方法]

首先，將參考圖55至圖65來描述製造具有圖5中所繪示之基本結構之固態成像器件1的一方法。

首先，單獨製造半成品邏輯基板11及半成品像素感測器基板12。

在邏輯基板11中，變為控制電路22或邏輯電路23之多層佈線層82形成於變為矽基板(矽晶圓) 81之各晶片部分的一區域中。此時，矽基板81尚未被薄化且具有(例如)約600微米之一厚度。

另一方面，在像素感測器基板12中，各像素32之光二極體51及像素電晶體之源極/汲極區域形成於變為矽基板(矽晶圓) 101之各晶片部分的一區域中。形成控制電路22或其類似者之一部分的多層佈線層102形成於矽基板101之一表面上，且彩色濾波器15及晶片上透鏡16形成於矽基板101之另一表面上。

如圖55中所繪示，所製造之邏輯基板11之多層佈線層82之側及像

素感測器基板12之多層佈線層102之側經黏合以面向彼此。黏合之實例包含電漿結合及藉由一黏著劑之結合。在該實施例中，假定執行電漿結合。就電漿結合而言，藉由在邏輯基板11及像素感測器基板12之結合表面上形成一電漿TEOS膜、一電漿SiN膜、一SiON膜(阻隔膜)、一SiC膜或其類似者，對結合表面執行電漿處理，疊加該兩個基板，且接著執行一退火程序而結合邏輯基板11及像素感測器基板12。

在將邏輯基板11及像素感測器基板12黏合在一起之後，藉由一鑲嵌方法或其類似者而形成矽穿透電極109、晶片穿透電極105、及將晶片穿透電極105連接至矽穿透電極109之連接佈線106。

如圖55中所繪示，將玻璃密封樹脂17施加至其上形成有黏合至邏輯基板11之像素感測器基板12之晶片上透鏡16的整個表面。如圖56中所繪示，將玻璃保護基板18與無凹腔結構連接。

接著，如圖57中所繪示，在將其中將邏輯基板11及像素感測器基板12黏合在一起之層疊基板13倒置之後，將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度，例如，至約30微米至約100微米之程度。

接著，如圖58中所繪示，在一光阻層221經圖案化使得其中安置矽穿透電極88 (圖中未繪示)之薄化矽基板81上之一位置被開口之後，藉由乾式蝕刻而移除矽基板81及矽基板81下方之一層間絕緣膜84之一部分以形成一開口222。

接著，如圖59中所繪示，藉由(例如)一電漿CVD方法而使一絕緣膜(隔離膜) 86形成於包含開口222之矽基板81之整個上表面上。如上文所描述，例如，一SiO_2膜或一SiN膜可形成為絕緣膜86。

接著，如圖60中所繪示，藉由一回蝕方法而移除開口222之底面之絕緣膜86，使得最接近於矽基板81之佈線層83c被暴露。

接著，如圖61中所繪示，可藉由一濺鍍方法而形成一障壁金屬

膜(圖中未繪示)及一Cu晶種層231。該障壁金屬膜係防止連接導體87(Cu)擴散之一膜，且當藉由一電解電鍍方法而嵌入連接導體87時，Cu晶種層231變為一電極。例如，可使用鉭(Ta)、鈦(Ti)、鎢(W)、鋯(Zr)、該等金屬之氮化物膜或該等金屬之碳化膜作為該障壁金屬膜之材料。在該實施例中，使用鈦膜作為該障壁金屬膜。

接著，如圖62中所繪示，在使一光阻圖案241形成於Cu晶種層231上之一所需區域中之後，藉由一電解電鍍方法而電鍍充當連接導體87之銅(Cu)。因此，形成矽穿透電極88且亦在矽基板81之上側上形成重新佈線90。

接著，如圖63中所繪示，在移除光阻圖案241之後，藉由濕式蝕刻而移除光阻圖案241下方之障壁金屬膜(圖中未繪示)及Cu晶種層231。

接著，如圖64中所繪示，在焊料遮罩91經形成以保護重新佈線90之後，藉由僅移除其上安裝有焊料球14之一區域中之焊料遮罩91而形成一焊料遮罩開口242。

接著，如圖65中所繪示，藉由一焊料球安裝方法或其類似者而使焊料球14形成於焊料遮罩開口242中。

可藉由上述製造方法而製造具有圖5中所繪示之基本結構之固態成像器件1。

根據前述製造方法，在形成彩色濾波器15之後形成矽穿透電極88。在此情況中，在形成矽穿透基板88之程序期間，尤其需要在約200度至約220度處藉由一低溫電漿CVD方法而形成使矽基板81與連接導體87絕緣之絕緣膜86，以防止彩色濾波器15、晶片上透鏡16及其類似者被損壞。

然而，當在一低溫處形成絕緣膜86時，原子間結合可能是不夠的且在一些情況中，膜品質會劣化。此外，當膜品質劣化時，可發生

剝離或破裂，且因此在一些情況中，可發生矽耐壓性失效、金屬佈線洩漏或其類似者。

相應地，下文將描述確保絕緣膜86之可靠性同時防止彩色濾波器15、晶片上透鏡16或其類似者被損壞之一製造方法。

<第一修改實例之第一製造方法>

將參考圖66A至圖67C來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第一方法。

首先，單獨製造半成品邏輯基板11及半成品像素感測器基板12。

在邏輯基板11中，變為控制電路22或邏輯電路23之多層佈線層82形成於變為矽基板(矽晶圓) 81之各晶片部分的一區域中。此時，矽基板81尚未被薄化且具有(例如)約600微米之一厚度。

另一方面，在像素感測器基板12中，各像素32之光二極體51及像素電晶體之源極/汲極區域形成於變為矽基板(矽晶圓) 101之各晶片部分的一區域中。形成控制電路22或其類似者之一部分的多層佈線層102形成於其上形成有像素電晶體之源極/汲極區域的矽基板101之表面上。圖66A至圖66D之後之一些圖式未繪示形成於矽基板101中之光二極體51，如半成品像素感測器基板12之圖式。

隨後，如圖66A中所繪示，藉由電漿結合或一黏著劑而黏合半成品邏輯基板11及半成品像素感測器基板12，使得邏輯基板11之多層佈線層82之側與像素感測器基板12之多層佈線層102之側面向彼此。

如圖66B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖66C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成：矽穿透電極151，其連接至邏輯基板11之佈線層83c；

晶片穿透電極152，其連接至像素感測器基板12之佈線層103c；及連接佈線153，其將矽穿透電極151連接至晶片穿透電極152。可透過相同於參考圖22至圖24所描述之程序的程序而形成矽穿透電極151、晶片穿透電極152及連接佈線153。

亦形成其上安裝有焊料球14之重新佈線154。藉由(例如)一鑲嵌方法而形成重新佈線154。

在圖6、圖66A至圖66D及圖67A至圖67C中，絕緣膜86形成為一個層。實際上，罩蓋膜421、絕緣膜422或其類似者係層疊的，如同面對背結構。如上文所描述，重新佈線154可具有其中剩餘厚度不與銅反應之結構或具有使與障壁金屬461之反應停止之結構。此外，例如，亦可使用其中新增焊盤431之結構(如圖40及圖42中所繪示)或圖52A至圖53中所繪示之UBM結構。

接著，如圖66D中所繪示，將一臨時結合基板(矽基板) 471作為一支撐基板黏合至邏輯基板11之絕緣膜86之側。

如圖67A中所繪示，將臨時結合基板471結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖67B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板471。

如圖67C中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

<第一修改實例之第二製造方法>

接著，將參考圖68A至圖70C來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第二方法。

首先，如圖68A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖68B中所繪示，使用邏輯基板11之矽基板81作為一支撐基板，將像素感測器基板12之矽基板101薄化至約1微米至約10微米。

接著，如圖68C中所繪示，將一臨時結合基板(矽基板) 472黏合至像素感測器基板12之經薄化之矽基板101。此時，如圖68D中所繪示，使用臨時結合基板472作為一支撐基板，將邏輯基板11之矽基板81薄化至20微米至約100微米。

接著，如圖69A中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成：矽穿透電極151，其連接至邏輯基板11之佈線層83c；晶片穿透電極152，其連接至像素感測器基板12之佈線層103c；及連接佈線153，其將矽穿透電極151連接至晶片穿透電極152。可在相同於參考圖22至圖24所描述之程序的程序中形成矽穿透電極151、晶片穿透電極152及連接佈線153。

亦形成其上安裝有焊料球14之重新佈線154。藉由(例如)一鑲嵌方法而形成重新佈線154。

接著，在將一臨時結合基板473黏合至邏輯基板11之絕緣膜86之側(如圖69B中所繪示)之後，分離像素感測器基板12之側上之臨時結合基板472，如圖69C中所繪示。

接著，如圖70A中所繪示，將臨時結合基板473結合至其之所有基板倒置，且使彩色濾波器15及晶片上透鏡16形成於像素感測器基板

12之矽基板101上。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖70B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板473。

最後，如圖70C中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

在圖6中所繪示之面對面結構中，將矽穿透電極151連接至晶片穿透電極152之連接佈線153經組態以形成於矽基板81之上表面上。

然而，如圖71A中所繪示，藉由鑲嵌方法而形成之連接佈線153之至少一部分可形成於藉由雕刻矽基板81而形成之一部分中。

圖71B繪示一結構之一實例，其中省略連接至焊料球14之重新佈線154且藉由鑲嵌方法而形成之連接佈線153形成於藉由雕刻矽基板81而形成之部分中。

因此，藉由在藉由雕刻矽基板81而形成之部分中形成連接佈線153，絕緣膜(氧化物膜) 86可為較薄的。因此，由於可減少形成絕緣膜之程序數，所以改良生產率。

<第一修改實例之第三製造方法>

接著，將參考圖72A至圖73D來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第三方法。

首先，如圖72A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖72B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖72C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極151、晶片穿透電極152、連接佈線153及重新佈線154。該形成方法相同於上述方法。

接著，藉由一CMP方法而使邏輯基板11之絕緣膜86之表面平坦化。其後，如圖72D中所繪示，藉由電漿結合而黏合包含一剝離層481A (諸如多孔層)之一臨時結合基板481。由於可藉由通過電漿結合臨時地黏合臨時結合基板481而將整個厚度之平坦度設定為變動約0.5微米，所以在隨後程序中易於在將像素感測器基板12之矽基板101薄化時控制膜厚度。

接著，如圖73A中所繪示，將臨時結合基板481結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖73B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

在連接玻璃保護基板18之後，使臨時結合基板481與剩餘剝離層481A分離。接著，如圖73C中所繪示，藉由研磨、拋光或其類似者而移除剝離層481A。

最後，如圖73D中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球

安裝方法或其類似者而形成焊料球14。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

<第一修改實例之第四製造方法>

接著，將參考圖74A至圖75D來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第四方法。

首先，如圖74A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖74B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖74C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極151、晶片穿透電極152、連接佈線153及重新佈線154。該形成方法相同於上述方法。

接著，藉由一CMP方法而使邏輯基板11之絕緣膜86之表面平坦化。其後，如圖74D中所繪示，藉由電漿結合而黏合臨時結合基板481作為一支撐基板。在臨時結合基板481中，由SiN或其類似者形成之一可靠絕緣膜482預先形成於具有一剝離層481A (諸如多孔層)之一結合表面上，且使臨時結合基板481之絕緣膜482與邏輯基板11之絕緣膜86彼此黏合。由於可藉由通過電漿結合臨時地黏合臨時結合基板481而將整個厚度之平坦度設定為變動約0.5微米，所以在隨後程序中易於在將像素感測器基板12之矽基板101薄化時控制膜厚度。

接著，如圖75A中所繪示，將臨時結合基板481結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜

(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖75B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

在連接玻璃保護基板18之後，使臨時結合基板481與剩餘剝離層481A分離。接著，藉由研磨、拋光或其類似者而移除剝離層481A，使得可靠絕緣膜482被暴露。

最後，如圖75D中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

根據上述第一修改實例之第三製造方法及第四製造方法，可再使用臨時結合基板481，可降低製造成本。

<第一修改實例之第五製造方法>

接著，將參考圖76A至圖77C來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第五方法。

首先，如圖76A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖76B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖76C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極151、晶片穿透電極152、連接佈線153及重

新佈線154。該形成方法相同於上述方法。

此外，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

接著，如圖76D中所繪示，使用具有一厚度(其係焊料球14被掩蓋之厚度)之一黏著劑490來黏合一臨時結合基板491。

接著，如圖77A中所繪示，將臨時結合基板491結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖77B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板491。

如圖77C中所繪示，移除黏著臨時結合基板491之黏著劑490。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

<第一修改實例之第六製造方法>

接著，將參考圖78A至圖80C來描述製造具有根據圖6中所繪示之第一修改實例之結構之固態成像器件1的一第六方法。

首先，如圖78A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖78B中所繪示，使用邏輯基板11之矽基板81作為一支撐基板，將像素感測器基板12之矽基板101薄化至約1微米至約10微米。

接著，如圖78C中所繪示，將一臨時結合基板(矽基板) 492黏合

至像素感測器基板12之經薄化之矽基板101。此時，如圖78D中所繪示，使用臨時結合基板492作為一支撐基板，將邏輯基板11之矽基板81薄化至20微米至約100微米。

接著，如圖79A中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極151、晶片穿透電極152、連接佈線153及重新佈線154。該形成方法相同於上述方法。

此外，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

接著，如圖79B中所繪示，使用具有一厚度(其係焊料球14被掩蓋之厚度)之一黏著劑490來黏合一臨時結合基板493。

接著，如圖79C中所繪示，分離像素感測器基板12之側上之臨時結合基板492。

接著，如圖80A中所繪示，將臨時結合基板492結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖80B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板492。

如圖80C中所繪示，移除黏著臨時結合基板492之黏著劑490。

根據前述製造方法，完成具有根據圖6中所繪示之第一修改實例之結構的圖1中之固態成像器件1。

<第二修改實例之第一製造方法>

接著，將參考圖81A至圖82D來描述製造具有根據圖7中所繪示之第二修改實例之結構之固態成像器件1的一第一方法。根據圖7中所繪示之第二修改實例之結構係使用金屬結合(Cu-Cu結合)之一面對面結構。

首先，如圖81A中所繪示，藉由金屬結合(Cu-Cu)而黏合半成品邏輯基板11之多層佈線層82之佈線層83a及半成品像素感測器基板12之多層佈線層102之佈線層103c，半成品邏輯基板11及半成品像素感測器基板12被單獨製造。

如圖81B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖81C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極88及重新佈線90。該形成方法相同於形成矽穿透電極151及重新佈線154之上述方法。

如圖81D中所繪示，可在此程序之後形成截止之焊料遮罩91及焊料球14，如同圖76C中所繪示之程序。

接著，如圖82A中所繪示，將一臨時結合基板(矽基板) 493作為一支撐基板黏合至邏輯基板11之絕緣膜86之側。

接著，如圖82B中所繪示，將臨時結合基板493結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖82C中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基

板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板493。

如圖82D中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

如圖81D中所繪示，當使截止之焊料遮罩91及焊料球14形成於絕緣膜86上且接著黏著臨時結合基板493時，可分離臨時結合基板493且接著可僅移除黏著劑。

根據前述製造方法，完成具有根據圖7中所繪示之第二修改實例之結構的圖1中之固態成像器件1。

<第二修改實例之第二製造方法>

接著，將參考圖83A至圖85C來描述製造具有根據圖7中所繪示之第二修改實例之結構之固態成像器件1的一第二方法。

首先，如圖83A中所繪示，藉由金屬結合(Cu-Cu)而將半成品邏輯基板11之多層佈線層82之佈線層83a及半成品像素感測器基板12之多層佈線層102之佈線層103c黏合在一起，半成品邏輯基板11及半成品像素感測器基板12被單獨製造。

如圖83B中所繪示，使用邏輯基板11之矽基板81作為一支撐基板，將像素感測器基板12之矽基板101薄化至約1微米至約10微米。

接著，如圖83C中所繪示，將一臨時結合基板(矽基板) 494黏合至像素感測器基板12之經薄化之矽基板101。此時，如圖83D中所繪示，使用臨時結合基板494作為一支撐基板，將邏輯基板11之矽基板81薄化至20微米至約100微米。

接著，如圖84A中所繪示，藉由一電漿CVD方法或其類似者而使絕緣膜86形成於矽基板81之表面上，且接著在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極88及重新佈線90。該形成方法相

同於形成矽穿透電極151及重新佈線154之上述方法。

接著，如圖84B中所繪示，將一臨時結合基板(矽基板) 495作為一支撐基板黏合至邏輯基板11之絕緣膜86之側。如圖84C中所繪示，分離像素感測器基板12之側上之臨時結合基板494。

接著，如圖85A中所繪示，將臨時結合基板495結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖85B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板495。

如圖85C中所繪示，使焊料遮罩91形成於整個表面上，僅移除其上安裝有焊料球14之區域中之焊料遮罩91，且接著藉由焊料球安裝方法或其類似者而形成焊料球14。

根據前述製造方法，完成具有根據圖7中所繪示之第二修改實例之結構的圖1中之固態成像器件1。

此外，首先使焊料遮罩91及焊料球14形成於圖84A中之絕緣膜86上，且接著黏著臨時結合基板495。在此情況中，在圖85B中，分離臨時結合基板495，且僅移除黏著臨時結合基板495之黏著劑。

<第三修改實例之製造方法>

接著，將參考圖86A至圖87D來描述製造具有根據圖8中所繪示之第三修改實例之結構之固態成像器件1的一方法。根據圖8中所繪示之第三修改實例之結構係一面對面結構，其中連接佈線153及重新佈線154連接至連接導體(介層孔) 171。

首先，如圖86A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖86B中所繪示，在將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度(例如，至約20微米至約100微米之程度)之後，藉由一電漿CVD方法或其類似者而使與矽基板81絕緣之絕緣膜86形成於矽基板81之表面上。

接著，如圖86C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成矽穿透電極151、晶片穿透電極152及連接佈線153。該形成方法相同於上述方法。

接著，如圖86D中所繪示，將一臨時結合基板(矽基板) 496作為一支撐基板黏合至邏輯基板11之絕緣膜86之側。

接著，如圖87A中所繪示，將臨時結合基板496結合至其之所有基板倒置。在將像素感測器基板12之矽基板101薄化至約1微米至約10微米之後，形成彩色濾波器15及晶片上透鏡16。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖87B中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。在連接玻璃保護基板18之後，分離臨時結合基板496。

如圖87C中所繪示，藉由蝕刻而使連接佈線153上之絕緣膜86之一部分開口，且接著藉由一半加成方法而形成連接導體(介層孔) 171及重新佈線154。

如圖87D中所繪示，在焊料遮罩91經形成以覆蓋絕緣膜86及重新佈線154之後，僅使其上安裝有焊料球14之區域中之焊料遮罩91開口。

最後，藉由焊料球安裝方法或其類似者而使焊料球14形成於其中使焊料遮罩91開口之區域中。

根據前述製造方法，完成具有根據圖8中所繪示之第三修改實例之結構的圖1中之固態成像器件1。

如上文第一修改實例中所描述，在根據上述第一修改實例至第三修改實例之結構中，將邏輯基板11電連接至像素感測器基板12之連接佈線153不形成於像素感測器基板12之矽基板101之上側上，而是形成於邏輯基板11之矽基板81之下側上。因此，由於可使玻璃保護基板18與具有無凹腔結構之層疊基板13之間之空間(厚度)最小化，所以可達成固態成像器件1之低後部，且因此可改良像素特性。

<第四修改實例之製造方法>

接著，將參考圖88A至圖89D來描述製造具有根據圖9中所繪示之第四修改實例之結構之固態成像器件1的一方法。

根據圖9中所繪示之第四修改實例之結構係一面對面結構，其中由穿透邏輯基板11及像素感測器基板12之一晶片穿透電極181連接焊料球14、邏輯基板11之複數個佈線層83、及像素感測器基板12之複數個佈線層103。

首先，如圖88A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。接著，形成矽穿透電極109、晶片穿透電極105、將矽穿透電極109連接至晶片穿透電極105之連接佈線106、晶片穿透電極181及連接佈線182。除矽穿透電極109、晶片穿透電極105、連接佈線106、晶片穿透電極181及連接佈線182之外，矽基板101之上表面覆蓋有絕緣膜108。絕緣膜108可經組態以包含複數個層(即，一罩蓋膜及一絕緣膜)，如同上述其他實施例。

在上述第一修改實例至第三修改實例中，矽穿透電極109、晶片穿透電極105、及將晶片穿透電極105連接至矽穿透電極109之連接佈

線106形成於邏輯基板11之側上。然而，在第四修改實例中，如圖88A中所繪示，矽穿透電極109、晶片穿透電極105及連接佈線106形成於像素感測器基板12之側上。然而，一形成方法相同於根據上述第一修改實例至第四修改實例之形成方法。晶片穿透電極181及連接佈線182亦可與矽穿透電極109、晶片穿透電極105及連接佈線106同時形成。

接著，如圖88B中所繪示，在其中形成絕緣膜108之部分中雕刻包含像素區域21之所需區域。替代地或另外，包含像素區域21之所需區域形成於其中形成絕緣膜108之一凹槽部分中。如圖88C中所繪示，彩色濾波器15及晶片上透鏡16形成於像素區域21之雕刻部分中。替代地或另外，彩色濾波器15及晶片上透鏡16形成於像素區域21之凹槽部分中。

如圖88D中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

接著，如圖89A中所繪示，使用玻璃保護基板18作為支撐基板，使邏輯基板11之矽基板81經受背面研磨(拋光)以使其薄化。在背面研磨中，晶片穿透電極181因一拋光速率之差異而自矽基板81略微突出。在薄化之後，藉由一CMP方法而使經研磨之矽基板81之表面平坦化。

其後，在藉由一電漿CVD方法而形成充當絕緣膜86之一TEOS膜之後，藉由一CMP方法而使所形成之TEOS膜平坦化且使用氫氟酸(HF)來執行一濕式蝕刻程序。接著，如圖89B中所繪示，除晶片穿透電極181之上表面之外，矽基板81之表面覆蓋有絕緣膜86。

在藉由一半加成方法而形成一重新佈線183 (如圖89C中所繪示)之後，形成焊料遮罩91及焊料球14，如圖89D中所繪示。

根據前述製造方法，完成具有根據圖9中所繪示之第四修改實例之結構的圖1中之固態成像器件1。

<第五修改實例之製造方法>

接著，將參考圖90A至圖92C來描述製造具有根據圖9中所繪示之第五修改實例之結構之固態成像器件1的一方法。

圖90A至圖90C中所繪示之程序相同於圖88A至圖88C中所繪示之第四修改實例之製造方法之程序。

即，在單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此之後，形成連接導體，諸如晶片穿透電極105、矽穿透電極109及晶片穿透電極181。接著，使彩色濾波器15及晶片上透鏡16形成於像素感測器基板12之後表面之側上。

隨後，如圖90D中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將使用一矽基板之一臨時結合基板521黏合至無凹腔結構。

在圖88D中所繪示之第四修改實例之製造方法中，在此程序中黏合玻璃保護基板18。然而，在第五修改實例之製造方法中，黏合臨時結合基板521。藉此，可獲得使用先前程序之設備的優點。

如圖91A中所繪示，使用臨時結合基板521作為一支撐基板，將邏輯基板11之矽基板81薄化，如同圖89A。

如圖91B中所繪示，在相同於參考圖89B所描述之方法之程序的程序中形成一絕緣膜86A，諸如一TEOS膜。其後，如圖91C中所繪示，使重新佈線183及一絕緣膜86B形成於絕緣膜86A之上表面上。

相應地，第五修改實例中之絕緣膜86經組態以包含兩個層，即，形成重新佈線183之前之絕緣膜86A及形成重新佈線183之後之絕緣膜86B。可藉由一半加成方法而形成重新佈線183且可藉由一電漿CVD方法而形成絕緣膜86B。

接著，如圖91D中所繪示，使其中形成焊料球14之重新佈線183上之一區域開口，且例如，將對絕緣膜86具有蝕刻選擇性之一嵌入材料522 (諸如一光阻劑或一SOG (旋塗玻璃))嵌入於該開口部分中。接著，將一臨時結合基板523黏合至嵌入材料522嵌入於其中之邏輯基板11之絕緣膜86之上表面。

如圖92A中所繪示，分離黏合至晶片上透鏡16之側的臨時結合基板521。隨後，如圖92B中所繪示，將玻璃保護基板18黏合於晶片上透鏡16之側上。

接著，如圖92C中所繪示，分離邏輯基板11之絕緣膜86之側上之臨時結合基板523且移除嵌入材料522。接著，藉由焊料球安裝方法或其類似者而使焊料球14形成於嵌入材料522自其移除之部分中。

根據前述製造方法，完成具有根據圖10中所繪示之第五修改實例之結構的圖1中之固態成像器件1。

<第六修改實例之製造方法>

接著，將參考圖93A至圖94C來描述製造具有根據圖11中所繪示之第六修改實例之結構之固態成像器件1的一方法。

首先，如圖93A中所繪示，在單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此之後，形成一晶片穿透電極191、一連接佈線192、晶片穿透電極181及連接佈線182。接著，除晶片穿透電極191、連接佈線192、晶片穿透電極181及連接佈線182之外，矽基板101之上表面覆蓋有絕緣膜108。形成晶片穿透電極191、連接佈線192及其類似者之一方法相同於上述第一修改實例至第五修改實例之形成方法。絕緣膜108可經組態以包含複數個層(即，一罩蓋膜及一絕緣膜)，如同上述其他實施例。

接著，如圖93B中所繪示，在其中形成絕緣膜108之部分中雕刻包含像素區域21之所需區域。替代地或另外，包含像素區域21之所需

區域形成於其中形成絕緣膜108之一凹槽部分中。如圖93C中所繪示，彩色濾波器15及晶片上透鏡16形成於像素區域21之雕刻部分中。替代地或另外，彩色濾波器15及晶片上透鏡16形成於像素區域21之凹槽部分中。

如圖94A中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

接著，如圖94B中所繪示，使用玻璃保護基板18作為支撐基板，使邏輯基板11之矽基板81經受背面研磨(拋光)以使其薄化，且因此矽基板81經薄化使得晶片穿透電極181自矽基板81略微突出。

如圖94C中所繪示，在藉由一半加成方法而形成重新佈線183之後，形成焊料遮罩91及焊料球14。

根據前述製造方法，完成具有根據圖11中所繪示之第六修改實例之結構的圖1中之固態成像器件1。

亦可藉由使用兩個基板(即，參考圖90A至圖92D所描述之臨時結合基板521及523)之一方法而製造根據第六修改實例之結構。

<第七修改實例之製造方法>

接著，將參考圖95A至圖96C來描述製造具有根據圖12中所繪示之第七修改實例之結構之固態成像器件1的一方法。

首先，如圖95A中所繪示，在單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此之後，形成晶片穿透電極181及連接佈線182。接著，除晶片穿透電極181及連接佈線182之外，矽基板101之上表面覆蓋有絕緣膜108。

根據第七修改實例之圖12中所繪示之固態成像器件1之一結構係其中邏輯基板11及像素感測器基板12藉由金屬結合而連接之一結構。相應地，在圖95A中，藉由Cu-Cu金屬結合而將半成品邏輯基板11之

多層佈線層82之佈線層83a及半成品像素感測器基板12之多層佈線層102之佈線層103c黏合在一起，半成品邏輯基板11及半成品像素感測器基板12被單獨製造。

形成晶片穿透電極181及連接佈線182之一方法相同於上述第一修改實例至第六修改實例之形成方法。絕緣膜108可經組態以包含複數個層(即，一罩蓋膜及一絕緣膜)，如同上述其他實施例。

接著，如圖95B中所繪示，在其中形成絕緣膜108之部分中雕刻包含像素區域21之所需區域。替代地或另外，包含像素區域21之所需區域形成於其中形成絕緣膜108之一凹槽部分中。如圖95C中所繪示，彩色濾波器15及晶片上透鏡16形成於像素區域21之雕刻部分中。替代地或另外，彩色濾波器15及晶片上透鏡16形成於像素區域21之凹槽部分中。

如圖96A中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

接著，如圖96B中所繪示，使用玻璃保護基板18作為支撐基板，使邏輯基板11之矽基板81經受背面研磨(拋光)以使其薄化，且因此矽基板81經薄化使得晶片穿透電極181自矽基板81略微突出。

如圖96C中所繪示，在藉由一半加成方法而形成重新佈線183之後，形成焊料遮罩91及焊料球14。

根據前述製造方法，完成具有根據圖12中所繪示之第七修改實例之結構的圖1中之固態成像器件1。

亦可藉由使用兩個基板(即，參考圖90A至圖92D所描述之臨時結合基板521及523)之一方法而製造根據第七修改實例之結構。

<第八修改實例之製造方法>

接著，將參考圖97A至圖100C來描述製造具有根據圖13中所繪示

之第八修改實例之結構之固態成像器件1的一方法。

首先，如圖97A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

如圖97B中所繪示，將經黏合之邏輯基板11及像素感測基板12兩者倒置。在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極88及重新佈線90。形成晶片穿透電極88及重新佈線90之方法相同於上述第一修改實例至第七修改實例之形成方法。

接著，如圖97C中所繪示，絕緣膜201在等於或大於250度且等於或小於400度之一溫度(其不影響佈線層83或其類似者)處形成於其中形成重新佈線90之邏輯基板11之矽基板81之上表面上。例如，如參考圖13所描述，(例如)一電漿TEOS膜、一電漿SiN膜、一電漿SiO_2膜、一CVD-SiN膜或一CVD-SiO_2膜可形成為絕緣膜201。

在藉由一CMP方法而使所形成之絕緣膜201平坦化(如圖98A中所繪示)之後，將一臨時結合基板541黏合至經平坦化之絕緣膜201之上表面，如圖98B中所繪示。

如圖98C中所繪示，將邏輯基板11及像素感測器基板12兩者再次倒置，使用臨時結合基板541作為一支撐基板，將像素感測器基板12之矽基板101薄化。

如圖99A中所繪示，形成晶片穿透電極105、矽穿透電極109、及將晶片穿透電極105連接至矽穿透電極109之連接佈線106。除晶片穿透電極105、晶片穿透電極109及連接佈線106之外，矽基板101之上表面覆蓋有絕緣膜108。絕緣膜108可經組態以包含複數個層(即，一罩蓋膜及一絕緣膜)，如同上述其他實施例。如同圖91C中之絕緣膜86A及86B，可在兩個或兩個以上程序中形成絕緣膜108。

接著，如圖99B中所繪示，在其中形成絕緣膜108之部分中雕刻包含像素區域21之所需區域，且在像素區域21之雕刻部分中形成彩色

濾波器15及晶片上透鏡16。替代地或另外，在其中形成絕緣膜108之一凹槽部分中形成包含像素區域21之所需區域，且在像素區域21之凹槽部分中形成彩色濾波器15及晶片上透鏡16。

如圖99C中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構連接。

其後，如圖100A中所繪示，將經黏合之邏輯基板11及像素感測器基板12兩者倒置且分離臨時結合基板541。

蝕刻其上安裝有焊料球14之區域的絕緣膜201，如圖100B中所繪示，使得絕緣膜201被移除，如圖100C中所繪示。接著，藉由焊料球安裝方法或其類似者，使焊料球14形成於暴露之重新佈線90上。

根據前述製造方法，完成具有根據圖13中所繪示之第八修改實例之結構之圖1中的固態成像器件1。

<第一修改實例至第八修改實例之製造方法的總結>

將簡要描述製造具有根據第一修改實例至第八修改實例之結構之固態成像器件1的方法。

在根據第一修改實例至第八修改實例之結構中，矽基板81 (其中多層佈線層82經形成於邏輯基板11之側上)及矽基板101 (其中多層佈線層102經形成於像素感測器基板12之側上)經黏合使得該等佈線層面向彼此。

接著，形成將邏輯基板11之佈線層83連接至像素感測器基板12之佈線層103的通孔，且形成將焊料球14 (其係一背面電極)連接至邏輯基板11之佈線層83的通孔及重新佈線。

通孔及重新佈線對應於第一修改實例及第三修改實例中之矽穿透電極151、晶片穿透電極152及重新佈線154，對應於第二修改實例中之矽穿透電極88及重新佈線90，且對應於第四修改實例、第五修改

實例及第八修改實例中之晶片穿透電極105、矽穿透電極109、晶片穿透電極181及重新佈線183。通孔及重新佈線對應於第六修改實例及第七修改實例中之晶片穿透電極181、晶片穿透電極191及重新佈線183。

形成通孔或重新佈線之程序亦包含：形成絕緣膜86。

在形成通孔及重新佈線之後，形成彩色濾波器15及晶片上透鏡16。最後，用玻璃密封樹脂17將玻璃保護基板18與無凹腔結構連接，以完成固態成像器件1。

相應地，在形成彩色濾波器15及晶片上透鏡16之前，形成將邏輯基板11之佈線層83連接至像素感測器基板12之佈線層103的通孔，且形成將焊料球14 (其係一背面電極)連接至邏輯基板11之佈線層83的通孔及重新佈線。因此，可在等於或大於250度之一高溫處形成絕緣膜86。因此，可形成確保高可靠性之絕緣膜86。換言之，可將絕緣膜86之機械特性或絕緣電阻改良至相同於一信號處理佈線之位準。

<第九修改實例之製造方法>

接著，將參考圖101A至圖103C來描述製造具有根據圖14中所繪示之第九修改實例之結構之固態成像器件1的一方法。

首先，如圖101A中所繪示，例如，在使形成控制電路22或其類似者之一部分的多層佈線層102形成於變為矽基板(矽晶圓) 101 (其具有約600微米之一厚度)之各晶片部分的一區域中之後，將一臨時結合基板251黏合至多層佈線層102之上表面。

接著，如圖101B中所繪示，在將矽基板101薄化之後，在矽基板101中之一預定區域中形成各像素32之光二極體51。在光二極體51之上側上形成彩色濾波器15及晶片上透鏡16。

接著，如圖101C中所繪示，在其上形成有晶片上透鏡16之矽基板101之上表面上，使用玻璃密封樹脂17來將玻璃保護基板18與無凹

腔結構連接。接著，在使一玻璃表面保護膜252形成於玻璃保護基板18之上表面上之後，剝離臨時結合基板251。例如，可採用一SiN膜或一SiO_2膜作為玻璃表面保護膜252。

透過前述程序而完成半成品像素感測器基板12。

另一方面，在邏輯基板11之側上，如圖102A中所繪示，例如，在使形成邏輯電路23之多層佈線層82形成於變為矽基板(矽晶圓) 81(其具有約600微米之一厚度)之各晶片部分的區域中之後，將一臨時結合基板261黏合至多層佈線層82之上表面。

接著，如圖102B中所繪示，在將矽基板81薄化之後，在其上安置有矽穿透電極88 (圖中未繪示)之一位置處形成一開口262且在開口262之內壁表面及矽基板81之上表面上形成一絕緣膜(隔離膜) 86。在等於或大於250度之一高溫處形成絕緣膜86以確保高可靠性。

如同製造上述基本結構之方法，在形成障壁金屬膜及Cu晶種層(圖中未繪示)之後形成連接導體87及重新佈線90。

在第九修改實例中，亦在形成於矽基板81上之絕緣膜86上之一預定位置處形成一虛設佈線211以在執行Cu-Cu結合時減少不均勻性之影響。

如圖102C中所繪示，剝離臨時結合基板261。其後，如圖102D中所繪示，此時，將一黏著劑263施加至矽基板81之重新佈線90之側且將一臨時結合基板264黏合於黏著劑263上。

透過前述程序而完成半成品邏輯基板11。

如圖103A中所繪示，藉由邏輯基板11之最上層之佈線層83a與像素感測器基板12之最下層之佈線層103c之金屬結合(Cu-Cu結合)而將半成品邏輯基板11及半成品像素感測器基板12黏合在一起。

其後，如圖103B中所繪示，剝離暫時黏合至邏輯基板11之臨時結合基板264且亦移除黏著劑263。

最後，如圖103C中所繪示，在透過參考圖64及圖65所描述之程序而形成焊料遮罩91及焊料球14之後，移除玻璃表面保護膜252。

根據前述製造方法，完成具有根據圖14中所繪示之第九修改實例之結構的圖1中之固態成像器件1。

根據上文所描述之第九修改實例之製造方法，在將邏輯基板11及像素感測器基板12黏合在一起之前，在單一邏輯基板11之程序中形成矽穿透電極88。因此，當形成矽穿透電極88時，不存在具有低耐熱性之彩色濾波器15及晶片上透鏡16。因此，可在等於或大於250度之一高溫處形成絕緣膜86。因此，可形成確保高可靠性之絕緣膜86。

根據第九修改實例之製造方法，在將邏輯基板11及像素感測器基板12黏合在一起之前，在單一像素感測器基板12之變形較小時形成彩色濾波器15及晶片上透鏡16。因此，由於彩色濾波器15及晶片上透鏡16與光二極體51之間之未對準可較小，所以可降低歸因於該未對準而引起之缺陷百分比。由於該未對準較小，所以可使一像素尺寸微型化。

根據第九修改實例之製造方法，與傳輸及接收一電信號不相關之虛設佈線211形成於相同於其中形成重新佈線90之層的層中。因此，當執行Cu-Cu結合時，可減少歸因於存在或不存在重新佈線90而引起之不均勻性之影響。

<7. 第十修改實例>

圖104係繪示根據一第十修改實例之固態成像器件1之層疊基板13之一詳細結構的一圖式。

在圖104中所繪示之第十修改實例中，修改圖6中所繪示之第一修改實例之結構之一部分。

在圖104中，將相同參考元件符號給予對應於圖6中所繪示之第一修改實例之部分的部分，且將省略其描述。

在圖6之第一修改實例中，兩個穿透電極(即，矽穿透電極151及晶片穿透電極152)穿透矽基板81。將矽穿透電極151連接至晶片穿透電極152之連接佈線153形成於矽基板81之一上部分中。

相比而言，在第十修改實例中，如圖104中所繪示，連接佈線153經形成以嵌入於矽基板81中。省略重新佈線154 (或將連接佈線153及重新佈線154整合)，焊料球14形成於連接佈線153上，且除焊料球14之外，矽基板81之上表面覆蓋有絕緣膜86。剩餘結構相同於圖6中所繪示之第一修改實例之結構。

在圖104之第十修改實例中，根據圖6中所繪示之第一修改實例之結構經修改使得連接佈線153嵌入於矽基板81中。相同修改亦可應用於根據圖7至圖14中所繪示之第二修改實例至第九修改實例之結構。例如，連接佈線106或182可經組態以嵌入於矽基板101中，或重新佈線90可經組態以嵌入於矽基板81中。

<8. 第十修改實例之製造方法>

<第十修改實例之第一製造方法>

接著，將參考圖105A至圖107E來描述製造具有根據圖104中所繪示之第十修改實例之結構之固態成像器件1的一第一方法。

首先，如圖105A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

接著，如圖105B中所繪示，將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度，例如，至約20微米至約100微米之程度。

接著，如圖105C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成：矽穿透電極151，其連接至邏輯基板11之佈線層83c；晶片穿透電極152，其連接至像素感測器基板12之佈線層103c；及連接佈線153，其將矽穿透電極151連接至晶片穿透電極152。可在

相同於參考圖22至圖24所描述之程序的程序中形成矽穿透電極151、晶片穿透電極152及連接佈線153。

接著，如圖105D中所繪示，絕緣膜86形成於邏輯基板11之矽基板81及連接佈線153之整個上表面上。絕緣膜86包含(例如)一單一CiCN層、SiN及SiO之層疊層、或SiCN及SiO之層疊層，且用作防止連接佈線153之材料(例如Cu)擴散之一鈍化膜。可在等於或大於250度且等於或小於400度之一高溫處形成絕緣膜86。因此，可形成具有良好防潮性及良好膜品質之絕緣膜，且因此可改良侵蝕及佈線可靠性。

接著，如圖105E中所繪示，在形成於邏輯基板11之矽基板81及連接佈線153之整個上表面上之絕緣膜86中使其中形成焊料球14之區域開口，且因此形成一焊盤部分600。此處，如圖105E中所繪示，在焊盤部分600中，絕緣膜86保持較薄。

接著，如圖106A中所繪示，一嵌入材料膜601形成於經開口之焊盤部分600中。嵌入材料膜601除形成於焊盤部分600中之外，亦形成於絕緣膜86之上表面上，且藉由一CMP方法而使所形成之嵌入材料膜601平坦化。嵌入材料膜601可具有對絕緣膜86具有蝕刻選擇性之一材料。例如，可採用具有一低介電常數之一有機絕緣膜、一SiO膜或一SiOC膜。

可藉由旋轉且施加一光阻層而形成嵌入材料膜601。在此情況中，無需藉由CMP方法之平坦化程序。

接著，在將一臨時結合基板602黏合至邏輯基板11之嵌入材料膜601之側(如圖106B中所繪示)之後，將所有基板倒置，如圖106C中所繪示。

在將像素感測器基板12之矽基板101薄化至約1微米至約10微米(如圖106D中所繪示)之後，使彩色濾波器15及晶片上透鏡16形成於矽基板101上，如圖106E中所繪示。此外，一高介電膜(諸如圖15中之高

介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖107A中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構黏合。

在黏合玻璃保護基板18之後，分離臨時結合基板602，如圖107B中所繪示。

接著，在將所有基板再次倒置(如圖107C中所繪示)之後，藉由(例如)使用氫氟酸(HF)之濕式蝕刻而移除嵌入材料膜601，如圖107D中所繪示。藉由對其上形成有絕緣膜86之整個表面執行回蝕，焊盤部分600中之較薄剩餘絕緣膜86經移除使得連接佈線153被暴露。

當在參考圖106A中所描述之程序中藉由旋轉且施加光阻層而形成嵌入材料膜601時，可藉由O_2電漿而移除嵌入材料膜601 (經受灰化)。

最後，如圖107E中所繪示，藉由焊料球安裝方法或其類似者而使焊料球14形成於其中暴露連接佈線153之部分中。

根據前述製造方法，完成具有根據圖104中所繪示之第十修改實例之結構的圖1中之固態成像器件1。

<第十修改實例之第二製造方法>

接著，將參考圖108A至圖110E來描述製造具有根據圖104中所繪示之第十修改實例之結構之固態成像器件1的一第二方法。

首先，如圖108A中所繪示，單獨製造之半成品邏輯基板11及像素感測器基板12經黏合使得其等之佈線層面向彼此。

接著，如圖108B中所繪示，將邏輯基板11之矽基板81薄化至具有不影響器件特性之一厚度之程度，例如，至約20微米至約100微米之程度。

接著，如圖108C中所繪示，在邏輯基板11之側上之矽基板81之預定位置處形成：矽穿透電極151，其連接至邏輯基板11之佈線層83c；晶片穿透電極152，其連接至像素感測器基板12之佈線層103c；及連接佈線153，其將矽穿透電極151連接至晶片穿透電極152。可在相同於參考圖22至圖24所描述之程序的程序中形成矽穿透電極151、晶片穿透電極152及連接佈線153。

接著，如圖108D中所繪示，絕緣膜86形成於邏輯基板11之矽基板81及連接佈線153之整個上表面上。絕緣膜86包含(例如)一單一CiCN層、SiN及SiO之層疊層、或SiCN及SiO之層疊層，且用作防止連接佈線153之材料(例如Cu)擴散之一鈍化膜。可在等於或大於250度且等於或小於400度之一高溫處形成絕緣膜86。因此，可形成具有良好防潮性及良好膜品質之絕緣膜，且因此可改良侵蝕及佈線可靠性。

接著，如圖108E中所繪示，在形成於邏輯基板11之矽基板81及連接佈線153之整個上表面上之絕緣膜86中使其中形成焊料球14之區域開口，且因此形成一焊盤部分611。此處，在第二製造方法中，如圖108E中所繪示，移除焊盤部分611中之絕緣膜86，直至暴露連接佈線153。

接著，如圖109A中所繪示，一嵌入材料膜601形成於經開口之焊盤部分611中。嵌入材料膜601除形成於焊盤部分611上之外，亦形成於絕緣膜86之上表面上，且藉由一CMP方法而使所形成之嵌入材料膜601平坦化。嵌入材料膜601可具有對絕緣膜86具有蝕刻選擇性之一材料。例如，可採用具有一低介電常數之一有機絕緣膜、一SiO膜或一SiOC膜。

接著，在將一臨時結合基板602黏合至邏輯基板11之嵌入材料膜601之側(如圖109B中所繪示)之後，將所有基板倒置，如圖109C中所繪示。

在將像素感測器基板12之矽基板101薄化至約1微米至約10微米(如圖109D中所繪示)之後，使彩色濾波器15及晶片上透鏡16形成於矽基板101上，如圖109E中所繪示。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板101之上表面上以抑制一暗電流。

接著，如圖110A中所繪示，在將玻璃密封樹脂17施加至其上形成有像素感測器基板12之晶片上透鏡16的整個表面之後，將玻璃保護基板18與無凹腔結構黏合。

在黏合玻璃保護基板18之後，分離臨時結合基板602，如圖110B中所繪示。

接著，在將所有基板再次倒置(如圖110C中所繪示)之後，藉由(例如)使用氫氟酸(HF)之濕式蝕刻而移除嵌入材料膜601，如圖110D中所繪示。因此，使連接佈線153暴露於焊盤部分611中。

最後，如圖110E中所繪示，藉由焊料球安裝方法或其類似者而使焊料球14形成於其中暴露連接佈線153之部分中。

根據前述製造方法，完成具有根據圖104中所繪示之第十修改實例之結構的圖1中之固態成像器件1。

甚至在參考圖105A至圖110E所描述之第十修改實例之第一製造方法及第二製造方法中，在形成彩色濾波器15及晶片上透鏡16之前，形成兩個穿透電極(即，矽穿透電極151及晶片穿透電極152)及連接佈線153 (其使該兩個穿透電極彼此連接)。因此，可在等於或大於250度之一高溫處形成絕緣膜86。因此，可形成確保高可靠性之絕緣膜86。換言之，可將絕緣膜86之機械特性或絕緣電阻改良至相同於一信號處理佈線之位準。

甚至在具有上述第一修改實例至第十修改實例之面對面結構的固態成像器件1中，可採用其中焊盤431形成於重新佈線90上之結構，

如參考圖40至圖42所描述。此時，如圖50中所繪示，使與金屬佈線中之銅之反應停止發生之障壁金屬461可形成於重新佈線90下方。

[製造通用背面照射型結構之方法]

將參考圖111A至圖113E來描述製造具有一通用背面照射型結構之一固態成像器件的一方法。

首先，如圖111A中所繪示，一光二極體(圖中未繪示)形成於一矽基板701 (其係一第一半導體基板)中之各像素中，且一像素電晶體(諸如一第一轉移電晶體或一放大電晶體)之一像素電路、一控制電路及一邏輯電路形成於矽基板701及一多層佈線層704中。多層佈線層704包含複數個佈線層702及形成於各自佈線層702之間之層間絕緣膜703。

接著，如圖111B中所繪示，一矽基板705 (其係一第二半導體基板)黏合至矽基板701之多層佈線層704之一上部分。不同於上文所描述之層疊基板13之組態，矽基板705 (其係第二半導體基板)中未形成佈線層，如同上述其他製造方法。

接著，如圖111C中所繪示，一重新佈線707及連接至最上佈線層702之一矽穿透電極706形成於矽基板705之預定位置處。可在相同於參考圖22至圖24所描述之程序的程序中形成矽穿透電極706及重新佈線707。

接著，如圖111D中所繪示，一絕緣膜708形成於矽基板705及重新佈線707之整個上表面上。絕緣膜708包含(例如)一單一CiCN層、SiN及SiO之層疊層、或SiCN及SiO之層疊層，且用作防止重新佈線707之材料(例如Cu)擴散之一鈍化膜。可在等於或大於250度且等於或小於400度之一高溫處形成絕緣膜708。因此，可形成具有良好防潮性及良好膜品質之絕緣膜，且因此可改良侵蝕及佈線可靠性。

接著，如圖111E中所繪示，在形成於矽基板705及重新佈線707

之整個上表面上之絕緣膜708中使其中形成一焊料球716 (參閱圖113E)之一區域開口，且因此形成一焊盤部分709。此處，如圖111E中所繪示，在焊盤部分709中，絕緣膜708保持較薄。

接著，如圖112A中所繪示，一嵌入材料膜710嵌入於經開口之焊盤部分709中。嵌入材料膜710除形成於焊盤部分709上之外，亦形成於絕緣膜708之上表面上，且藉由一CMP方法而使所形成之嵌入材料膜710平坦化。嵌入材料膜710可具有對絕緣膜708具有蝕刻選擇性之一材料。例如，可採用具有一低介電常數之一有機絕緣膜、一SiO膜或一SiOC膜。

可藉由旋轉且施加一光阻層而形成嵌入材料膜710。在此情況中，無需藉由CMP方法之平坦化程序。

接著，在將一臨時結合基板711黏合至矽基板705之嵌入材料膜710之側(如圖112B中所繪示)之後，將所有基板倒置，如圖112C中所繪示。

在將矽基板701薄化至約1微米至約10微米(如圖112D中所繪示)之後，使彩色濾波器712及晶片上透鏡713形成於矽基板701上，如圖112E中所繪示。此外，一高介電膜(諸如圖15中之高介電膜401)可形成於經薄化之矽基板711之上表面上以抑制一暗電流。

接著，如圖113A中所繪示，在將玻璃密封樹脂714施加至其上形成有矽基板711之晶片上透鏡713的整個表面之後，將一玻璃保護基板715與無凹腔結構黏合。

在黏合玻璃保護基板715之後，分離臨時結合基板711，如圖113B中所繪示。

接著，在將所有基板再次倒置(如圖113C中所繪示)之後，藉由(例如)使用氫氟酸(HF)之濕式蝕刻而移除嵌入材料膜710，如圖113D中所繪示。藉由對其上形成有絕緣膜708之整個表面執行回蝕，移除

焊盤部分709中之剩餘較薄絕緣膜708，使得重新佈線707被暴露。

當在參考圖112A中所描述之程序中藉由旋轉且施加光阻層而形成嵌入材料膜710時，可藉由O_2電漿而移除嵌入材料膜710 (經受灰化)。

最後，如圖112E中所繪示，藉由焊料球安裝方法或其類似者而使焊料球716形成於其中暴露重新佈線707之部分中。

如上文所描述，並非在黏合其中預先形成佈線層之半導體基板時，而是在黏合其中未形成佈線層之矽基板時，可在形成彩色濾波器712及晶片上透鏡713之前形成矽穿透電極706及重新佈線707，如同上述其他製造方法。因此，由於可在等於或大於250度之一高溫處形成絕緣膜708，所以可形成確保高可靠性之絕緣膜708。換言之，可將絕緣膜708之機械特性或絕緣電阻改良至相同於一信號處理佈線之位準。

<9. 三層層疊基板之組態實例>

在上文所描述之各實施例中，固態成像器件1之層疊基板13經組態以包含兩個層，即，邏輯基板11及像素感測器基板12。

然而，如圖114A及圖114B中所繪示，一層疊基板13亦可具有三個層之一組態，其中一記憶體基板801 (其係一第三半導體基板)設置於邏輯基板11與像素感測器基板12之間。

在記憶體基板801中，形成一記憶體電路802，其儲存像素區域21中所產生之一信號、邏輯電路23中之信號處理之一結果之資料、及其類似者。

圖115A至圖118係繪示固態成像器件1之層疊基板13經組態以包含三個層時之特定組態實例的圖式。

由於圖115A至圖118中之各基板之詳細組態相同於上述邏輯基板11及像素感測器基板12中所描述之組態，所以將省略其描述。

首先，將描述具有圖115A至圖115C中所繪示之一個三層結構之固態成像器件1之組態。

在圖115A至圖115C中所繪示之所有固態成像器件1中，邏輯基板11及像素感測器基板12經層疊以具有面對面結構。插入於邏輯基板11與像素感測器基板12之間之記憶體基板801經層疊以具有與像素感測器基板12之面對面結構。

依下列順序製造圖115A中所繪示之固態成像器件1。

首先，單獨製造之半成品像素感測器基板12及記憶體基板801經黏合使得其等之佈線層面向彼此。接著，在將記憶體基板801之一矽基板812薄化之後，形成：一晶片穿透電極813，其穿透記憶體基板801之矽基板812及一多層佈線層811；一矽穿透電極814，其穿透矽基板812；及一重新佈線821，其將晶片穿透電極813連接至矽穿透電極814。因此，使用晶片穿透電極813、矽穿透電極814及重新佈線821來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。

接著，將記憶體基板801及半成品邏輯基板11黏合在一起，且形成：一晶片穿透電極815，其穿透邏輯基板11之矽基板81及多層佈線層82；一矽穿透電極816，其穿透矽基板81；及一連接佈線153。因此，使用晶片穿透電極815、矽穿透電極816及連接佈線153來連接邏輯基板11之多層佈線層82及記憶體基板801之多層佈線層811。

在重新佈線154及絕緣膜86形成於邏輯基板11之連接佈線153之上側上之後，將邏輯基板11及一臨時結合基板(圖中未繪示)黏合在一起。

使用臨時結合基板(圖中未繪示)作為一支撐基板，將像素感測器基板12之矽基板101薄化且使彩色濾波器15及晶片上透鏡16形成於經薄化之矽基板101之上表面上。接著，在形成彩色濾波器15及晶片上

透鏡16之後，將玻璃密封樹脂17及玻璃保護基板18黏合在一起。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖115A中之固態成像器件1被完成。

接著，依下列順序製造圖115B中所繪示之固態成像器件1。

首先，單獨製造之半成品像素感測器基板12及記憶體基板801經黏合使得其等之佈線層面向彼此。接著，在將記憶體基板801之一矽基板812薄化之後，形成：晶片穿透電極813，其穿透記憶體基板801之矽基板812及多層佈線層811；矽穿透電極814，其穿透矽基板812；及一重新佈線821，其將晶片穿透電極813連接至矽穿透電極814。因此，使用晶片穿透電極813、矽穿透電極814及重新佈線821來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。

接著，藉由記憶體基板801之重新佈線821與邏輯基板11之多層佈線層82之佈線層83之金屬結合(Cu-Cu)而將記憶體基板801及半成品邏輯基板11黏合在一起。

在將邏輯基板11之矽基板81薄化之後，形成一矽穿透電極816(其穿透矽基板81)、連接佈線153、重新佈線154及絕緣膜86。其後，將一臨時結合基板(圖中未繪示)黏合至邏輯基板11之絕緣膜86之側。

使用臨時結合基板(圖中未繪示)作為一支撐基板，將像素感測器基板12之矽基板101薄化，且使彩色濾波器15及晶片上透鏡16形成於經薄化之矽基板101之上表面上。接著，在形成彩色濾波器15及晶片上透鏡16之後，將玻璃密封樹脂17及玻璃保護基板18黏合在一起。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖115B中之固態成像器件1被完成。

接著，依下列順序製造圖115C中所繪示之固態成像器件1。

首先，單獨製造之半成品像素感測器基板12及記憶體基板801經

黏合使得其等之佈線層面向彼此。藉由像素感測器基板12之多層佈線層102與記憶體基板801之多層佈線層811之金屬結合(Cu-Cu)而將像素感測器基板12及記憶體基板801黏合在一起。

接著，在將記憶體基板801之矽基板812薄化之後，形成：矽穿透電極814，其穿透記憶體基板801之矽基板812；及一重新佈線821，其連接至矽穿透電極814。

接著，藉由記憶體基板801之重新佈線821與邏輯基板11之多層佈線層82之佈線層83之金屬結合(Cu-Cu)而將半成品邏輯基板11及記憶體基板801黏合在一起。

在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極816 (其穿透矽基板81)、連接佈線153、重新佈線154及絕緣膜86。其後，將一臨時結合基板(圖中未繪示)黏合至邏輯基板11之絕緣膜86之側。

接著，使用臨時結合基板(圖中未繪示)作為一支撐基板，將像素感測器基板12之矽基板101薄化且使彩色濾波器15及晶片上透鏡16形成於經薄化之矽基板101之上表面上。接著，在形成彩色濾波器15及晶片上透鏡16之後，將玻璃密封樹脂17及玻璃保護基板18黏合在一起。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖115C中之固態成像器件1被完成。

接著，將依下列順序描述具有圖116A至圖116C中所繪示之三層結構之固態成像器件1。

在圖116A至圖116C中所繪示之所有固態成像器件1中，記憶體基板801及邏輯基板11經層疊以具有面對面結構。像素感測器基板12亦層疊至邏輯基板11以具有面對面結構。

依下列順序製造圖116A中所繪示之固態成像器件1。

首先，單獨製造之半成品邏輯基板11及記憶體基板801經黏合使

得其等之佈線層面向彼此。

接著，在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86，且將邏輯基板11及一臨時結合基板(圖中未繪示)黏合在一起。

接著，使用臨時結合基板(圖中未繪示)作為一支撐基板，在將記憶體基板801之矽基板812薄化之後，形成晶片穿透電極813、矽穿透電極814及重新佈線821。

接著，在將像素感測器基板12結合至記憶體基板801之上側且將像素感測器基板12之矽基板101薄化之後，形成：一晶片穿透電極842，其穿透像素感測器基板12之矽基板101及多層佈線層102；一矽穿透電極843，其穿透矽基板101；及一重新佈線844，其將晶片穿透電極842連接至矽穿透電極843。因此，使用晶片穿透電極842、矽穿透電極843及重新佈線844來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。其後，形成彩色濾波器15及晶片上透鏡16且藉由玻璃密封樹脂17而黏合玻璃保護基板18。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖116A中之固態成像器件1被完成。

接著，依下列順序製造圖116B中所繪示之固態成像器件1。

首先，單獨製造之半成品邏輯基板11及記憶體基板801經黏合使得其等之佈線層面向彼此。

接著，在將經製造以達半成品狀態之邏輯基板11之矽基板81薄化之後，形成晶片穿透電極815、矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86。因此，使用晶片穿透電極815、矽穿透電極816及連接佈線153來連接邏輯基板11之多層佈線層82及記憶體基板801之多層佈線層811。其後，將邏輯基板11黏合至一臨時結合基板(圖中未繪示)。

接著，在將記憶體基板801之矽基板812薄化之後，將像素感測器基板12結合至經薄化之矽基板812之上側。

接著，形成：一晶片穿透電極852，其穿透整個像素感測器基板12及記憶體基板801之矽基板812；一矽穿透電極843，其穿透像素感測器基板12之矽基板101；及一重新佈線844，其將晶片穿透電極842連接至矽穿透電極843。因此，使用晶片穿透電極852、矽穿透電極843及重新佈線844來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。其後，在形成彩色濾波器15及晶片上透鏡16之後，將玻璃密封樹脂17及玻璃保護基板18黏合在一起。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖116B中之固態成像器件1被完成。

接著，依下列順序製造圖116C中所繪示之固態成像器件1。

首先，將一臨時結合基板(圖中未繪示)黏合至半成品記憶體基板801之多層佈線層811之側，且使用該第一臨時結合基板作為一支撐基板，將記憶體基板801之矽基板812薄化。

接著，將經製造以達半成品狀態之像素感測器基板12黏合至記憶體基板801，分離黏合至記憶體基板801之另一側的第一臨時結合基板，且形成晶片穿透電極813、矽穿透電極814及重新佈線821。因此，使用晶片穿透電極813、矽穿透電極814及重新佈線821來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。

接著，將經製造以達半成品狀態之邏輯基板11黏合至記憶體基板801之重新佈線821之側，且形成晶片穿透電極815、矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86。因此，使用晶片穿透電極815、矽穿透電極816及連接佈線153來連接邏輯基板11之多層佈線層82及記憶體基板801之多層佈線層811。其後，將邏輯基板11黏合至一

第二臨時結合基板(圖中未繪示)。

在將像素感測器基板12之矽基板101薄化之後，形成彩色濾波器15及晶片上透鏡16且藉由玻璃密封樹脂17而黏合玻璃保護基板18。

最後，分離結合至邏輯基板11之第二臨時結合基板且形成焊料遮罩91及焊料球14，使得圖116C中之固態成像器件1被完成。

接著，將依下列順序描述具有圖117A至圖117C中所繪示之三層結構之固態成像器件1。

在圖117A至圖117C中所繪示之固態成像器件1中，記憶體基板801及邏輯基板11亦經層疊以具有面對面結構，且像素感測器基板12亦層疊至邏輯基板11以具有面對面結構。

依下列順序製造圖117A中所繪示之固態成像器件1。

首先，藉由邏輯基板11之多層佈線層82與記憶體基板801之多層佈線層811之金屬結合(Cu-Cu)而黏合單獨製造之半成品邏輯基板11及記憶體基板801，使得其等之佈線層面向彼此。

接著，在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86。其後，將邏輯基板11黏合至一臨時結合基板(圖中未繪示)。

接著，使用臨時結合基板(圖中未繪示)作為一支撐基板，在將記憶體基板801之矽基板812薄化之後，形成矽穿透電極814及重新佈線821。

接著，在將像素感測器基板12結合至記憶體基板801之上側且將像素感測器基板12之矽基板101薄化之後，形成：晶片穿透電極842，其穿透像素感測器基板12之矽基板101及多層佈線層102；矽穿透電極843，其穿透矽基板101；及一重新佈線844，其將晶片穿透電極842連接至矽穿透電極843。因此，使用晶片穿透電極842、矽穿透電極843及重新佈線844來連接像素感測器基板12之多層佈線層102及記憶體基

板801之多層佈線層811。其後，形成彩色濾波器15及晶片上透鏡16且使用玻璃密封樹脂17來黏合玻璃保護基板18。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖117A中之固態成像器件1被完成。

接著，依下列順序製造圖117B中所繪示之固態成像器件1。

首先，將一臨時結合基板(圖中未繪示)黏合至半成品記憶體基板801之多層佈線層811之側，且使用該第一臨時結合基板作為一支撐基板，將記憶體基板801之矽基板812薄化。

接著，將經製造以達半成品狀態之像素感測器基板12黏合至記憶體基板801，分離黏合至記憶體基板801之另一側的第一臨時結合基板，且形成晶片穿透電極813、矽穿透電極814及重新佈線821。因此，使用晶片穿透電極813、矽穿透電極814及重新佈線821來連接像素感測器基板12之多層佈線層102及記憶體基板801之多層佈線層811。

接著，藉由邏輯基板11之多層佈線層82與記憶體基板801之多層佈線層811之金屬結合(Cu-Cu)而黏合半成品邏輯基板11及記憶體基板801，使得其等之佈線層面向彼此。

接著，在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86。其後，將邏輯基板11黏合至一第二臨時結合基板(圖中未繪示)。

接著，使用第二臨時結合基板作為一支撐基板，將像素感測器基板12之矽基板101薄化。其後，形成彩色濾波器15及晶片上透鏡16且使用玻璃密封樹脂17來黏合玻璃保護基板18。

最後，分離結合至邏輯基板11之第二臨時結合基板且形成焊料遮罩91及焊料球14，使得圖117B中之固態成像器件1被完成。

接著，依下列順序製造圖117C中所繪示之固態成像器件1。

首先，藉由邏輯基板11之多層佈線層82與記憶體基板801之多層佈線層811之金屬結合(Cu-Cu)而黏合單獨製造之半成品邏輯基板11及記憶體基板801，使得其等之佈線層面向彼此。

接著，在將邏輯基板11之矽基板81薄化之後，形成矽穿透電極816、連接佈線153、重新佈線154及絕緣膜86。其後，將邏輯基板11黏合至一臨時結合基板(圖中未繪示)。

接著，在將記憶體基板801之矽基板812薄化之後，形成矽穿透電極814及重新佈線821。

接著，將像素感測器基板12黏合至記憶體基板801之上側。即，藉由記憶體基板801之重新佈線821與像素感測器基板12之多層佈線層102之金屬結合(Cu-Cu)而結合記憶體基板801及像素感測器基板12。

其後，使彩色濾波器15及晶片上透鏡16形成於像素感測器基板12之矽基板101之上表面上且使用玻璃密封樹脂17來黏合玻璃保護基板18。

最後，分離結合至邏輯基板11之臨時結合基板且形成焊料遮罩91及焊料球14，使得圖117C中之固態成像器件1被完成。

如上文參考圖115A至圖117C所描述，可藉由在邏輯基板11與像素感測器基板12之間插入記憶體基板801以具有面對面結構之配置關係而組態具有三層結構之固態成像器件1。在此情況中，記憶體基板801之方向可經定向以朝向相對於邏輯基板11之面對面結構及面對背結構之任何者。

圖115A至圖117C中所繪示之各結構組態為其中經由記憶體基板801而將與焊料球14間隔最遠之像素感測器基板12之一信號傳輸至邏輯基板11的結構。

然而，例如，如圖118中所繪示，一晶片穿透電極861亦可經形成以穿透三層半導體基板，即，邏輯基板11、記憶體基板801及像素感

測器基板12。可經由晶片穿透電極861而將像素感測器基板12之一信號傳輸至邏輯基板11之側。同樣地，亦可經由晶片穿透電極861而將記憶體基板801之一信號傳輸至邏輯基板11之側。

固態成像器件1中所包含之層疊半導體基板之數目不受限於上文所描述之兩個或三個半導體基板，而是可層疊四個、五個或五個以上半導體基板。

<10. 電子裝置之應用實例>

本發明之一技術不限於應用於固態成像器件。即，本發明之技術可應用於其中一固態成像器件用於一影像擷取單元(光電轉換單元)中之通用電子裝置，諸如成像裝置(諸如數位靜態相機或視訊攝影機)、具有一成像功能之可攜式終端裝置、或其中一固態成像器件用於一影像讀取單元中之影印機。

圖119係繪示根據本發明之一實施例之一成像裝置(其係一電子裝置)之一組態實例的一方塊圖。

圖119中之一成像裝置300包含：一固態成像器件302，其中採用圖1中之固態成像器件1之組態；及一數位信號處理器(DSP)電路303，其係一相機信號處理電路。成像裝置300進一步包含一圖框記憶體304、一顯示單元305、一記錄單元306、一操作單元307及一電力單元308。DSP電路303、圖框記憶體304、顯示單元305、記錄單元306、操作單元307及電力單元308經由一匯流排線309而彼此連接。

固態成像器件302自一物體擷取入射光(影像光)，以像素為單位將在一成像表面上形成為一影像之入射光量轉換成一電信號，且輸出該電信號作為一像素信號。圖1中之固態成像器件1 (即，藉由層疊包含像素區域21之像素感測器基板12及至少包含邏輯電路23之邏輯基板11而縮小尺寸之半導體封裝)可用作為固態成像器件302。

顯示單元305由一面板型顯示器件(諸如一液晶面板或一有機EL

(電致發光)面板)組態且顯示由固態成像器件302擷取之一動態影像或一靜態影像。記錄單元306將由固態成像器件302擷取之一動態影像或一靜態影像記錄於一記錄媒體(諸如一硬碟或一半導體記憶體)中。

操作單元307在一使用者之操作下發出與成像裝置300之各種功能有關之操作指令。電力單元308給供應目標適當地供應各種電量，該等各種電量係DSP電路303、圖框記憶體304、顯示單元305、記錄單元306及操作單元307之操作電力。

如上文所描述，藉由使用具有上述結構之任何者之固態成像器件1作為固態成像器件302，可實現尺寸縮小，同時擴大一光二極體PD之面積且實現高敏感性。相應地，甚至在成像裝置300 (諸如一視訊攝影機、一數位靜態相繼、或用於一行動裝置(諸如一可攜式電話)之一相繼模組)中，可達成半導體封裝之尺寸減小與一擷取影像之高相等性之相容性。

在上述實例中，已將一CMOS固態成像器件之組態描述為一半導體器件之一實例，其中封裝藉由層疊下基板11及上基板12而組態之層疊基板13。然而，本發明之技術不受限於固態成像器件，而是可應用於出於其他用途而封裝之半導體器件。

例如，本發明之技術不受限於偵測可見光之入射光量之分佈且使該入射光量之分佈成像為一影像的固態成像器件，而是一般可應用於使入射紅外線、X射線或光子之量之一分佈成像為一影像的一固態成像器件或廣義上應用於偵測另一物理量(諸如壓力或靜電容量)之一分佈且使該分佈成像為一影像的一固態成像器件(物理量分佈偵測器件)(諸如一指紋偵測感測器)。

本發明之實施例不受限於上述實施例，且可在不脫離本發明之主旨之情況下在本發明之範疇內作出各種修改。

例如，可採用上述複數個實施例之全部或部分之一組合。

本說明書中所描述之有利效應僅供例示且不具限制性，且可獲得本說明書中尚未描述之其他有利效應。

本發明之實施例可組態如下。

(1) 一種半導體器件包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保護基板安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂內插於該保護基板與該晶片上透鏡之間。

(2) 在上文(1)中所描述之半導體器件中，可藉由在各形成佈線層之後將該第一半導體基板及該第二半導體基板連接而組態該第一半導體基板及該第二半導體基板之一層疊結構。

(3) 上文(2)中所描述之半導體器件可進一步包含：一第一穿透電極，其穿透該第一半導體基板且電連接至該第一半導體基板之該佈線層；一第二穿透電極，其穿透該第一半導體基板及該第一半導體基板之該佈線層且電連接至該第二半導體基板之該佈線層；一連接佈線，其將該第一穿透電極電連接至該第二穿透電極；及一第三穿透電極，其穿透該第二半導體基板且將一電極部分電連接至該第二半導體基板之該佈線層，該電極部分將該像素信號輸出至該半導體器件之一外部。

(4) 在上文(3)中所描述之半導體器件中，一焊料遮罩可形成於其上形成有該第二半導體基板之該電極部分的一表面上且該焊料遮罩未形成於其中形成該電極部分之一區域上。

(5) 在上文(3)中所描述之半導體器件中，一絕緣膜可形成於其上形成有該第二半導體基板之該電極部分的一表面上且該絕緣膜未形成

於其中形成該電極部分之一區域上。

(6) 上文(2)中所描述之半導體器件可進一步包含：一第一穿透電極，其穿透該第二半導體基板且電連接至該第二半導體基板之該佈線層；一第二穿透電極，其穿透該第二半導體基板及該第二半導體基板之該佈線層且電連接至該第一半導體基板之該佈線層；一連接佈線，其將該第一穿透電極電連接至該第二穿透電極；及一重新佈線，其將一電極部分電連接至該連接佈線，該電極部分將該像素信號輸出至該半導體器件之一外部。

(7) 上文(2)中所描述之半導體器件可進一步包含：一穿透電極，其穿透該第二半導體基板且將一電極部分電連接至該第二半導體基板之該佈線層，該電極部分將該像素信號輸出至該半導體器件之一外部；及一重新佈線，其將該穿透電極電連接至該電極部分。可藉由該等佈線層之一或多者之一金屬結合而連接該第一半導體基板之該佈線層及該第二半導體基板之該佈線層。

(8) 上文(7)中所描述之半導體器件可進一步包含一虛設佈線，其未電連接至相同於該重新佈線之層中之任何佈線層。

(9) 上文(2)中所描述之半導體器件可進一步包含：一第一穿透電極，其穿透該第二半導體基板且電連接至該第二半導體基板之該佈線層；一第二穿透電極，其穿透該第二半導體基板及該第二半導體基板之該佈線層且電連接至該第一半導體基板之該佈線層；一連接佈線，其將該第一穿透電極電連接至該第二穿透電極；及一重新佈線，其電連接至將該像素信號輸出至該半導體器件之一外部的一電極部分；及一連接導體，其將該重新佈線連接至該連接佈線。

(10) 上文(2)中所描述之半導體器件可進一步包含：一第一穿透電極，其穿透該第一半導體基板且電連接至該第一半導體基板之該佈線層；一第二穿透電極，其穿透該第一半導體基板及該第一半導體基

板之該佈線層且電連接至該第二半導體基板之該佈線層；一連接佈線，其將該第一穿透電極電連接至該第二穿透電極；及一第三穿透電極，其穿透該第一半導體基板及該第二半導體基板且電連接至將該像素信號輸出至該半導體器件之一外部的一電極部分。

(11) 在上文(10)中所描述之半導體器件中，一焊料遮罩可形成於其上形成有該第二半導體基板之該電極部分的一表面上且該焊料遮罩未形成於其中形成該電極部分之一區域上。

(12) 在上文(10)中所描述之半導體器件中，一絕緣膜可形成於其上形成有該第二半導體基板之該電極部分的一表面上且該絕緣膜未形成於其中形成該電極部分之一區域上。

(13) 上文(2)中所描述之半導體器件可進一步包含：一第一穿透電極，其穿透該第一半導體基板且電連接至該第一半導體基板及該第二半導體基板之各者之該佈線層；及一第二穿透電極，其穿透該第一半導體基板及該第二半導體基板且電連接至將該像素信號輸出至該半導體器件之一外部的一電極部分。

(14) 上文(2)中所描述之半導體器件可進一步包含一穿透電極，其穿透該第一半導體基板及該第二半導體基板且電連接至將該像素信號輸出至該半導體器件之一外部的一電極部分。可藉由該等佈線層之一或多者之一金屬結合而連接該第一半導體基板之該佈線層及該第二半導體基板之該佈線層。

(15) 在上文(1)中所描述之半導體器件中，該第一半導體基板及該第二半導體基板可經組態使得其等之該等佈線層面向彼此。

(16) 在上文(1)中所描述之半導體器件中，該第一半導體基板及該第二半導體基板可經組態使得該第一半導體基板之該佈線層之一側面向與該第二半導體基板之該佈線層之一側相對之一表面。

(17) 上文(1)中所描述之半導體器件可進一步包含：一電極部

分，其將該像素信號輸出至該半導體器件之一外部；及一重新佈線，其將該像素信號自該第二半導體基板遞送至該電極部分。

(18) 在上文(17)中所描述之半導體器件中，該電極部分可安裝於形成於該重新佈線上之一焊盤部分上。

(19) 在上文(17)或(18)中所描述之半導體器件中，減少與該電極部分之一材料之一反應的一障壁金屬膜可形成於該重新佈線之外部。

(20) 在上文(17)至(19)之任一項中所描述之半導體器件中，該重新佈線之至少一部分可形成於該第二半導體基板之一凹槽中。

(21) 在上文(1)中所描述之半導體器件中，其中形成一佈線層之一第三半導體基板可插入於該第一半導體基板與該第二半導體基板之間，使得該半導體器件包含三個半導體基板。

(22) 在上文(21)中所描述之半導體器件中，該第三半導體基板可插入於該第一半導體基板與該第二半導體基板之間，使得形成於該第三半導體基板中之該佈線層面向該第一半導體基板之該佈線層。

(23) 在上文(21)中所描述之半導體器件中，該第三半導體基板可插入於該第一半導體基板與該第二半導體基板之間，使得形成於該第三半導體基板中之該佈線層面向該第二半導體基板之該佈線層。

(24) 在上文(21)中所描述之半導體器件中，該第三半導體基板可包含一記憶體電路。

(25) 在上文(24)中所描述之半導體器件中，該記憶體電路可儲存下列之至少一者：該像素區域中所產生之一信號；及指示由該邏輯電路處理之一像素信號的資料。

(26) 一種製造一半導體器件之方法包含：將其中形成一第一佈線層之一第一半導體基板及其中形成一第二佈線層之一第二半導體基板連接，使得該等半導體基板之該等佈線層面向彼此；形成電連接至該第一佈線層及該第二佈線層之一穿透電極；形成一彩色濾波器及一

晶片上透鏡；及藉由一密封樹脂而將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

(27) 一種製造一半導體器件之方法包含：在其中形成一第一佈線層之一第一半導體基板上，使一彩色濾波器及一晶片上透鏡形成於與其中形成該第一半導體基板之該第一佈線層的一側相對之一表面上；形成穿透一第二半導體基板之一穿透電極，在該第二半導體基板中形成一第二佈線層；及將其中形成該彩色濾波器及該晶片上透鏡之該第一半導體基板連接至其中形成該穿透電極之該第二半導體基板，使得該等半導體基板之該等佈線層面向彼此。

(28) 一種電子裝置包含：一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；及一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，該第一半導體基板及該第二半導體基板係層疊的。保護一晶片上透鏡之一保護基板安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂內插於該保護基板與該晶片上透鏡之間。

(A1) 一種製造一半導體器件之方法包含：黏合其中形成一第一佈線層之一第一半導體基板及其中形成一第二佈線層之一第二半導體基板，使得該等半導體基板之該等佈線層面向彼此；形成電連接至該第一佈線層及該第二佈線層之一穿透電極，且接著形成一彩色濾波器及一晶片上透鏡；及藉由一密封樹脂而將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

(A2) 在上文(A1)中所描述之製造半導體器件之方法中，在黏合該第一半導體基板及該第二半導體基板之後，第一穿透電極及第二穿透電極可形成為該穿透電極。該第一穿透電極可穿透該第二半導體基板且可電連接至該第二半導體基板之該佈線層。該第二穿透電極可穿

透該第二半導體基板及該第二半導體基板之該佈線層且可電連接至該第一半導體基板之該佈線層。

(A3) 上文(A2)中所描述之製造半導體器件之方法可進一步包含：形成將該第一穿透電極電連接至該第二穿透電極之一連接佈線；及形成將一電極部分電連接至該連接佈線之一重新佈線，該電極部分將一信號輸出至該半導體器件之外部。

(A4) 在上文(A3)中所描述之製造半導體器件之方法中，可在形成該連接佈線及該重新佈線之後將一臨時結合基板黏合至該連接佈線及該重新佈線上。可在剝離該臨時結合基板之後形成該電極部分。

(A5) 在上文(A4)中所描述之製造半導體器件之方法中，在形成該連接佈線及該重新佈線之後，可將該第一半導體基板薄化。

(A6) 在上文(A4)或(A5)中所描述之製造半導體器件之方法中，該臨時結合基板可包含一剝離層且可黏合該臨時結合基板之該剝離層之一表面。當剝離該臨時結合基板時，該剝離層可在該剝離之後保留。

(A7) 在上文(A4)或(A5)中所描述之製造半導體器件之方法中，該臨時結合基板可包含一剝離層及一絕緣膜，且可黏合該臨時結合基板之該絕緣膜之一表面。當剝離該臨時結合基板時，該剝離層及該絕緣膜可在進行該剝離時保留。

(A8) 在上文(A4)至(A7)之任一項中所描述之製造半導體器件之方法中，可在形成該連接佈線及該重新佈線之前將該第一半導體基板薄化。

(A9) 在上文(A4)中所描述之製造半導體器件之方法中，該連接佈線或該重新佈線之至少一部分可形成於該第一半導體基板中所雕刻之一部分中。

(A10) 在上文(A3)中所描述之製造半導體器件之方法中，在形成

該連接佈線及該重新佈線之後，可在該連接佈線及該重新佈線上形成該電極部分，且可將一臨時結合基板黏合至該電極部分上。

(A11) 在上文(A10)中所描述之製造半導體器件之方法中，在形成該連接佈線及該重新佈線之後，可將該第一半導體基板薄化。

(A12) 在上文(A10)中所描述之製造半導體器件之方法中，在形成該連接佈線及該重新佈線之前，可將該第一半導體基板薄化。

(A13) 在上文(A2)中所描述之製造半導體器件之方法中，在將該第一穿透電極電連接至該第二穿透電極之一連接佈線與該第一穿透電極及該第二穿透電極同時形成之後，可將一臨時結合基板結合至該連接佈線上。在剝離該臨時結合基板之後，可形成將一電極部分電連接至該連接佈線之一重新佈線，該電極部分將一信號輸出至該半導體器件之外部。

(A14) 在上文(A13)中所描述之製造半導體器件之方法中，在剝離該臨時結合基板之後，亦可形成將該連接佈線連接至該重新佈線之一連接導體。

(A15) 在上文(A2)中所描述之製造半導體器件之方法中，連接至一電極部分之一重新佈線可與該第一穿透電極及該第二穿透電極一起形成，該電極部分將一信號輸出至該半導體器件之外部。

(A16) 在上文(A15)中所描述之製造半導體器件之方法中，在形成該重新佈線之後，可在該重新佈線上形成一絕緣膜。

(A17) 在上文(A16)中所描述之製造半導體器件之方法中，可移除其中形成該重新佈線上之該電極部分的區域中之該絕緣膜之一部分。

(A18) 在上文(A16)中所描述之製造半導體器件之方法中，可移除其中形成該重新佈線上之該電極部分的該區域中之該絕緣膜，直至暴露該重新佈線。

(A19) 在上文(A1)中所描述之製造半導體器件之方法中，可藉由該等佈線層之金屬結合而黏合該第一半導體基板及該第二半導體基板，且可形成穿透該第二半導體基板之該穿透電極。

(A20) 在上文(A19)中所描述之製造半導體器件之方法中，連接至一電極部分之一重新佈線可與該穿透電極一起形成，該電極部分將一信號輸出至該半導體器件之外部，且接著可將該第一半導體基板薄化。

(A21) 在上文(A19)中所描述之製造半導體器件之方法中，在連接至一電極部分(其將一信號輸出至該半導體器件之外部)之一重新佈線與該穿透電極一起形成之前，可將該第一半導體基板薄化。

(A22) 在上文(A1)中所描述之製造半導體器件之方法中，在黏合該第一半導體基板及該第二半導體基板之後，第一穿透電極及第二穿透電極可形成於該穿透電極。該第一穿透電極可穿透該第一半導體基板且可電連接至該第一半導體基板之該佈線層。該第二穿透電極可穿透該第一半導體基板及該第一半導體基板之該佈線層且可電連接至該第二半導體基板之該佈線層。

(A23) 在上文(A22)中所描述之製造半導體器件之方法中，一第三穿透電極可與該第一穿透電極及該第二穿透電極同時形成，該第三穿透電極穿透該第一半導體基板及該第二半導體基板且電連接至將一信號輸出至該半導體器件之外部的一電極部分。

(A24) 在上文(A22)或(A23)中所描述之製造半導體器件之方法中，在形成該晶片上透鏡之後，可將一臨時結合基板黏合至該晶片上透鏡上。在剝離該臨時結合基板之後，可藉由該密封樹脂而連接該保護基板。

(A25) 在上文(A2)中所描述之製造半導體器件之方法中，在黏合該第一半導體基板及該第二半導體基板且接著該第一穿透電極及該第二穿透電極形成為該穿透電極之前，可形成一第三穿透電極。該第一

穿透電極可穿透該第一半導體基板且可電連接至該第一半導體基板之該佈線層。該第二穿透電極可穿透該第一半導體基板及該第一半導體基板之該佈線層且可電連接至該第二半導體基板之該佈線層。該第三穿透電極可穿透該第二半導體基板且可電連接至該第二半導體基板之該佈線層。

(A26) 在上文(A1)中所描述之製造半導體器件之方法中，在黏合該第一半導體基板及該第二半導體基板之後，第一穿透電極及第二穿透電極可形成為該穿透電極。該第一穿透電極可穿透該第一半導體基板且可電連接至該第一半導體基板及該第二半導體基板之各者之該佈線層。該第二穿透電極可穿透該第一半導體基板及該第二半導體基板且可電連接至將一信號輸出至該半導體器件之外部的一電極部分。

(A27) 在上文(A1)中所描述之製造半導體器件之方法中，可藉由該等佈線層之金屬結合而黏合該第一半導體基板及該第二半導體基板。可形成該穿透電極，其穿透該第一半導體基板及該第二半導體基板且電連接至將一信號輸出至該半導體器件之外部的一電極部分。

(A28) 在上文(A1)中所描述之製造半導體器件之方法中，可藉由一鑲嵌方法而形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(A29) 在上文(A1)中所描述之製造半導體器件之方法中，可藉由一半加成方法而形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(B1) 一種製造一半導體器件之方法包含：黏合其中形成一第一佈線層之一第一半導體基板及其中形成一第二佈線層之一第二半導體基板，使得該第一半導體基板之該第一佈線層面向與該第二半導體基板之該第二佈線層之側相對之一表面；形成電連接至該第一佈線層及該第二佈線層之一穿透電極，且接著形成一彩色濾波器及一晶片上透

鏡；及藉由一密封樹脂而將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

(B2) 在上文(B1)中所描述之製造半導體器件之方法中，在黏合該第一半導體基板及該第二半導體基板之後，第一穿透電極及第二穿透電極可形成為該穿透電極。該第一穿透電極可穿透該第一半導體基板且可電連接至該第一半導體基板之該佈線層。該第二穿透電極可穿透該第二半導體基板及該第二半導體基板之該佈線層且可電連接至該第一半導體基板之該佈線層。

(B3) 上文(B1)或(B2)中所描述之製造半導體器件之方法可進一步包含：在將該保護基板連接至該密封樹脂之後形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(B4) 在上文(B3)中所描述之製造半導體器件之方法中，在將該第二半導體基板薄化之後，一遮光膜可形成於與該第一半導體基板結合之一表面上。

(B5) 上文(B2)中所描述之製造半導體器件之方法可進一步包含：在黏合該第一半導體基板及該第二半導體基板之前形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(B6) 在上文(B5)中所描述之製造半導體器件之方法中，使一焊盤部分形成於該重新佈線上，該焊盤部分由一預定連接導體形成且連接至將該信號輸出至該半導體器件之外部的該電極部分。

(B7) 在上文(B6)中所描述之製造半導體器件之方法中，可透過一介層孔而連接該焊盤部分及該重新佈線。

(B8) 上文(B1)中所描述之製造半導體器件之方法可進一步包含：在黏合該第一半導體基板及該第二半導體基板之前形成將一信號輸出至該半導體器件之外部的一電極部分及連接至該電極部分之一重

新佈線。

(B9) 在上文(B1)中所描述之製造半導體器件之方法中，可藉由一鑲嵌方法而形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(B10) 在上文(B1)中所描述之製造半導體器件之方法中，可藉由一半加成方法而形成一重新佈線，該重新佈線連接至將一信號輸出至該半導體器件之外部的一電極部分。

(C1) 一種製造一半導體器件之方法包含：在其中形成一第一佈線層之一第一半導體基板中，在與其中形成該第一半導體基板之該第一佈線層的一側相對之一表面上形成一彩色濾波器及一晶片上透鏡；在其中形成一第二佈線層之一第二半導體基板中形成穿透該第二半導體基板之一穿透電極；及將其中形成該彩色濾波器及該晶片上透鏡之該第一半導體基板黏合至其中形成該穿透電極之該第二半導體基板，使得該等半導體基板之該等佈線層面向彼此。

(C2) 在上文(C1)中所描述之製造半導體器件之方法中，可藉由該第一佈線層及該第二佈線層之金屬結合而黏合該第一半導體基板及該第二半導體基板。

(C3) 在上文(C2)中所描述之製造半導體器件之方法中，在使該彩色濾波器及該晶片上透鏡形成於與其中形成該第一半導體基板之該第一佈線層的該側相對之一表面上之後，可藉由一密封樹脂而將保護該晶片上透鏡之一保護基板連接至該晶片上透鏡上。

(C4) 上文(C3)中所描述之製造半導體器件之方法可進一步包含：在該保護基板之該表面上形成一保護膜。

(C5) 在上文(C1)中所描述之製造半導體器件之方法中，當穿透該第二半導體基板之該穿透電極形成於該第二半導體基板中時，亦可形成一重新佈線，該重新佈線電連接至將一信號輸出至該半導體器件

之外部的一電極部分。

(C6) 在上文(C5)中所描述之製造半導體器件之方法中，亦可形成一虛設佈線，其未電連接至相同於該重新佈線之層中之佈線層。

熟習此項技術者應瞭解，可根據設計要求及其他因數而進行各種修改、組合、子組合及變更，只要其等係在隨附申請專利範圍或其等效物之範疇內。

【符號說明】

1	固態成像器件
11	下基板/邏輯基板
12	上基板/像素感測器基板
13	層疊基板
14	焊料球
15	彩色濾波器
16	晶片上透鏡
17	玻璃密封樹脂
18	玻璃保護基板
21	像素區域
22	控制電路
23	邏輯電路
32	像素
33	像素陣列單元
34	垂直驅動電路
35	行信號處理電路
36	水平驅動電路
37	輸出電路
38	控制電路

39	輸入/輸出端子
40	像素驅動佈線
41	垂直信號線
42	水平信號線
51	光二極體
52	第一轉移電晶體
53	記憶體部分(MEM)
54	第二轉移電晶體
55	浮動擴散區(FD)
56	重設電晶體
57	放大電晶體
58	選擇電晶體
59	放電電晶體
60	負載金屬氧化物半導體(MOS)
81	半導體基板/矽基板
82	多層佈線層
83	佈線層
83a	最上佈線層
83b	中間佈線層
83c	最下佈線層
84	層間絕緣膜
85	矽通孔
86	絕緣膜
86A	絕緣膜
86B	絕緣膜
87	連接導體

88	矽穿透電極
90	重新佈線
91	焊料遮罩
101	半導體基板/矽基板
102	多層佈線層
103	佈線層
103a	最上層佈線層
103b	中間佈線層
103c	最下佈線層
104	層間絕緣膜
105	晶片穿透電極
106	連接佈線
107	絕緣膜
108	絕緣膜
109	矽穿透電極
151	矽穿透電極
152	晶片穿透電極
153	連接佈線
154	重新佈線
171	連接導體
181	晶片穿透電極
182	連接佈線
183	重新佈線
191	晶片穿透電極
192	連接佈線
201	絕緣膜

211	虛設佈線
221	光阻層
222	開口
231	銅(Cu)晶種層
241	光阻圖案
242	焊料遮罩開口
251	臨時結合基板
252	玻璃表面保護膜
261	臨時結合基板
262	開口
263	黏著劑
264	臨時結合基板
300	成像裝置
302	固態成像器件
303	數位信號處理器(DSP)電路
304	圖框記憶體
305	顯示單元
306	記錄單元
307	操作單元
308	電力單元
309	匯流排線
401	高介電膜
402	罩蓋膜
411	臨時結合基板
412	光阻層
413	開口

414	開口
415	凹腔
416	遮光膜
417	保護膜
421	罩蓋膜
422	絕緣膜
423	臨時結合基板
431	焊盤
431A	佈線材料
441	罩蓋膜
442	絕緣膜
443	介層孔
451	開口
452	黏著劑
453	臨時結合基板
461	障壁金屬
461A	障壁金屬
461B	障壁金屬
462	金屬間化合物(IMC)
463	金屬間化合物(IMC)
471	臨時結合基板
472	臨時結合基板
473	臨時結合基板
481	臨時結合基板
481A	剝離層
482	絕緣膜

490	黏著劑
491	臨時結合基板
492	臨時結合基板
493	臨時結合基板
494	臨時結合基板
495	臨時結合基板
496	臨時結合基板
521	臨時結合基板
522	嵌入材料
523	臨時結合基板
541	臨時結合基板
600	焊盤部分
601	嵌入材料膜
602	臨時結合基板
611	焊盤部分
701	矽基板
702	佈線層
703	層間絕緣膜
704	多層佈線層
705	矽基板
706	矽穿透電極
707	重新佈線
708	絕緣膜
709	焊盤部分
710	嵌入材料膜
711	臨時結合基板

712	彩色濾波器
713	晶片上透鏡
714	玻璃密封樹脂
715	玻璃保護基板
716	焊料球
801	記憶體基板
802	記憶體電路
811	多層佈線層
812	矽基板
813	晶片穿透電極
814	矽穿透電極
815	晶片穿透電極
816	矽穿透電極
821	重新佈線
842	晶片穿透電極
843	矽穿透電極
844	重新佈線
852	晶片穿透電極
861	晶片穿透電極
OFG	放電信號
RST	重設信號
SEL	選擇信號
TRG	轉移信號
TRX	轉移信號
VDD	恆定電壓源

申請專利範圍

1. 一種半導體器件，其包括：

一第一半導體基板，其中形成一像素區域，在該像素區域中，依二維方式配置執行光電轉換之像素部分；

一晶片上透鏡，其形成於該第一半導體基板上及該像素區域中；及

一第二半導體基板，其中形成一邏輯電路，該邏輯電路處理自該像素部分輸出之一像素信號，

該第一半導體基板及該第二半導體基板係層疊的，其中：

該第一半導體基板及該第二半導體基板之一層疊結構包含該第一半導體基板之一佈線層及該第二半導體基板之一佈線層，該第一半導體基板之該佈線層及該第二半導體基板之該佈線層彼此接觸，

保護該晶片上透鏡之一保護基板係安置於該第一半導體基板之該像素區域中之該晶片上透鏡上，其中一密封樹脂經內插於該保護基板與該晶片上透鏡之間；

一穿透電極，其穿透該第一半導體基板及該第二半導體基板且將一電極部分電連接至該第二半導體基板之該佈線層，該電極部分將該像素信號輸出至該半導體器件之一外部；

一重新佈線，其將該穿透電極電連接至該電極部分，

該重新佈線及該電極部分係形成於該第二半導體基板之一表面上，該第二半導體基板之該表面係相對於該第二半導體基板面對該第一半導體基板之一表面，及

藉由該等佈線層之一或多者之一金屬結合來連接該第一半導體基板之該佈線層及該第二半導體基板之該佈線層。

2. 如請求項1之半導體器件，其中該半導體器件進一步包括：

一虛設佈線，其未經電連接至相同於該重新佈線之層中之任何佈線層。

3. 如請求項1之半導體器件，

其中該電極部分經安裝於形成於該重新佈線上之一焊盤部分上，及/或

其中減少與該電極部分之一材料之一反應之一障壁金屬膜可經形成於該重新佈線之外部，及/或

其中該重新佈線之至少一部分係形成於該第二半導體基板之一凹槽中。

4. 一種製造一半導體器件之方法，其包括：

將其中形成一第一佈線層及一像素區域之一第一半導體基板與其中形成一第二佈線層及一邏輯電路之一第二半導體基板連接，使得該第一佈線層與該第二佈線層接觸彼此，在該像素區域中，依二維方式配置執行光電轉換之像素部分該邏輯電路處理自該像素部分輸出之一像素信號；

形成一穿透電極，其穿透該第一半導體基板及該第二半導體基板且將一電極部分電連接至該第二半導體基板之該第二佈線層，該電極部分將該像素信號輸出至該半導體器件之一外部；

形成一重新佈線，其將該穿透電極電連接至該電極部分，其中該重新佈線及該電極部分係形成於該第二半導體基板之一表面上，該第二半導體基板之該表面係相對於該第二半導體基板面對該第一半導體基板之一表面；

藉由該第一佈線層及該第二佈線層之一或多者之一金屬結合來連接該第一半導體基板之該第一佈線層及該第二半導體基板之該第二佈線層；

在該第一半導體基板上及該像素區域中形成一彩色濾波器，並在該彩色濾波器上形成一晶片上透鏡；及

以經內插於一保護基板與該晶片上透鏡之間之一密封樹脂，將保護該晶片上透鏡之該保護基板連接至該晶片上透鏡上。

5. 一種電子裝置，其包括如請求項1-3之任一項之一半導體器件。

圖式

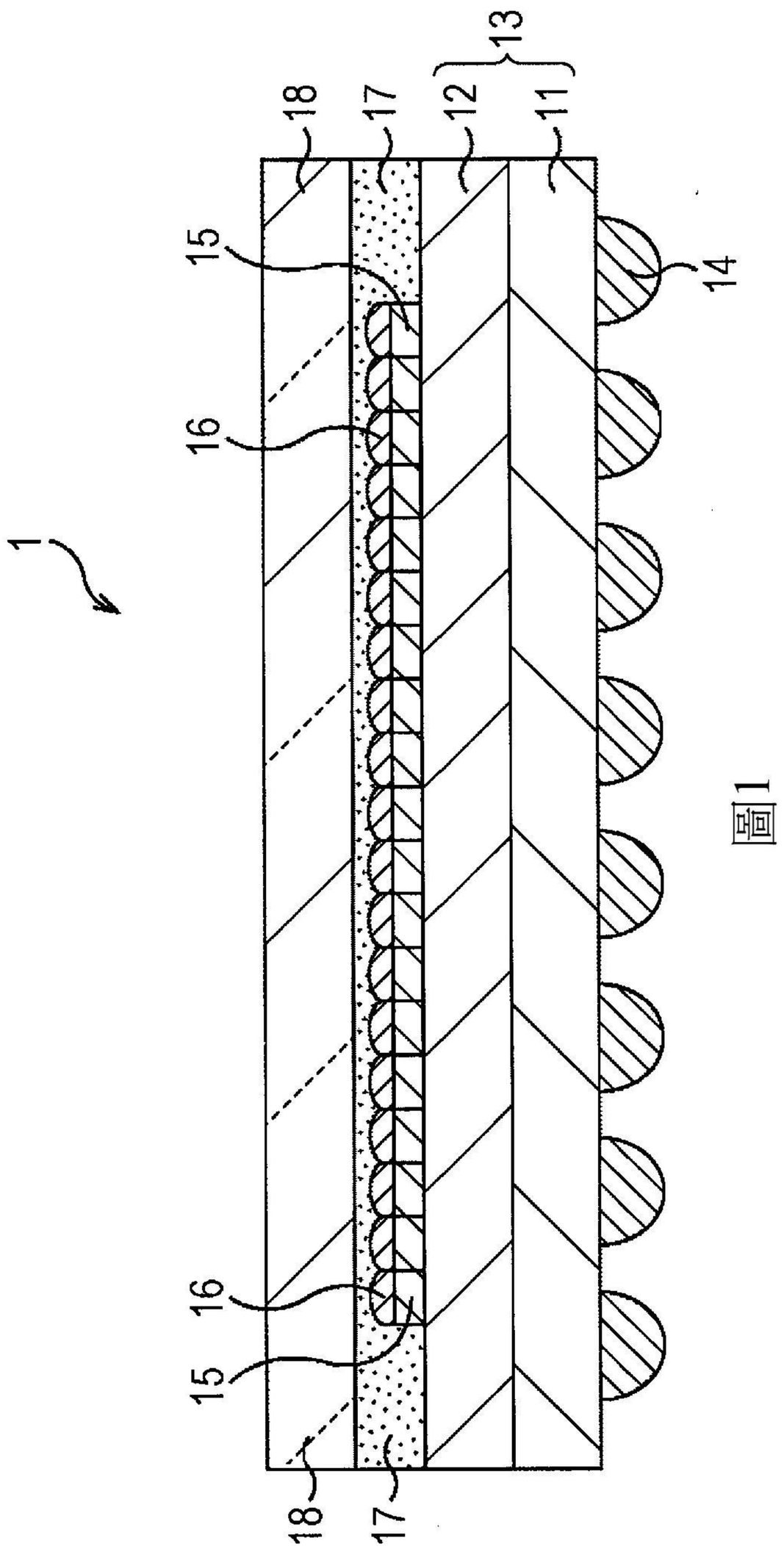


圖1

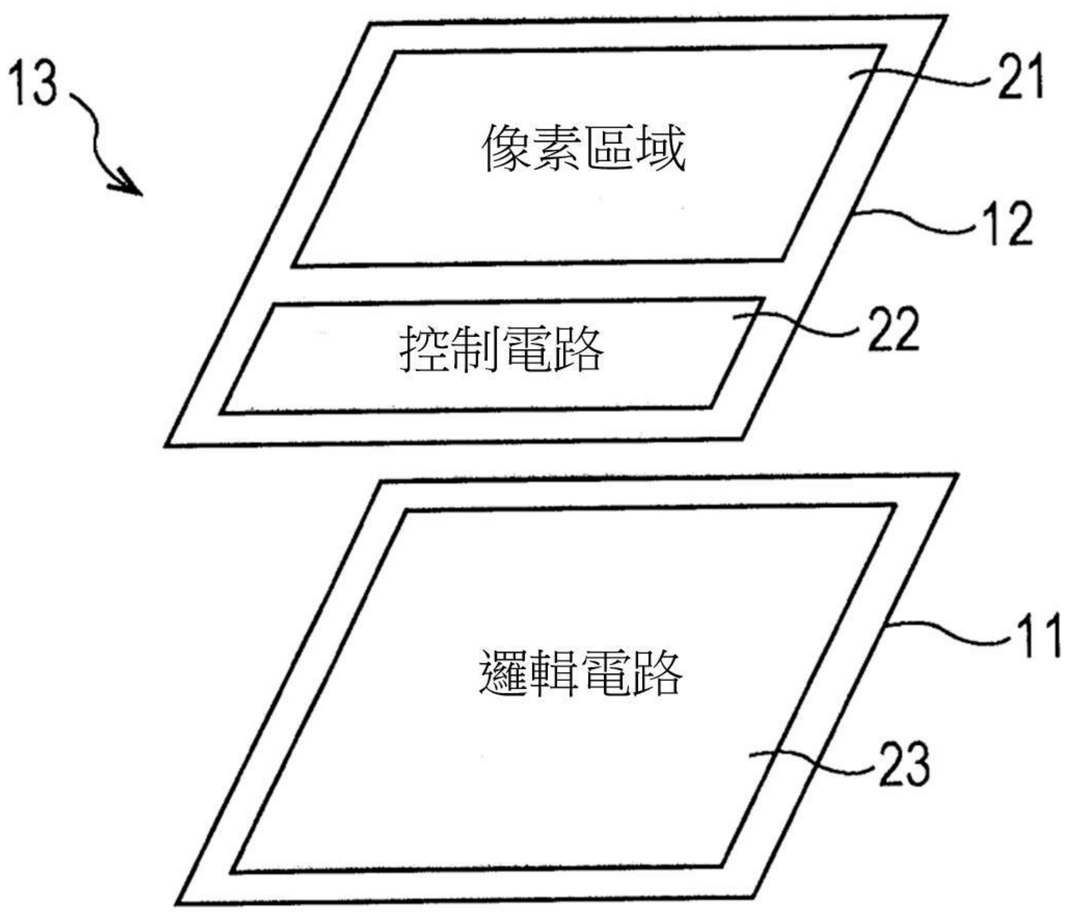


圖2A

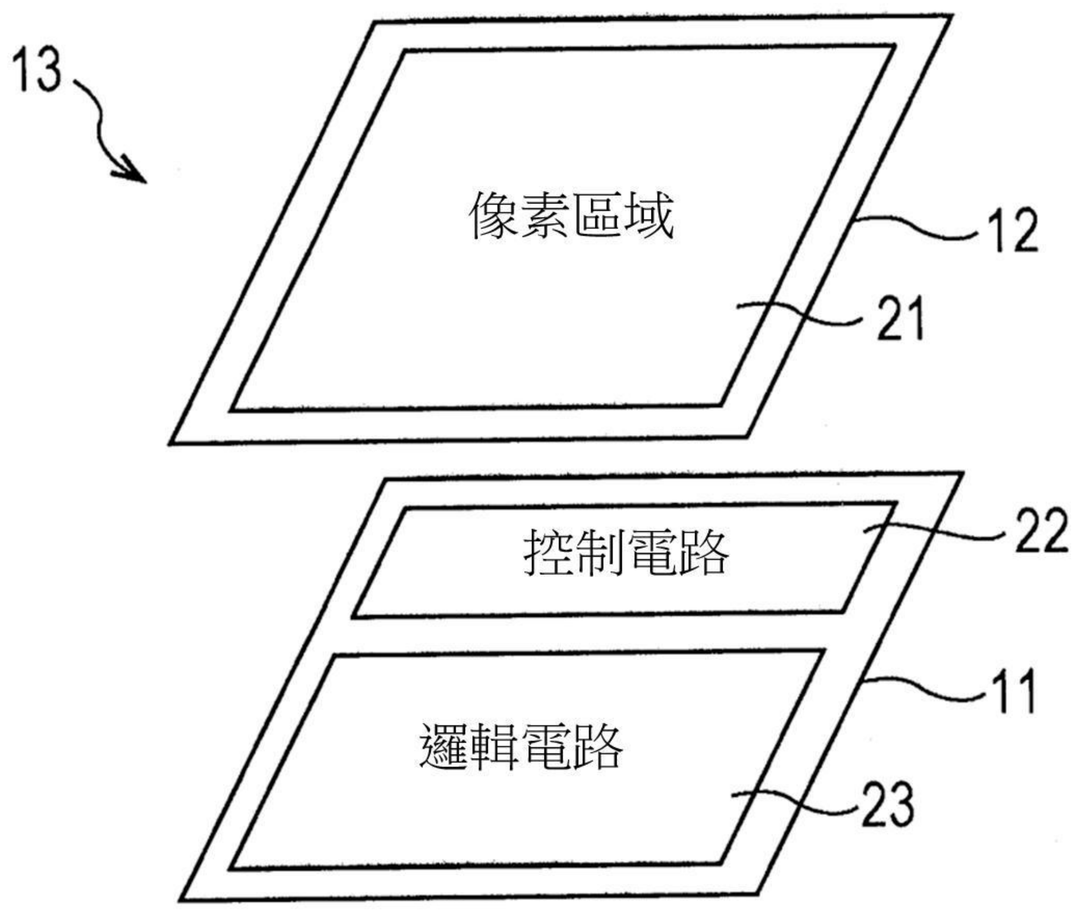


圖2B

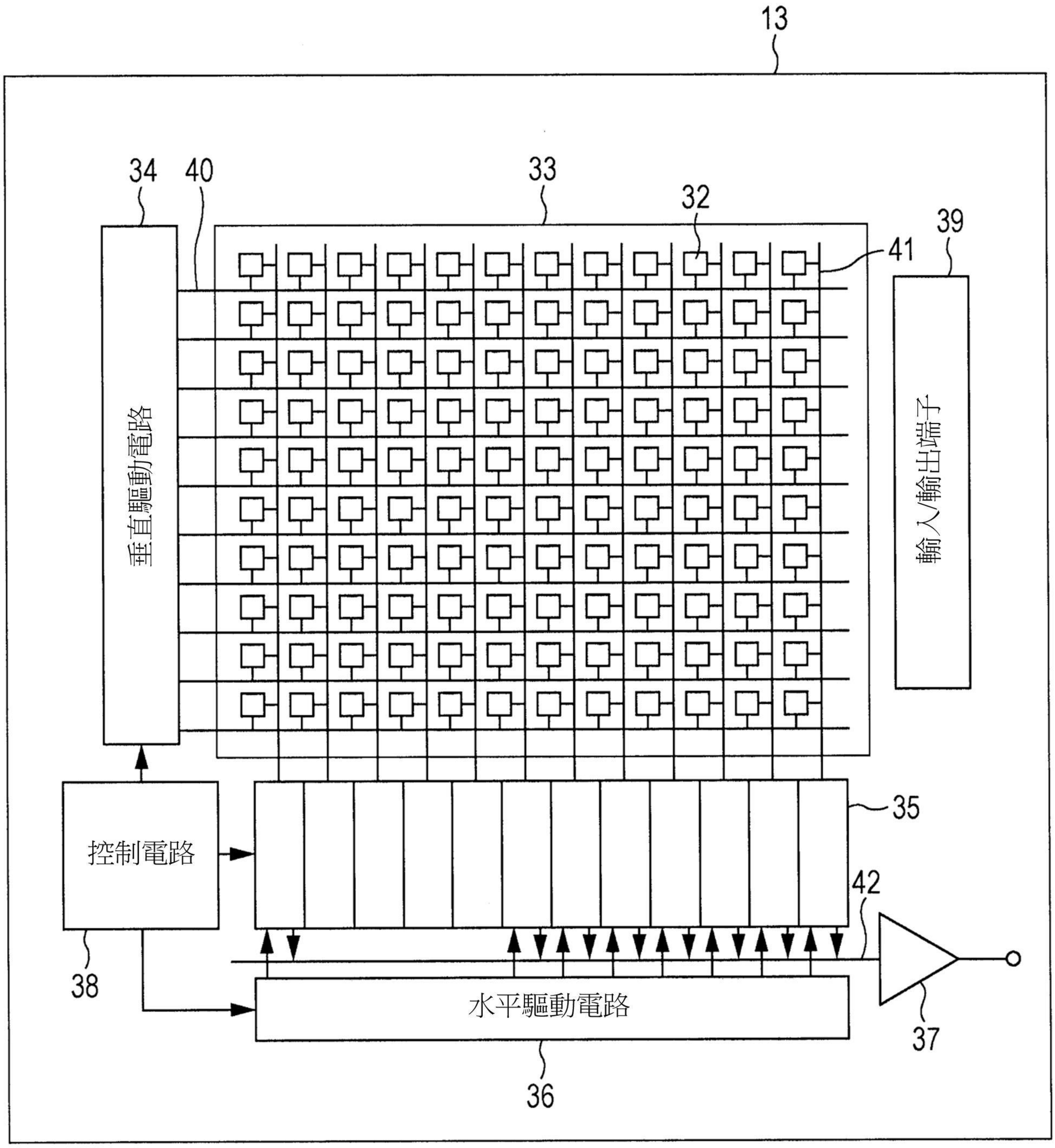


圖3

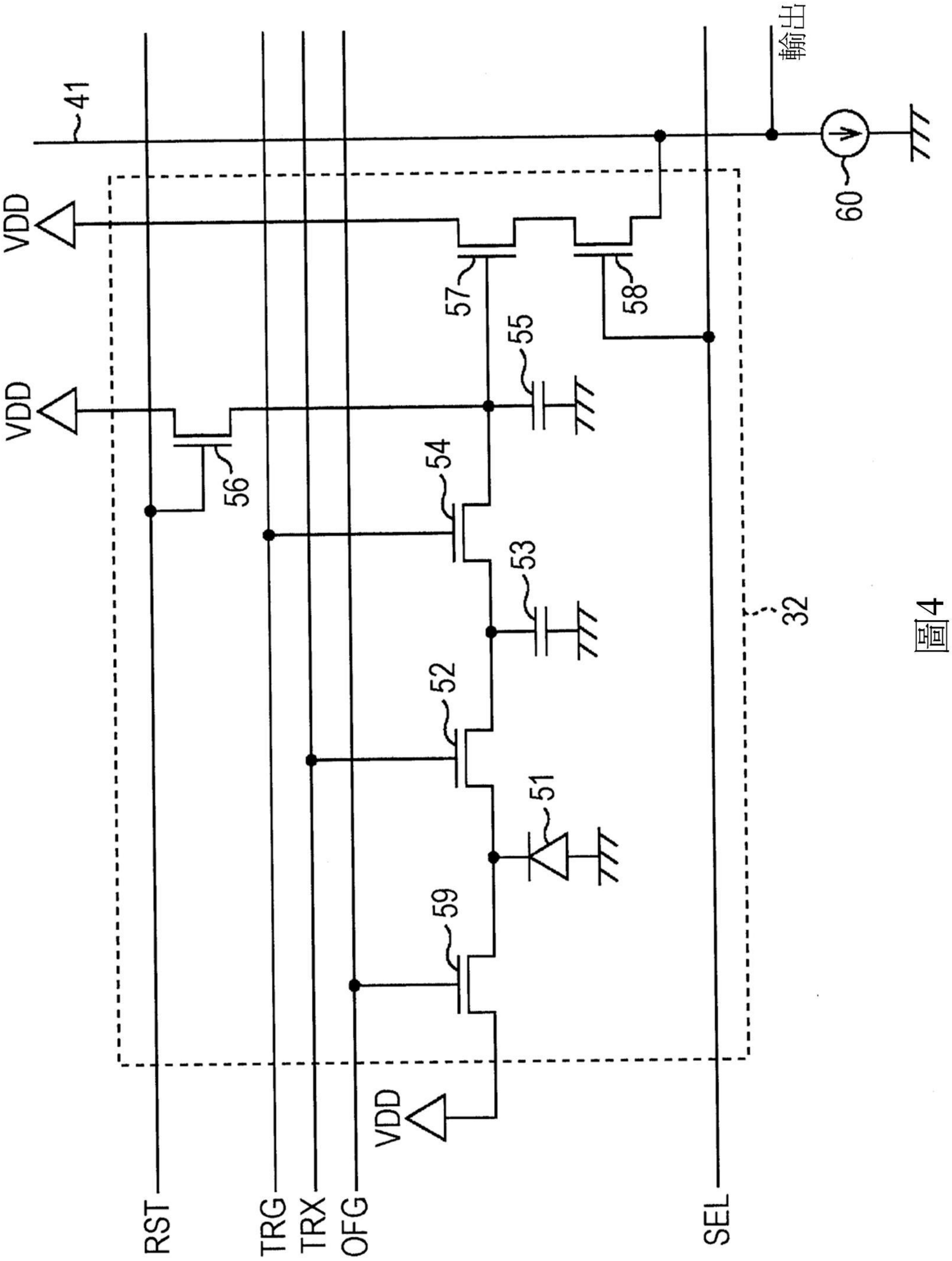

41
VDD
VDD
56
54
53
52
51
59
57
55
58
60
輸出
32
RST
TRG
TRX
OFG
VDD
SEL

圖4

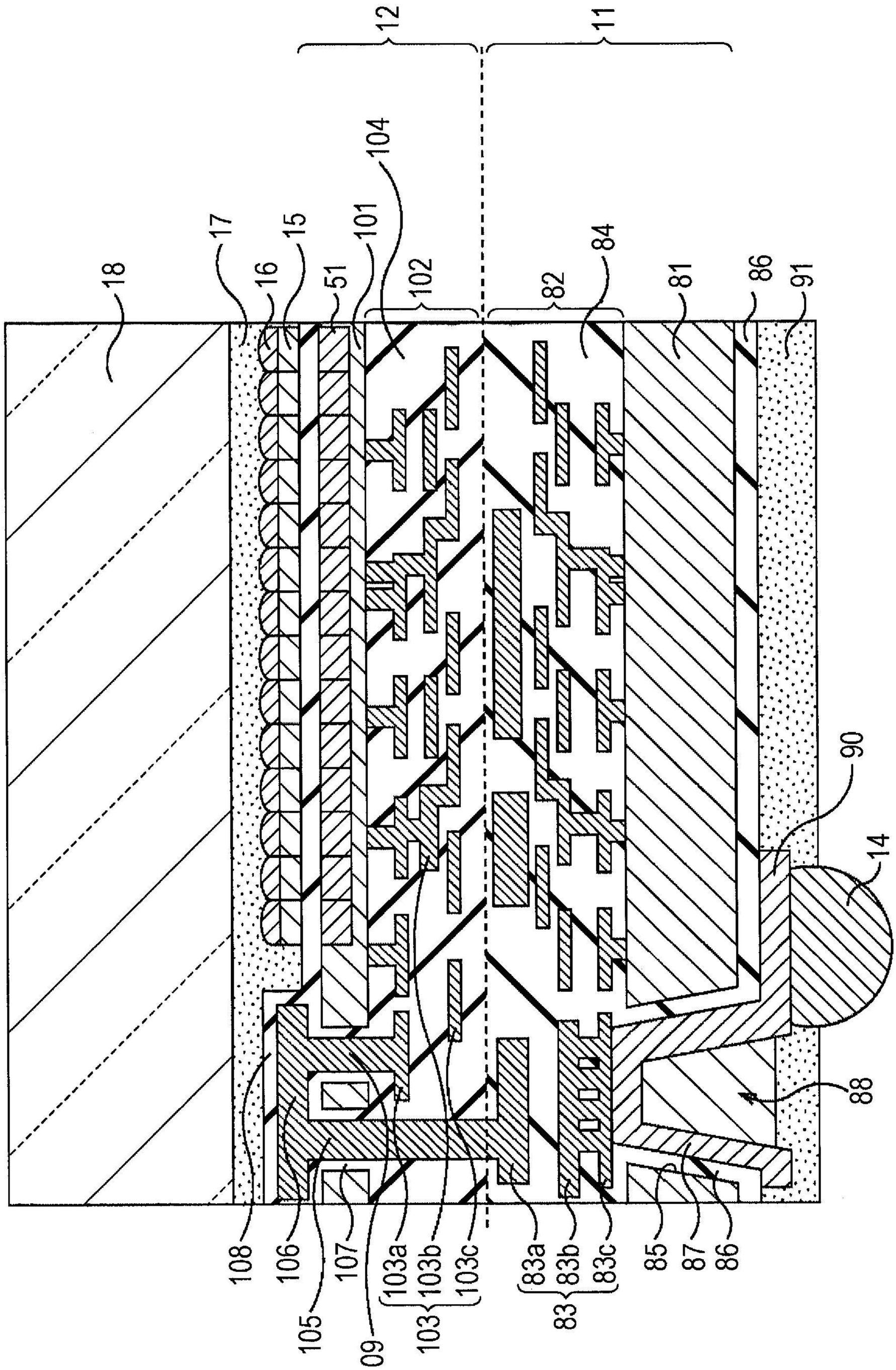

12
11
104
1
17
15
101
18
16
51
102
84
82
81
86
91
90
14
88
108
106
105
107
109
103a
103b
103c
103
83a
83b
83c
83
85
87
86

圖5

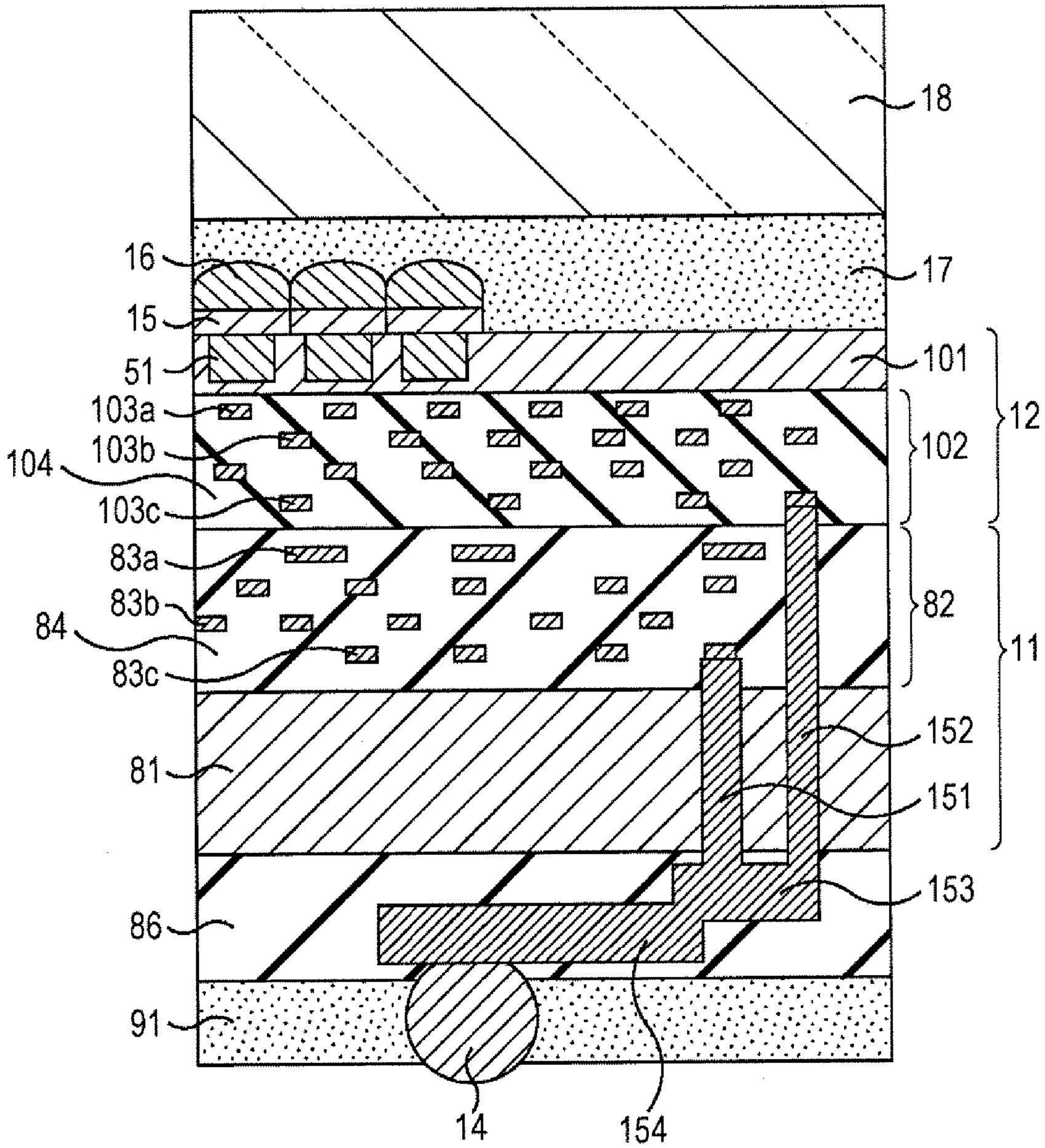

18
16
17
15
51
101
12
103a
103b
102
104
103c
83a
82
83b
84
83c
11
152
81
151
153
86
91
14
154

圖6

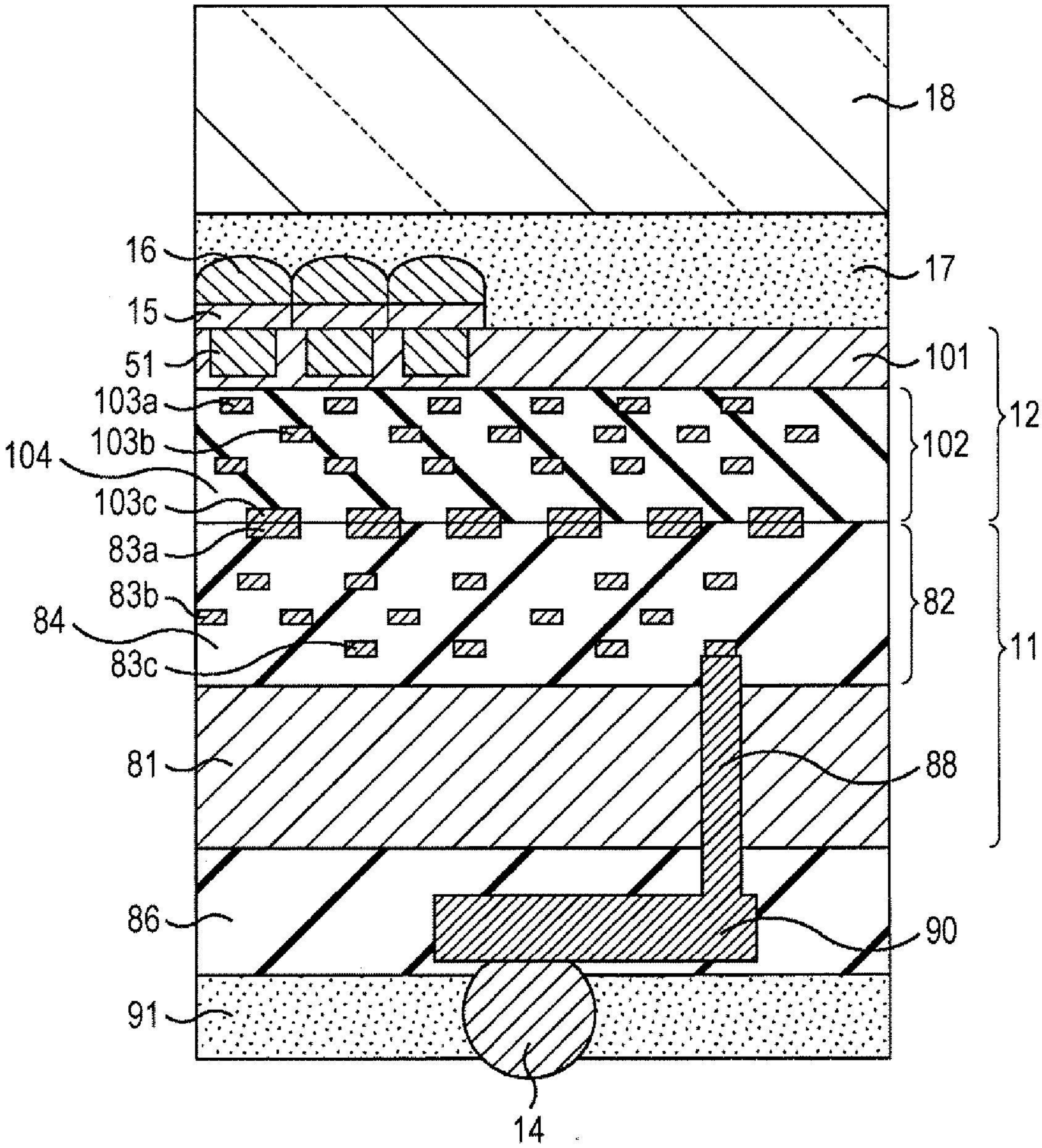

18
16
17
15
51
101
103a
103b
104
103c
83a
83b
84
83c
81
88
86
90
91
14
12
102
82
11

圖7

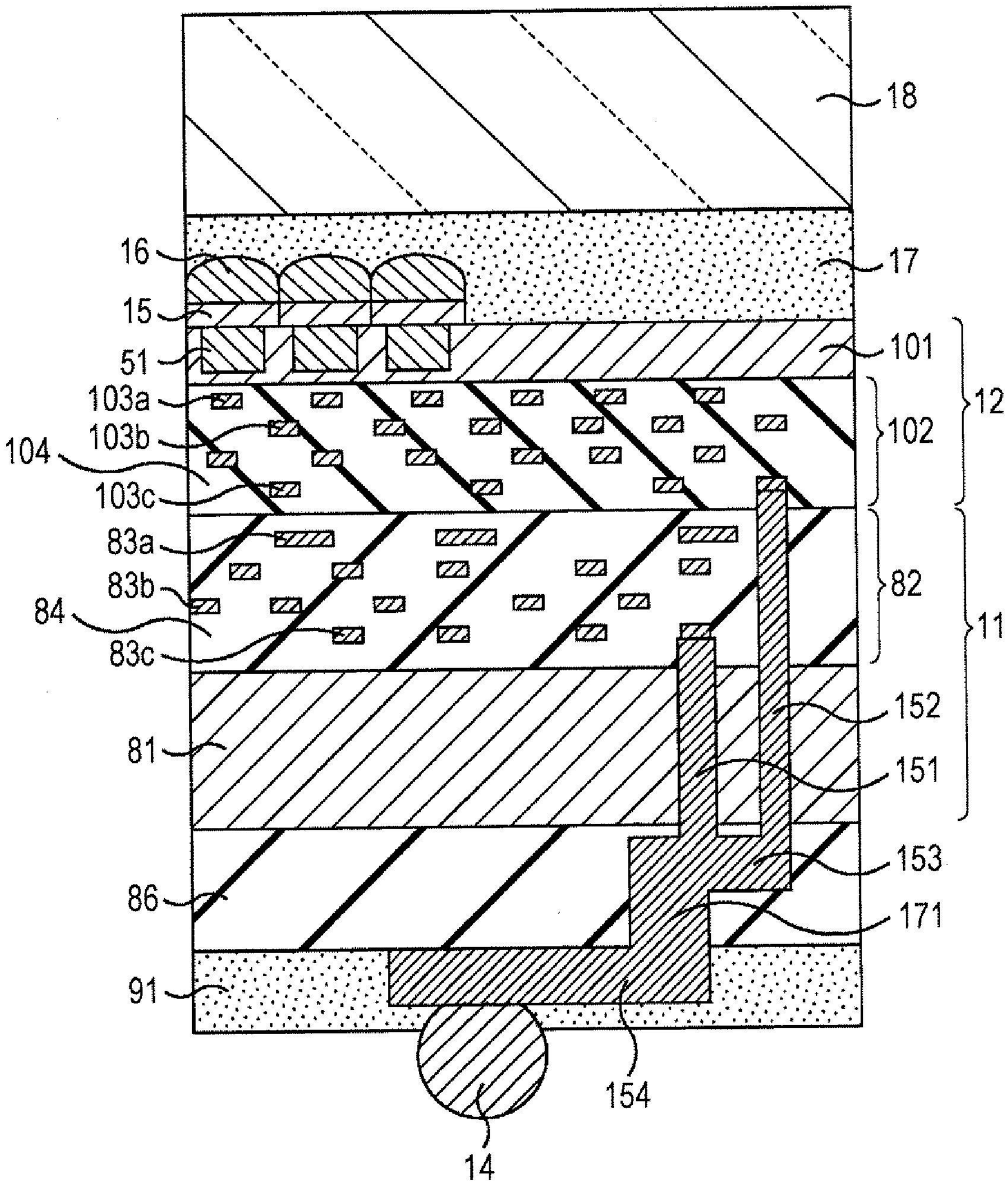

18
16
17
15
51
101
103a
103b
104
103c
102
12
83a
83b
84
83c
82
11
81
152
151
153
86
171
91
154
14

圖8

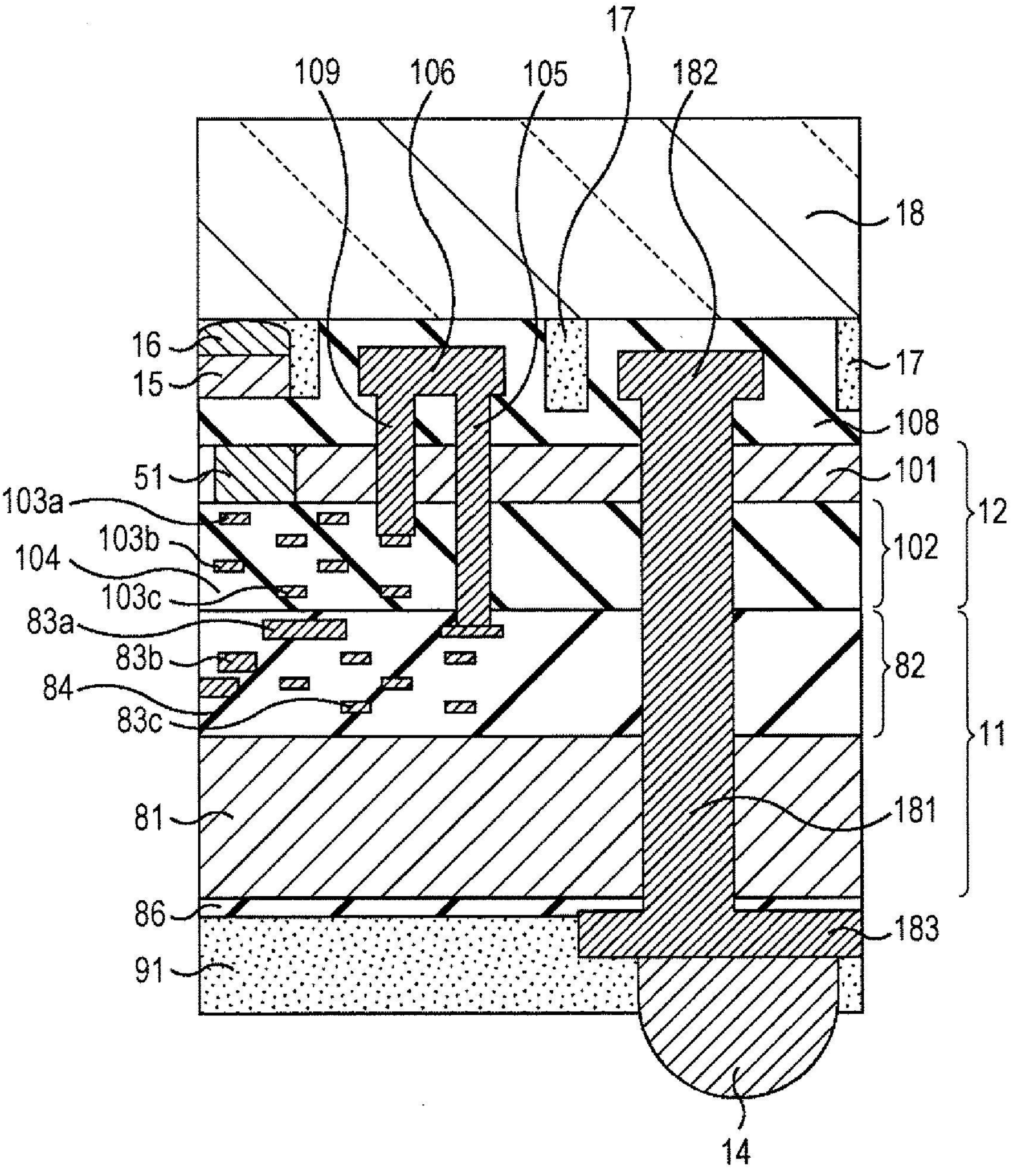

109
106
105
17
182
18
16
15
17
108
51
101
103a
103b
104
103c
83a
83b
84
83c
12
102
82
11
81
181
86
183
91
14

圖9

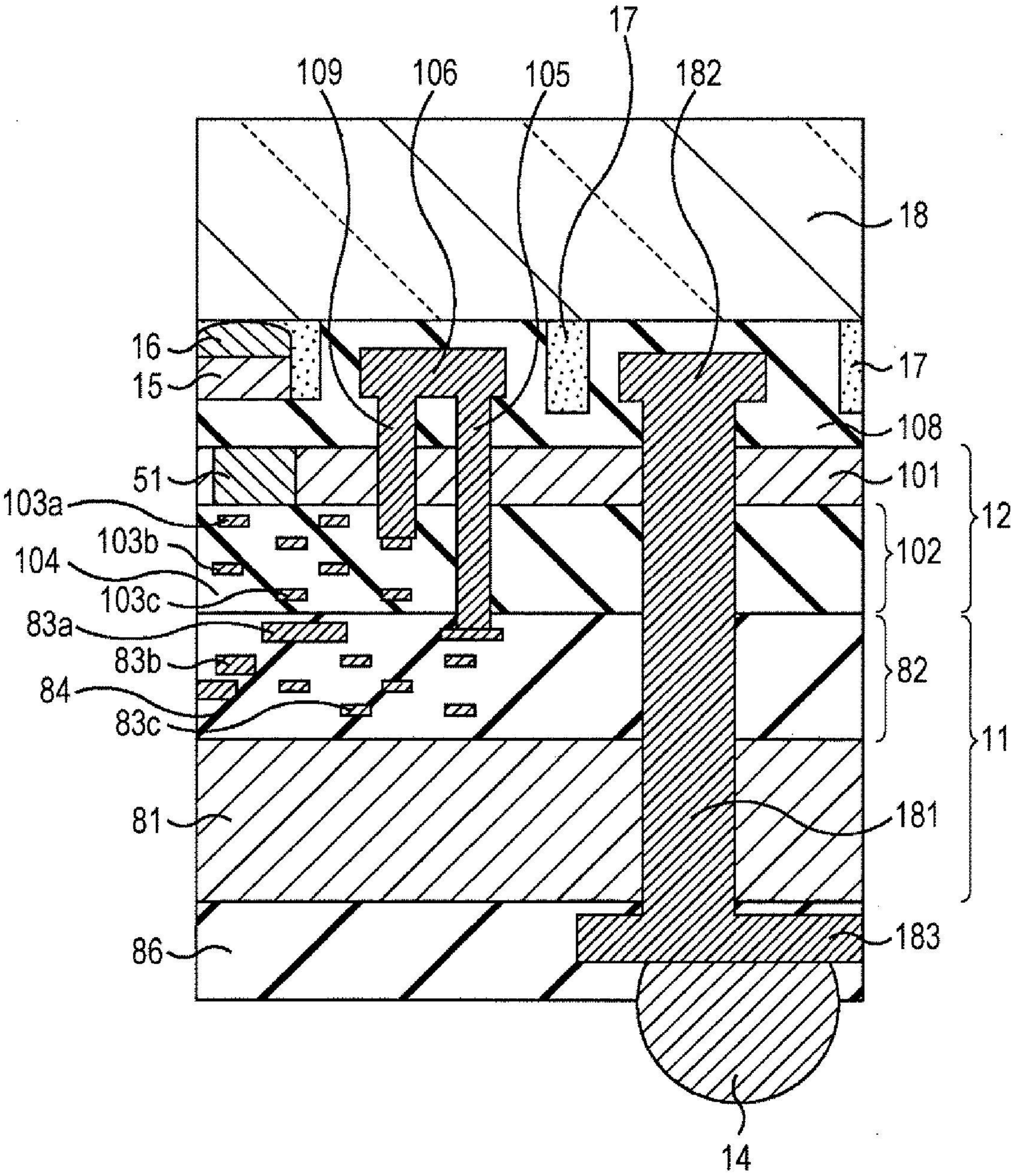

17
109
106
105
182
18
16
15
17
108
51
101
103a
12
103b
102
104
103c
83a
83b
82
84
83c
11
81
181
86
183
14

圖10

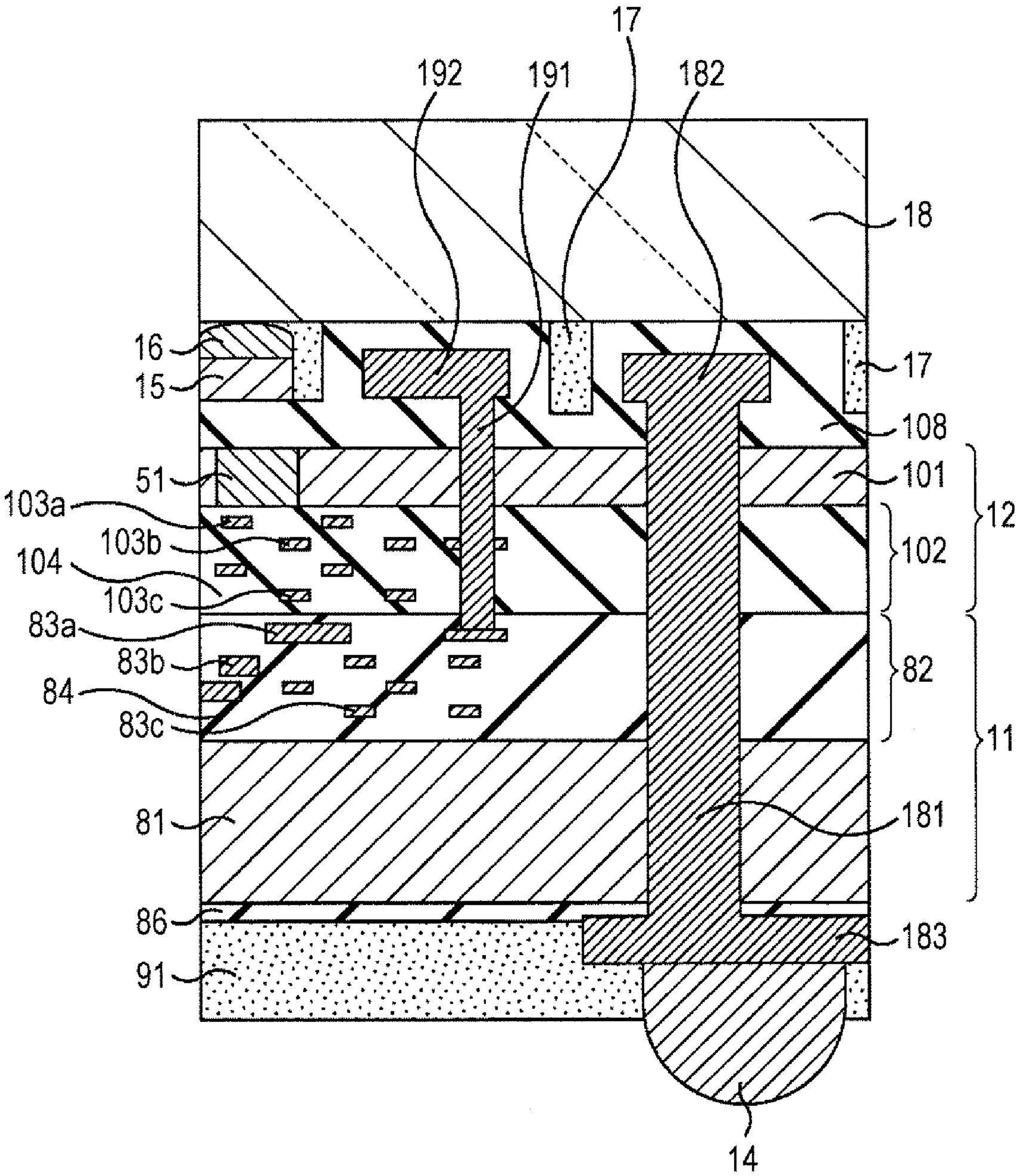

17
192
191
182
18
16
15
17
108
51
101
12
103a
103b
102
104
103c
83a
83b
82
84
83c
11
81
181
86
183
91
14

圖11

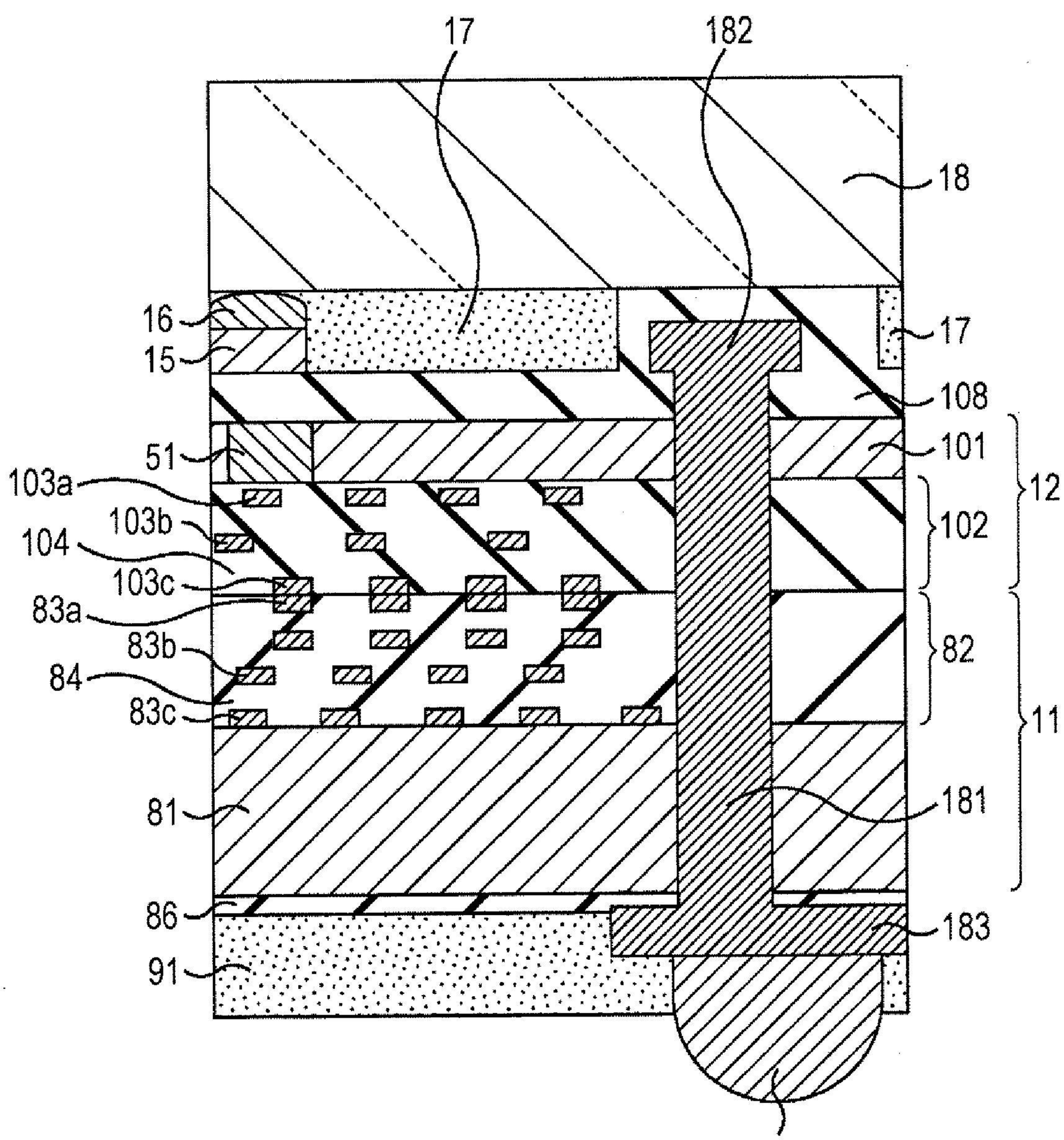

17
182
18
16
15
17
108
51
101
103a
12
103b
102
104
103c
83a
82
83b
84
11
83c
81
181
86
183
91
14

圖12

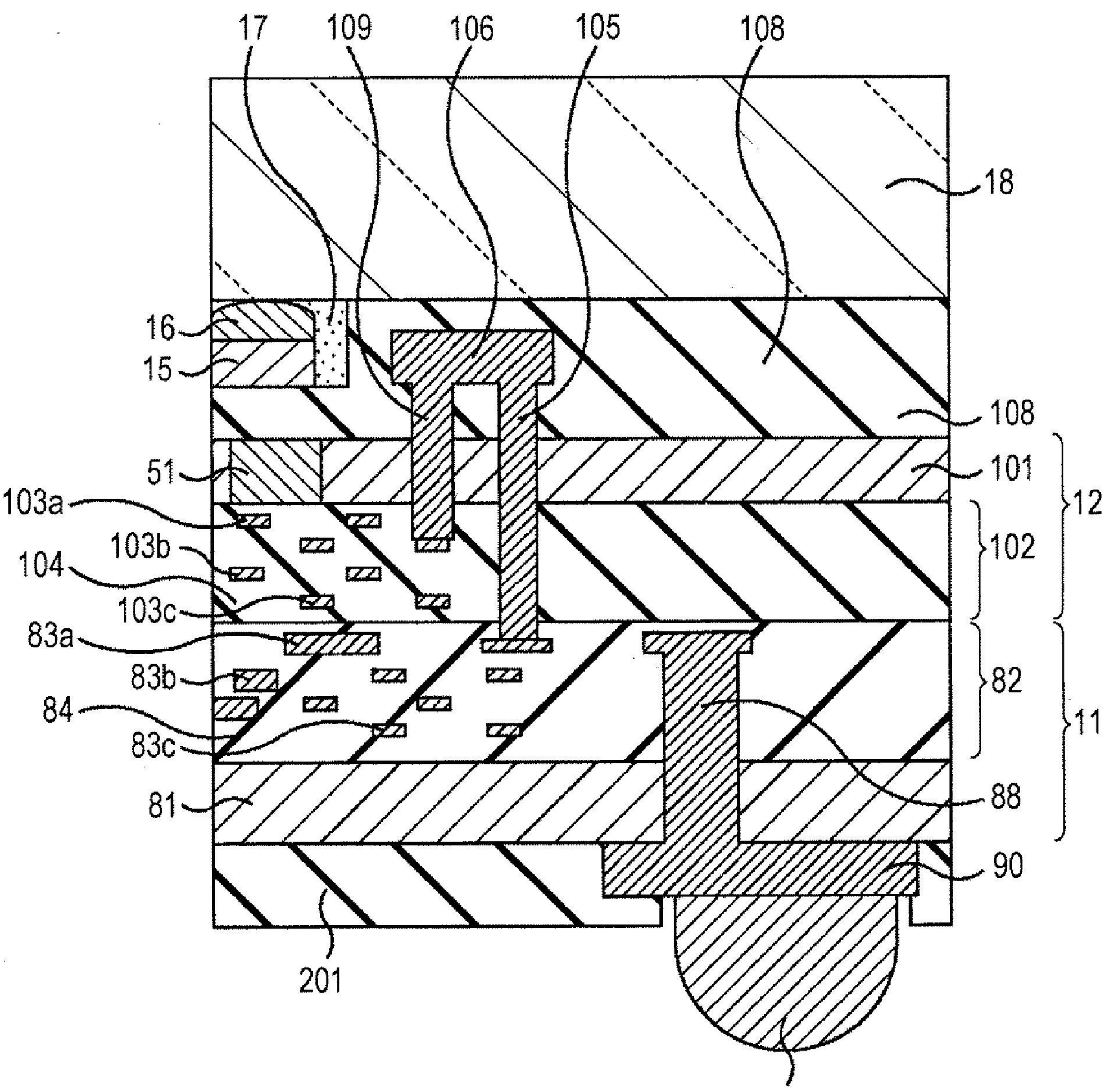

17
109
106
105
108
18
16
15
108
51
101
12
103a
103b
102
104
103c
83a
82
83b
11
84
83c
88
81
90
201
14

圖13

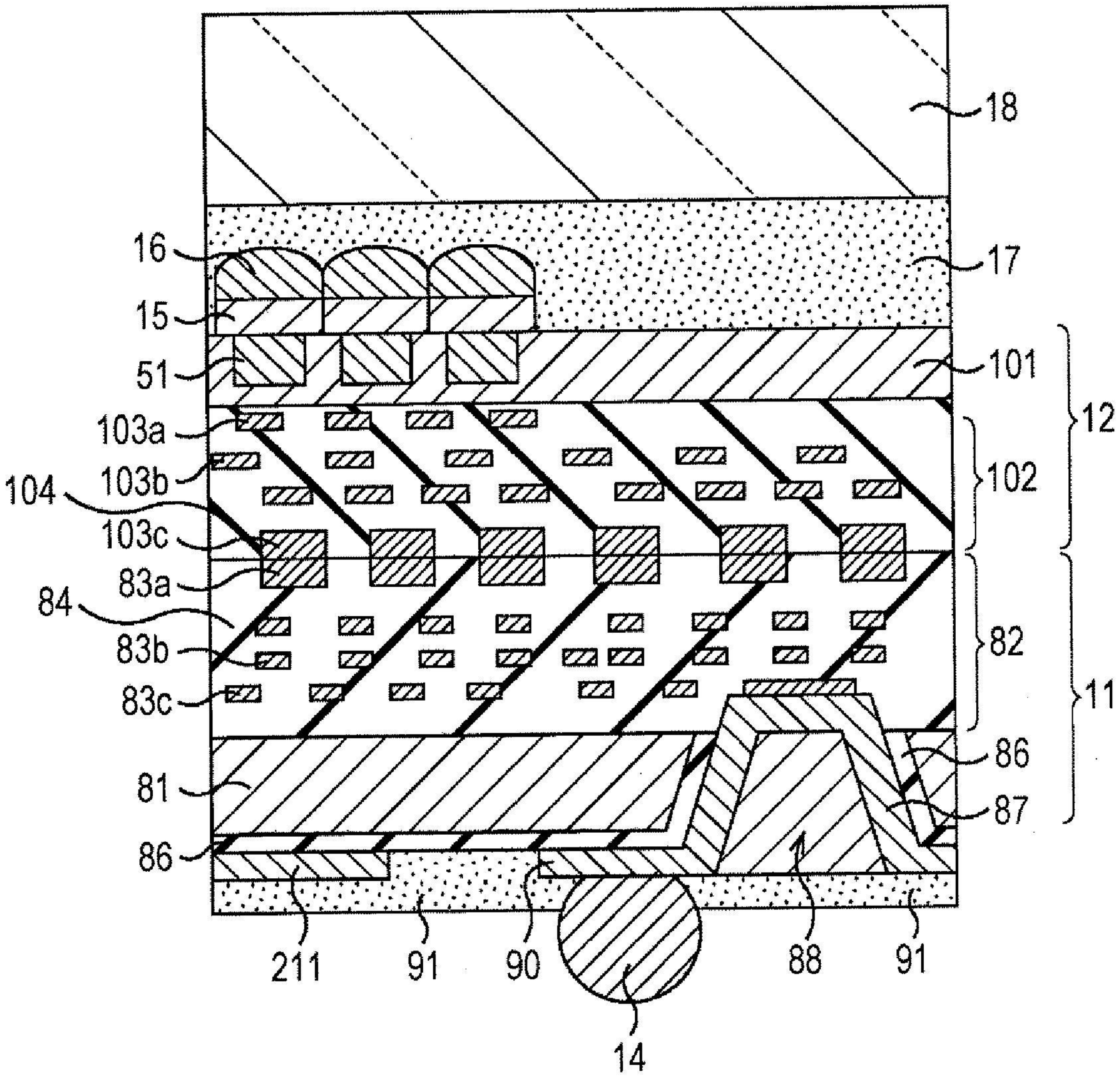

18
16
17
15
51
101
12
103a
103b
102
104
103c
83a
84
83b
82
11
83c
86
81
87
86
211
91
90
88
91
14

圖14

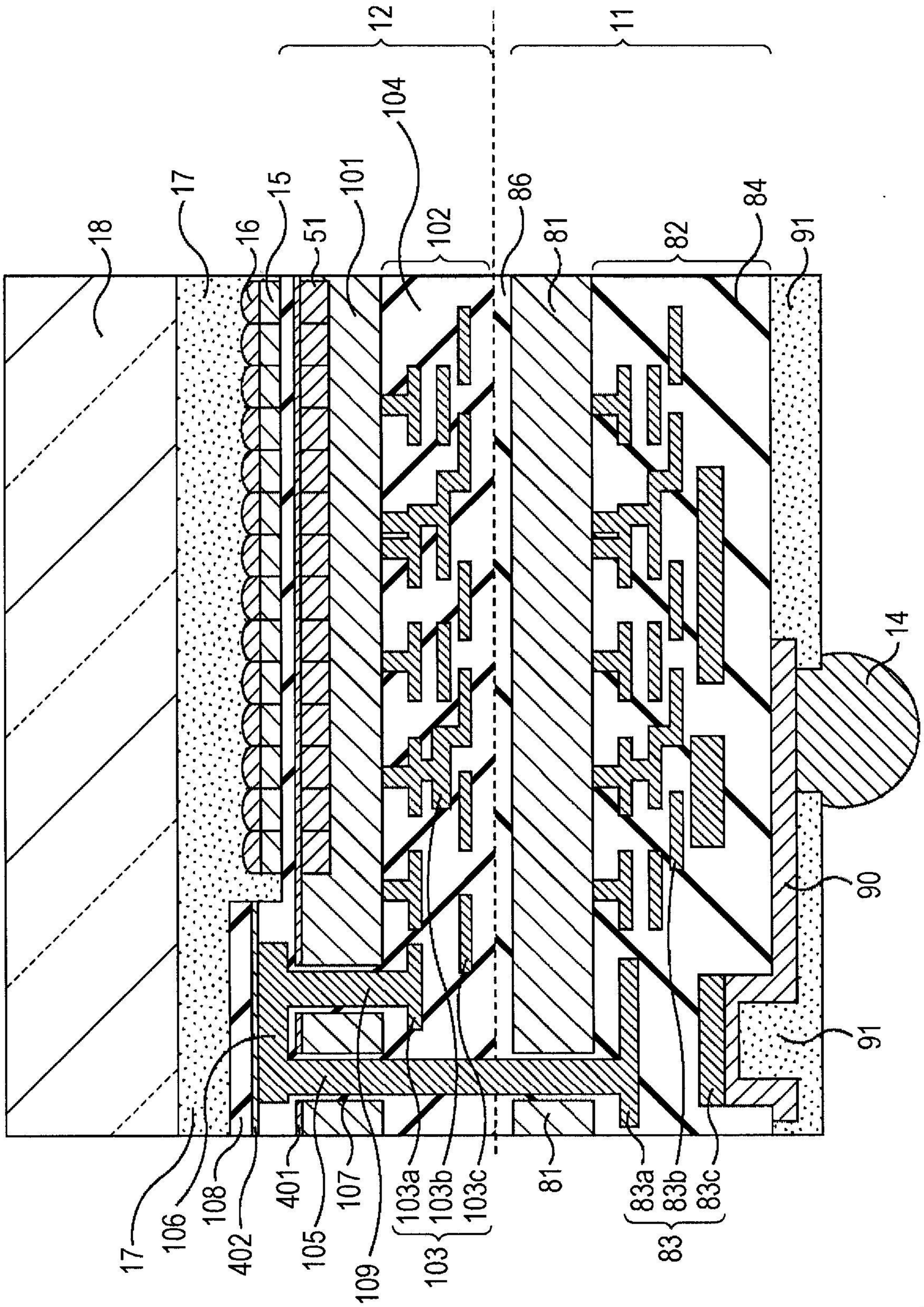

12
11
104
17
15
101
86
84
18
16
51
102
81
82
91
14
90
91
106
108
401
107
103a
103b
103c
81
83a
83b
83c
17
402
105
109
103
83

圖15

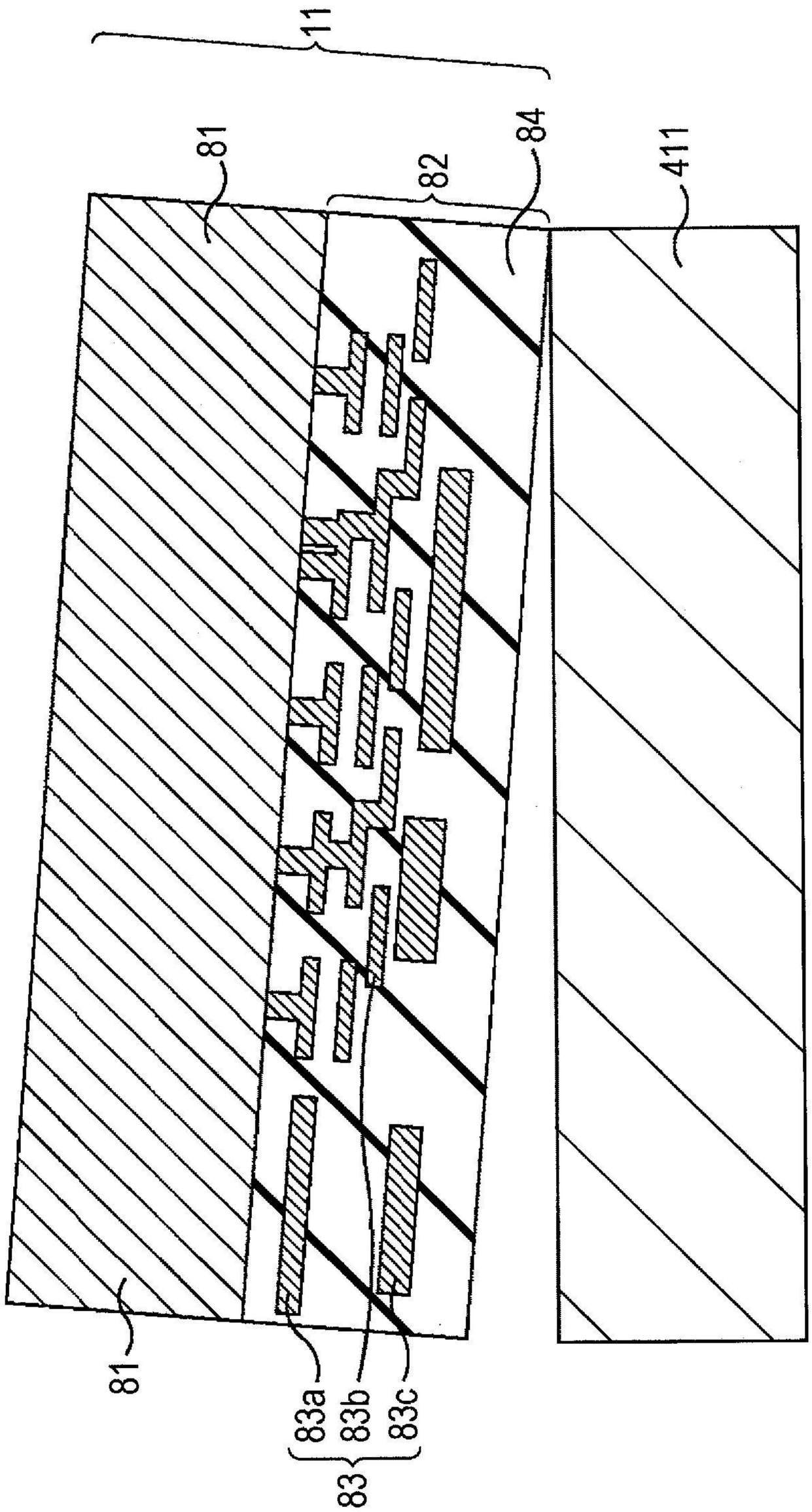


圖16

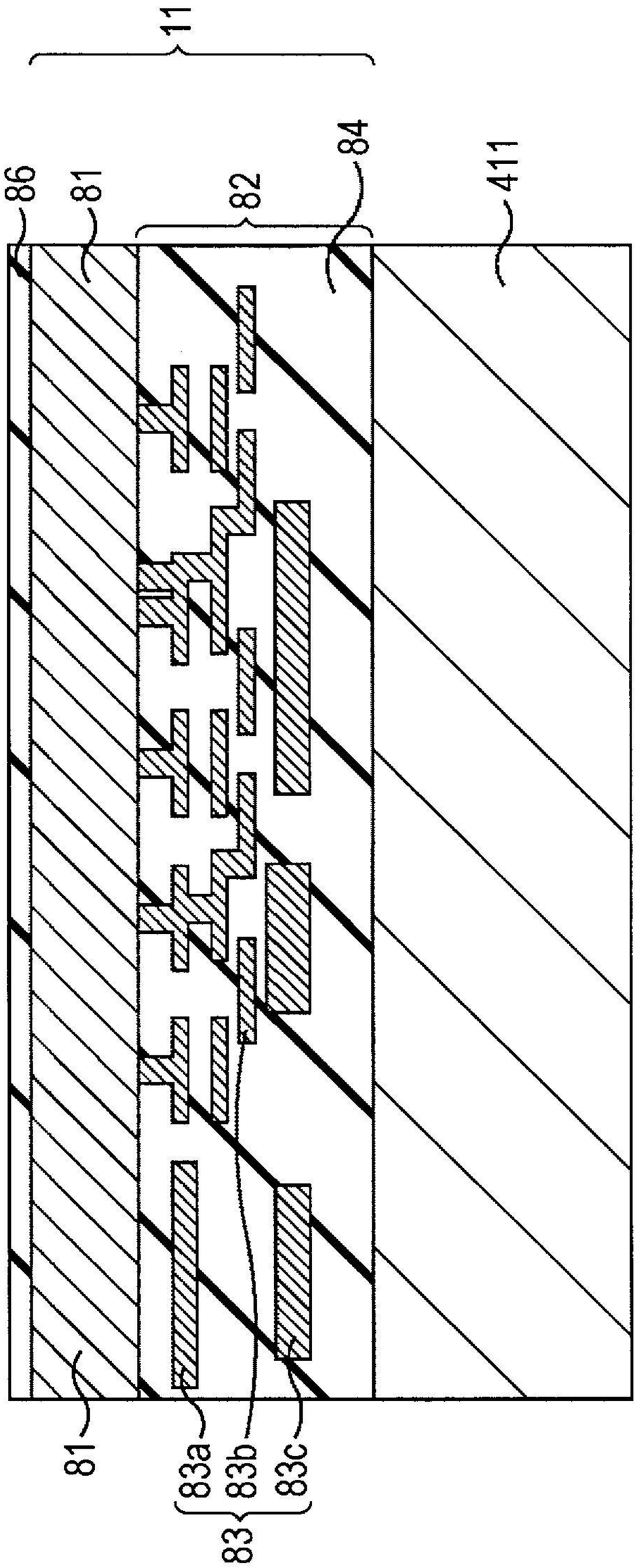


圖17

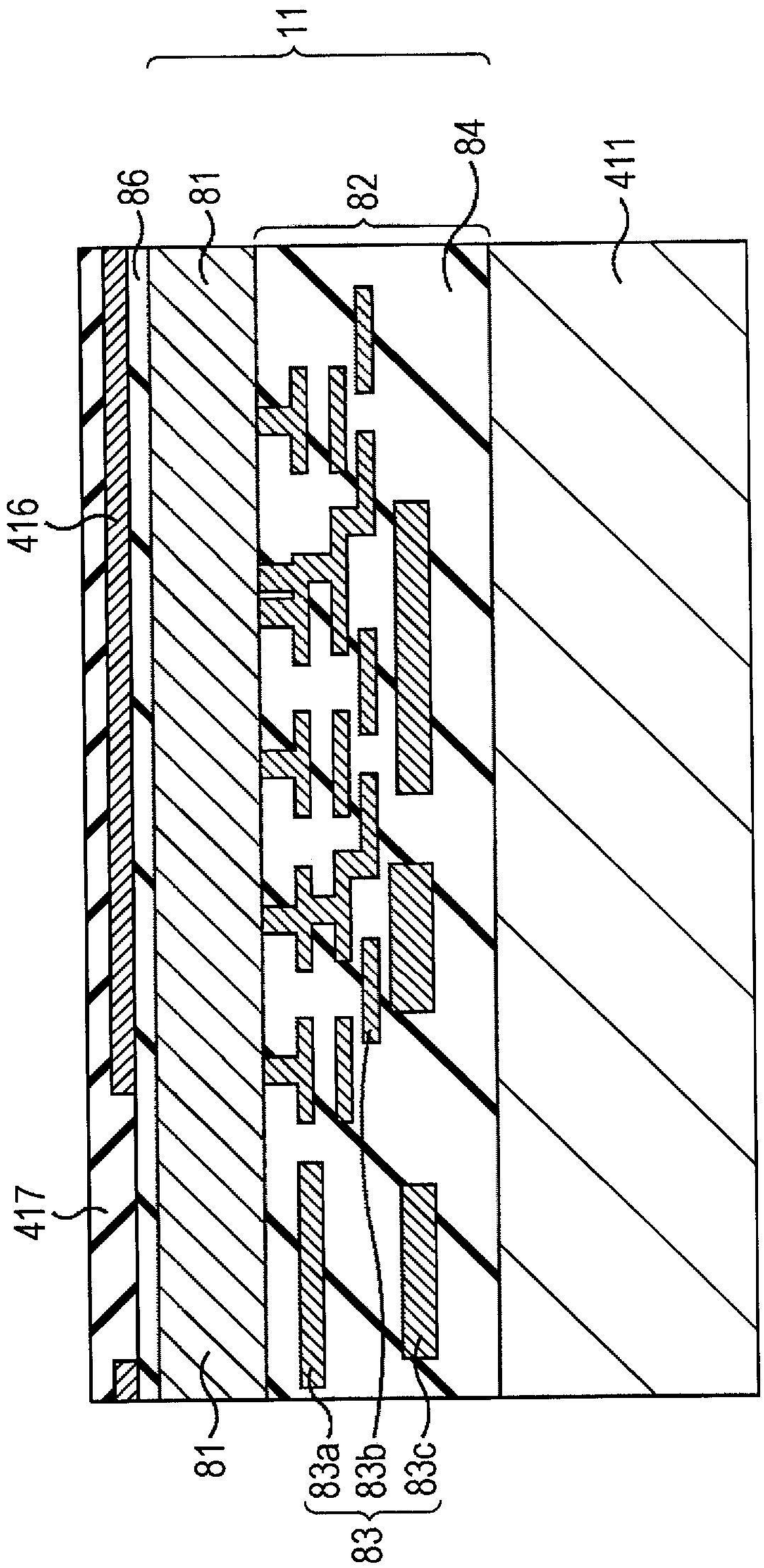


圖18

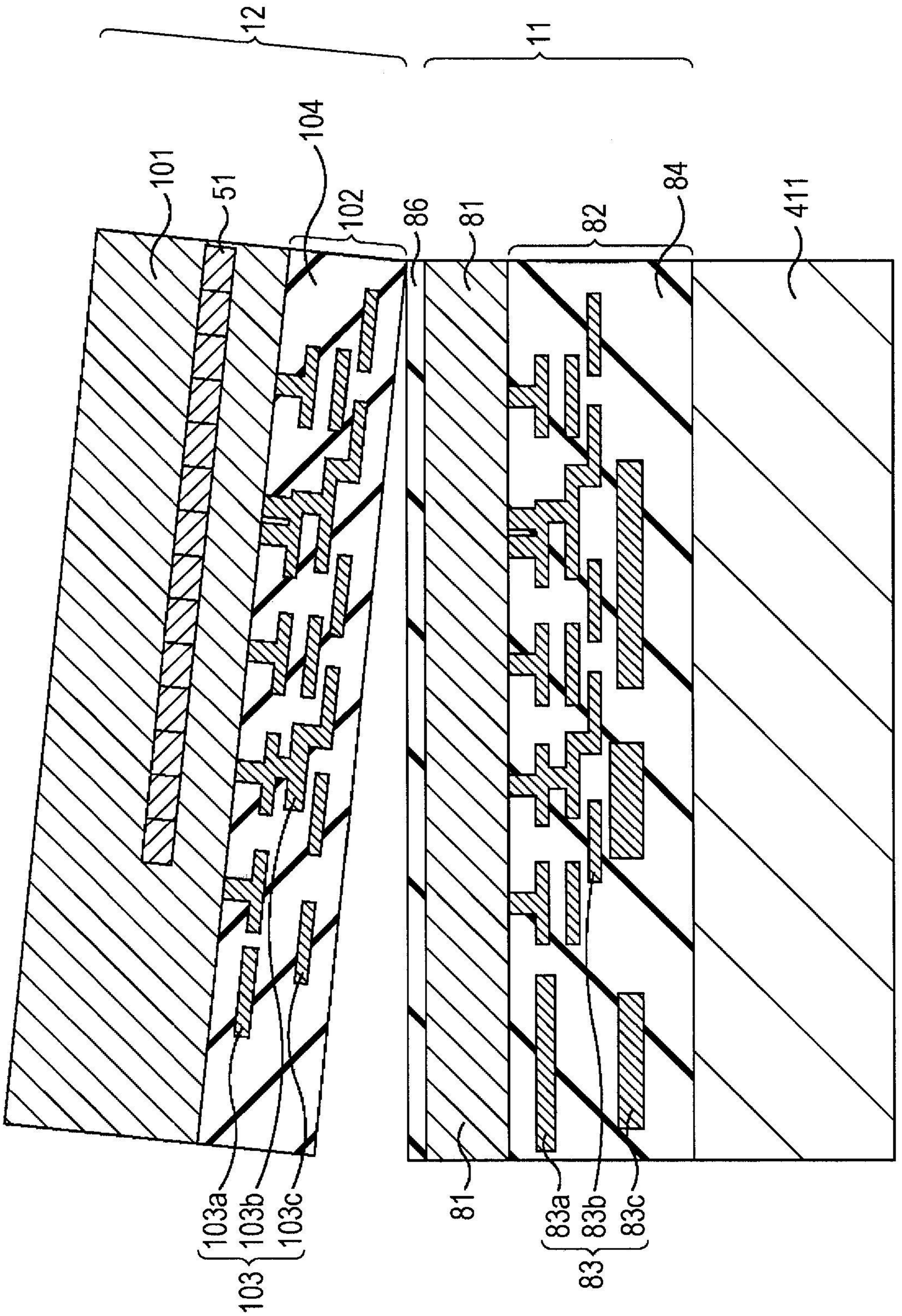

12
11
104
101
51
102
86
81
82
84
411
103
103a
103b
103c
81
83
83a
83b
83c

圖19

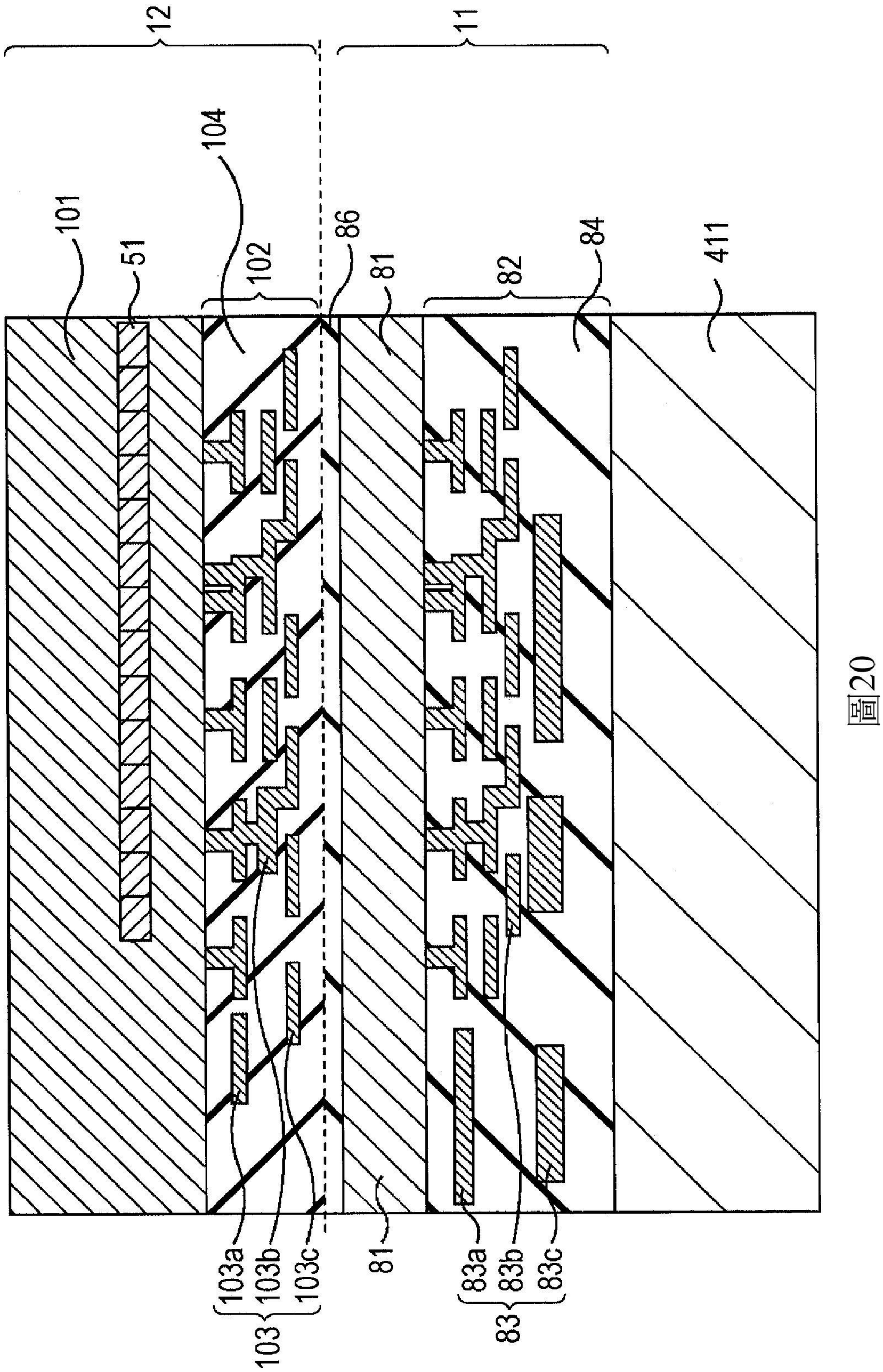

12
11
104
101
51
102
86
81
82
84
411
103
103a
103b
103c
83
83a
83b
83c

圖20

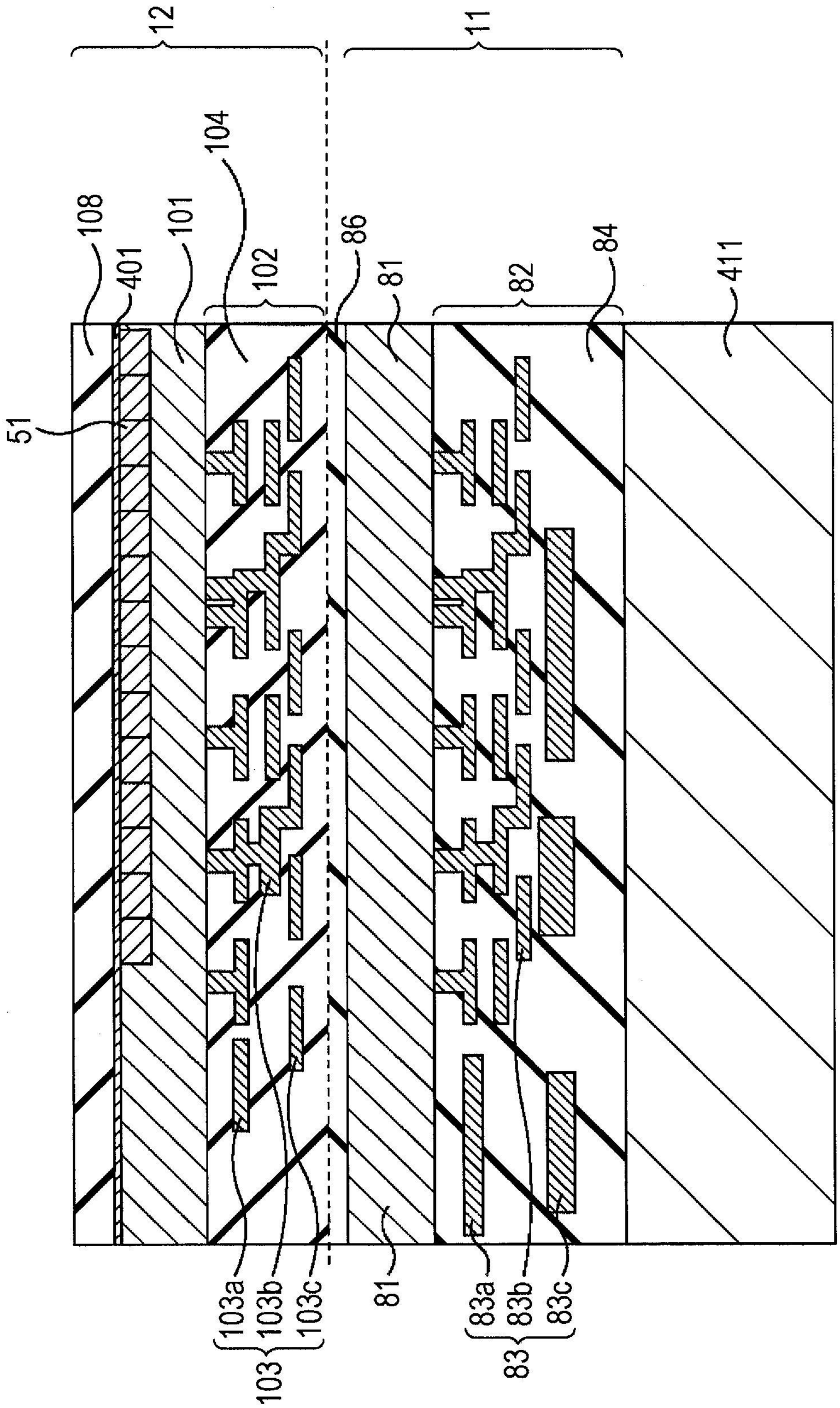

12
11
108
401
101
104
102
86
81
82
84
411
51
103
103a
103b
103c
83
83a
83b
83c

圖21

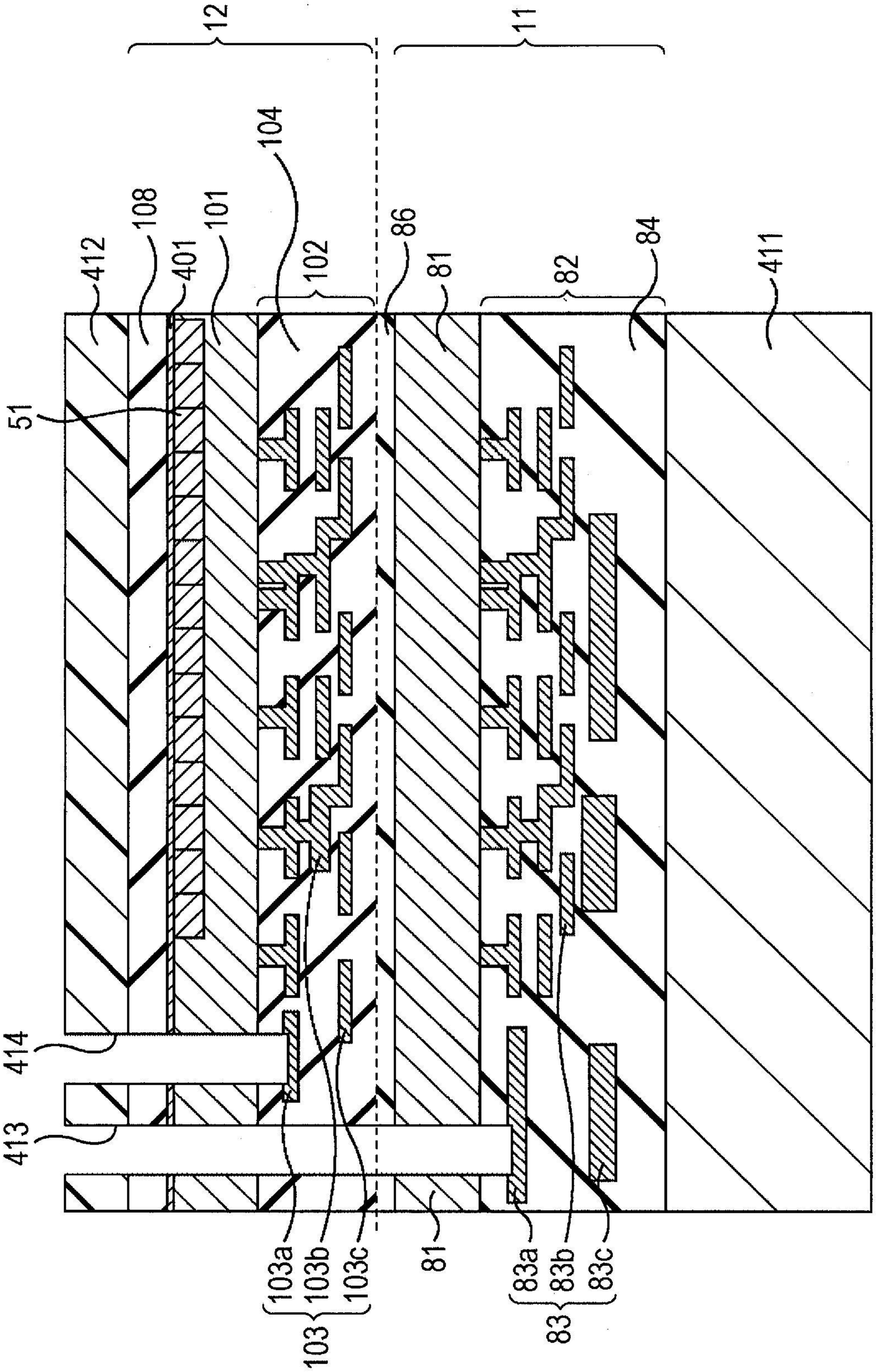

12
11
104
108
101
412
401
102
86
81
82
84
411
51
414
413
103
103a
103b
103c
83
83a
83b
83c

圖22

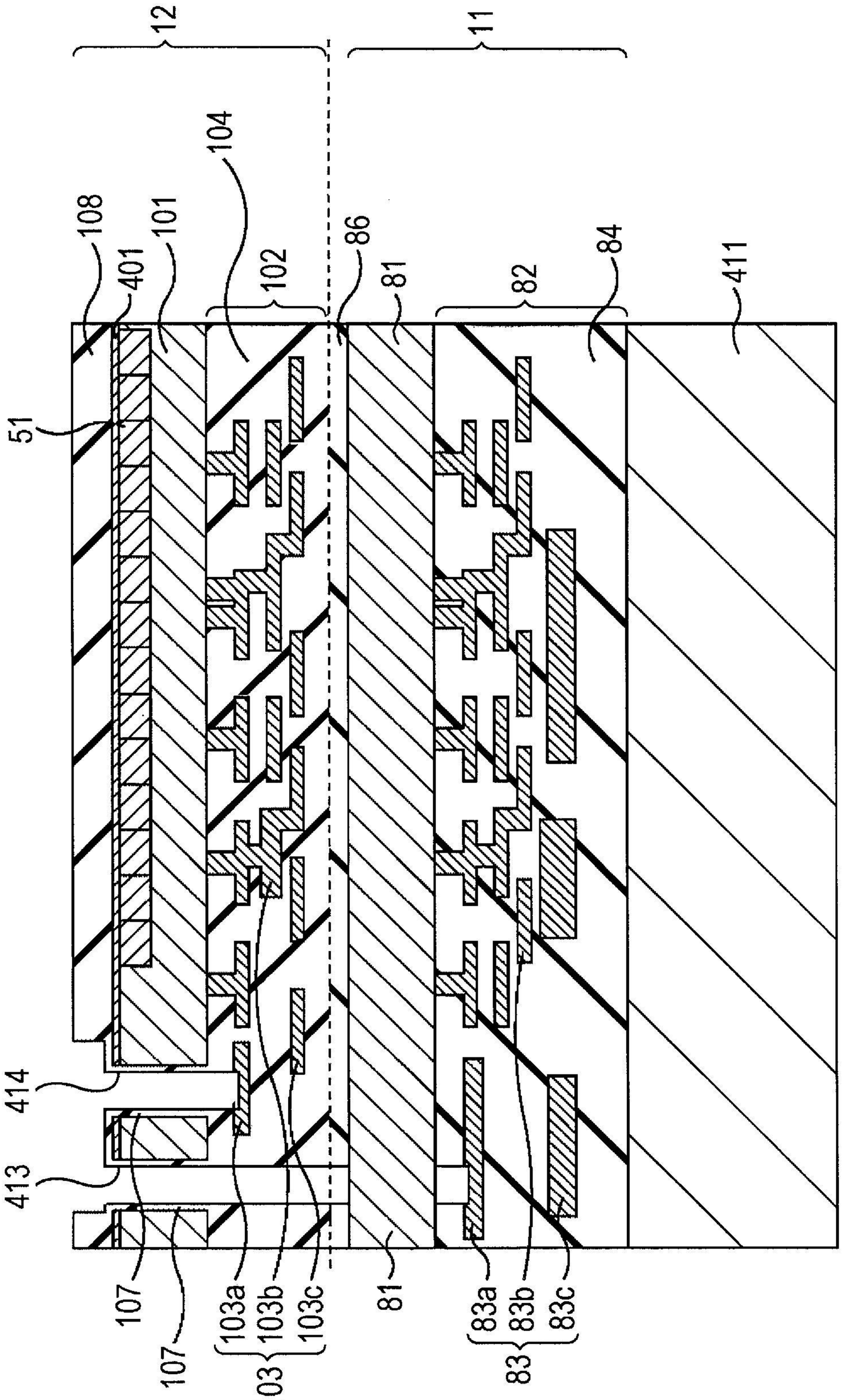

12
11
104
108
401
101
102
86
81
82
84
411
51
414
413
107
107
103a
103b
103c
103
81
83a
83b
83c
83

圖23

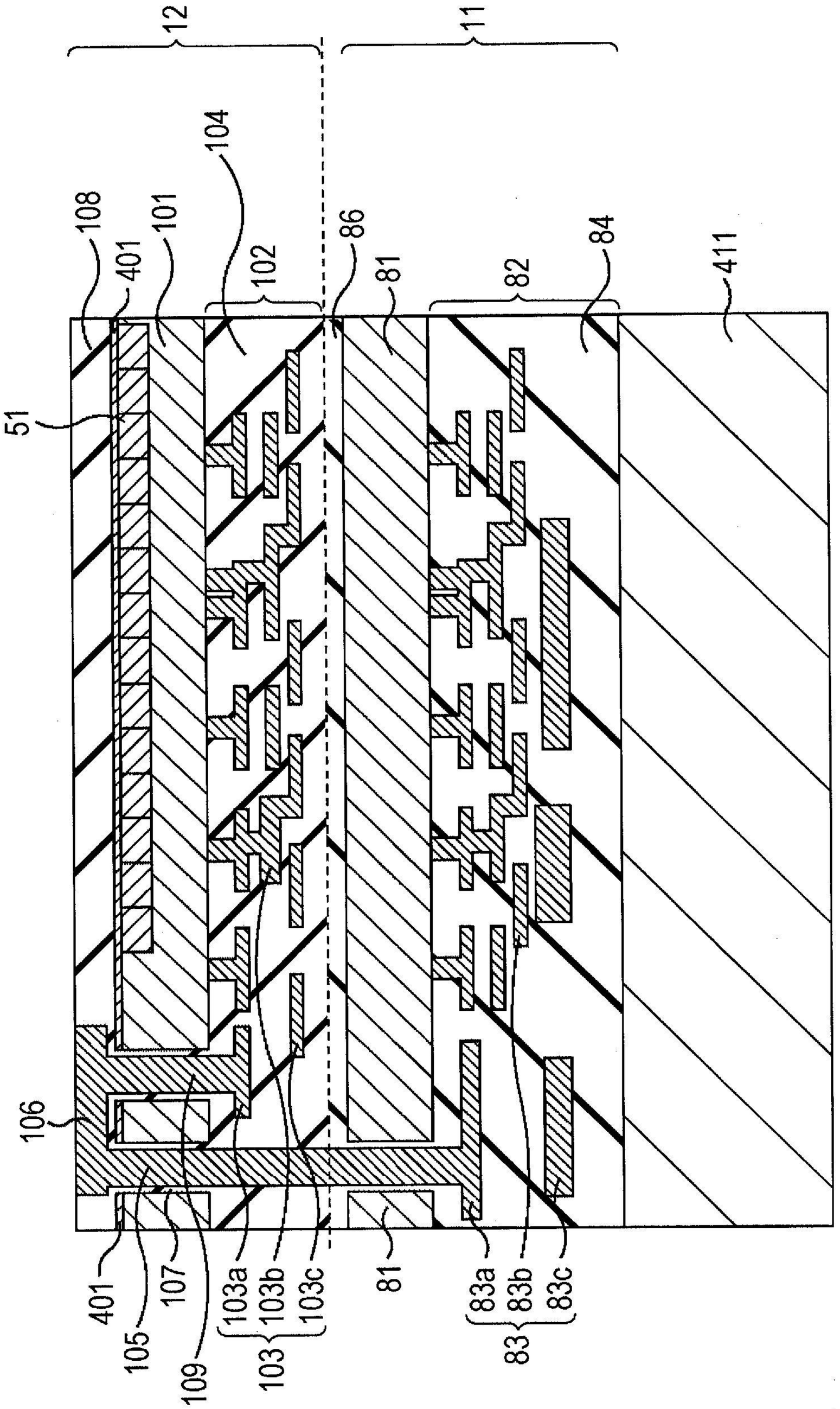

12
11
104
108
401
101
102
86
81
82
84
411
51
106
401
105
107
109
103a
103b
103c
103
81
83a
83b
83c
83

圖24

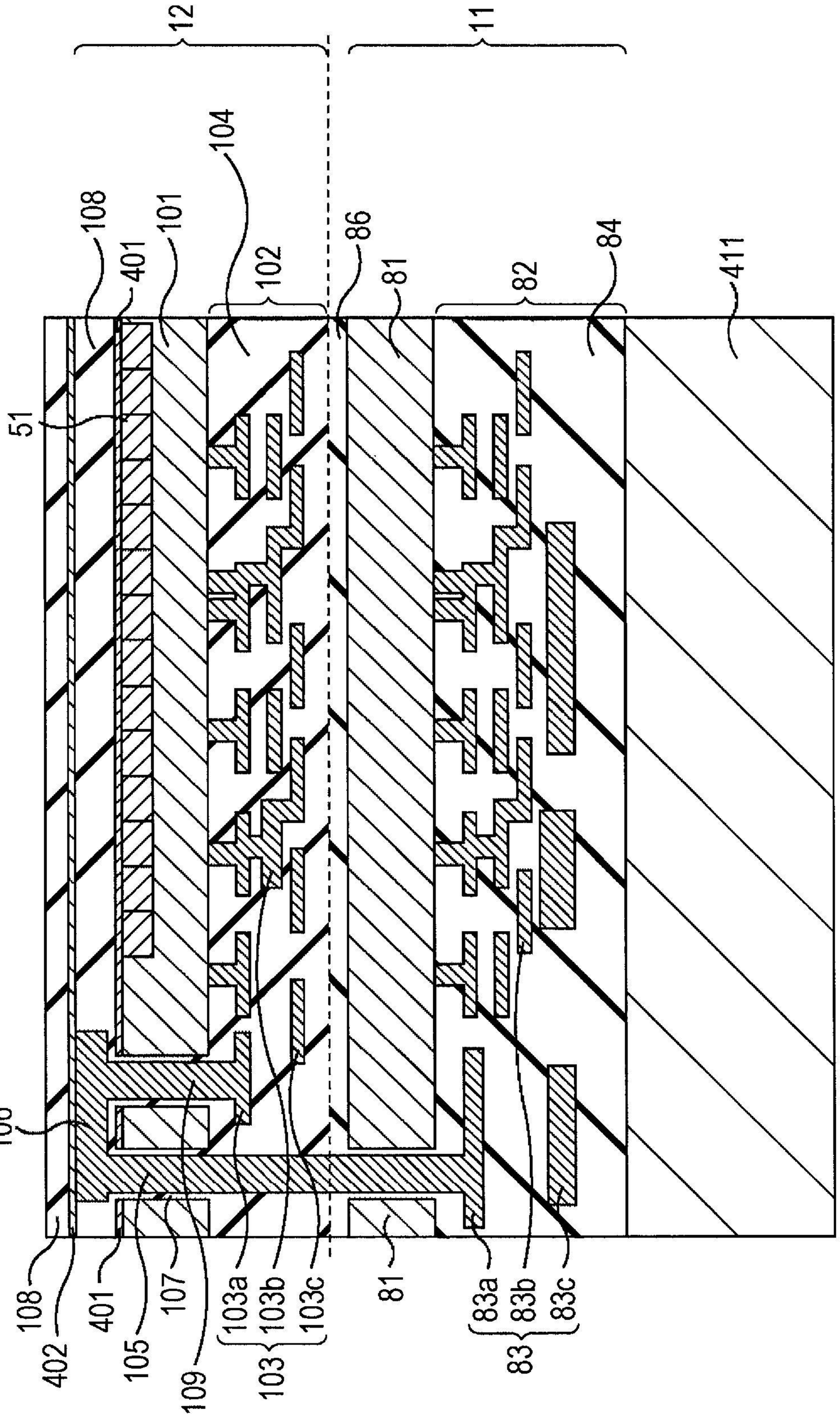

12
11
108
401
101
104
102
86
81
82
84
411
51
106
108
402
401
105
107
109
103a
103b
103c
103
81
83a
83b
83c
83

圖25

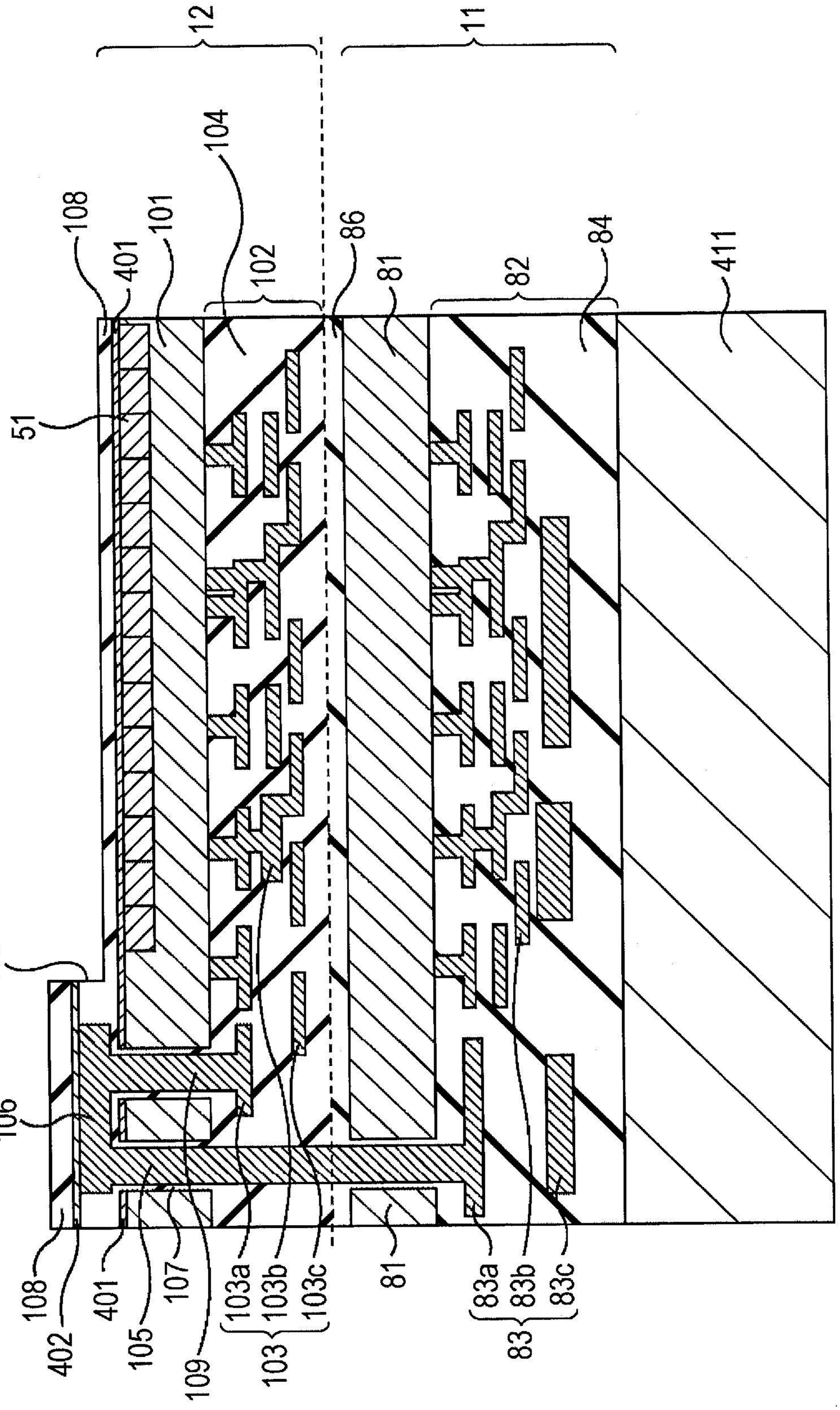

12
11
104
108
401
101
102
86
81
82
84
411
51
415
106
108
401
107
103a
103b
103c
81
83a
83b
83c
402
105
109
103
83

圖26

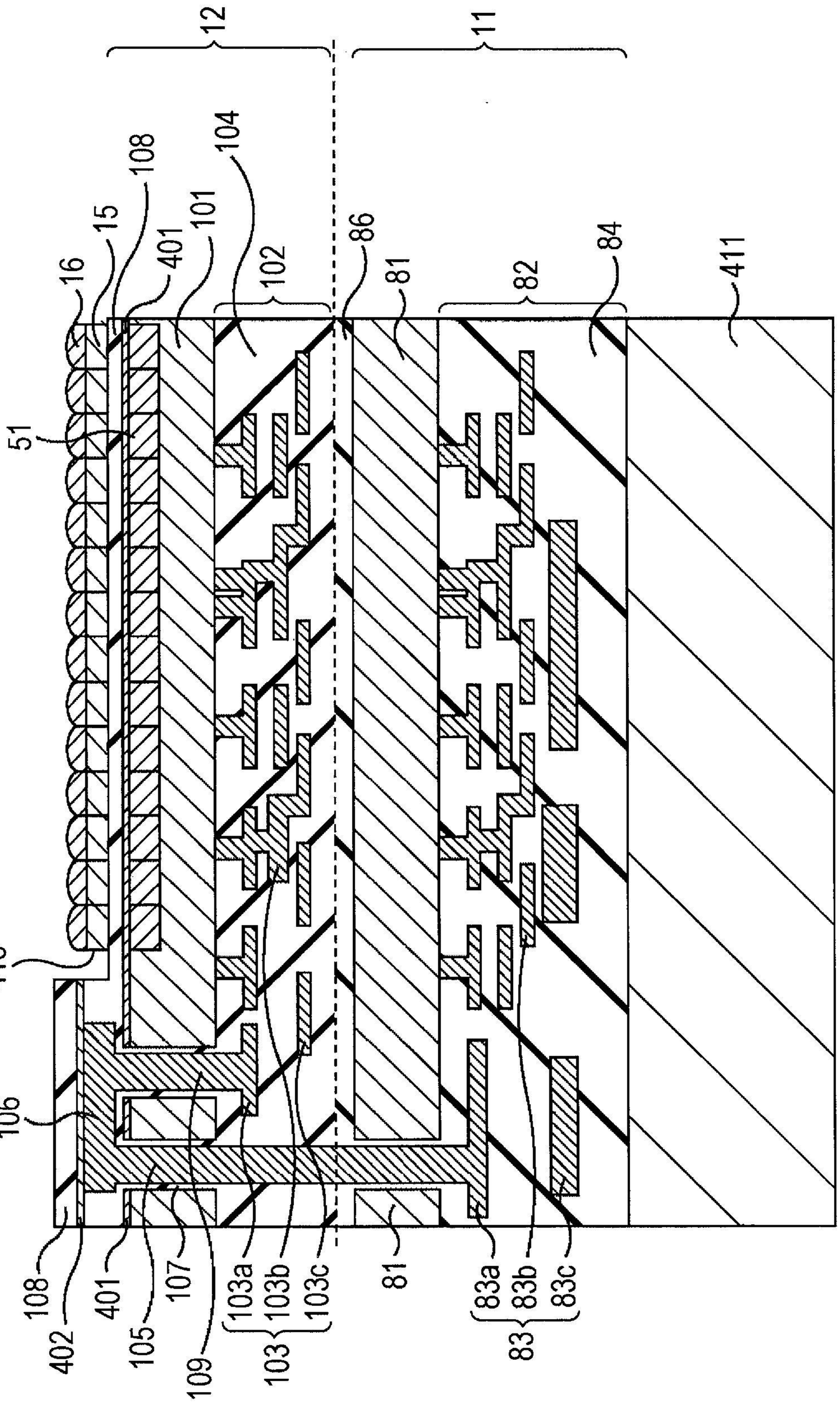

12
11
108
104
15
401
101
16
102
86
81
82
84
411
51
415
106
108
401
107
103a
103b
103c
81
83a
83b
83c
402
105
109
103
83

圖27

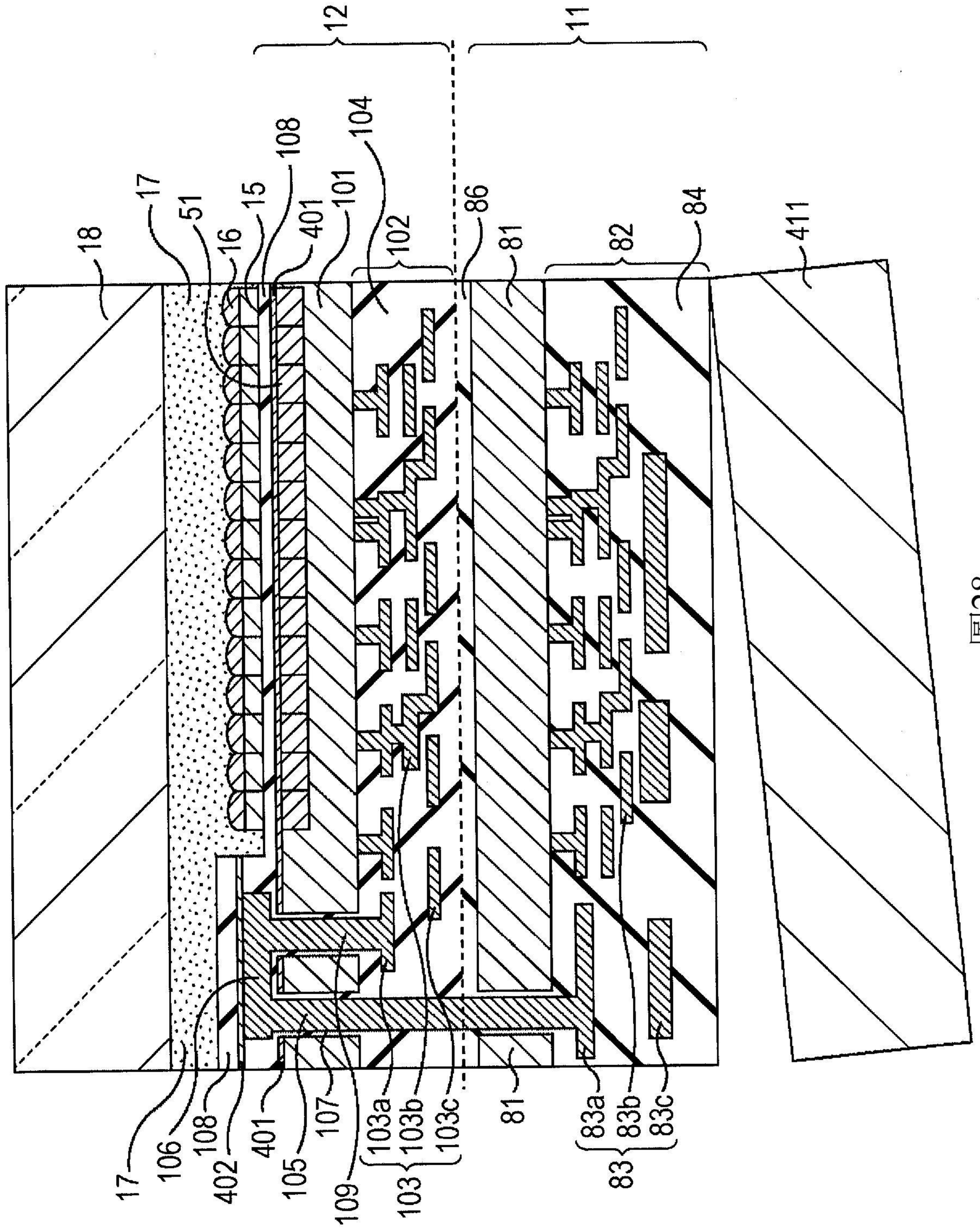

12
11
18
17
51
16
15
108
104
401
101
102
86
81
82
84
411
17
106
108
402
401
105
107
109
103a
103b
103c
103
81
83a
83b
83c
83

圖28

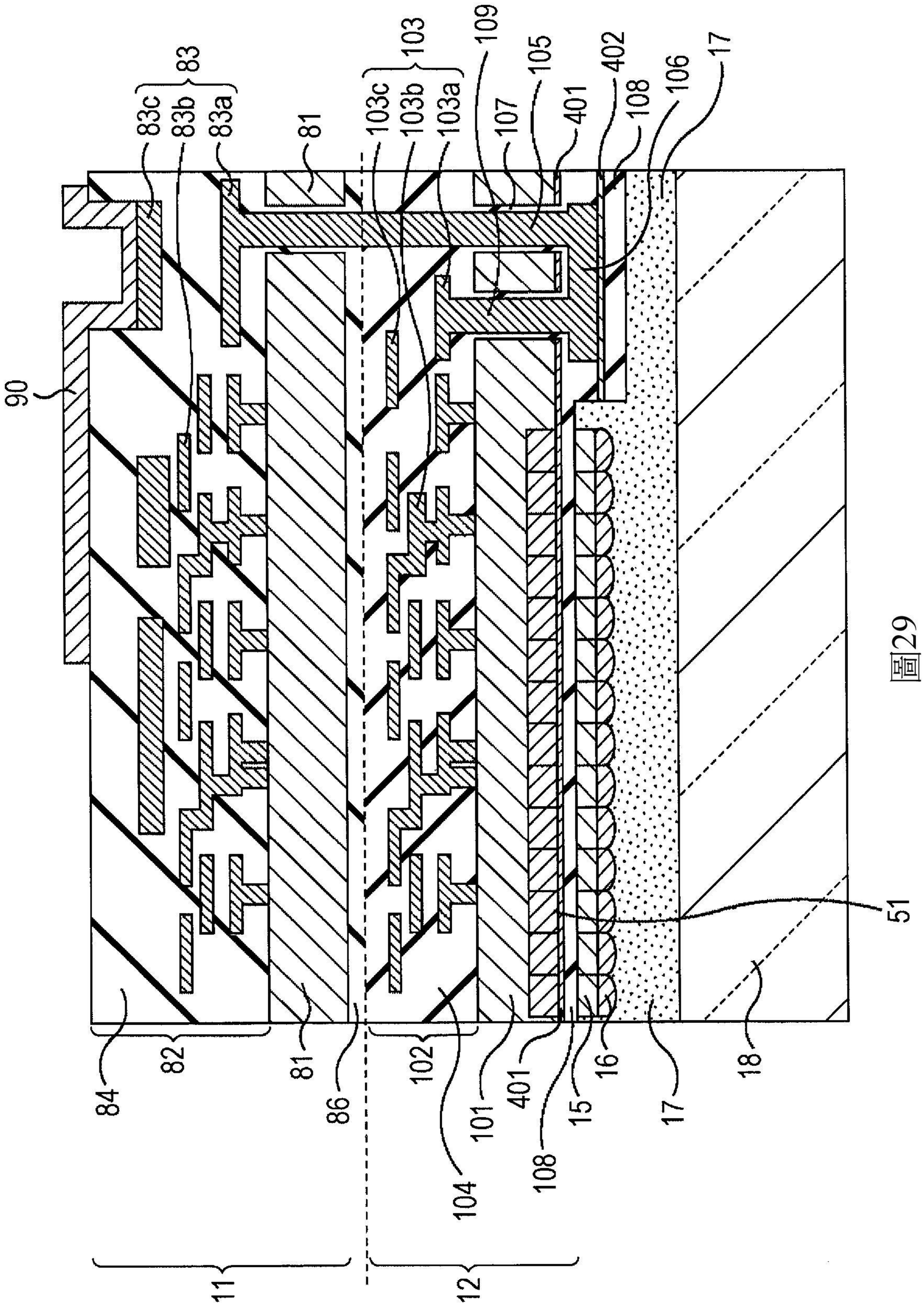

90
83
83c
83b
83a
81
103
103c
103b
103a
109
107
105
401
402
108
106
17
84
82
81
86
102
101
401
108
15
16
17
18
51
11
12

圖29

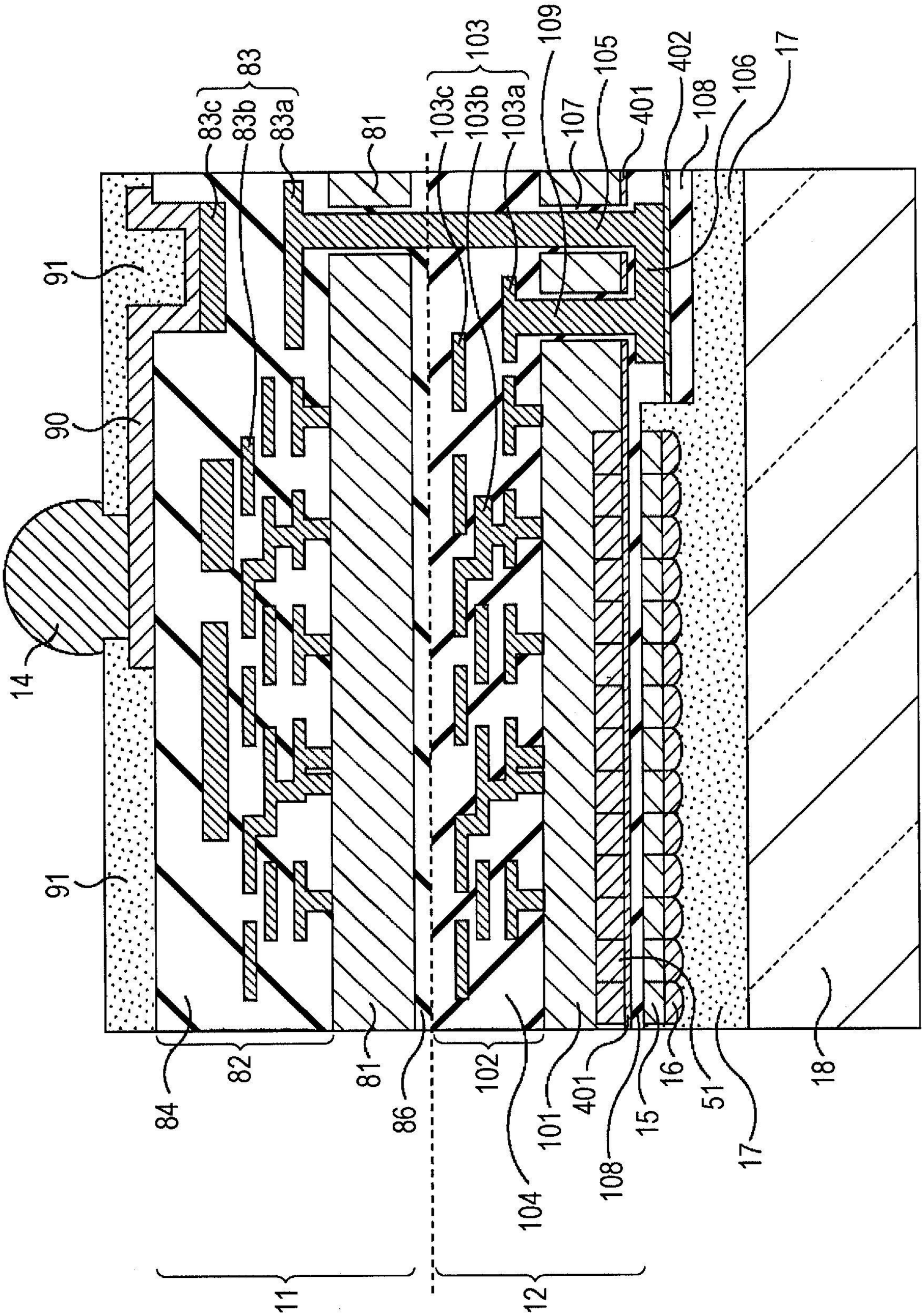

83
83c
83b
83a
81
103
103c
103b
103a
109
107
105
401
402
108
106
17
91
90
14
91
84
82
81
86
102
101
401
108
15
16
51
17
18
104
11
12

圖30

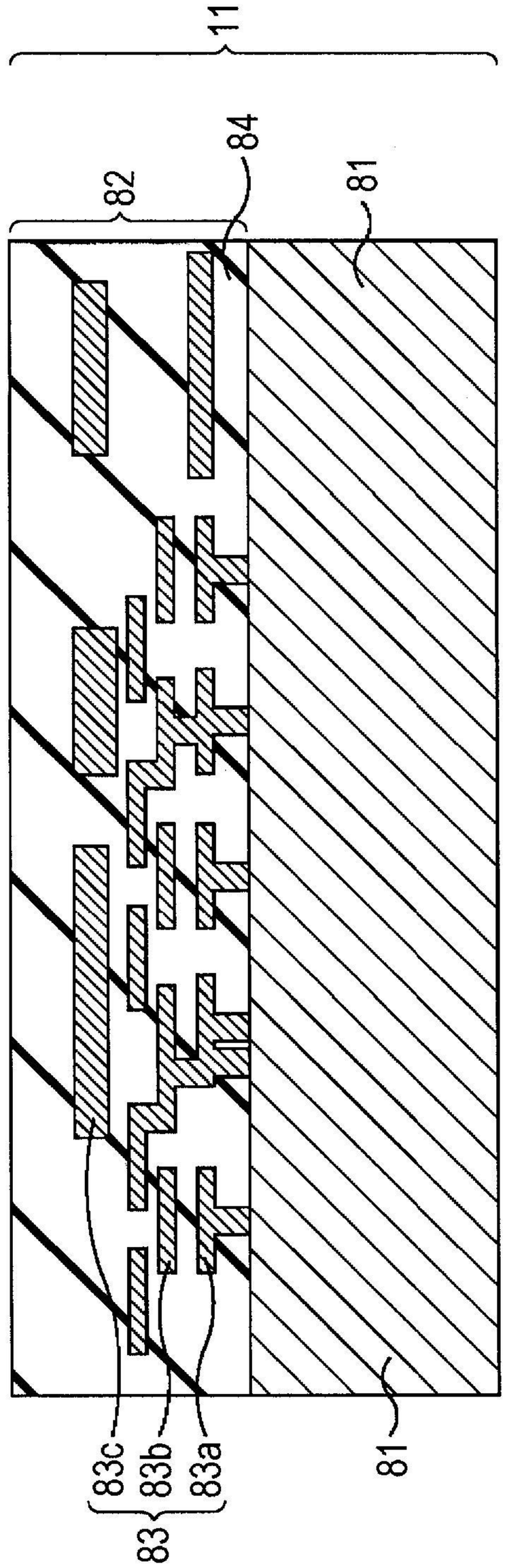


圖31

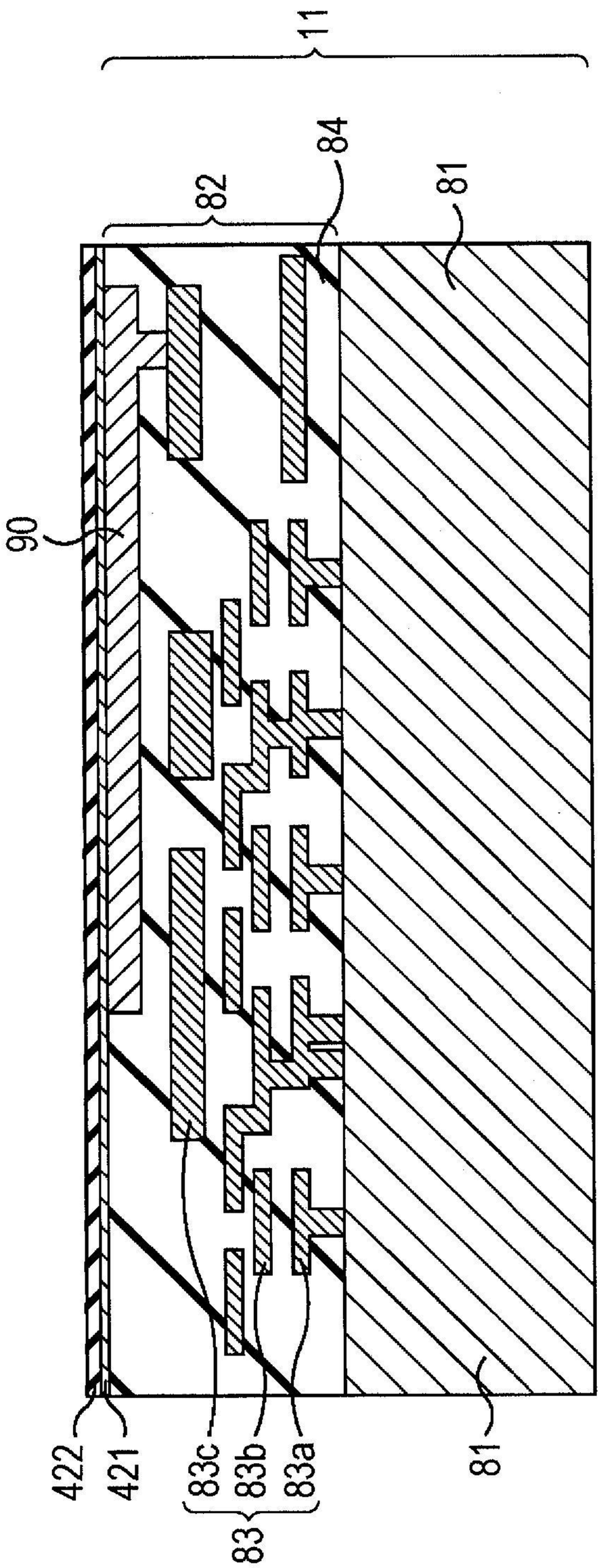


圖32

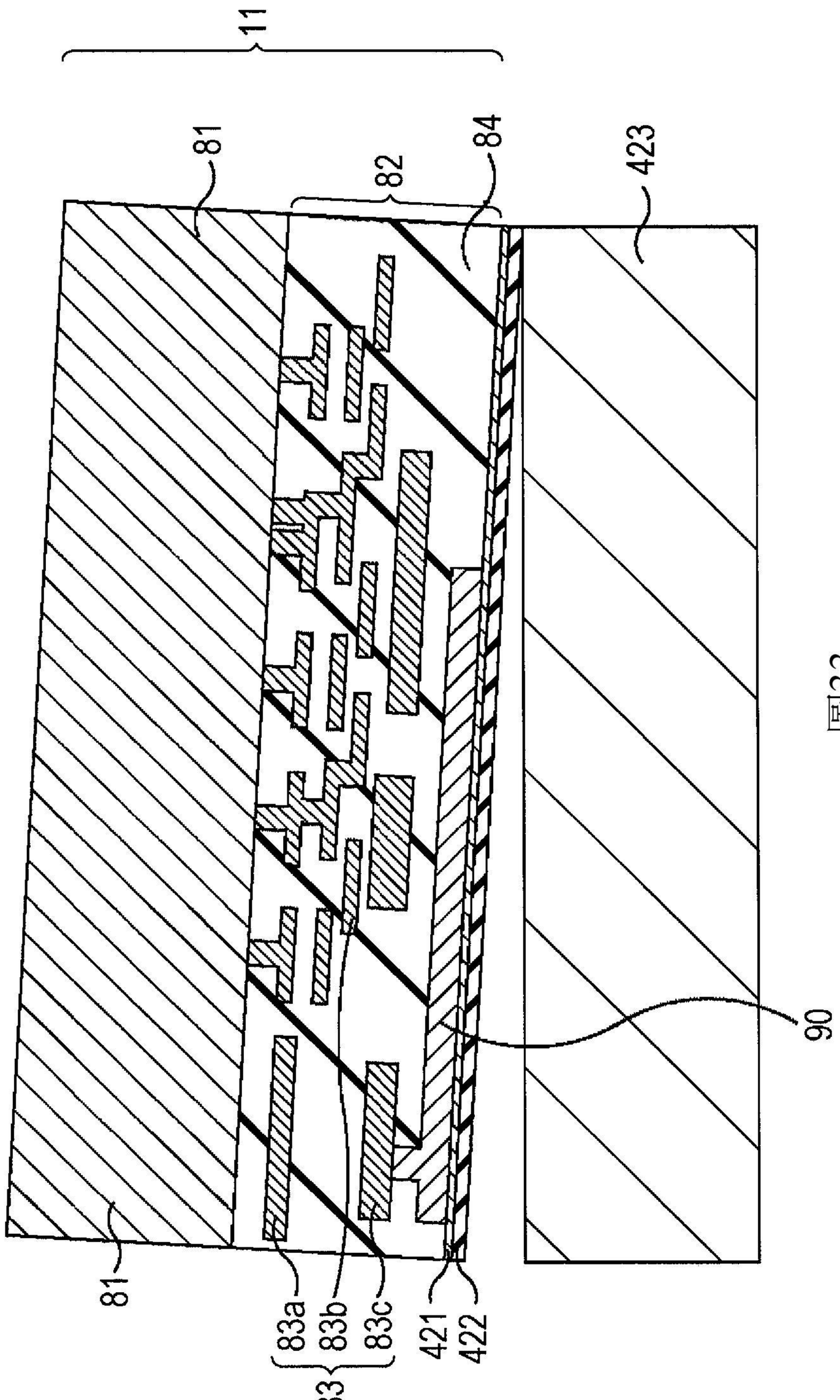


圖33

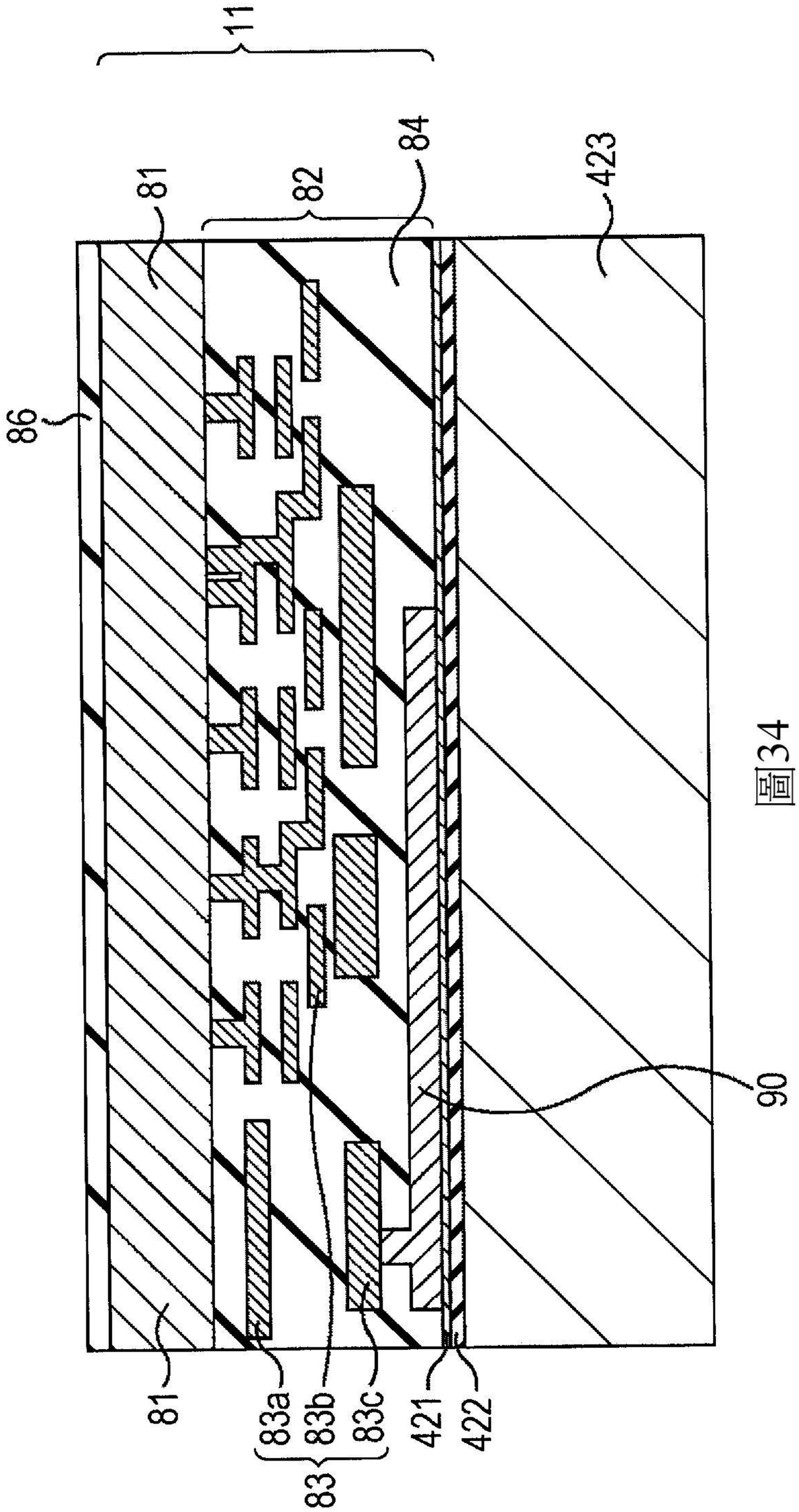


圖34

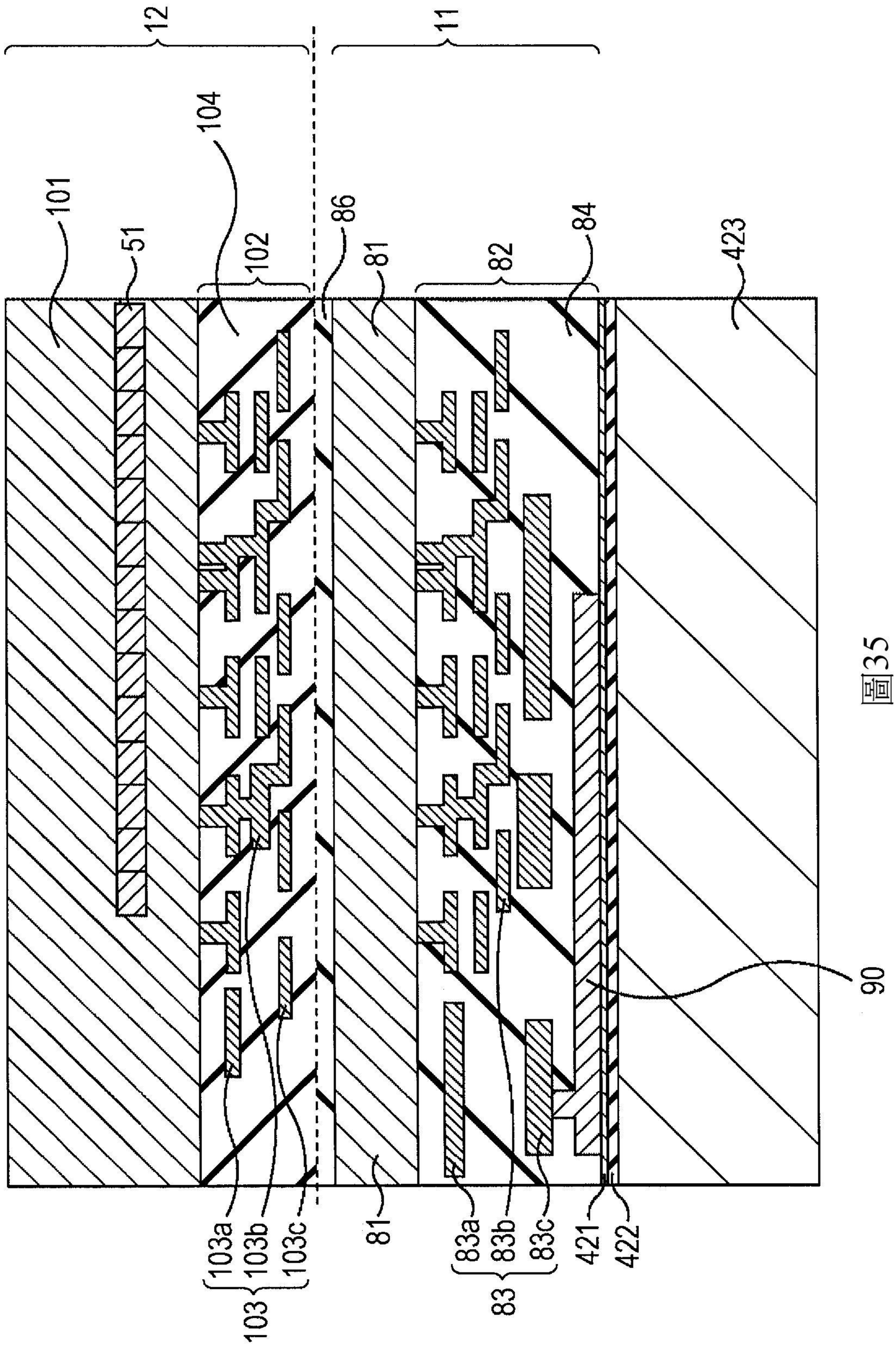

12
11
104
101
51
102
86
81
82
84
423
90
103a
103b
103c
103
81
83a
83b
83c
83
421
422

圖35

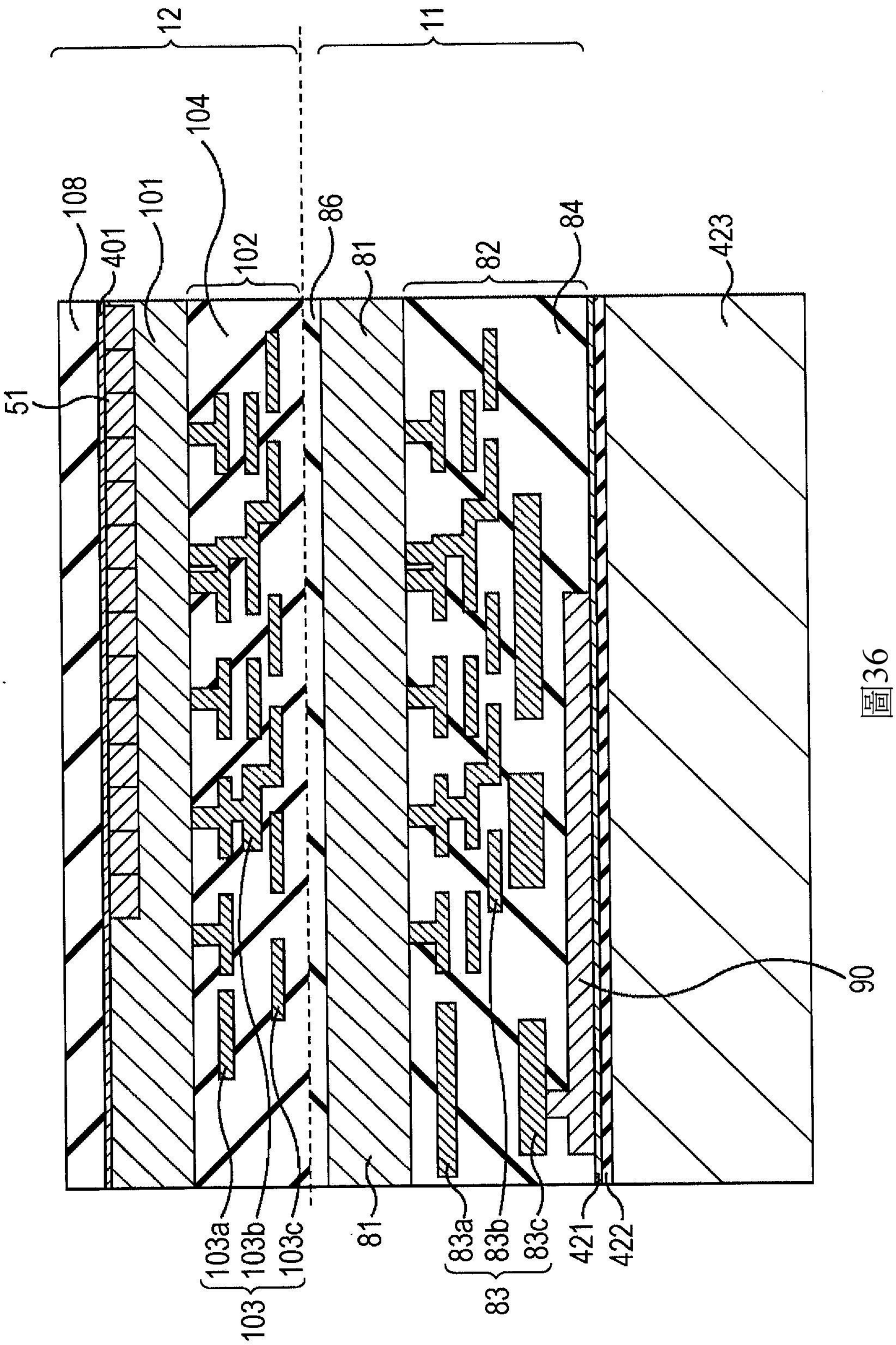

12
11
104
108
101
401
102
86
81
82
84
423
51
90
103a
103b
103c
103
83a
83b
83c
83
421
422

圖36

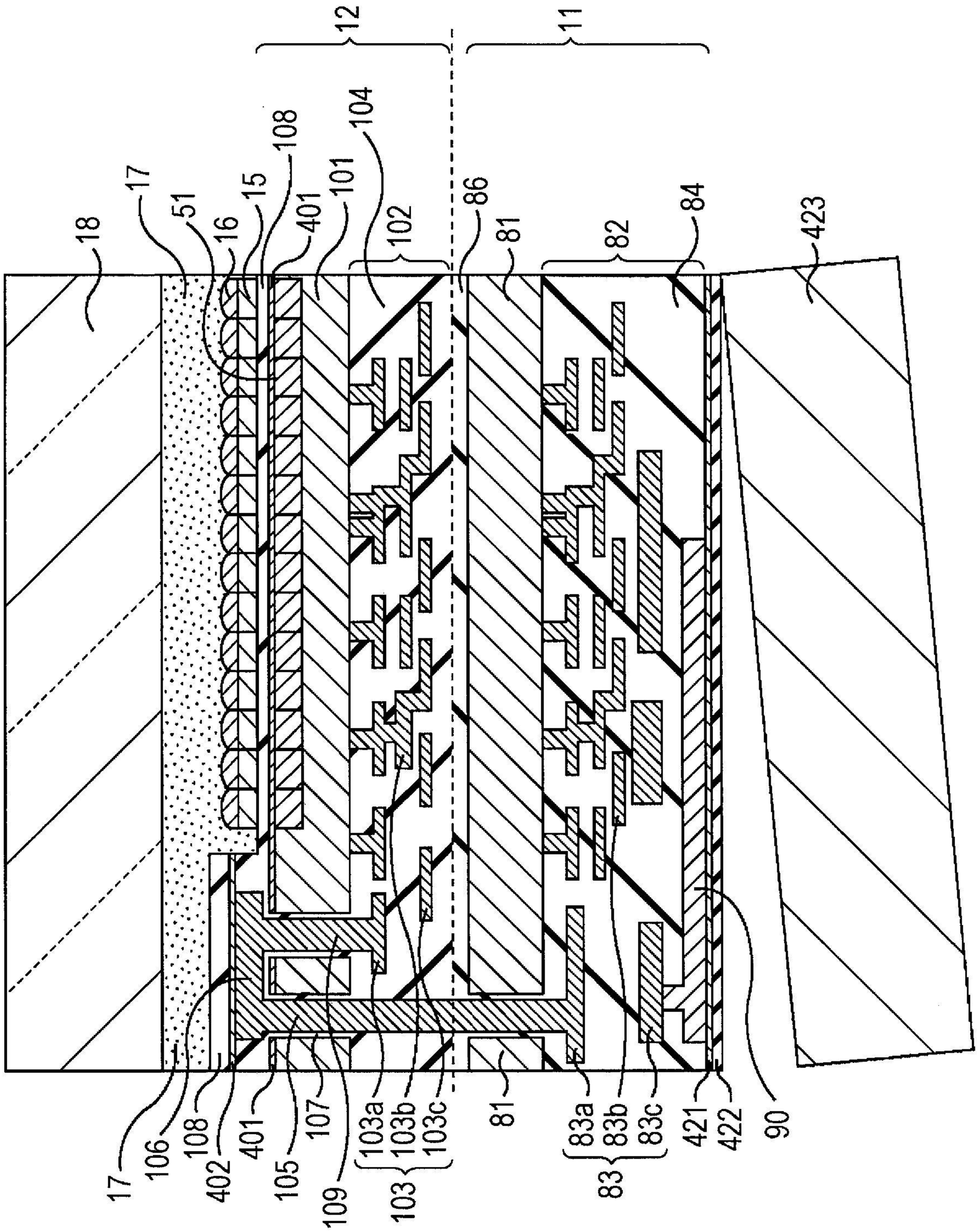

12
11
18
17
51
16
15
108
104
401
101
102
86
81
82
84
423
17
106
108
402
401
105
107
109
103a
103b
103c
103
81
83a
83b
83c
83
421
422
90

圖37

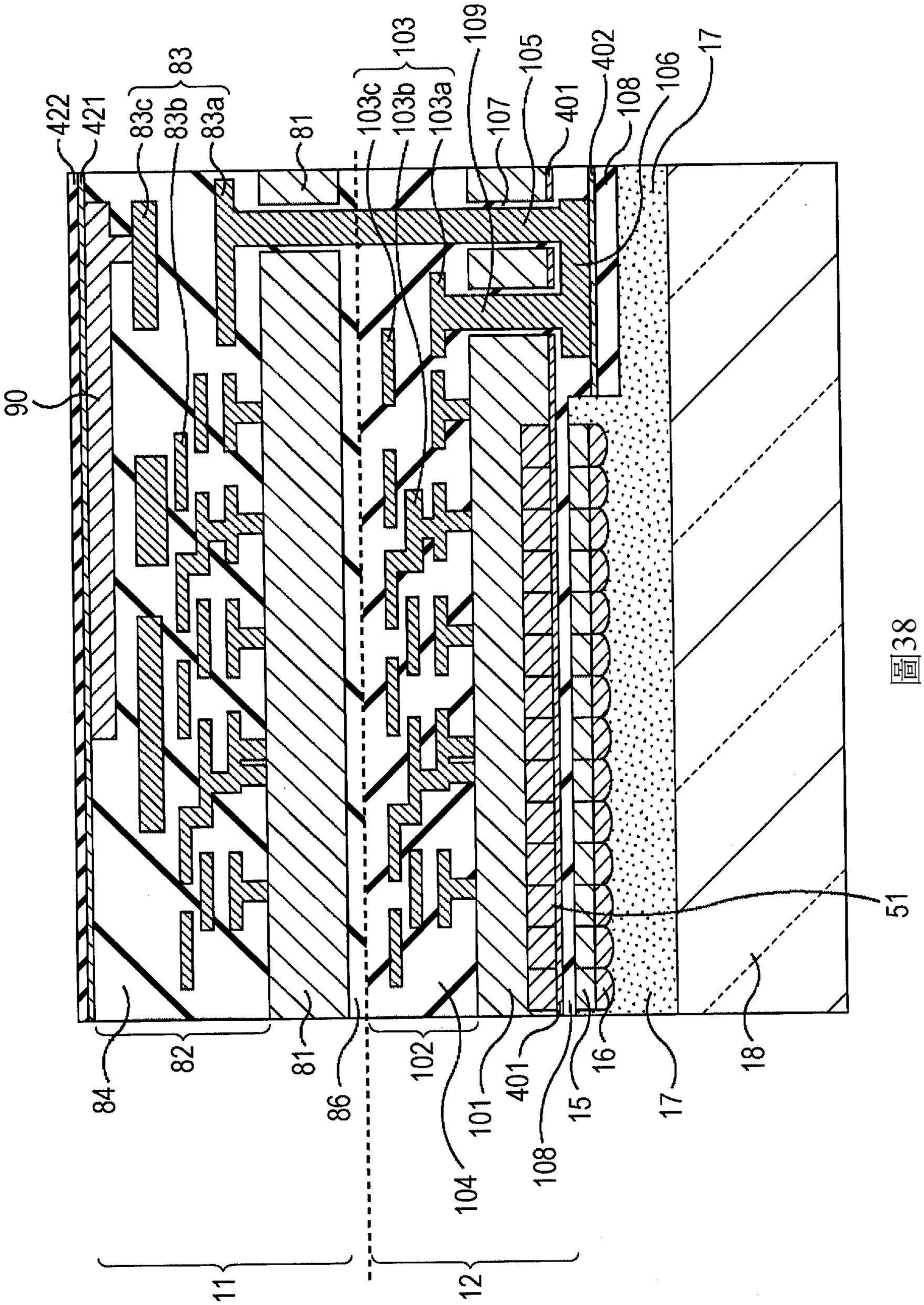

422
421
83c
83b
83a
83
81
103c
103b
103a
103
109
107
105
401
402
108
106
17
90
84
82
81
86
102
104
101
401
108
15
16
17
18
51
11
12

圖38

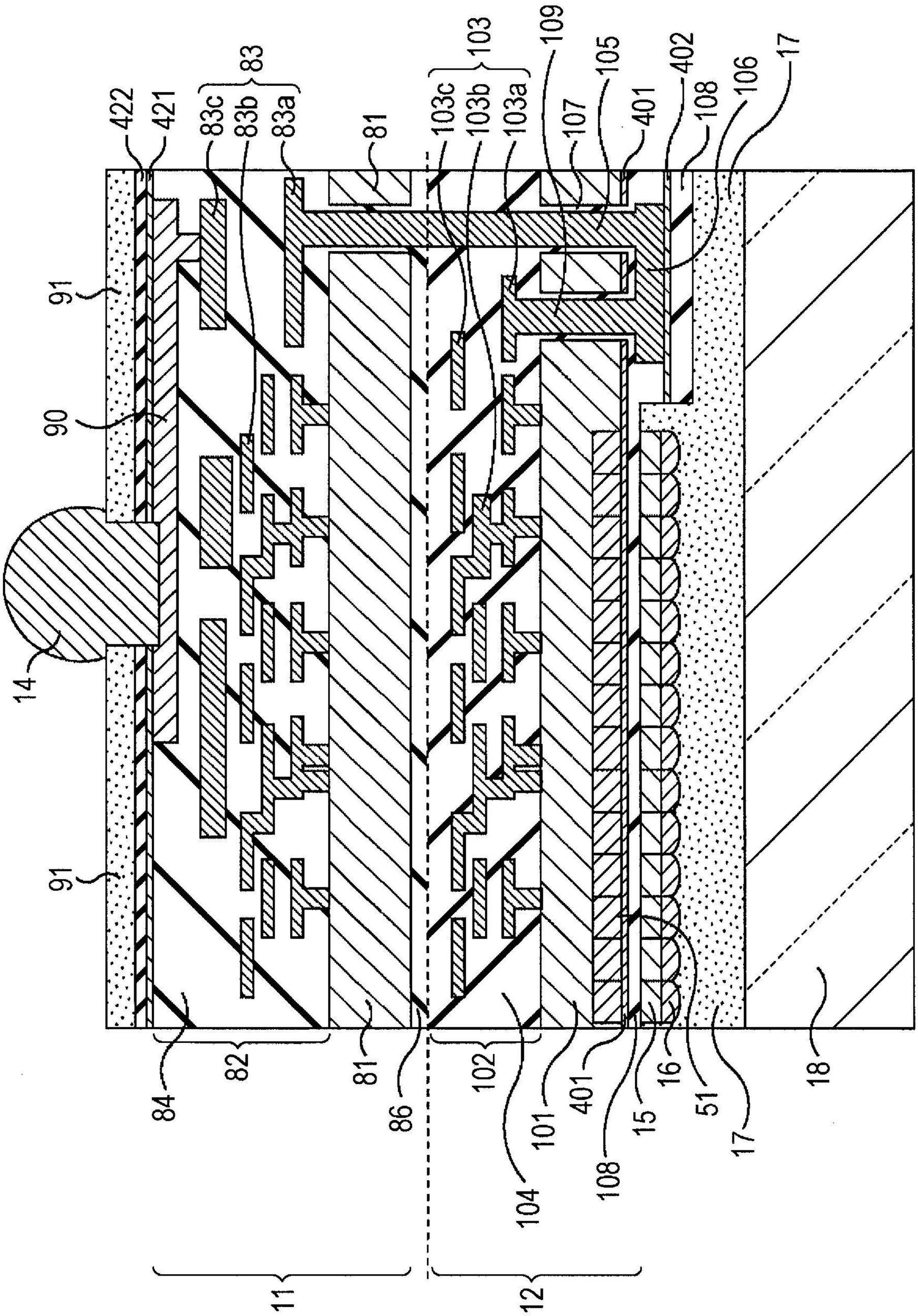

422
421
83c
83b
83a
83
81
103c
103b
103a
103
109
107
105
401
402
108
106
17
91
90
91
14
84
82
81
86
102
101
401
108
15
16
51
17
18
104
11
12

圖39

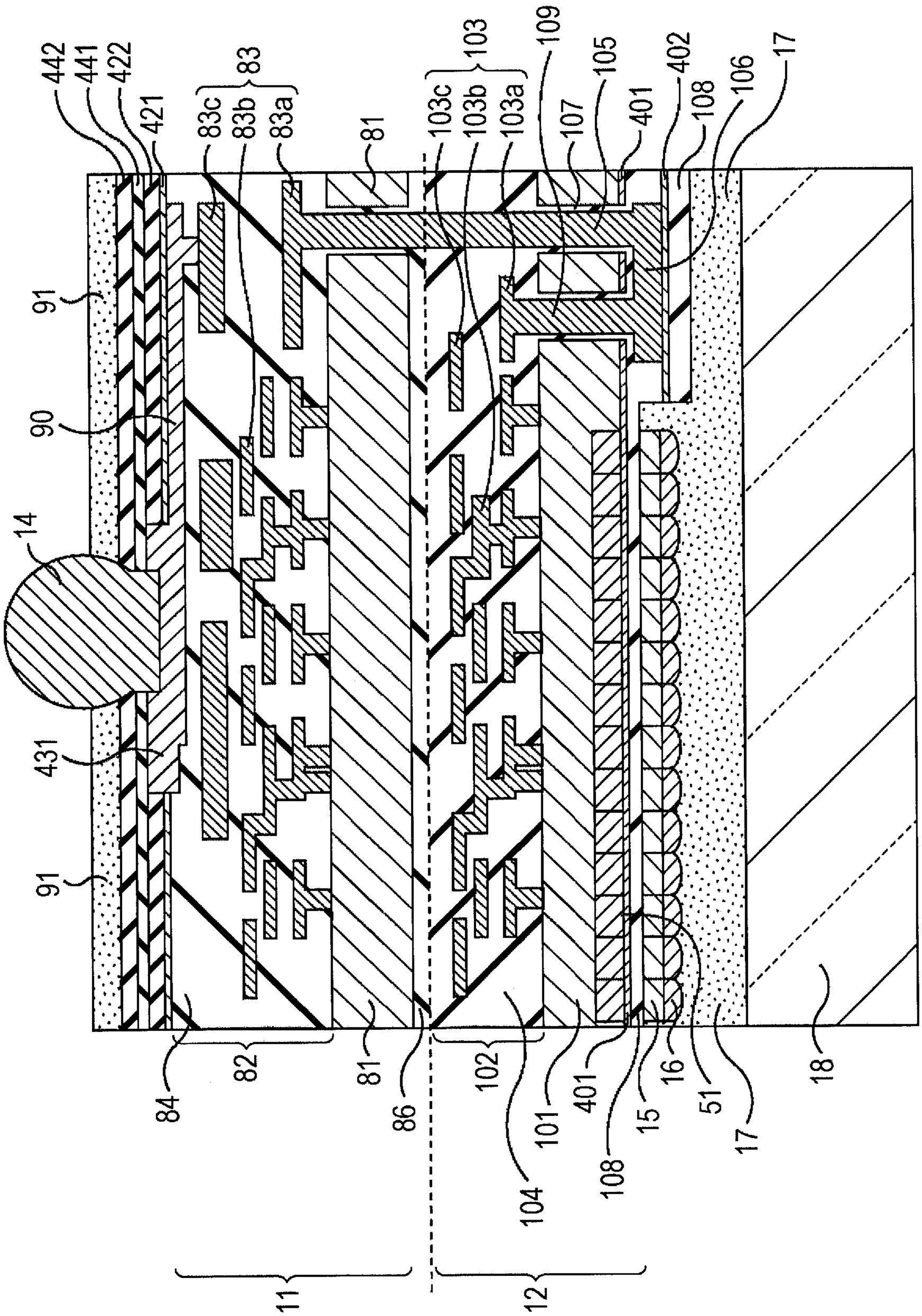

442
441
422
421
83
83c
83b
83a
81
103
103c
103b
103a
109
107
105
401
402
108
106
17
91
90
14
431
91
84
82
81
86
102
101
401
108
15
16
51
17
18
11
12

圖40

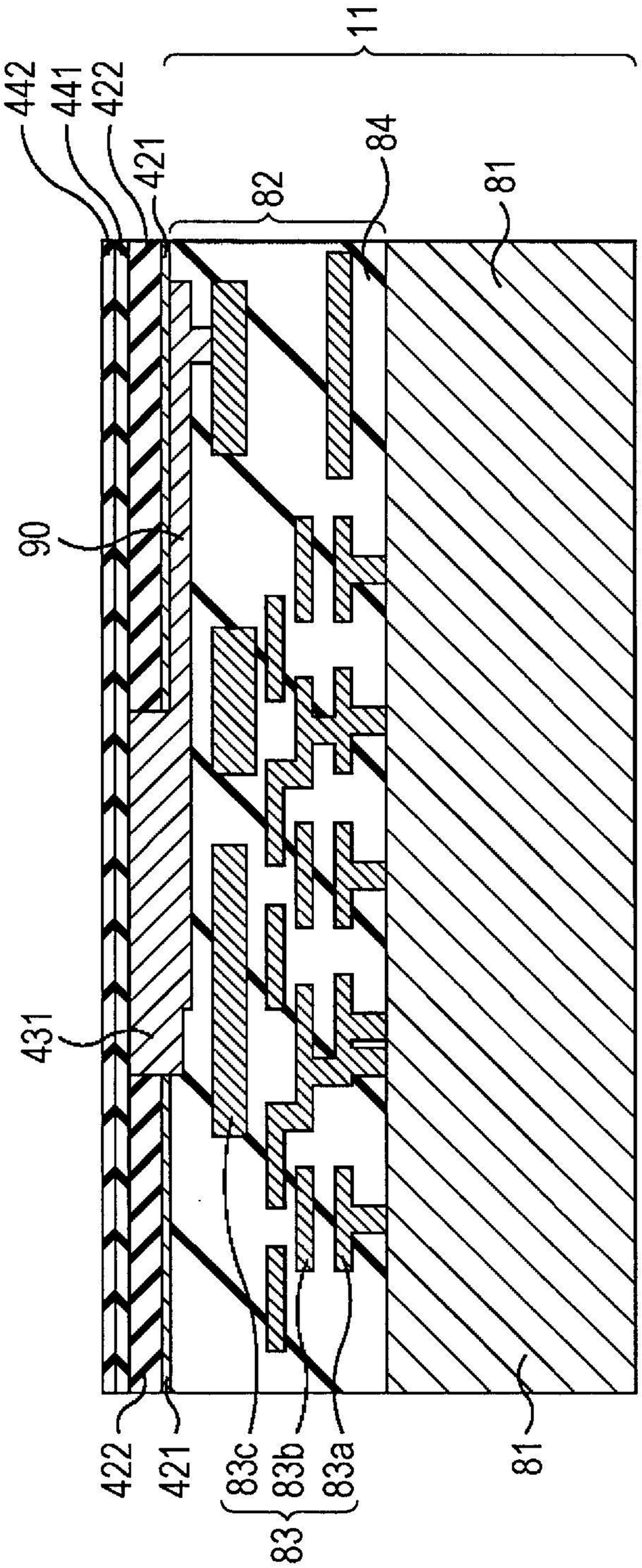


圖41

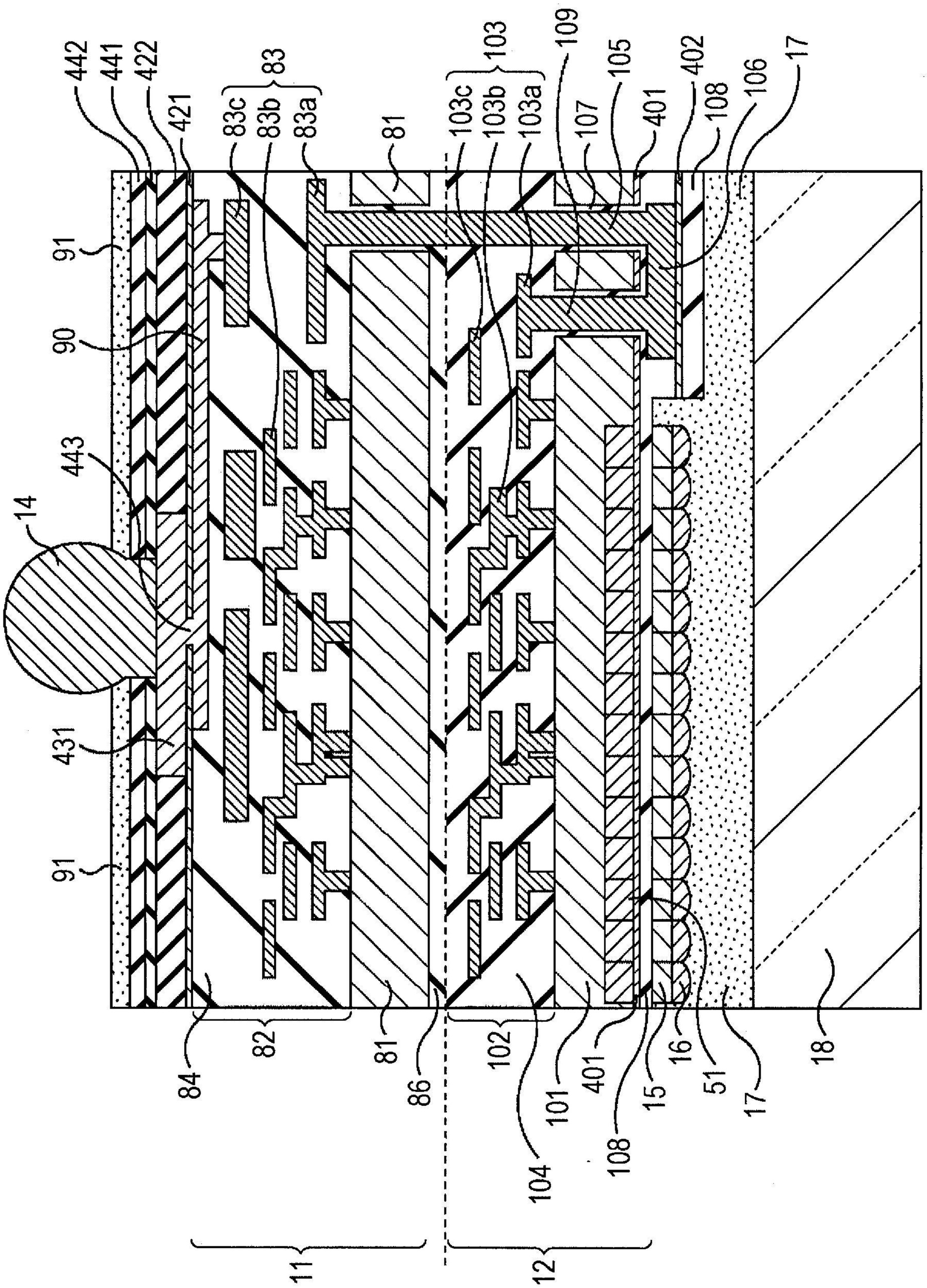

442
441
422
421
83
83c
83b
83a
81
103
103c
103b
103a
109
107
105
401
402
108
106
17
91
90
443
14
431
91
84
82
81
86
102
101
401
108
15
16
51
17
18
104
11
12

圖42

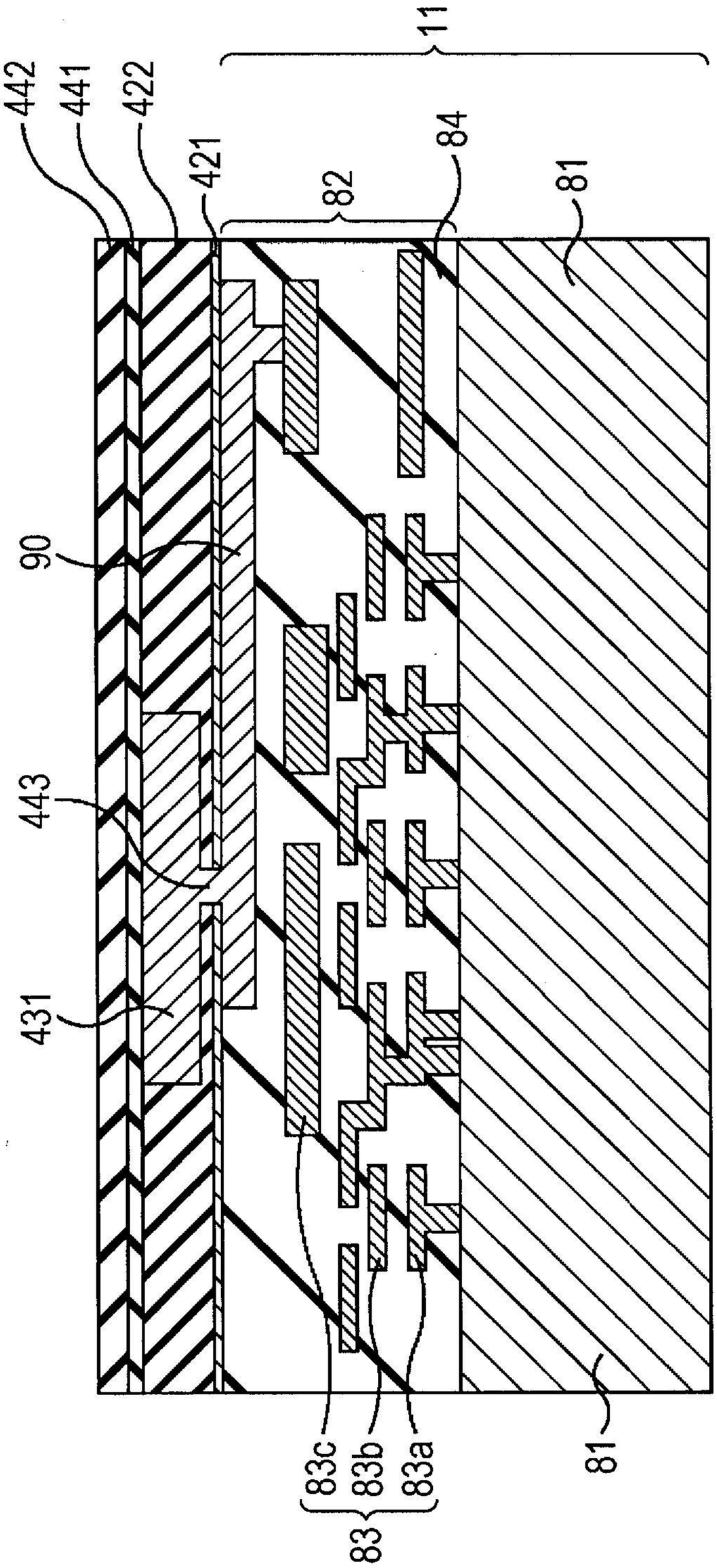


圖43

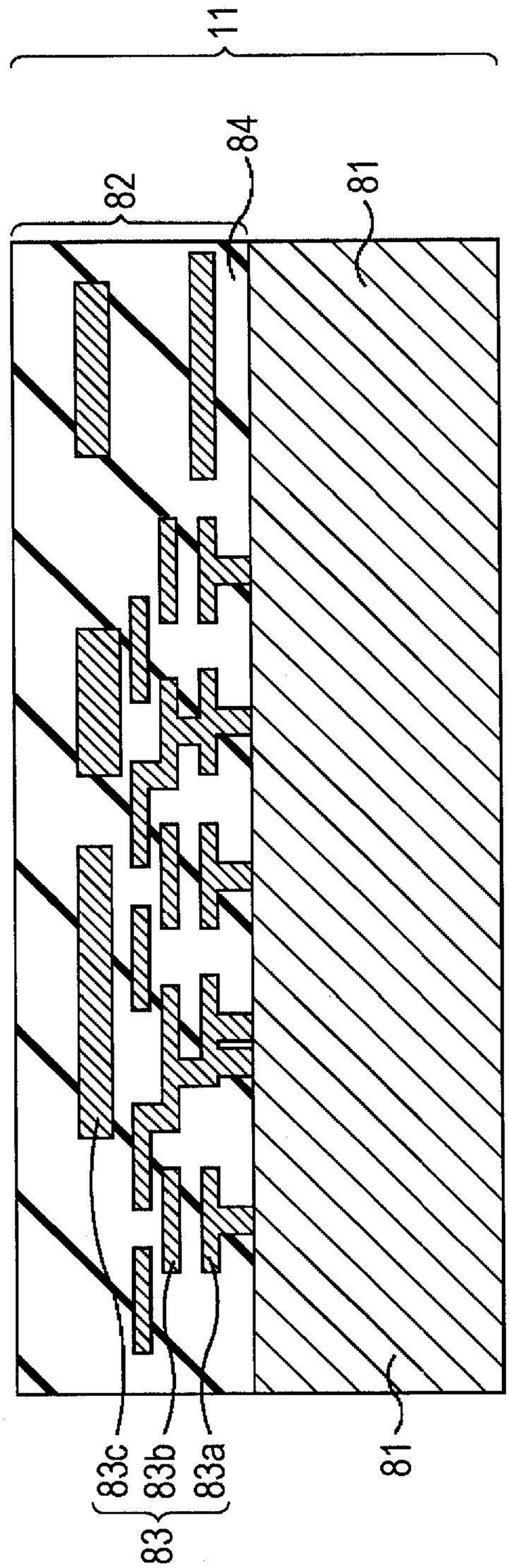


圖44

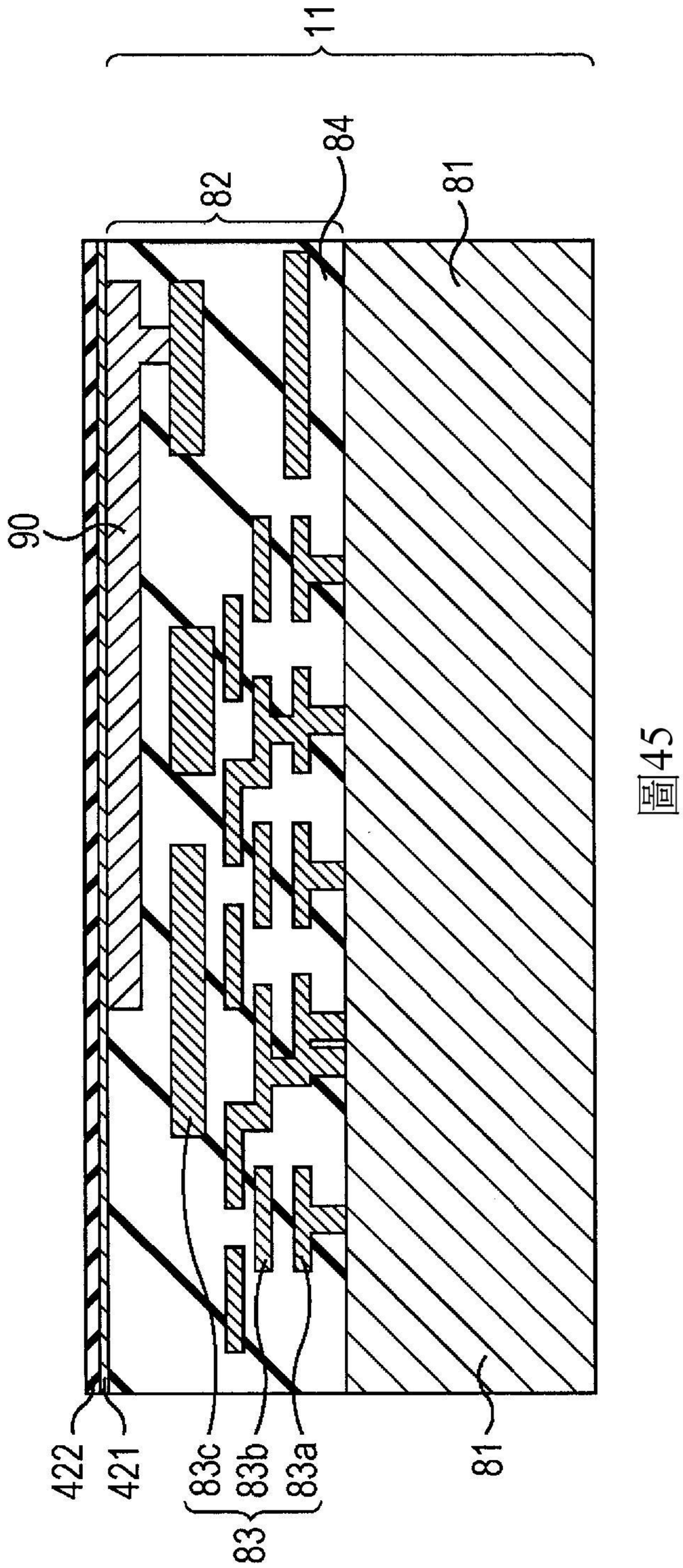


圖45

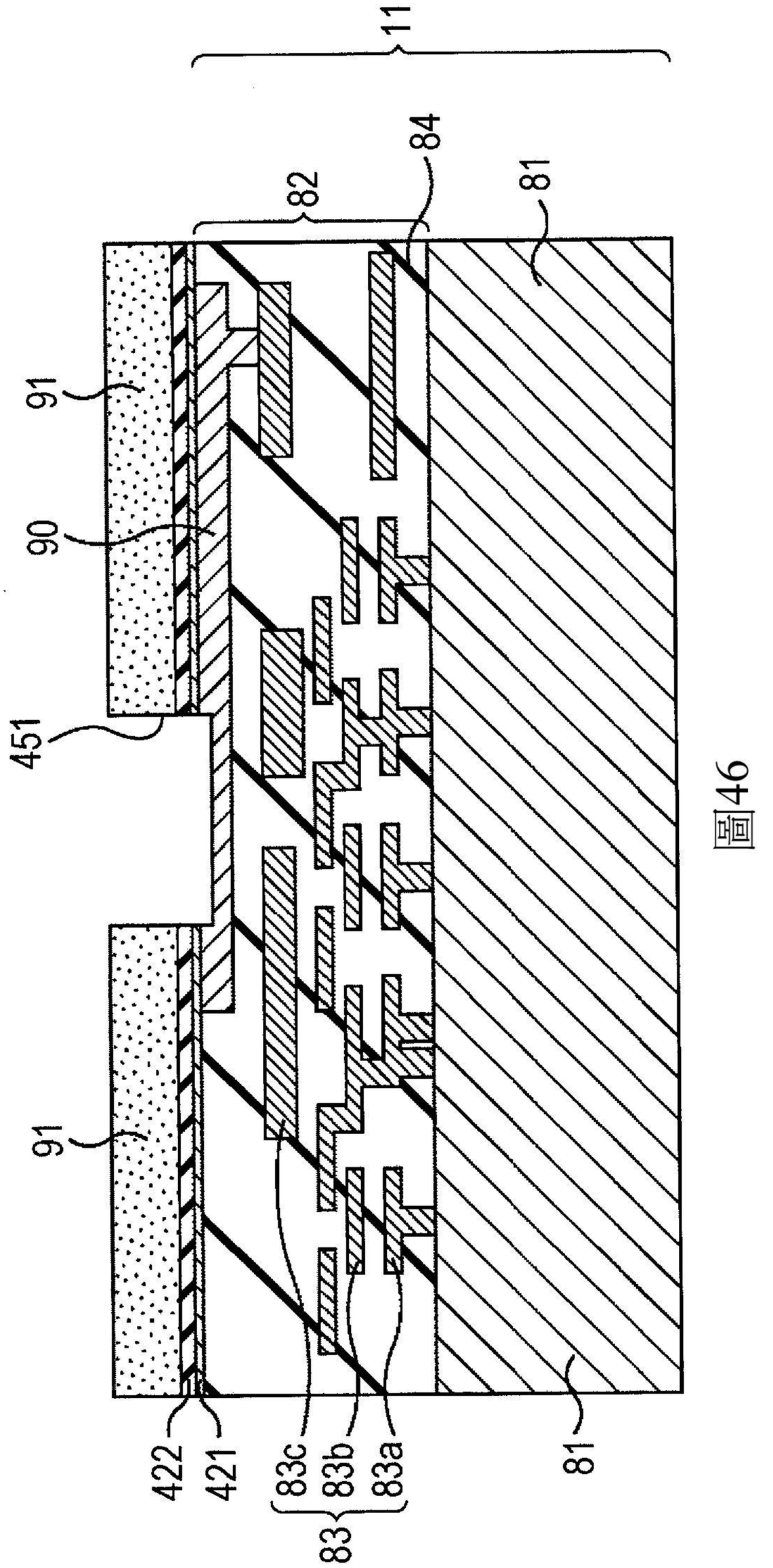


圖46

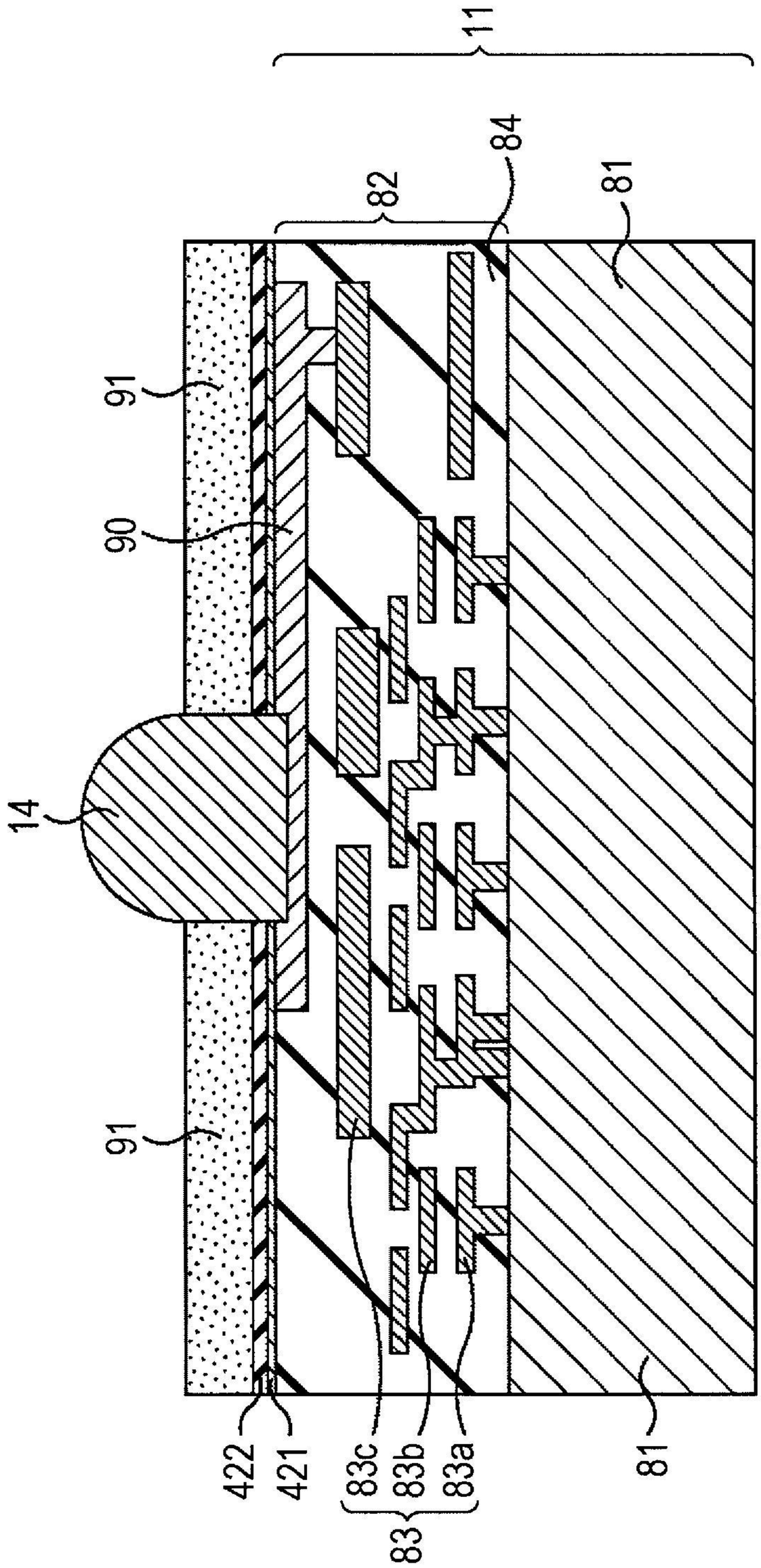


圖47

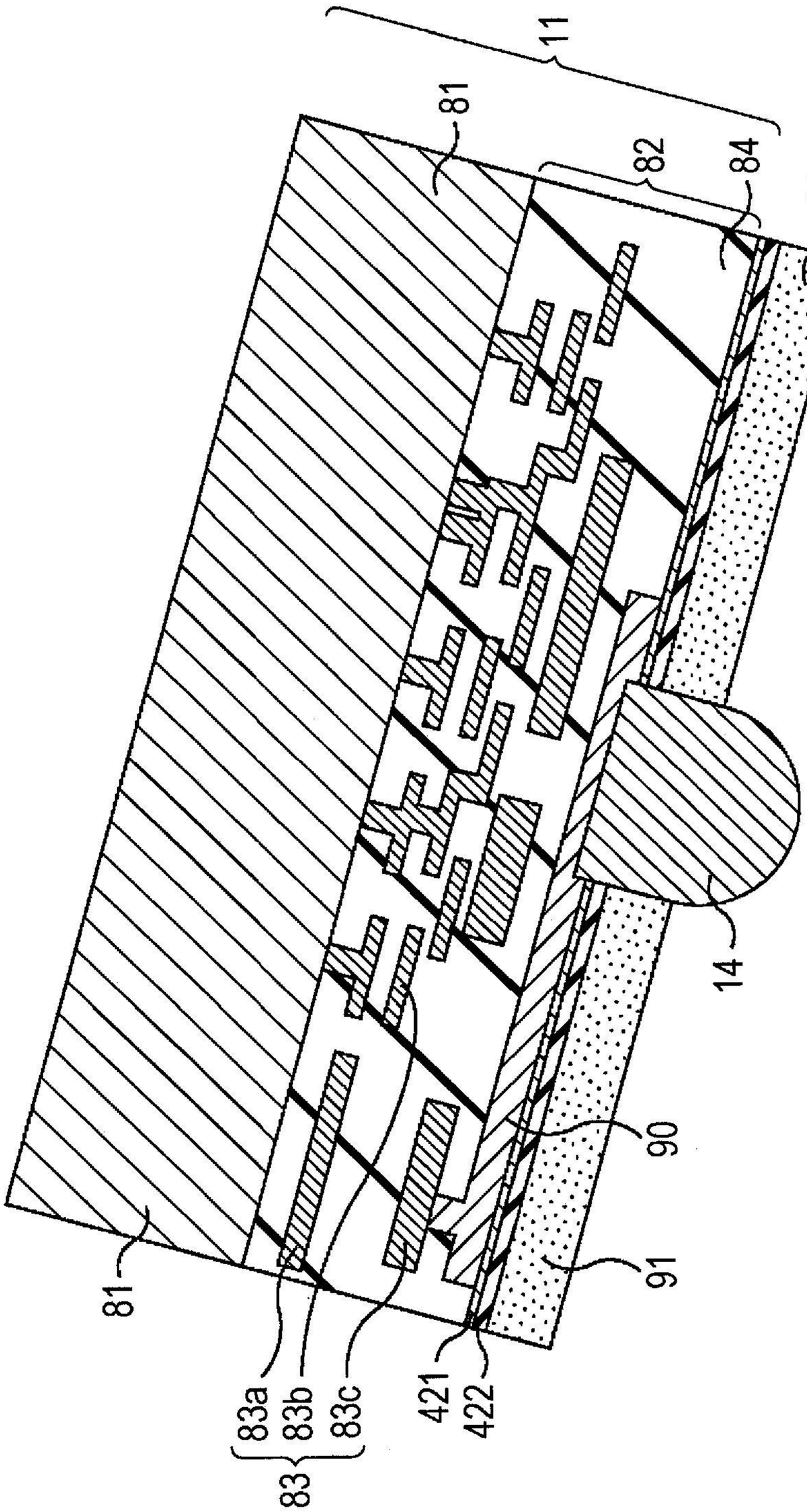


圖48

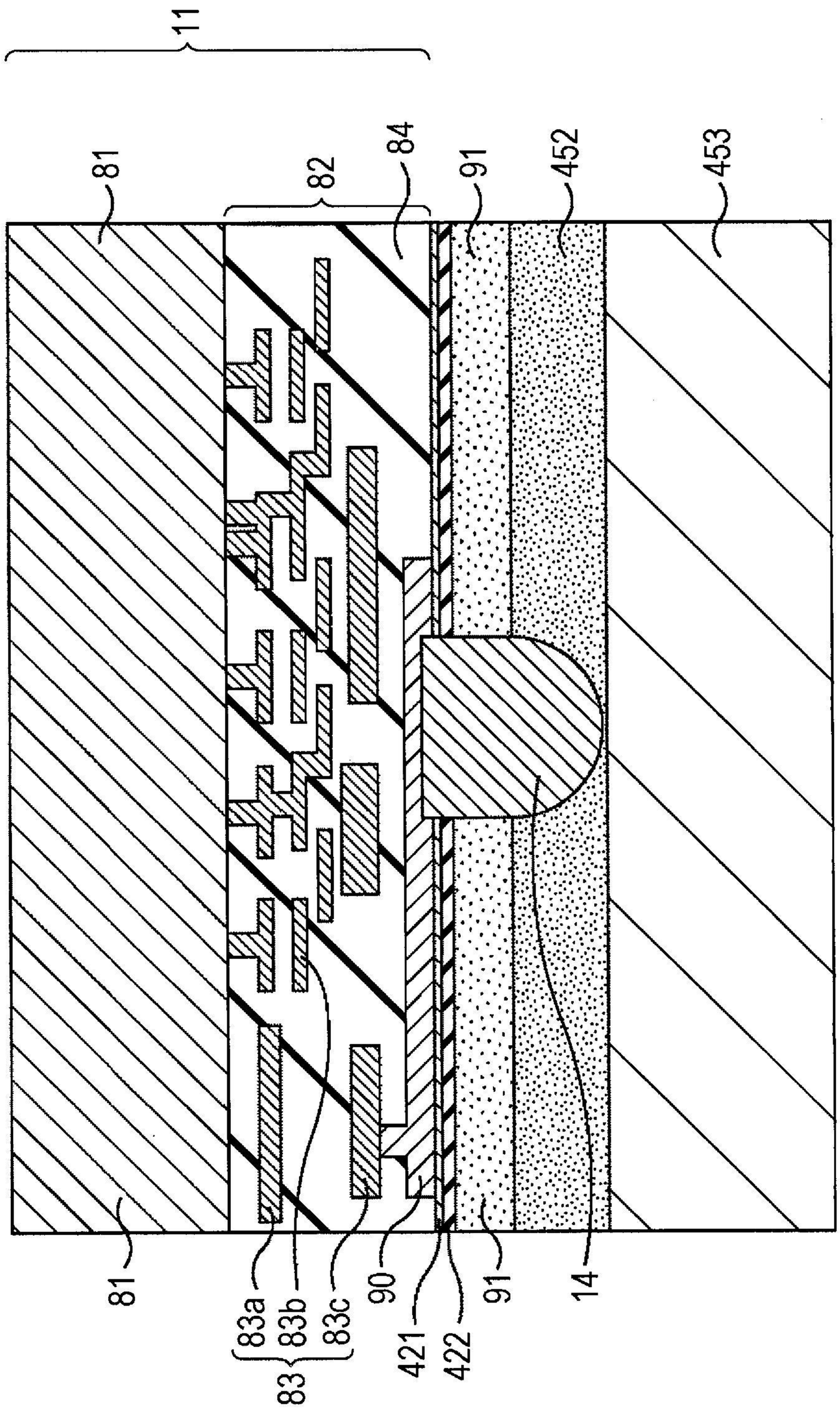


圖49

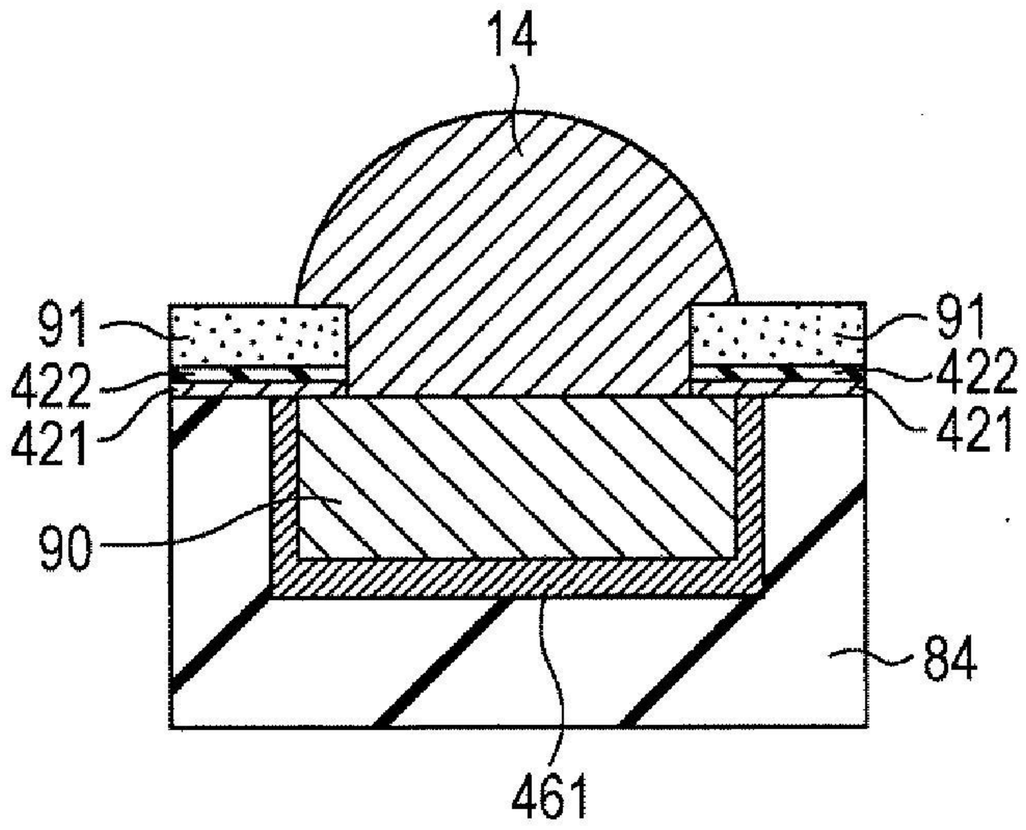


圖50

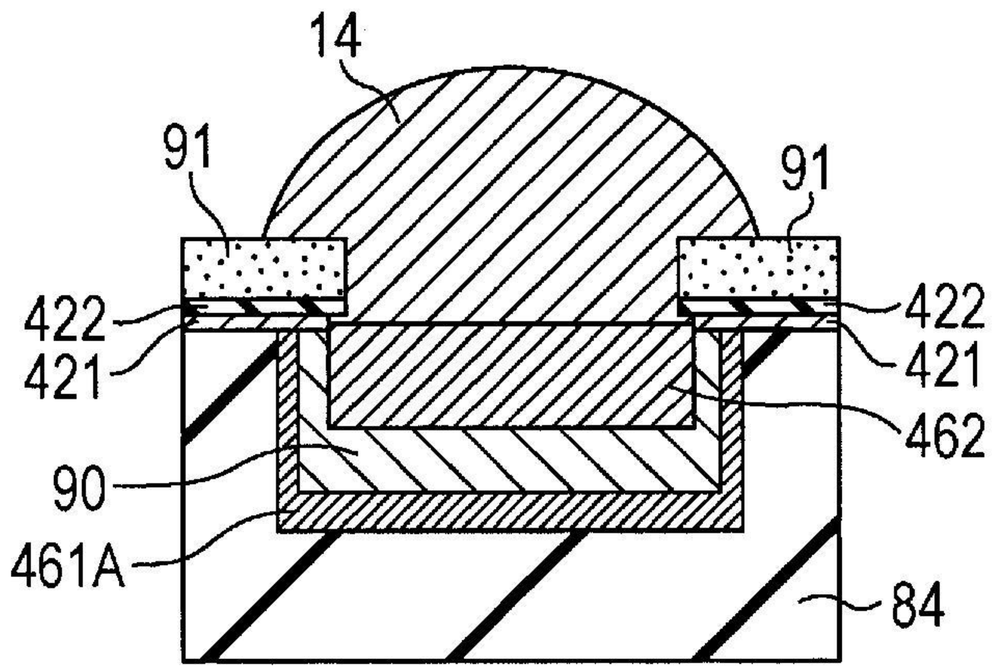


圖51A

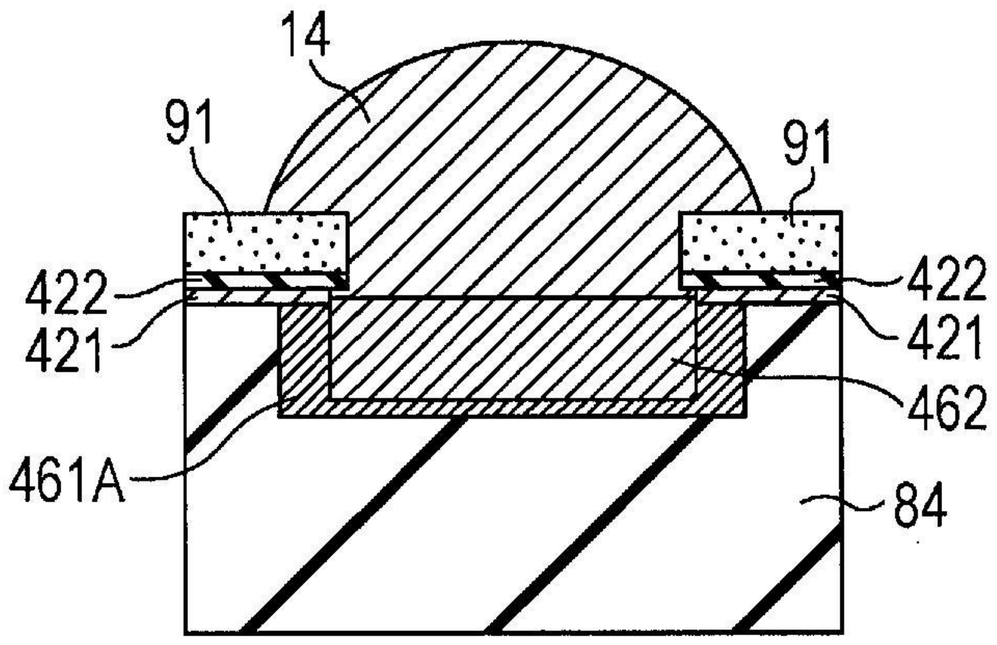


圖51B

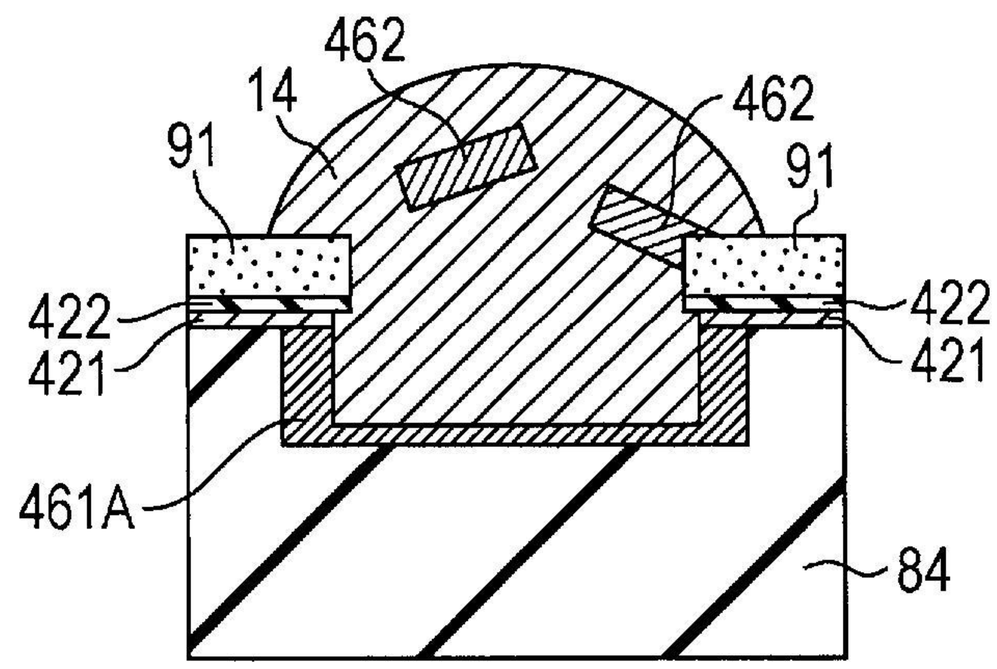


圖51C

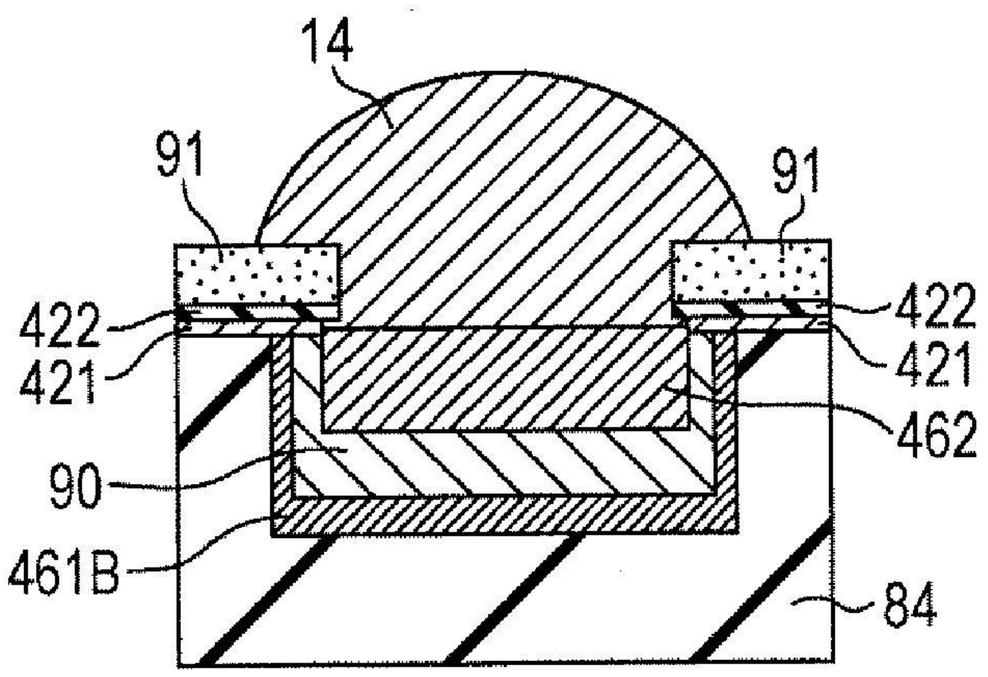


圖52A

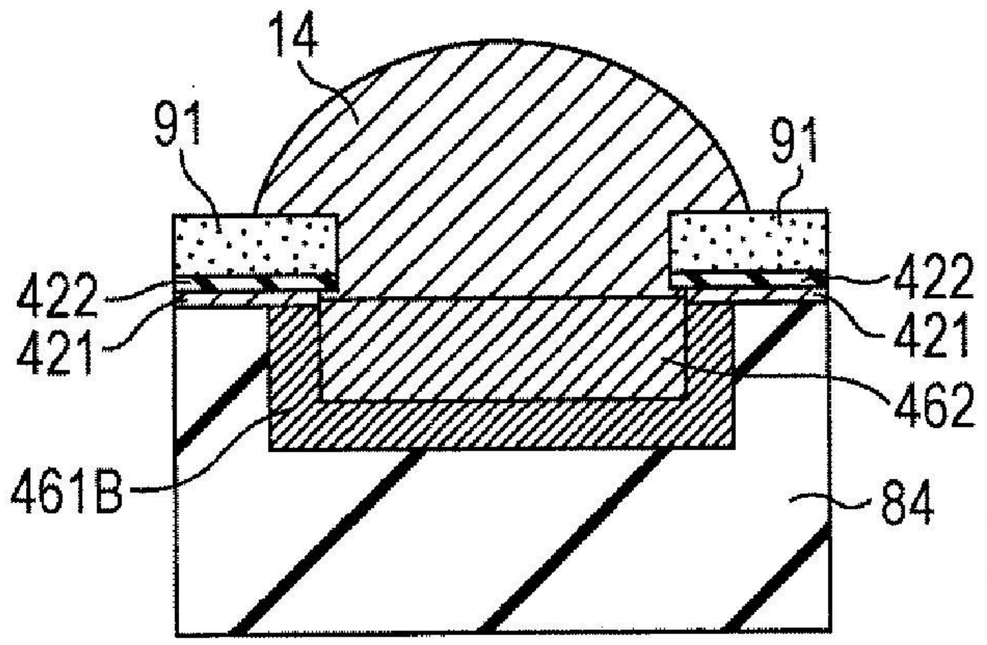


圖52B

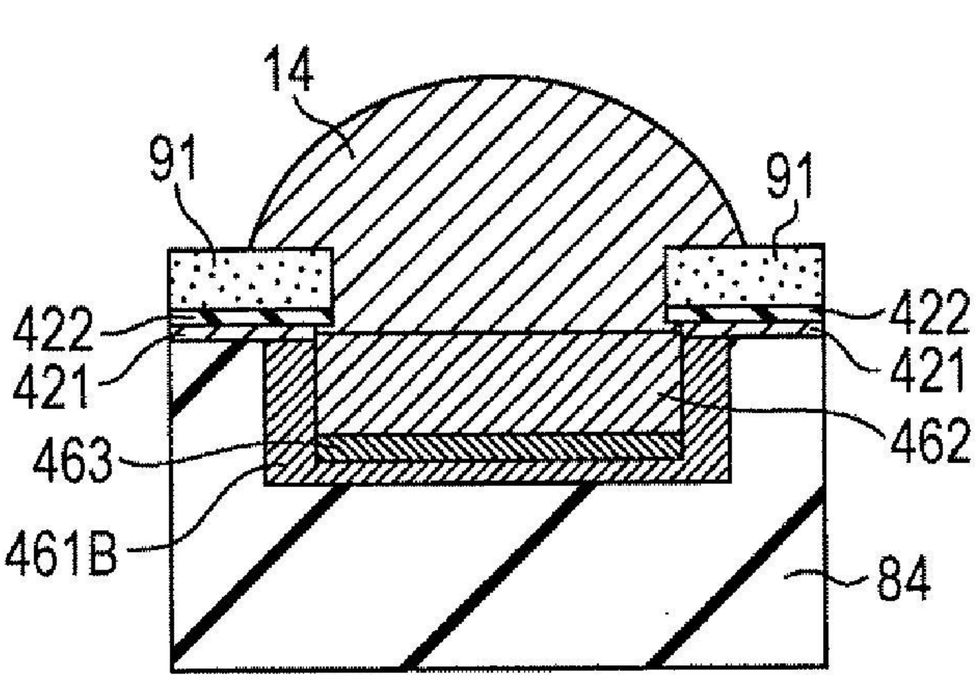


圖52C

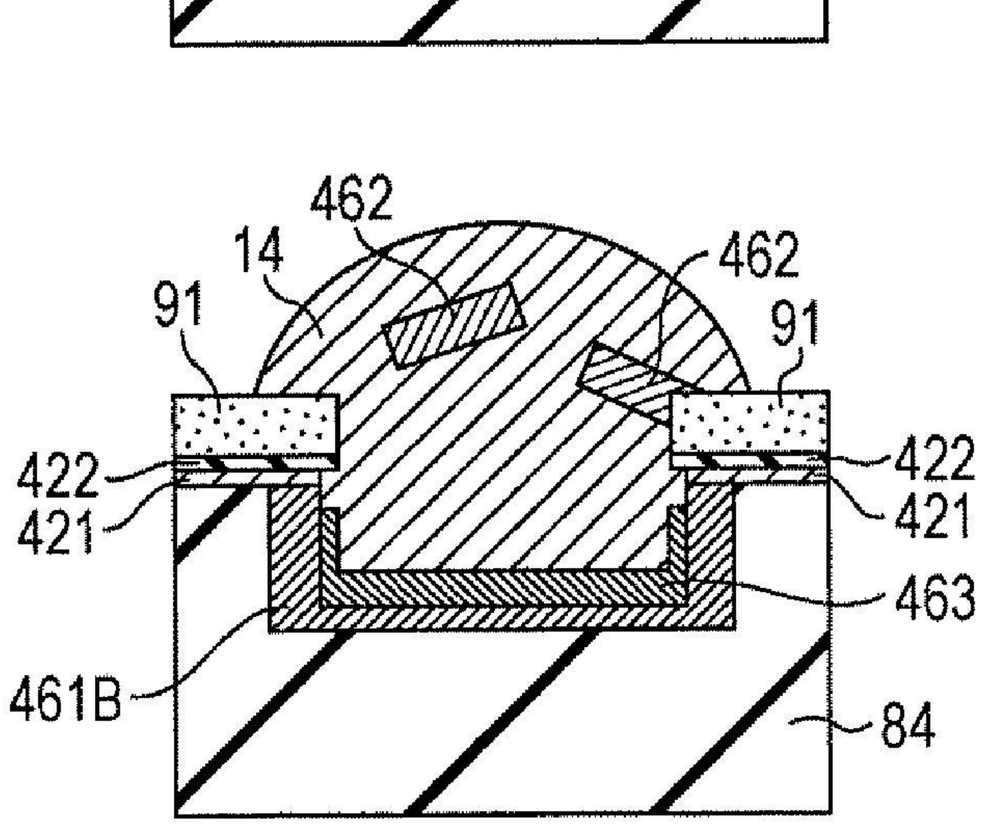


圖52D

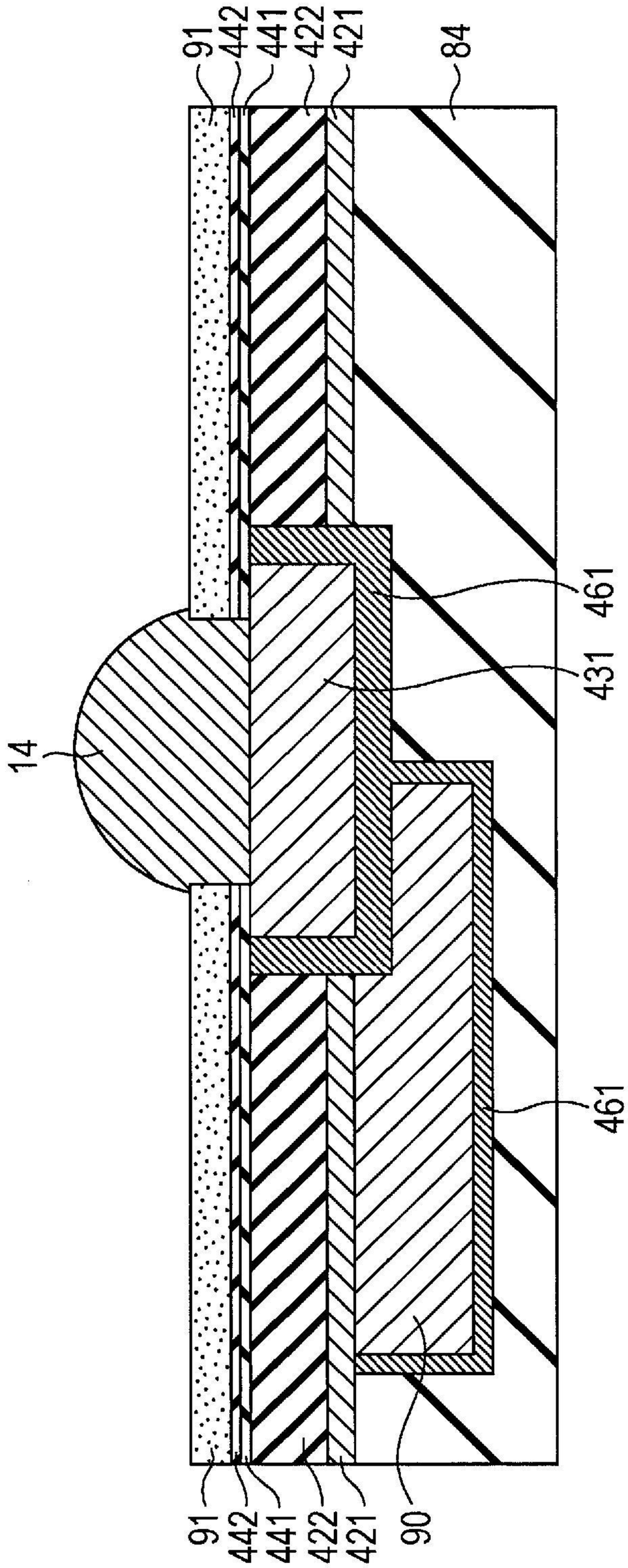


圖53

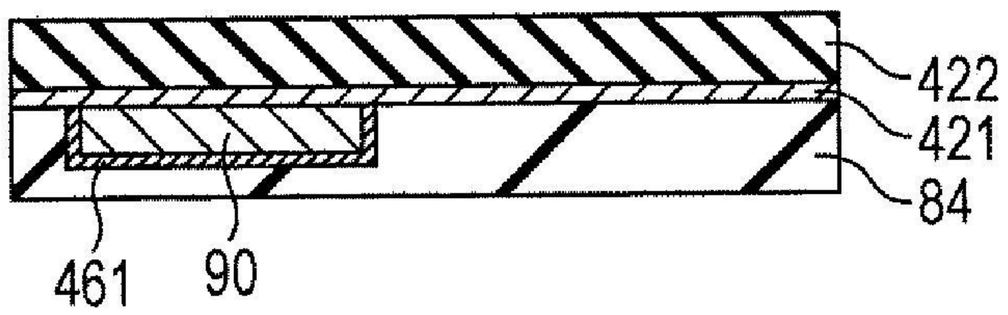


圖54A

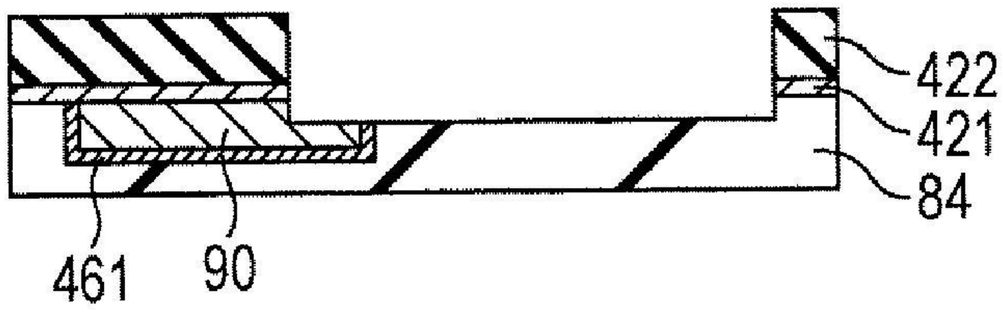


圖54B

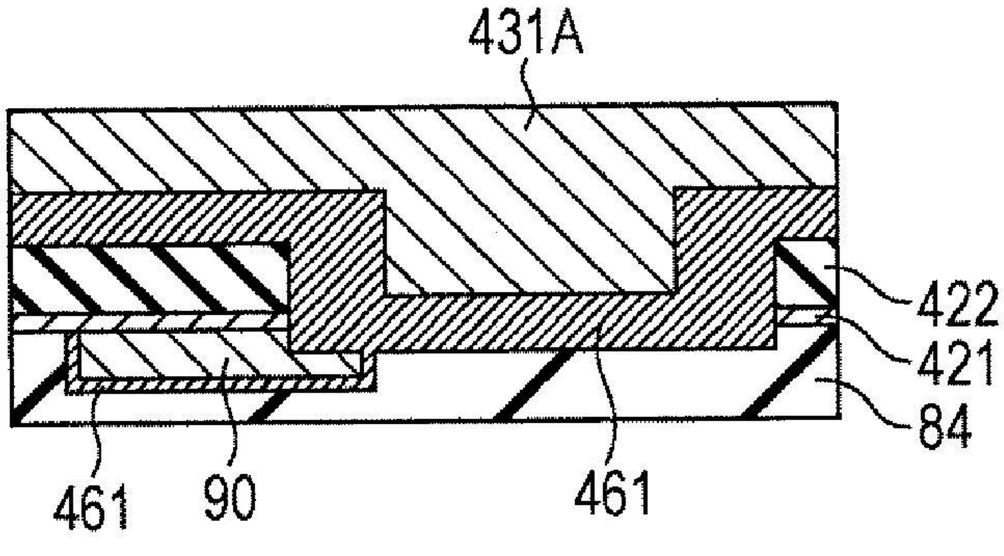


圖54C

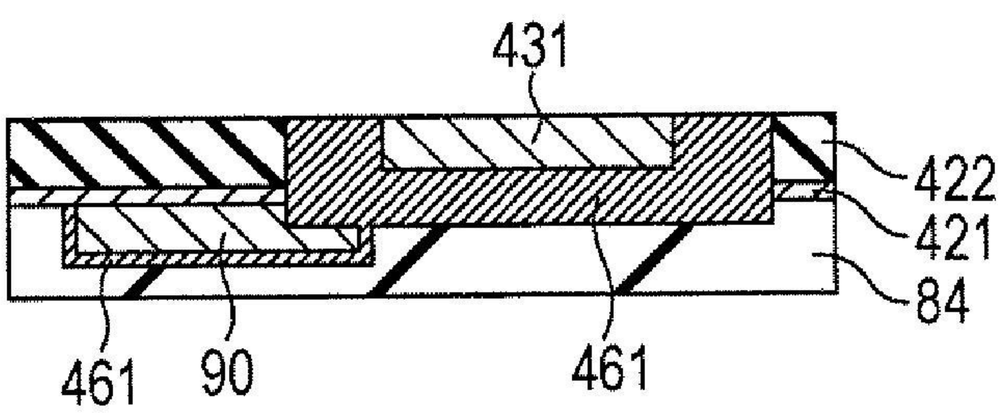


圖54D

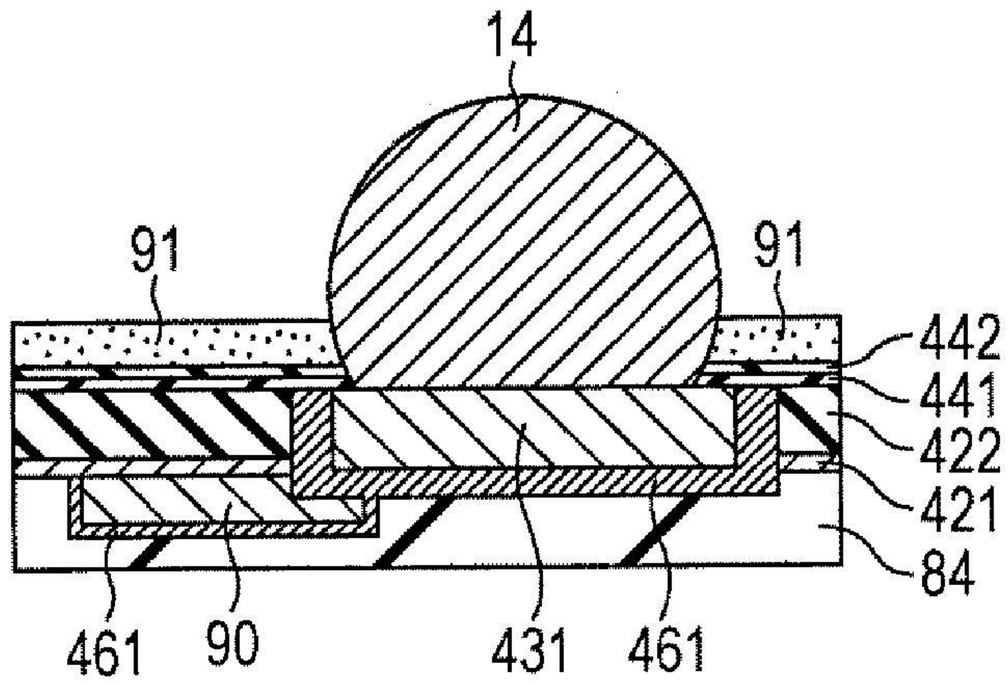


圖54E

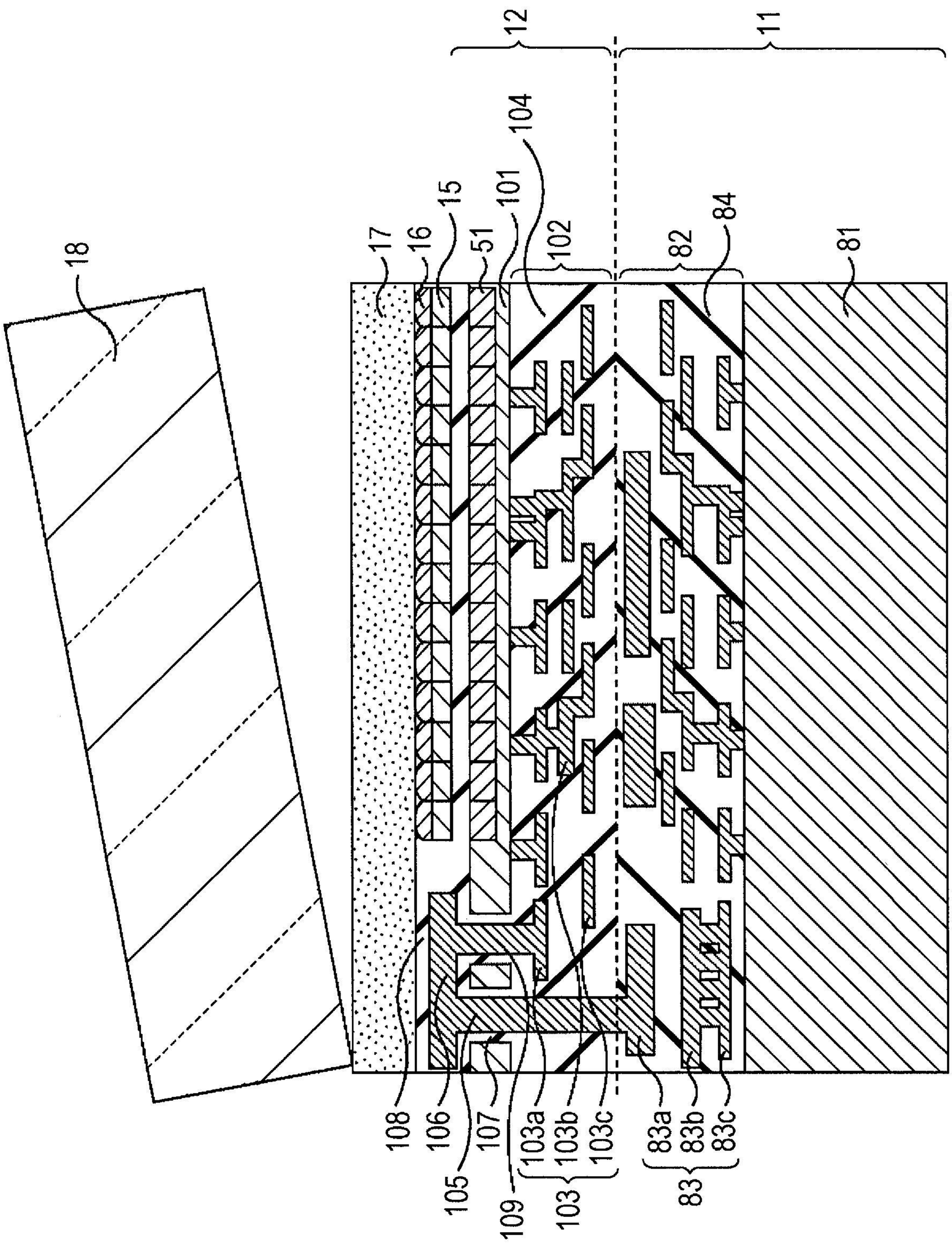

12
11
104
18
17
16
15
51
101
102
82
84
81
108
106
107
103a
103b
103c
83a
83b
83c
105
109
103
83

圖55

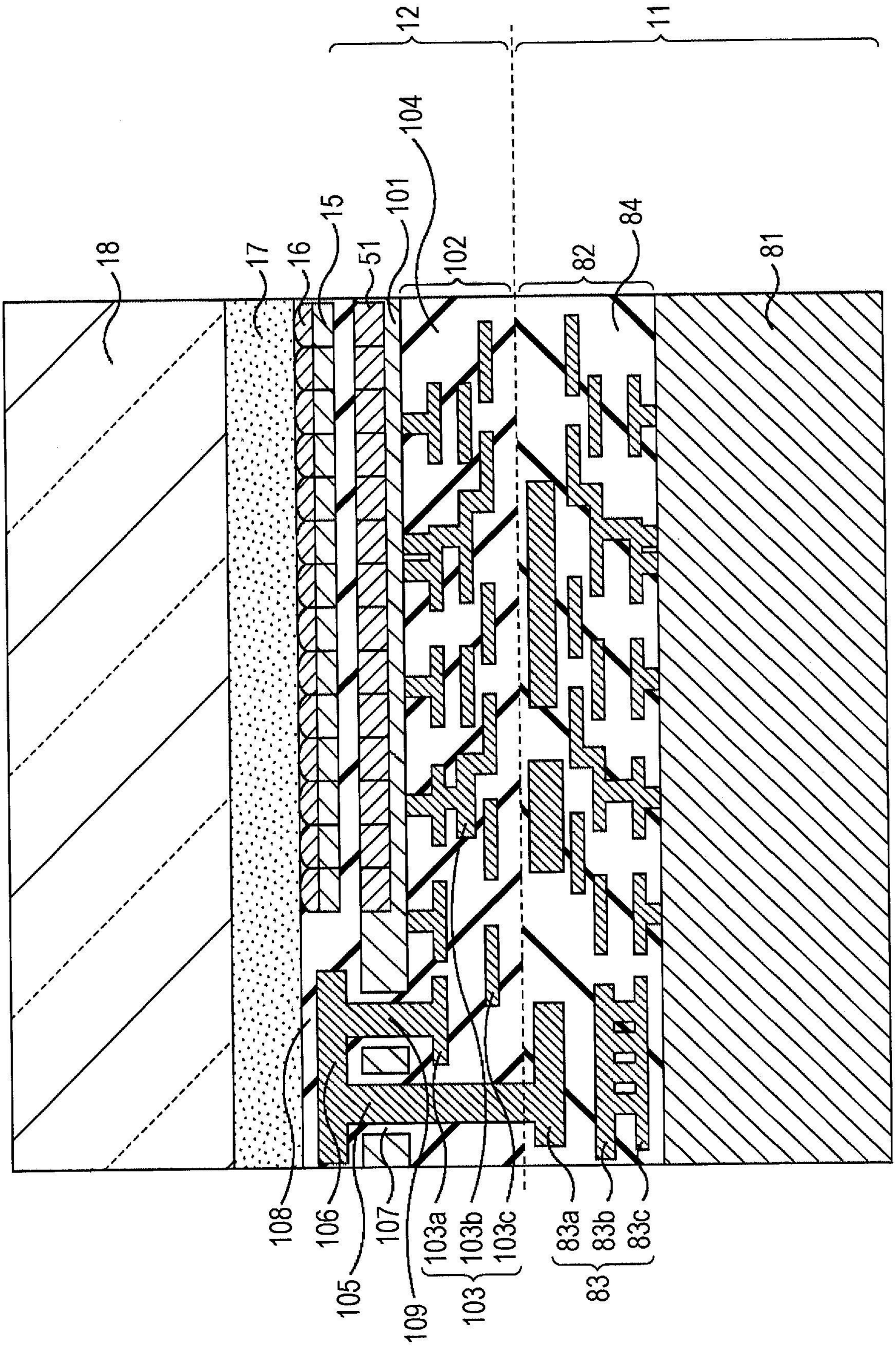

12
11
18
17
16
15
51
104
101
102
82
84
81
108
106
107
105
109
103a
103b
103c
103
83a
83b
83c
83

圖56

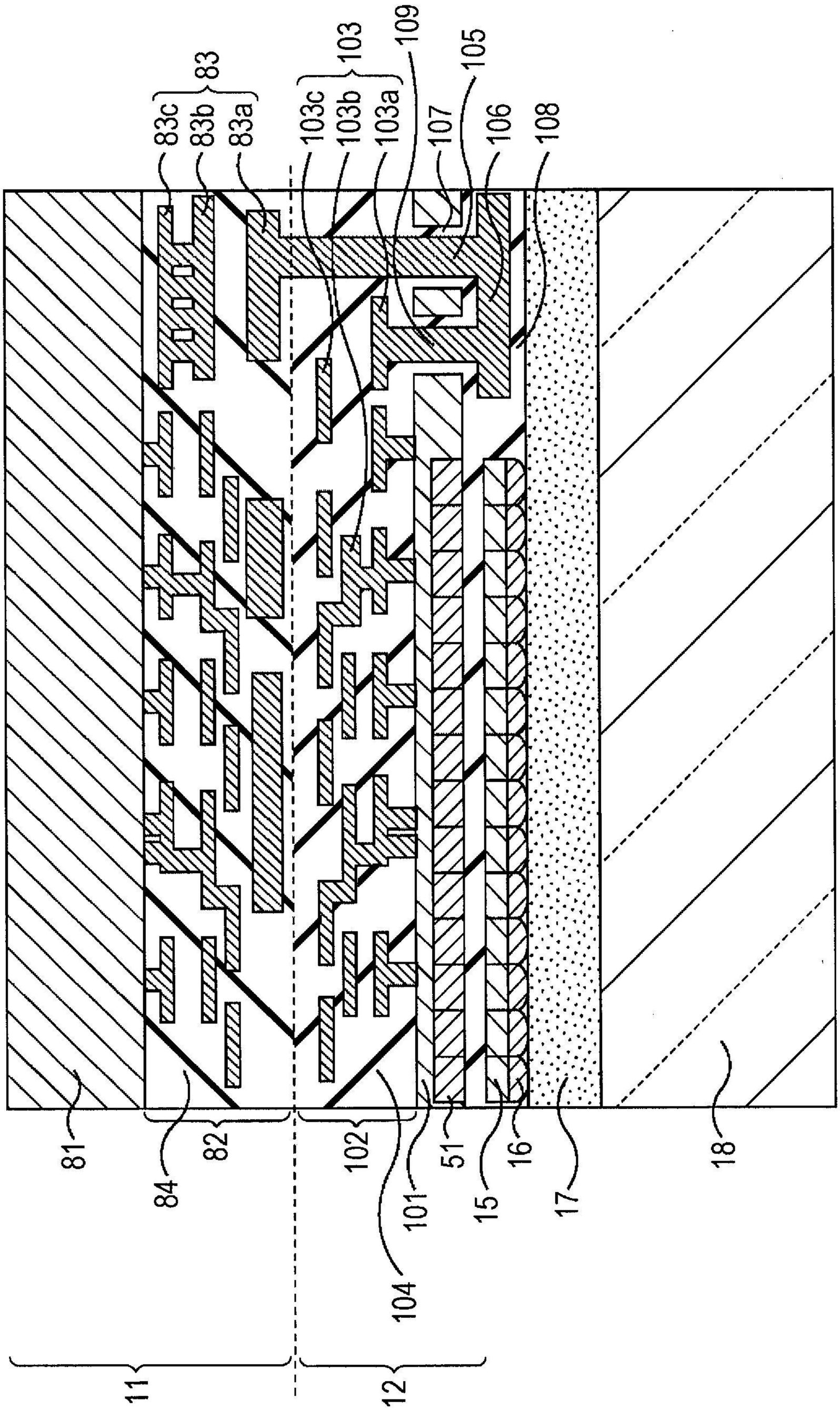

83
83c
83b
83a
103
103c
103b
103a
109
105
107
106
108
81
84
82
102
101
51
15
16
17
18
11
12
104

圖57

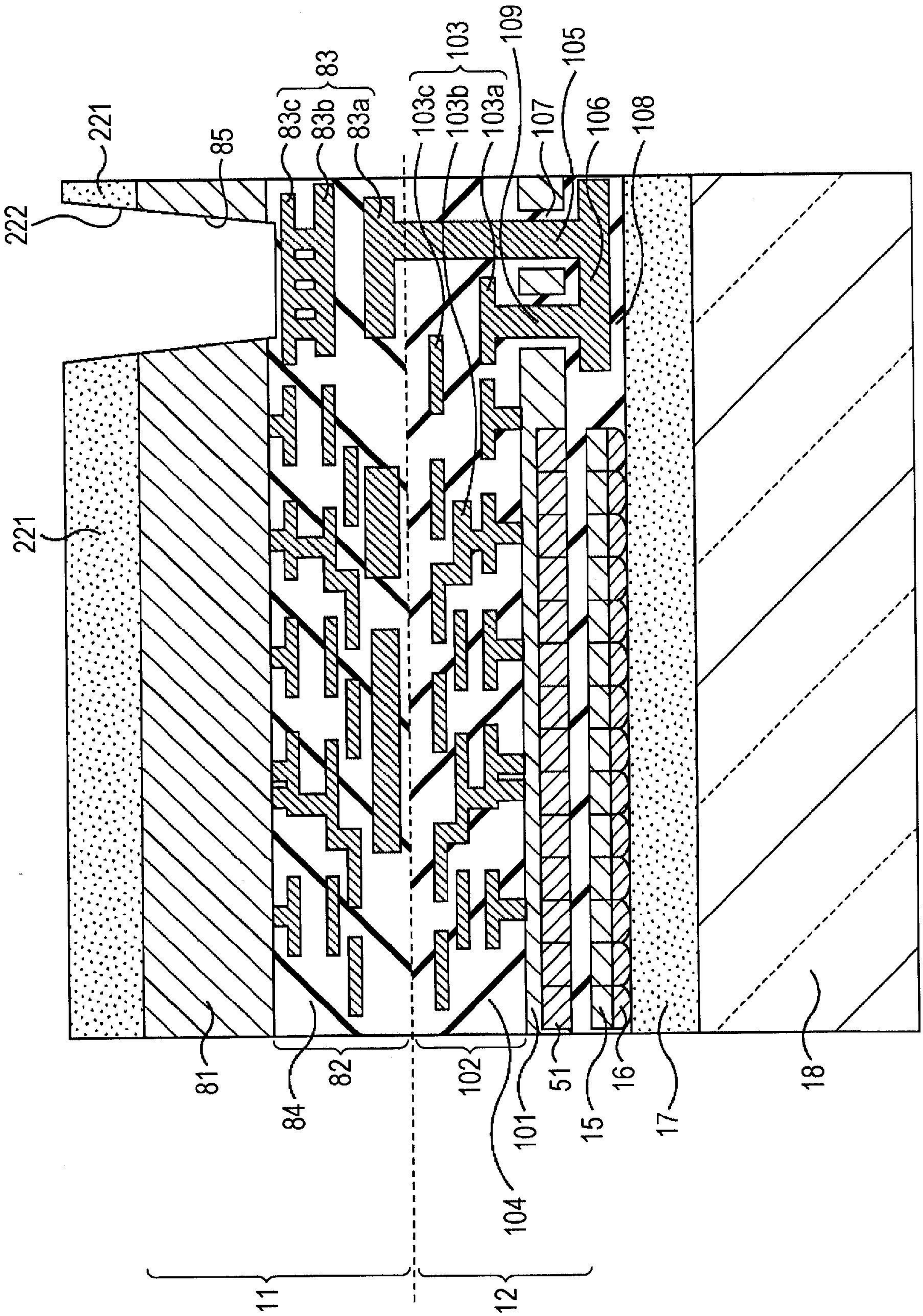

221
222
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
221
81
84
82
102
101
51
15
16
17
18
11
12
104

圖58

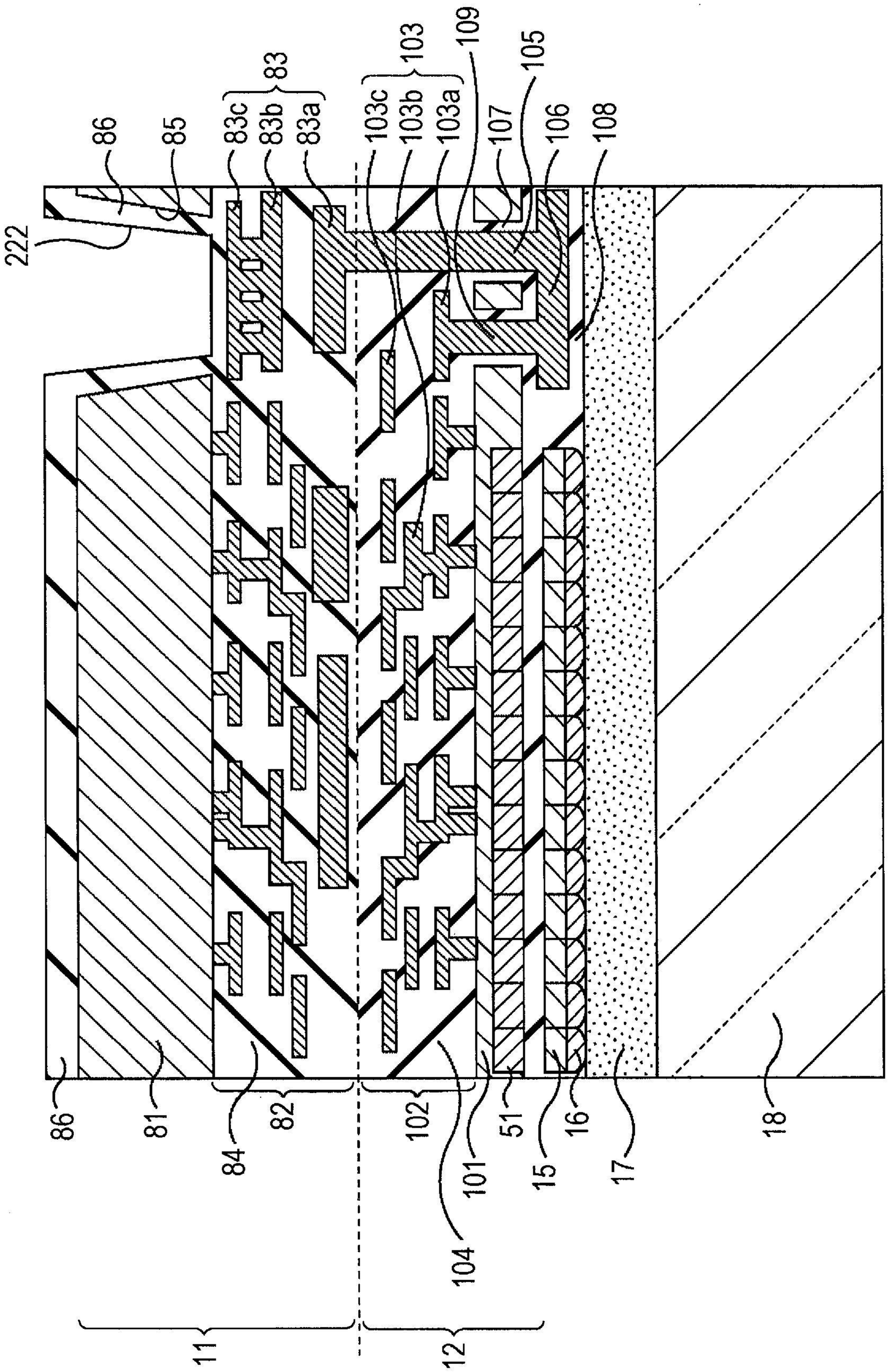

222
86
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
86
81
84
82
102
101
51
15
16
17
18
11
12
104

圖59

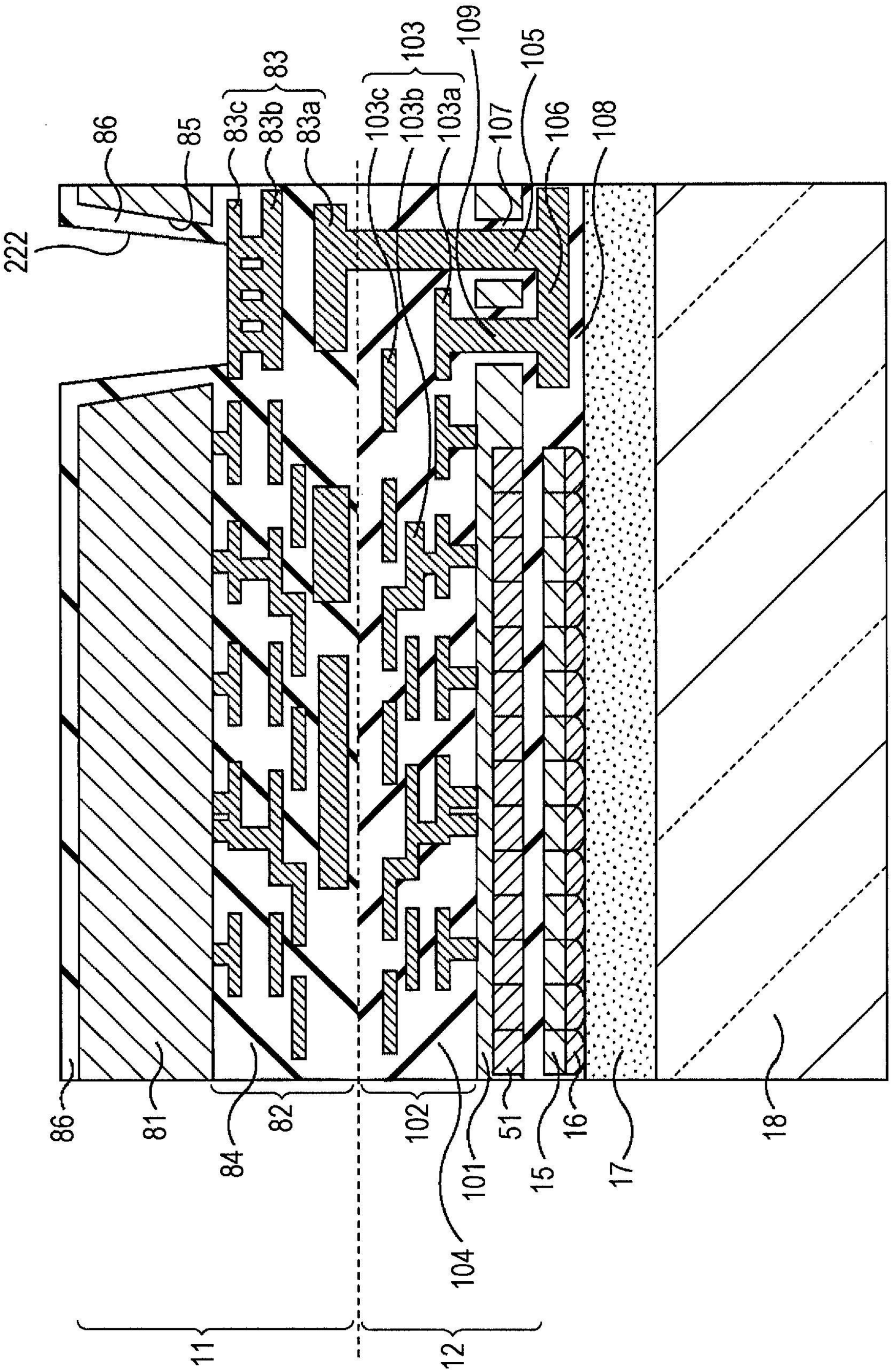

222
86
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
86
81
84
82
102
101
51
15
16
17
18
11
12
104

圖60

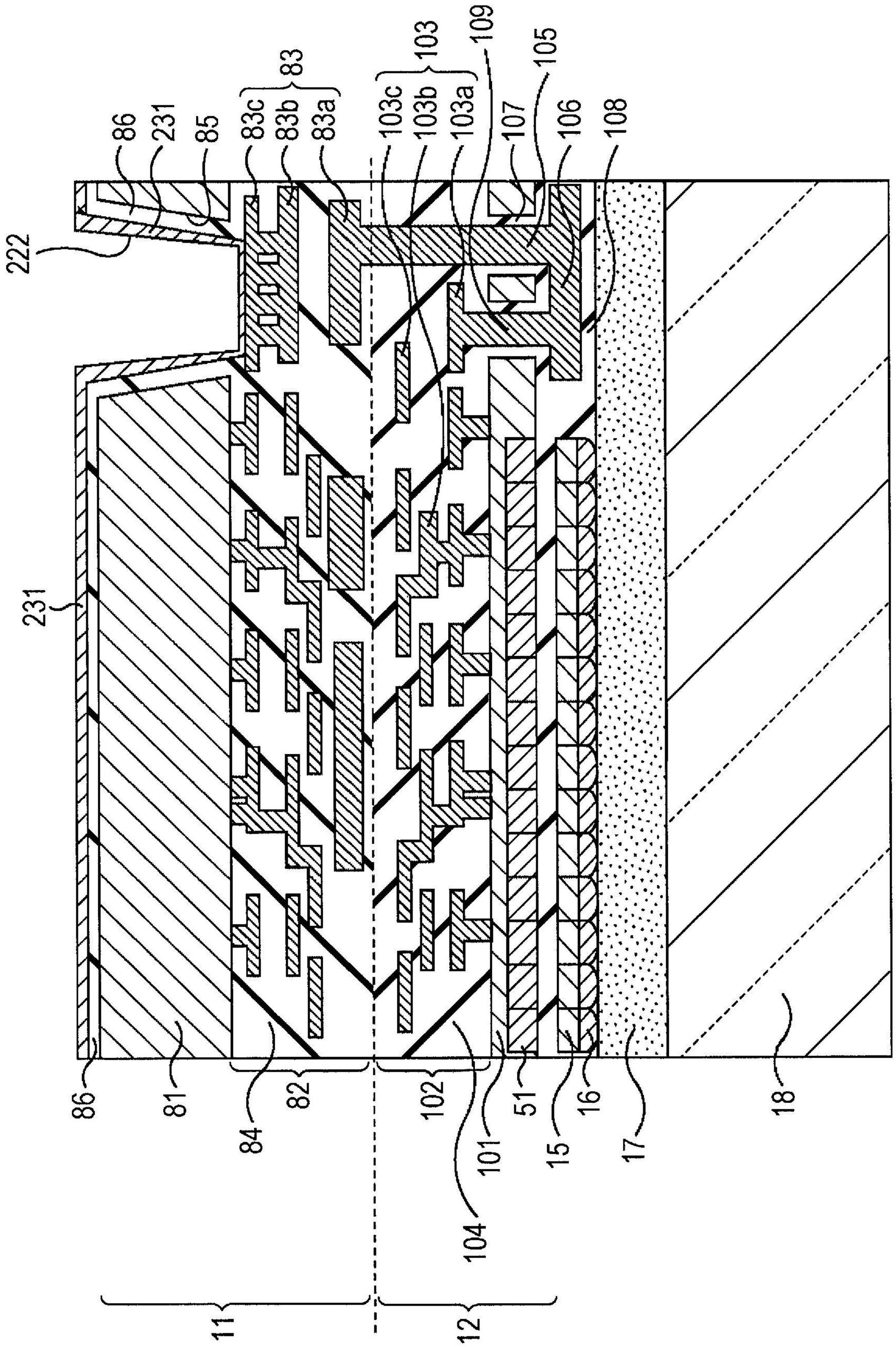

86
231
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
222
231
86
81
84
82
102
101
51
15
16
17
18
104
11
12

圖61

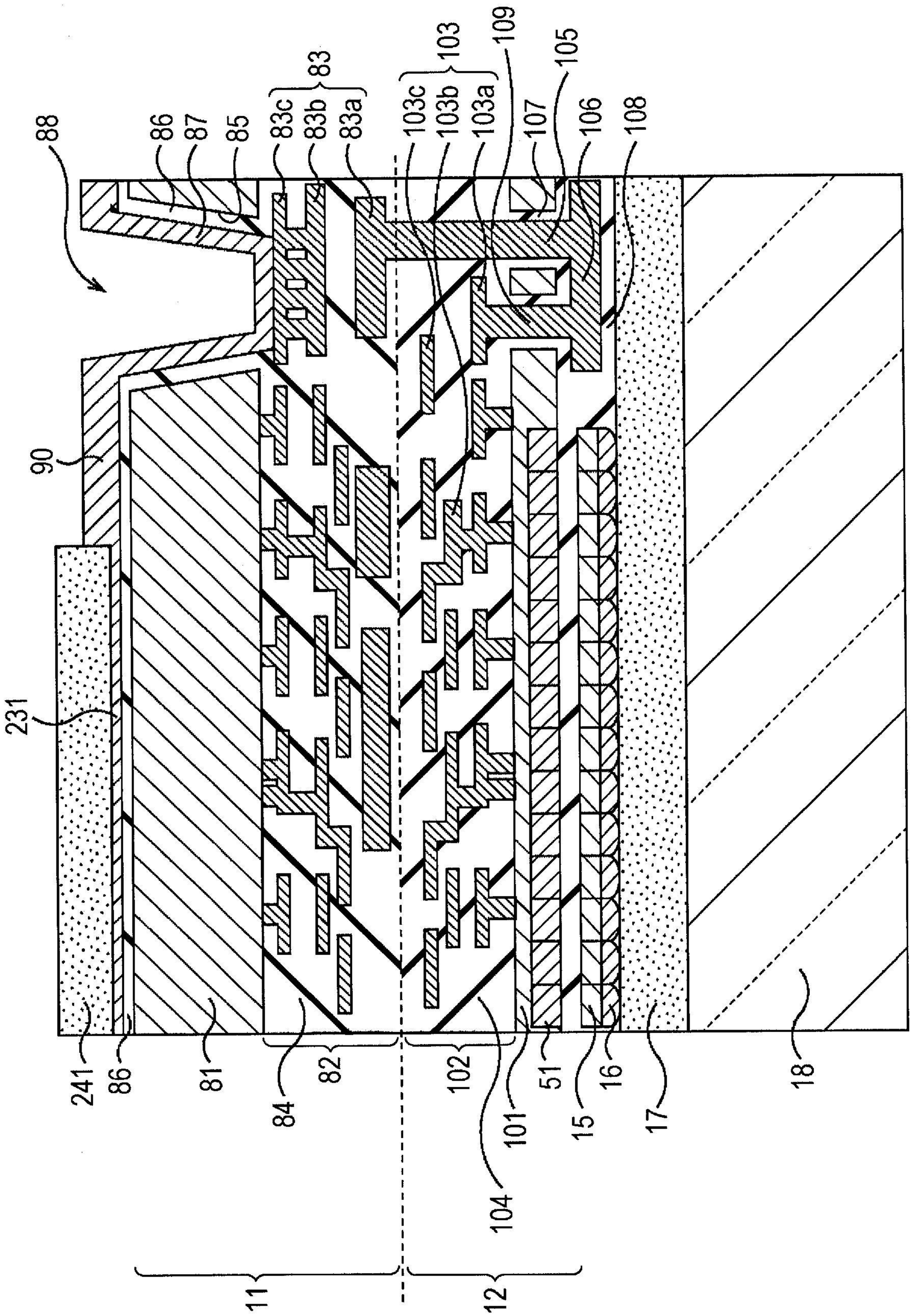

88
86
87
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
90
231
241
86
81
84
82
102
101
51
15
16
17
18
104
11
12

圖62

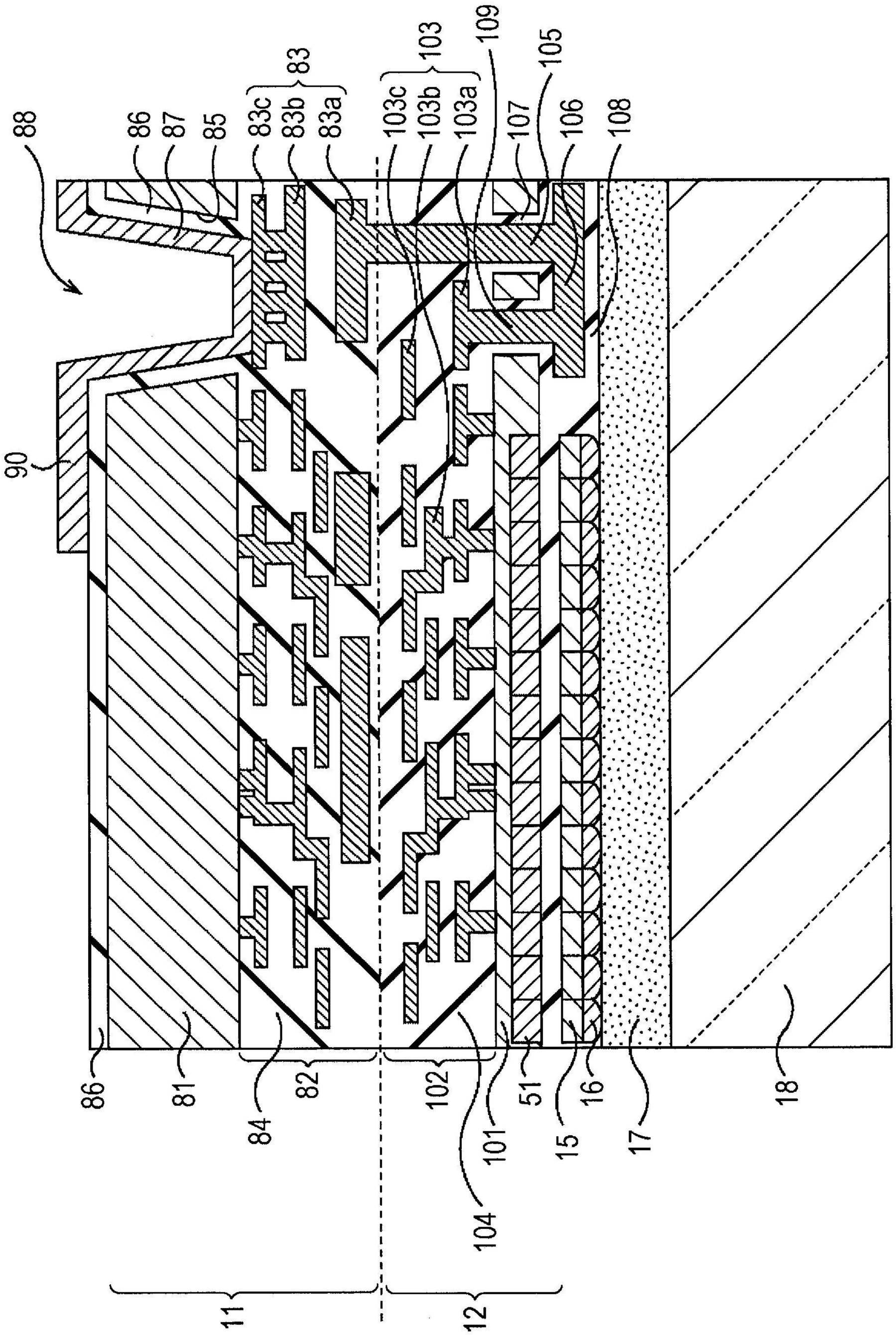

88
86
87
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
90
86
81
84
82
102
101
51
15
16
17
18
11
12
104

圖63

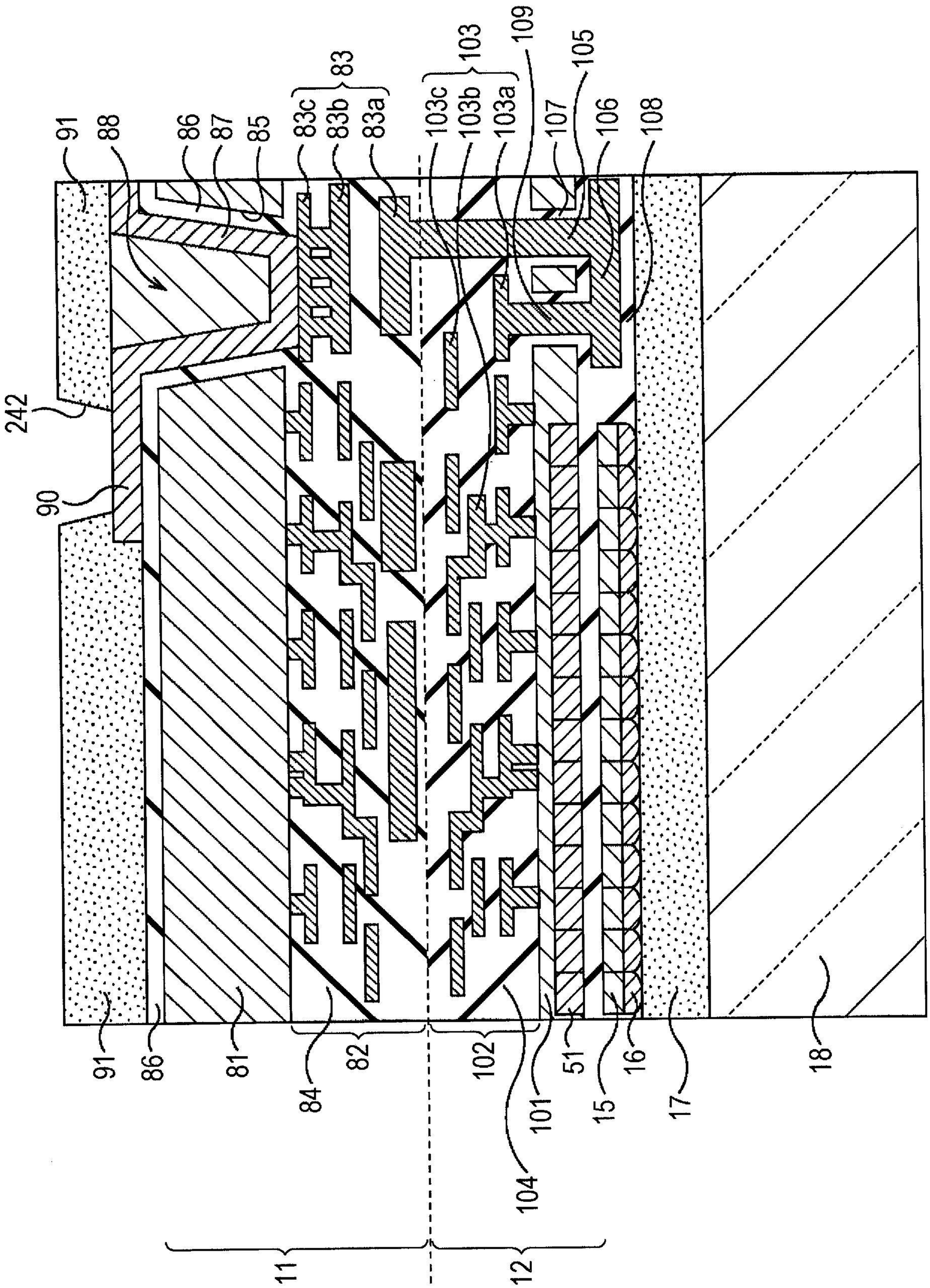

91
88
86
87
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
242
90
91
86
81
84
82
102
101
51
15
16
17
18
11
12
104

圖64

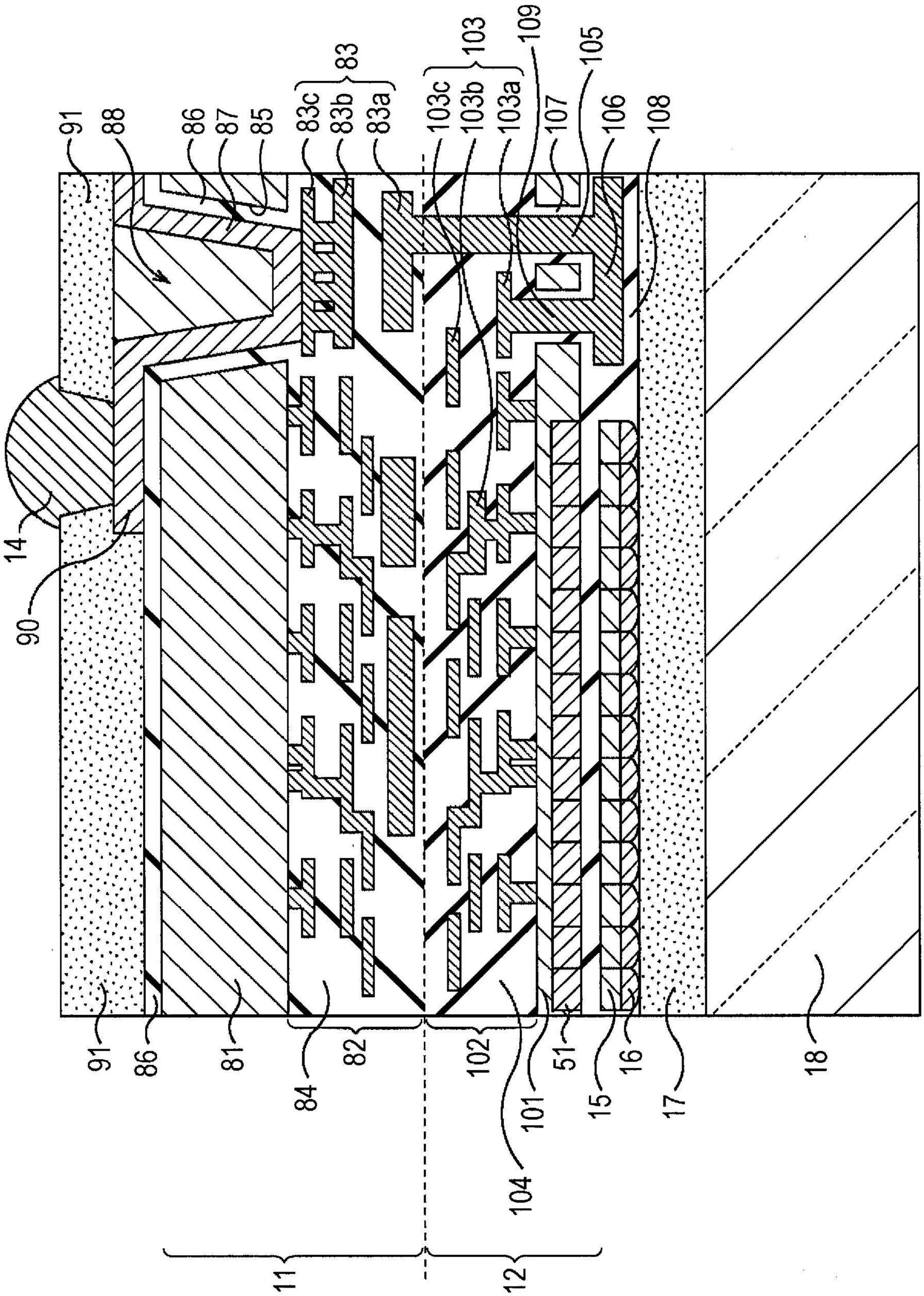

91
88
86
87
85
83c
83b
83a
83
103c
103b
103a
103
109
107
105
106
108
14
90
91
86
81
84
82
102
101
51
15
16
17
18
11
12

圖65

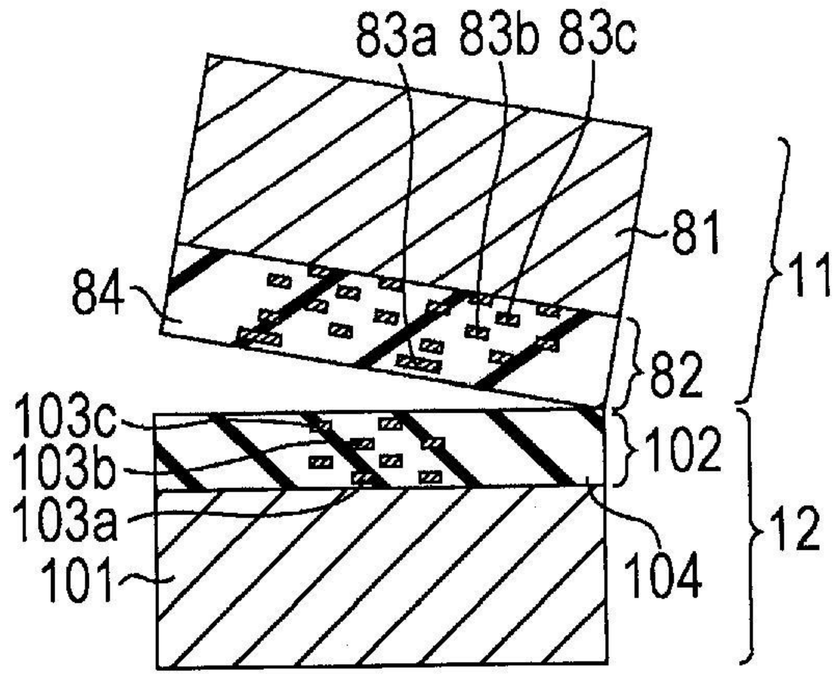


圖66A

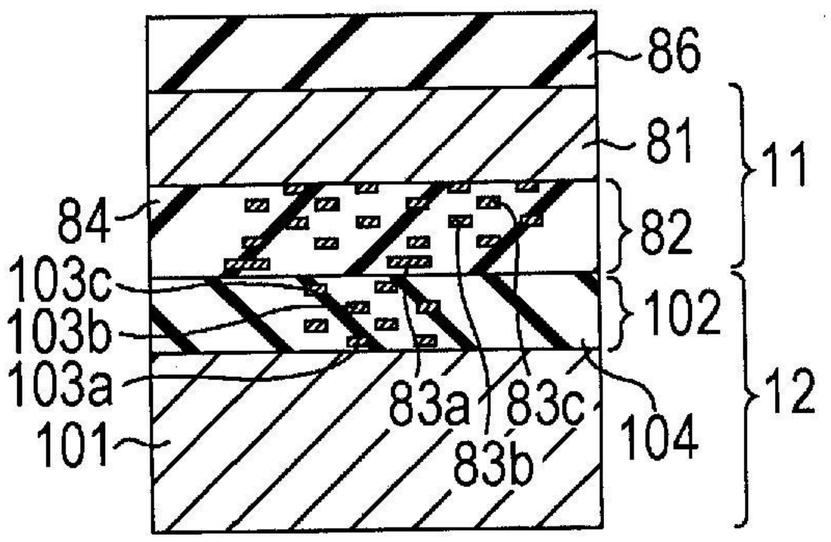


圖66B

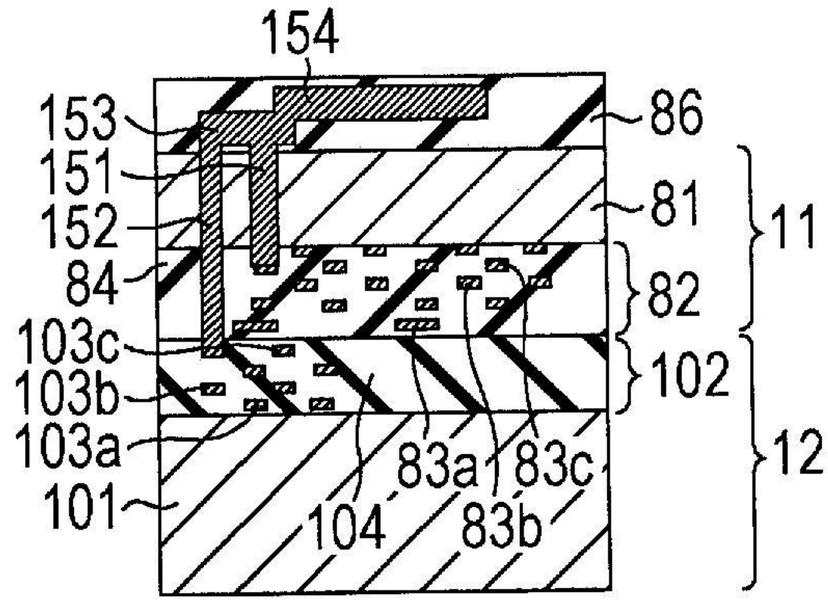


圖66C

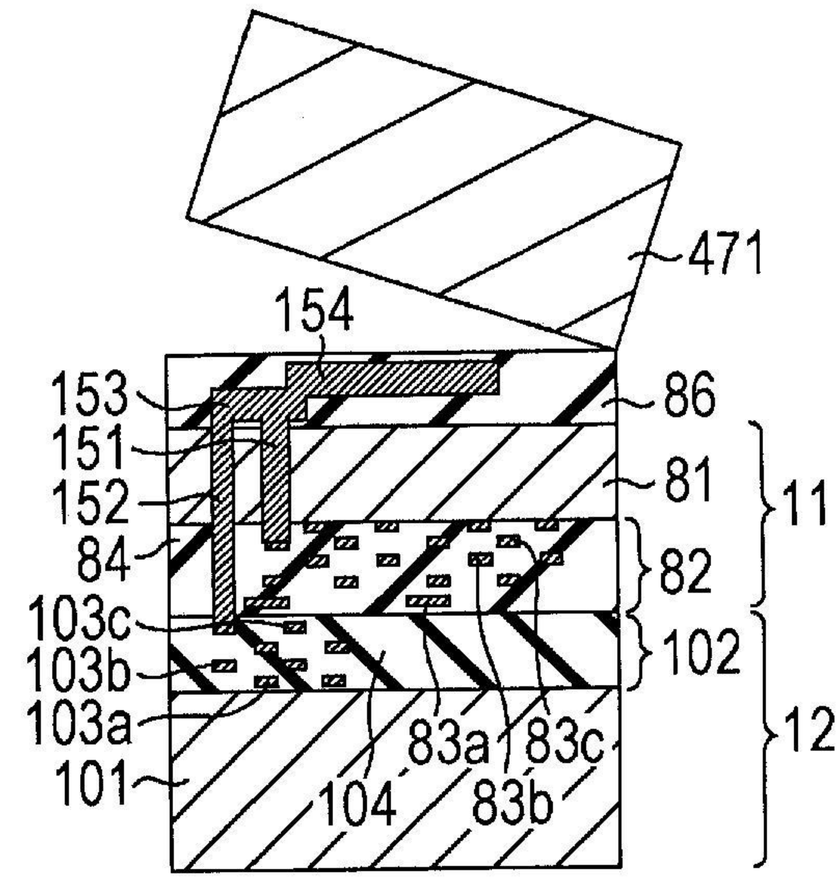


圖66D

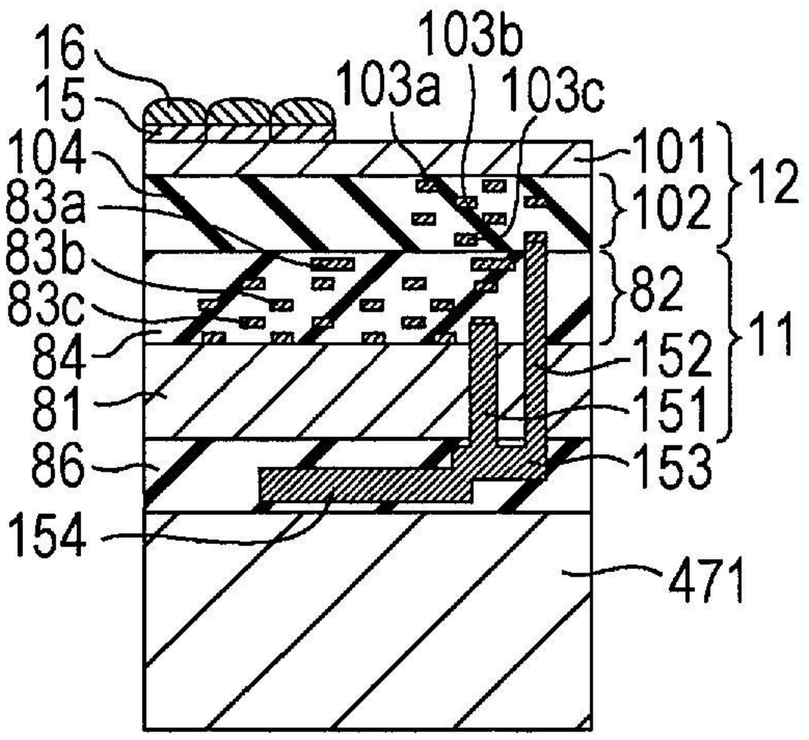


圖67A

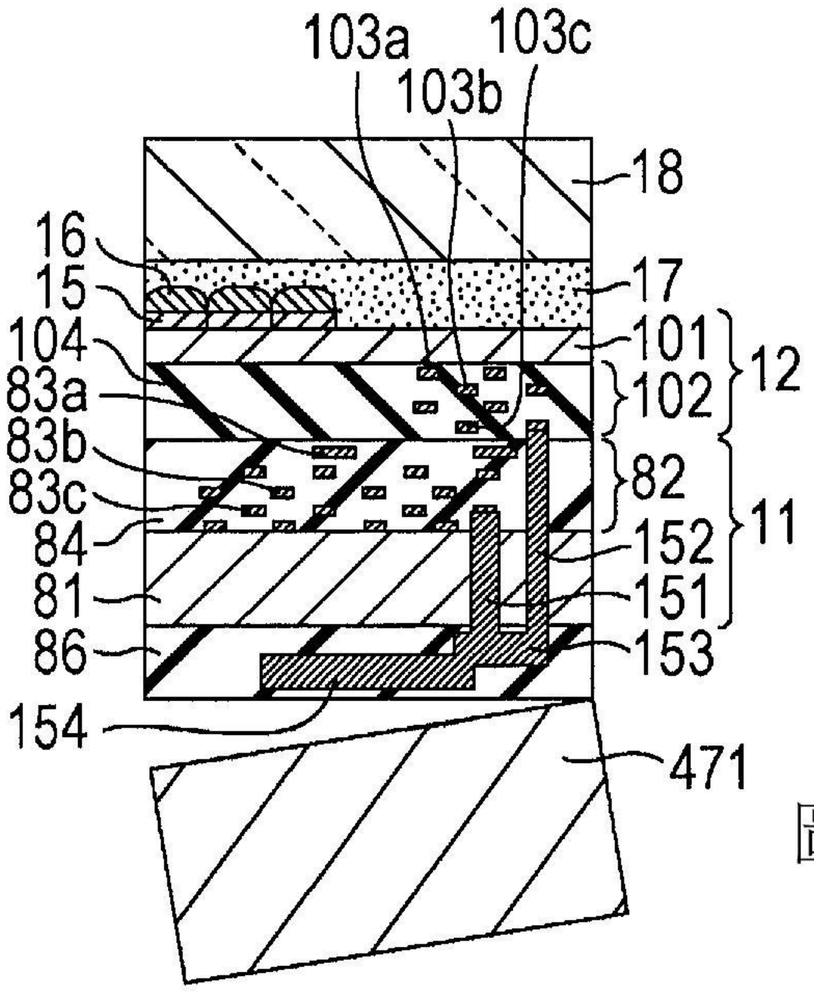


圖67B

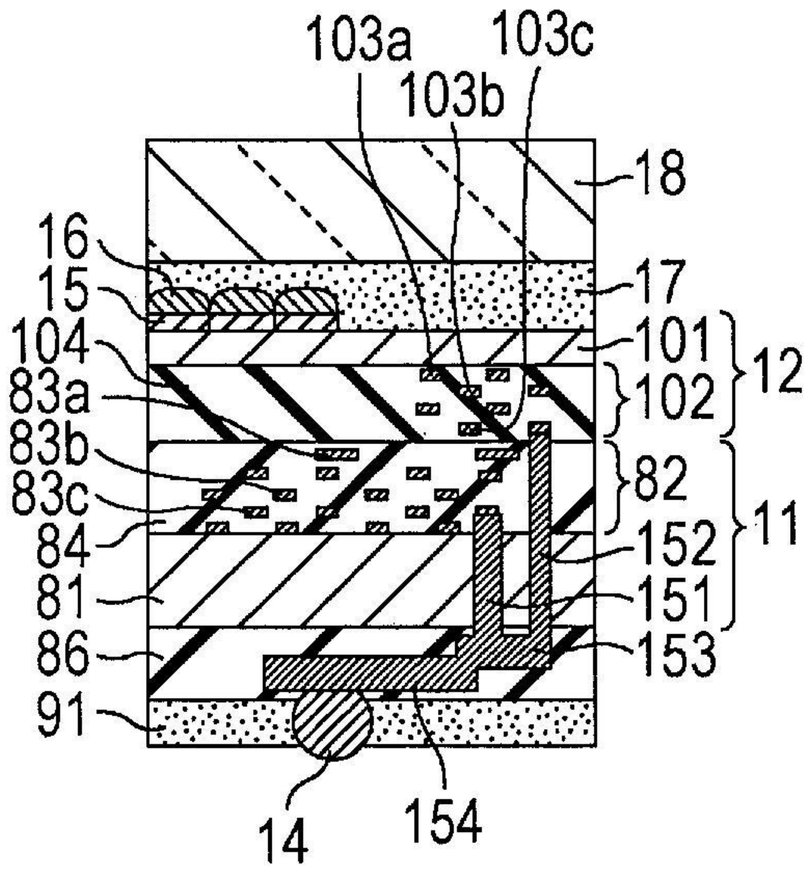


圖67C

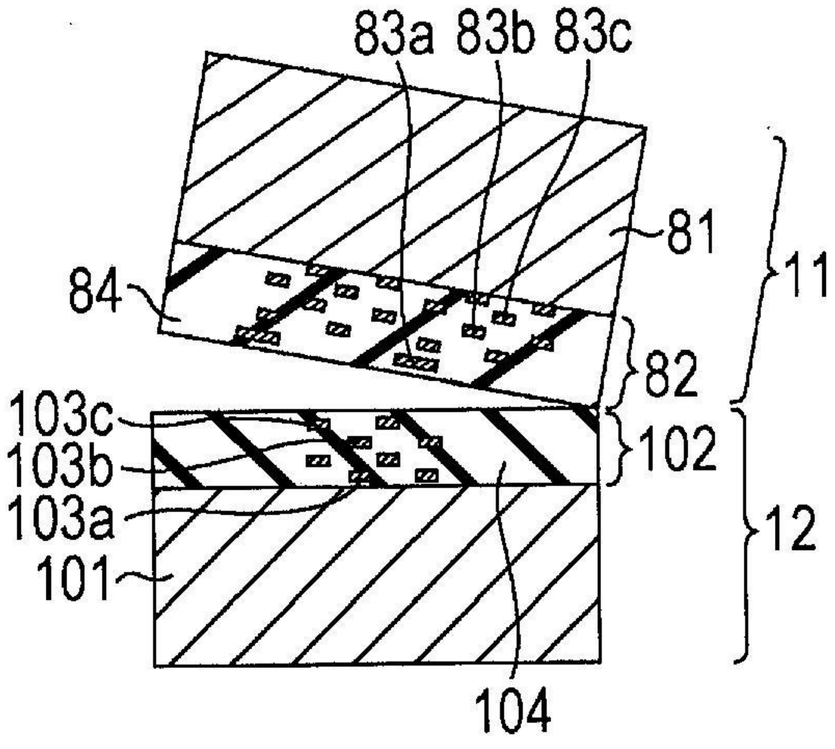


圖68A

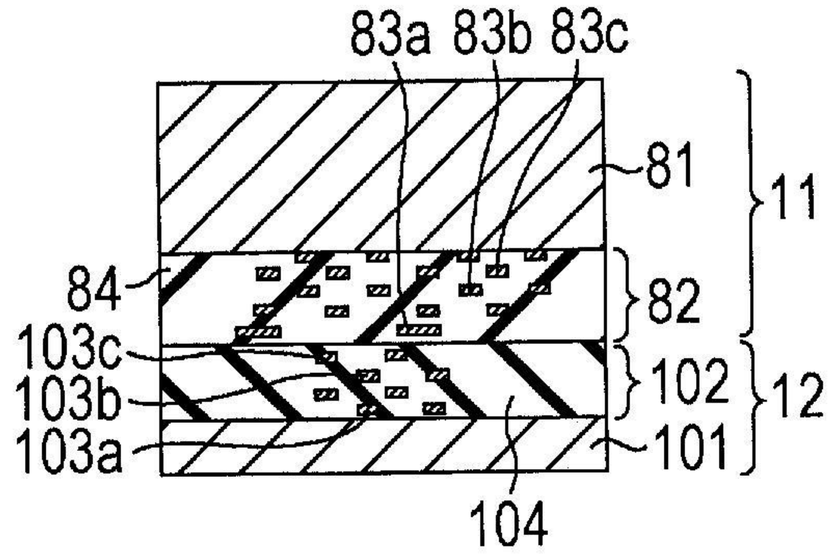


圖68B

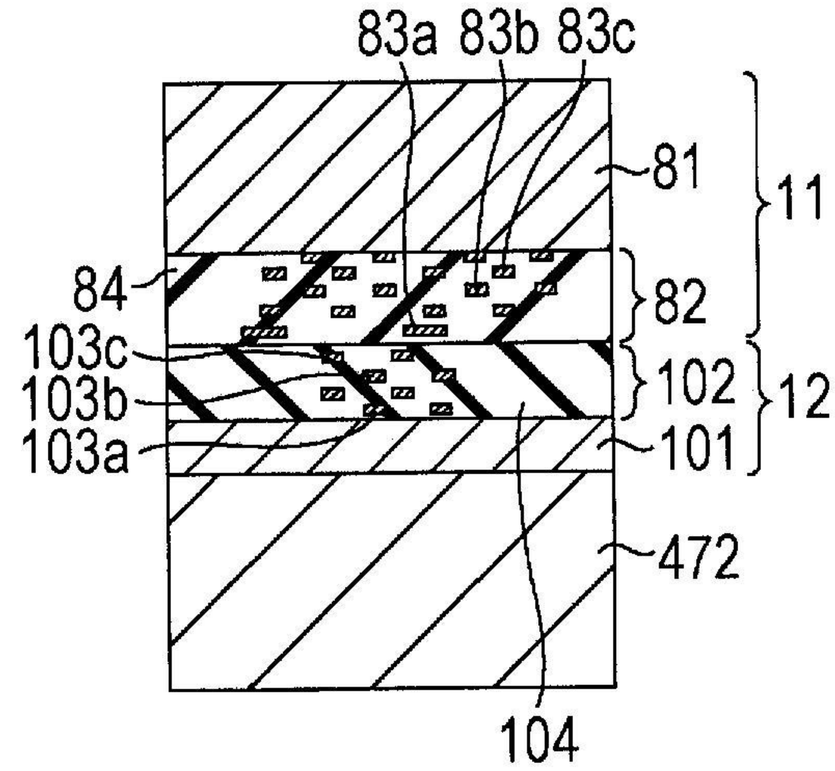


圖68C

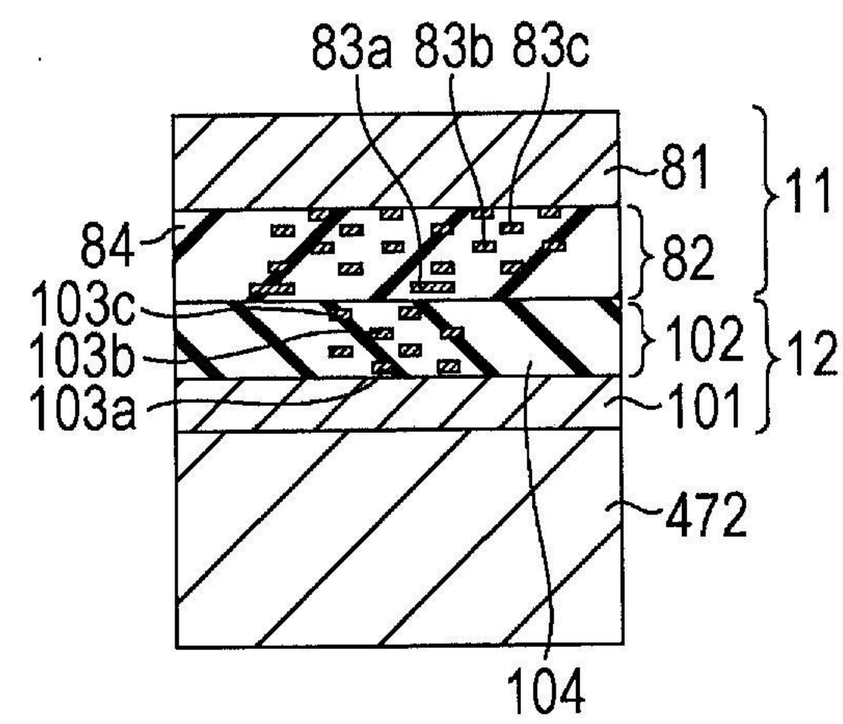


圖68D

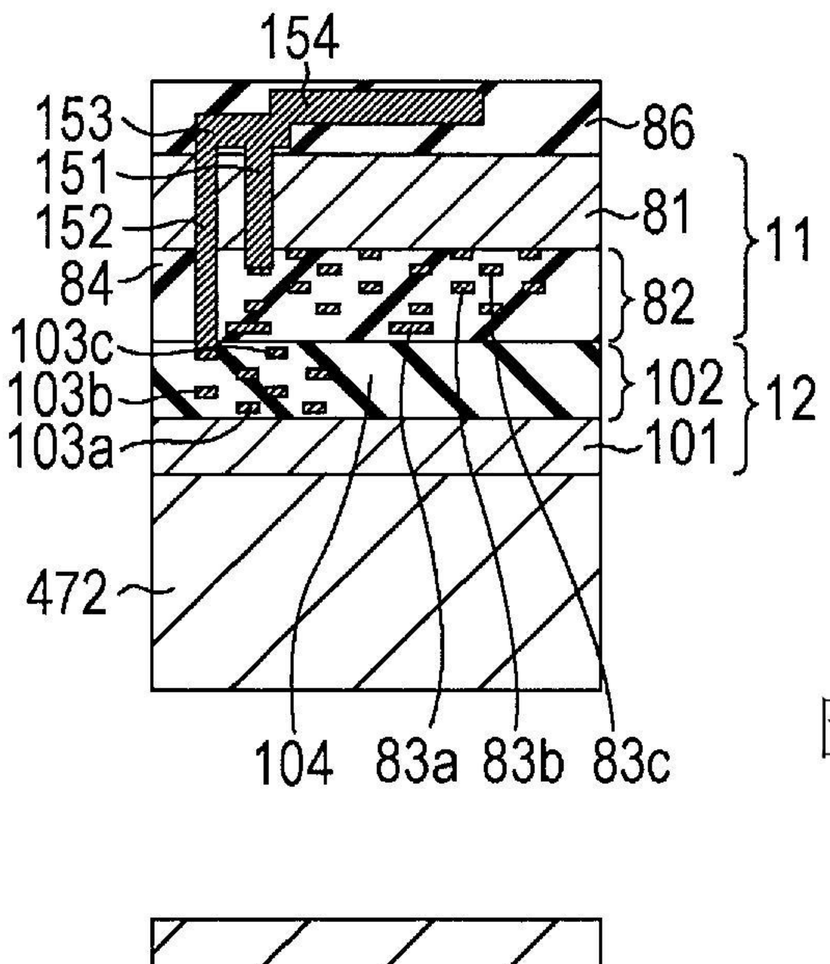


圖69A

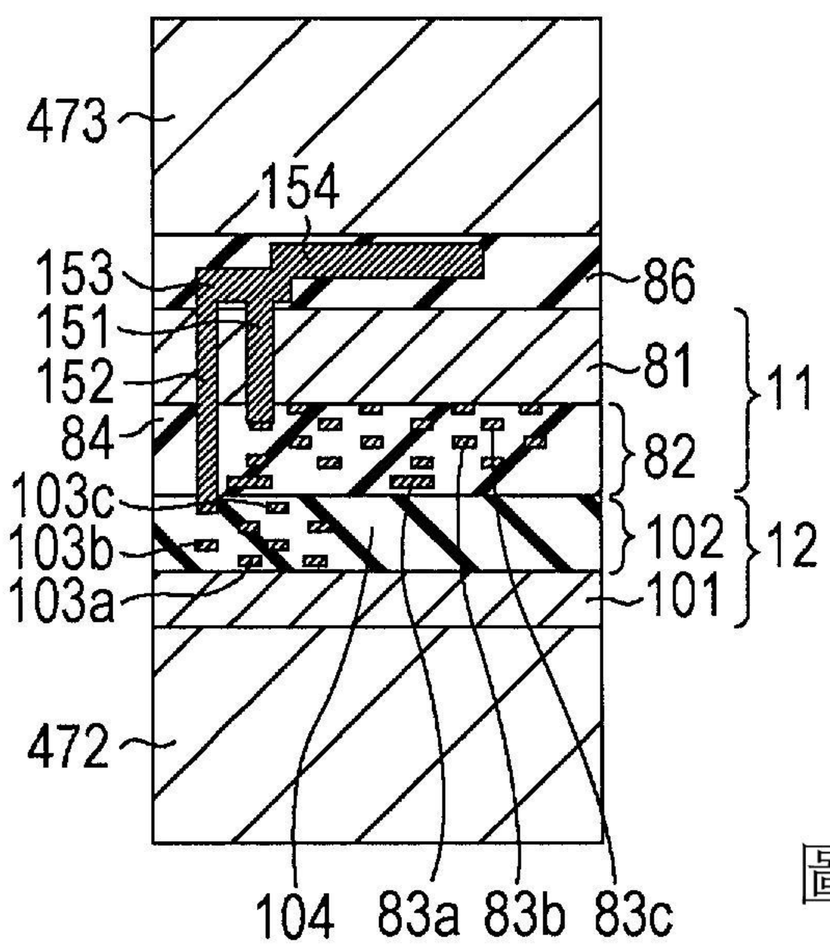


圖69B

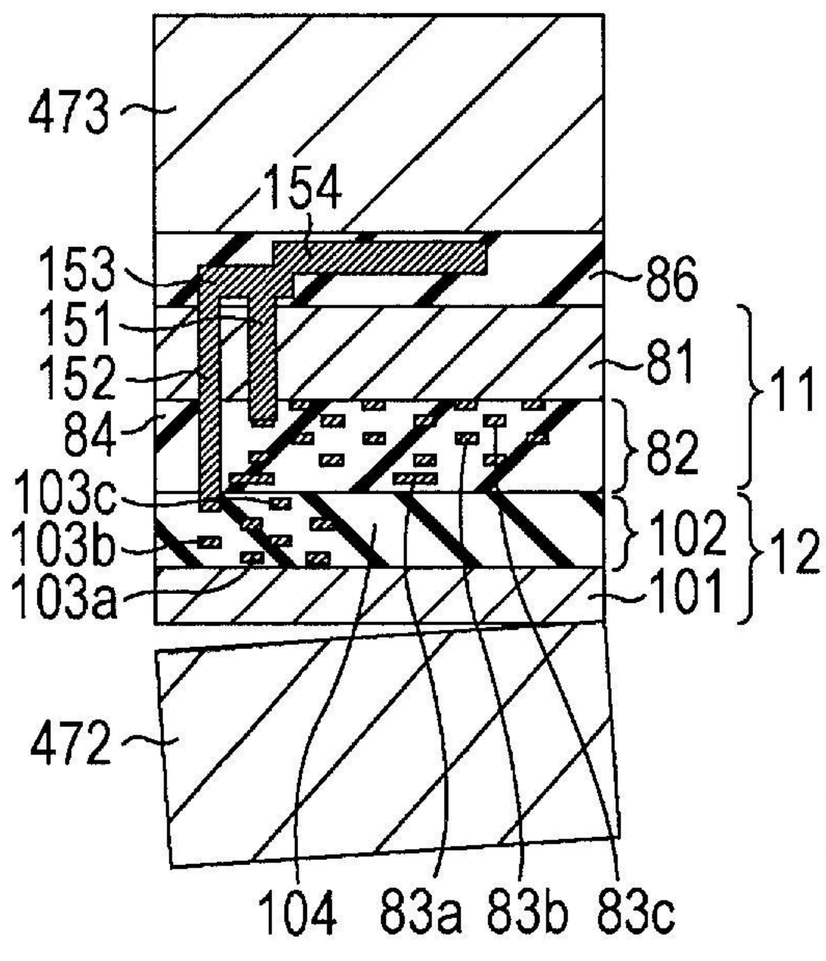


圖69C

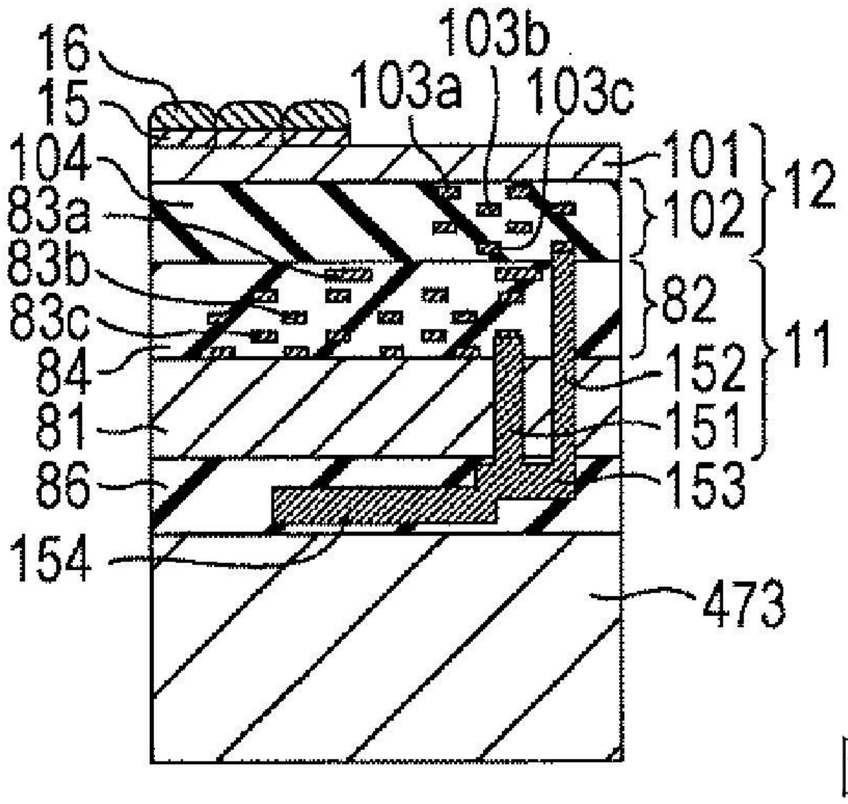


圖70A

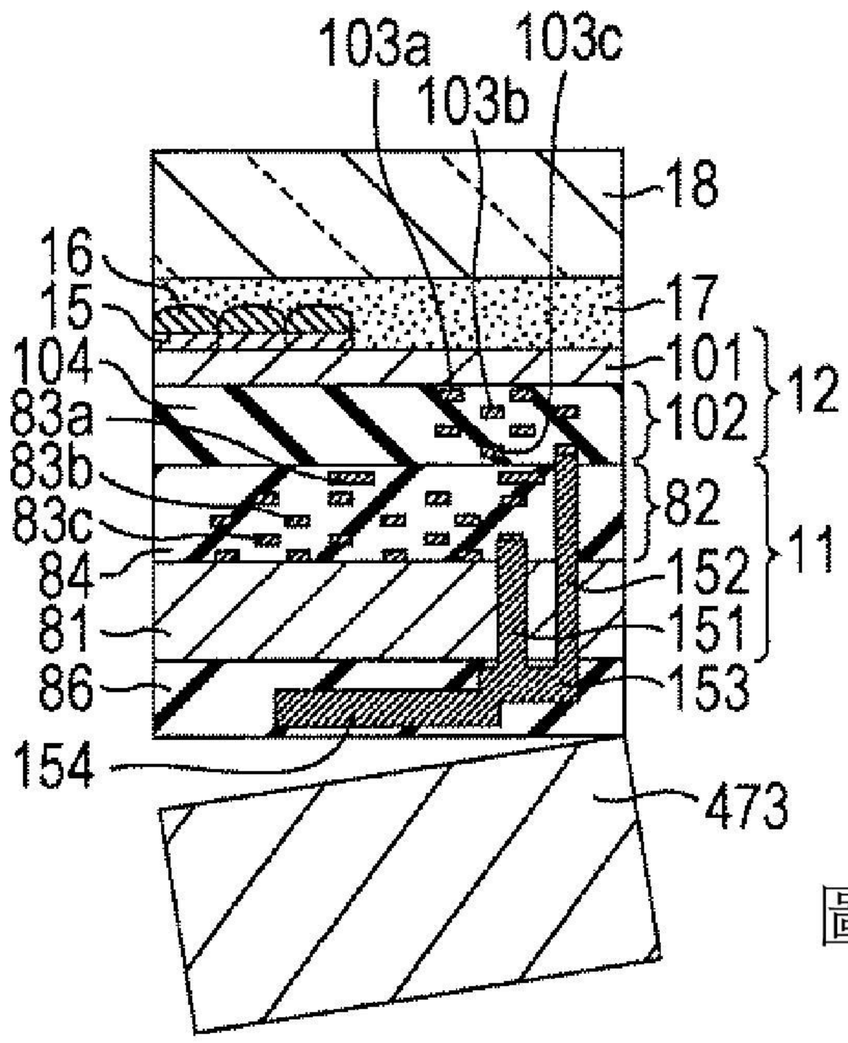


圖70B

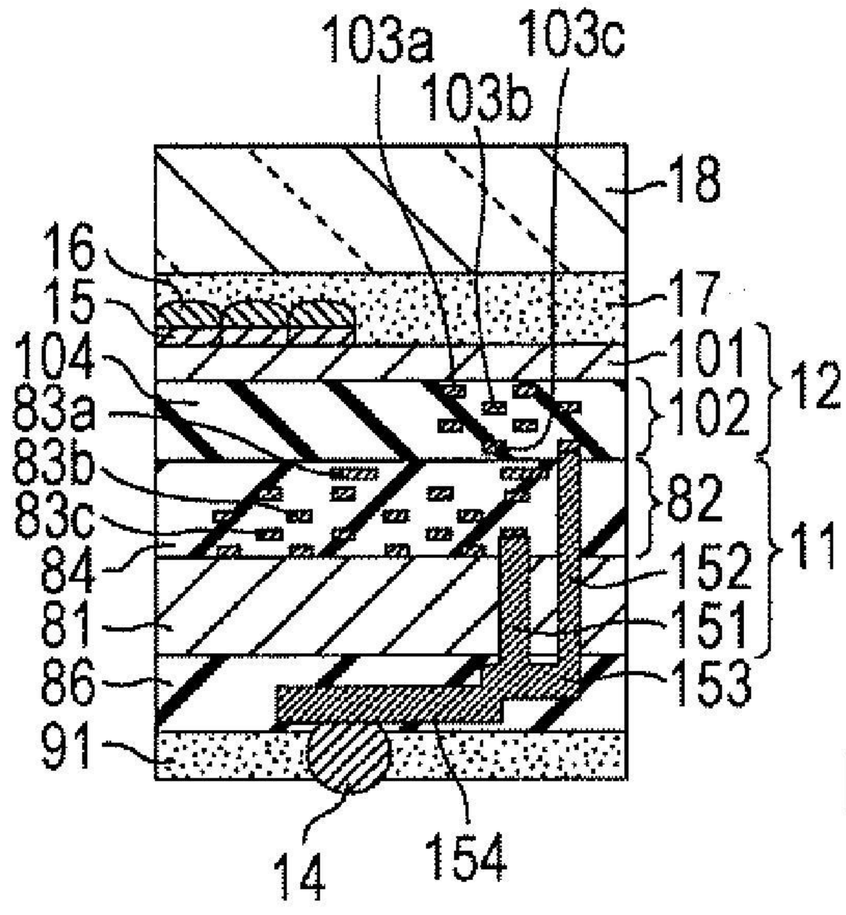


圖70C

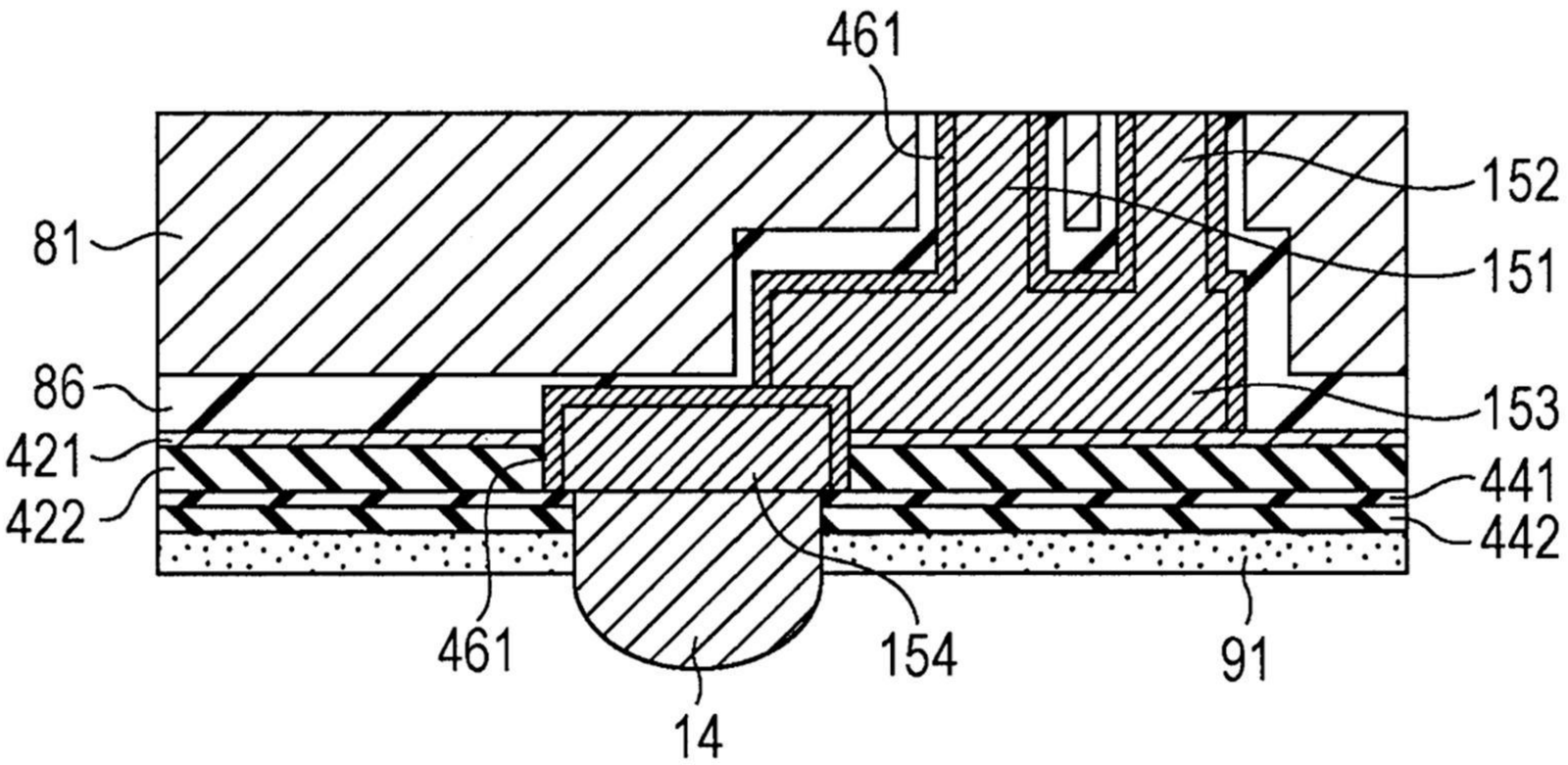

461
81
152
151
86
153
421
441
422
442
461
154
91
14

圖71A

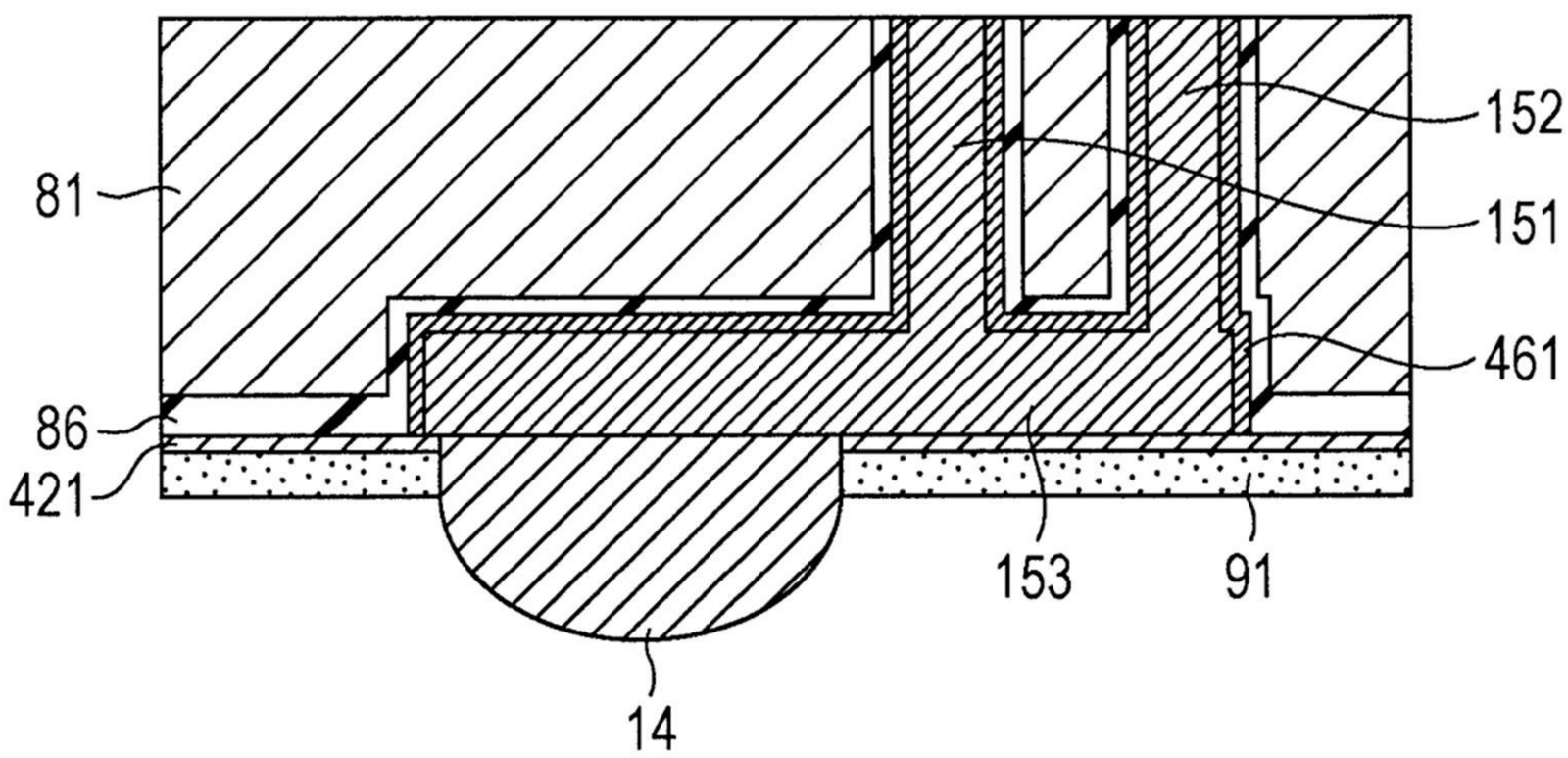

81
152
151
461
86
421
153
91
14

圖71B

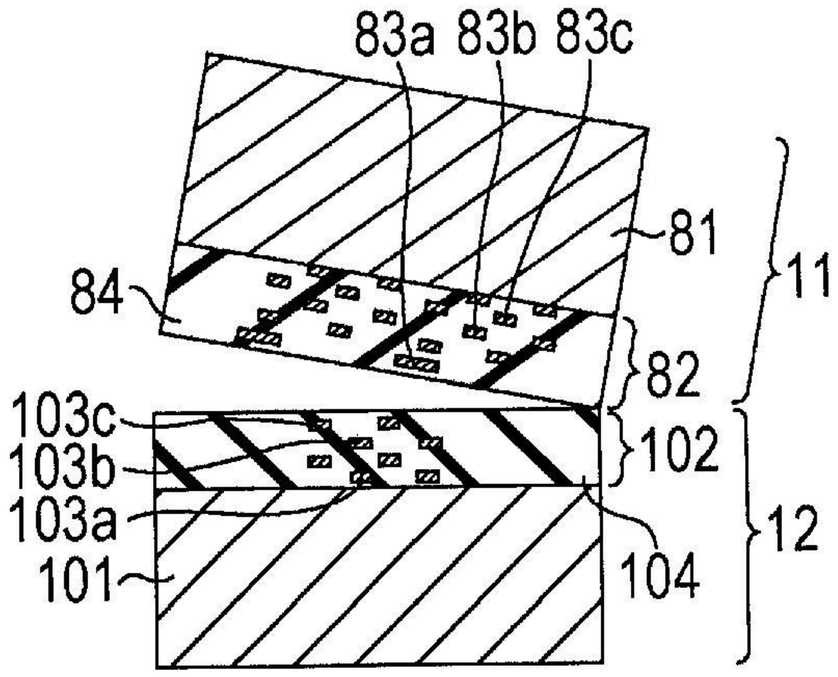
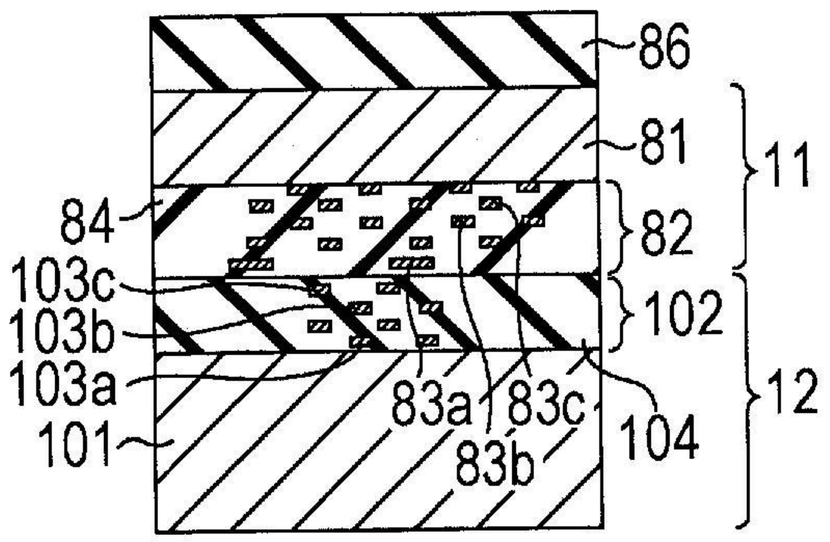


圖72A



154

圖72B

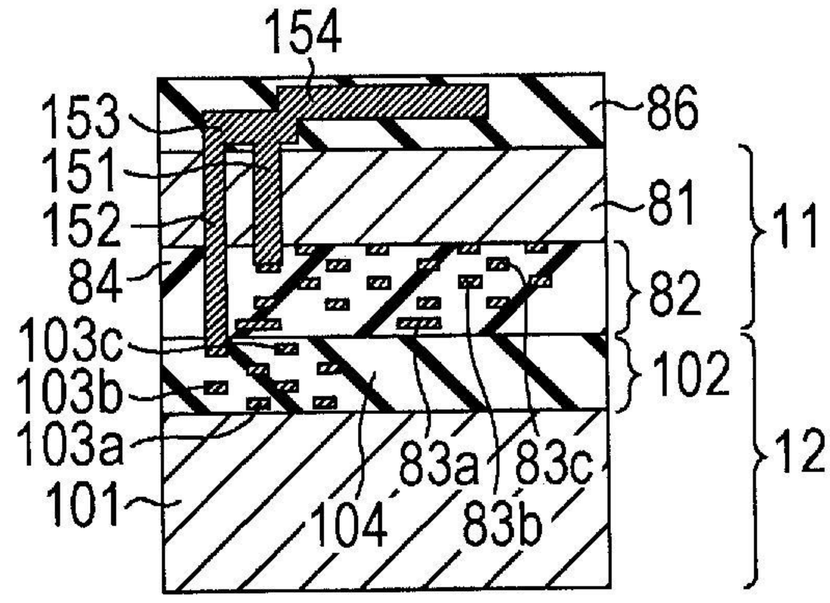


圖72C

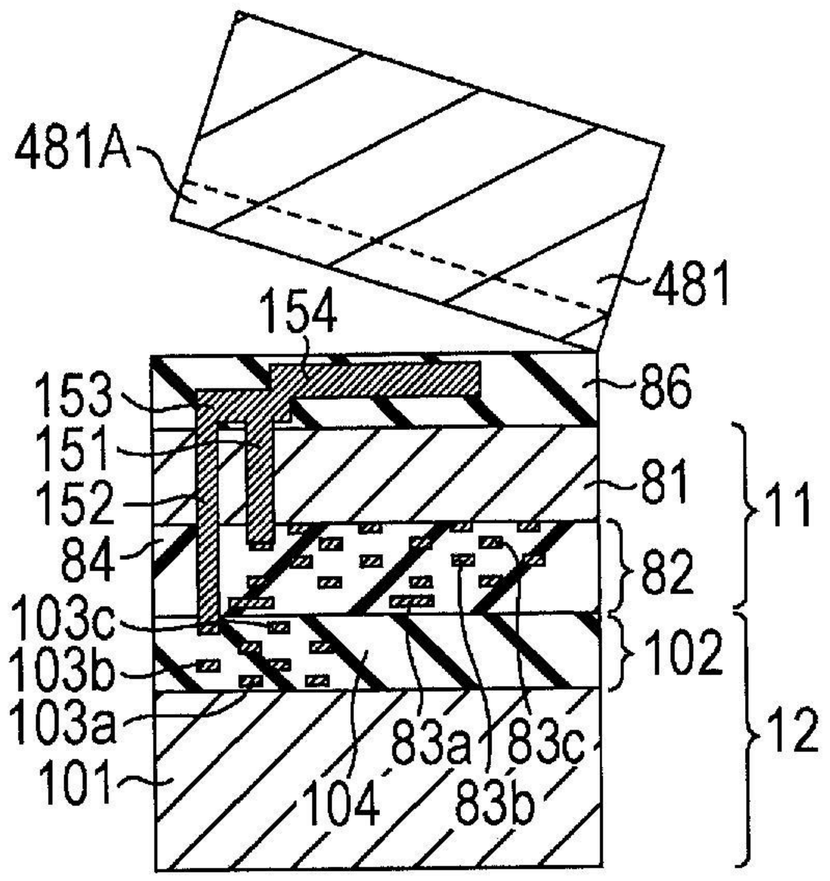


圖72D

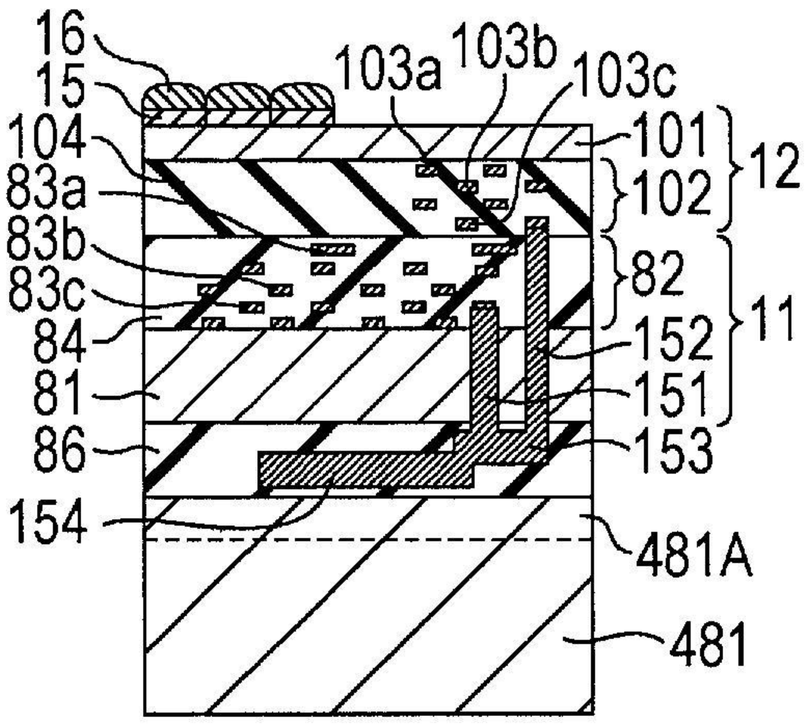


圖73A

圖73B

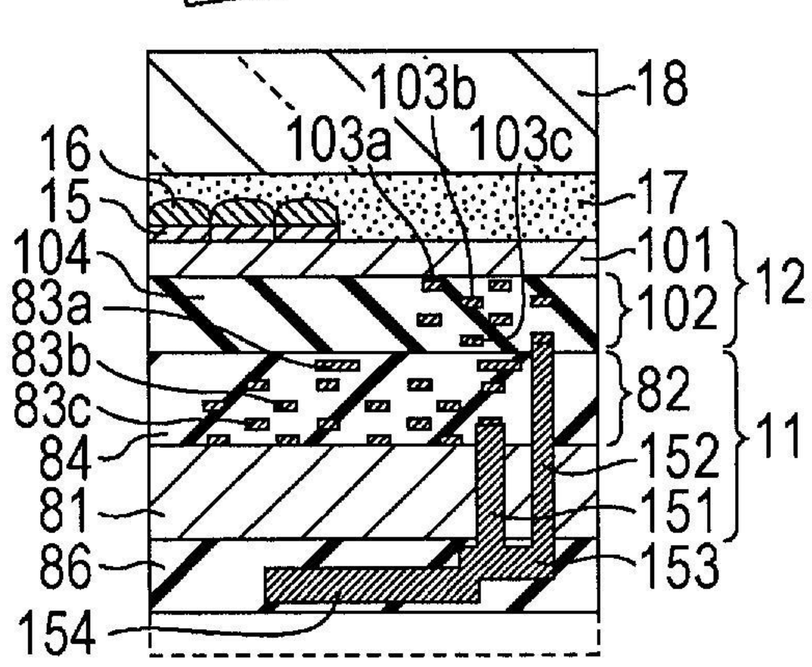


圖73C

圖73D

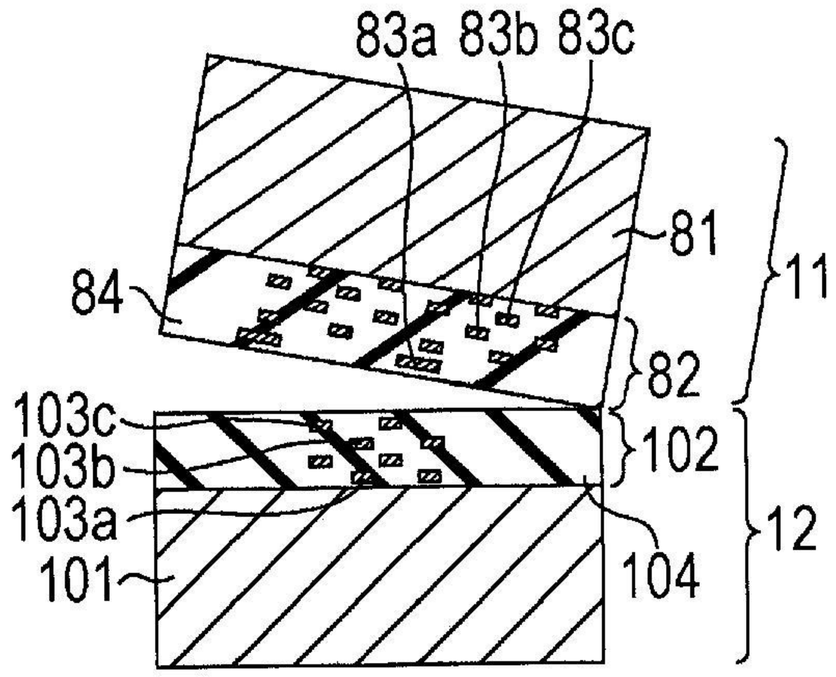


圖74A

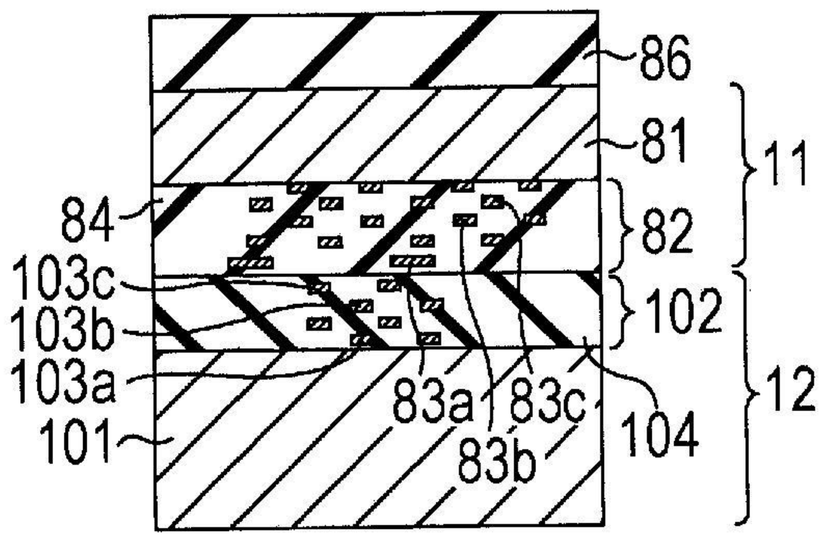


圖74B

154

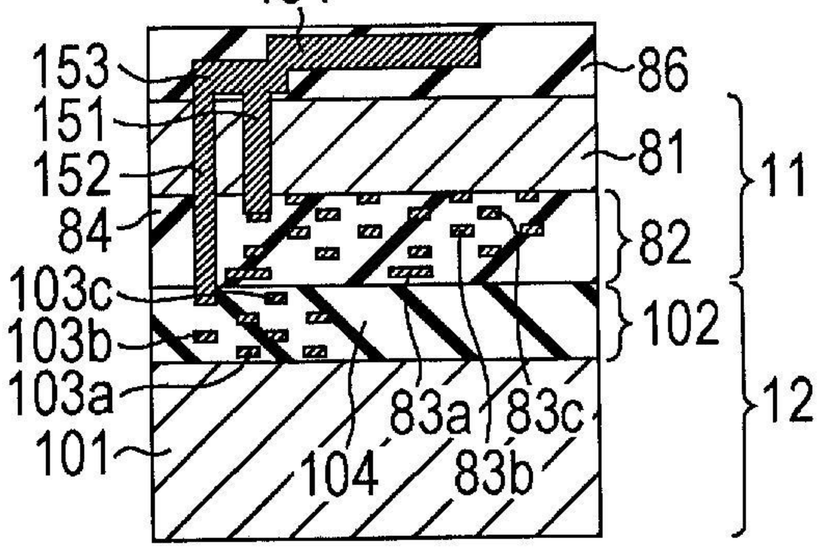


圖74C

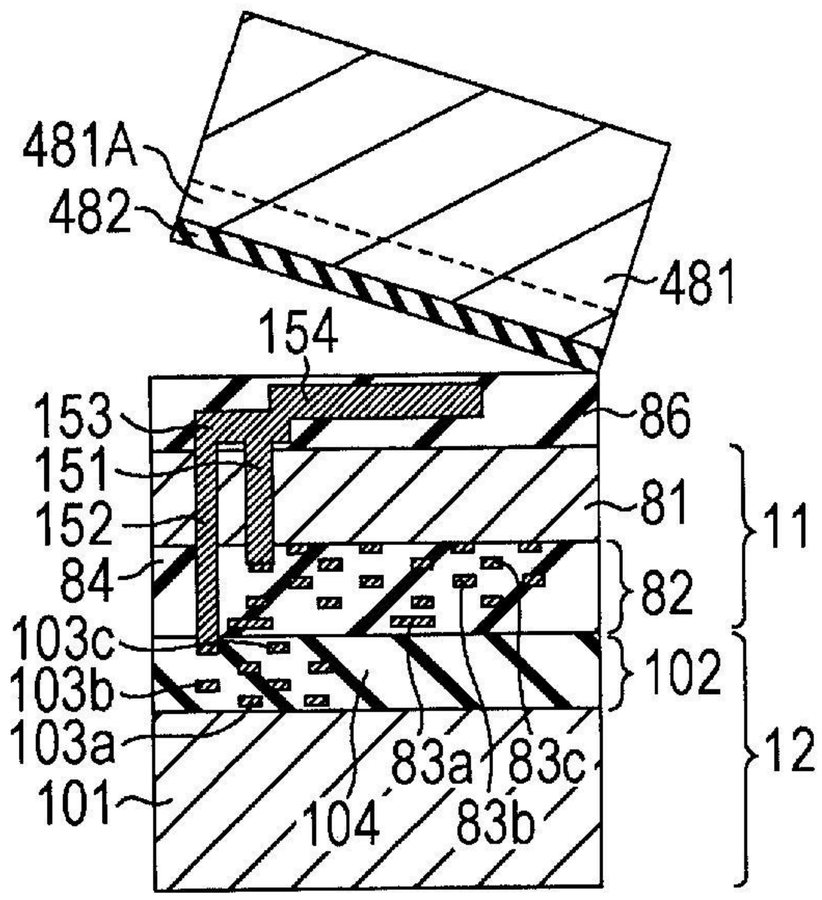


圖74D

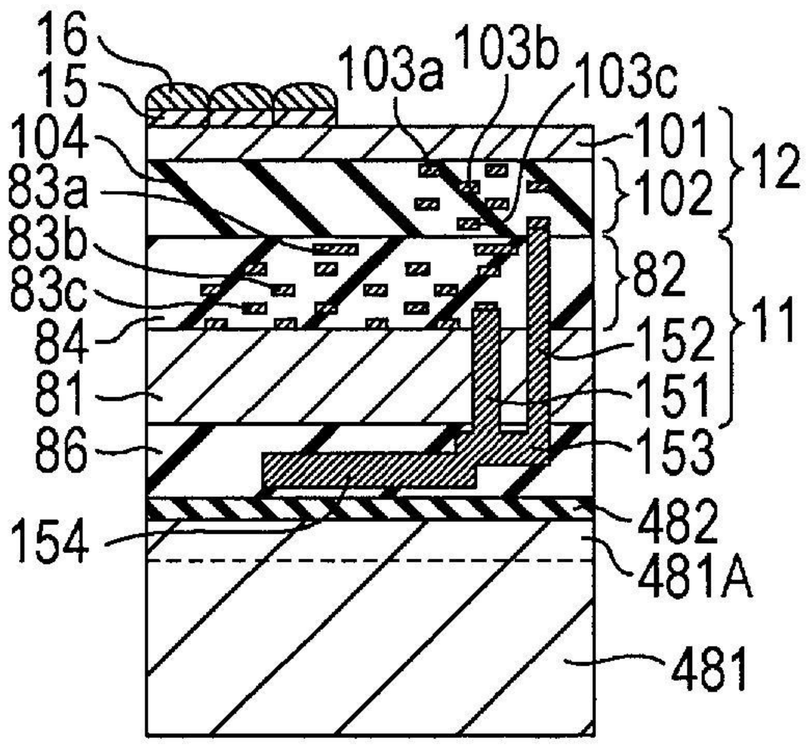


圖75A

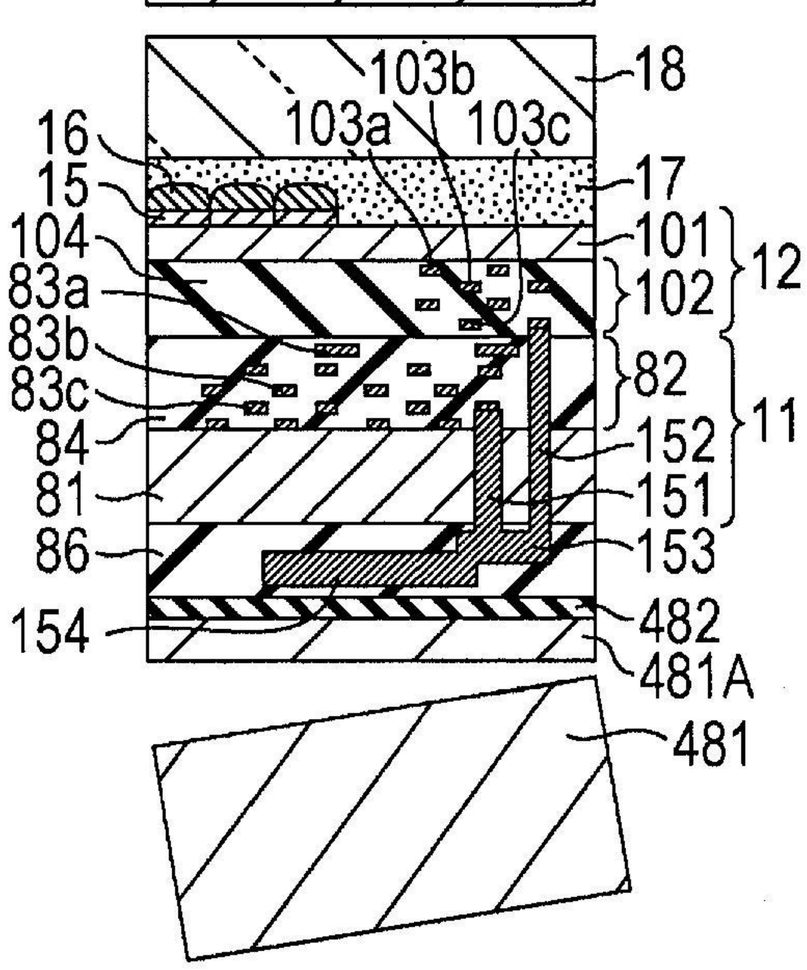


圖75B

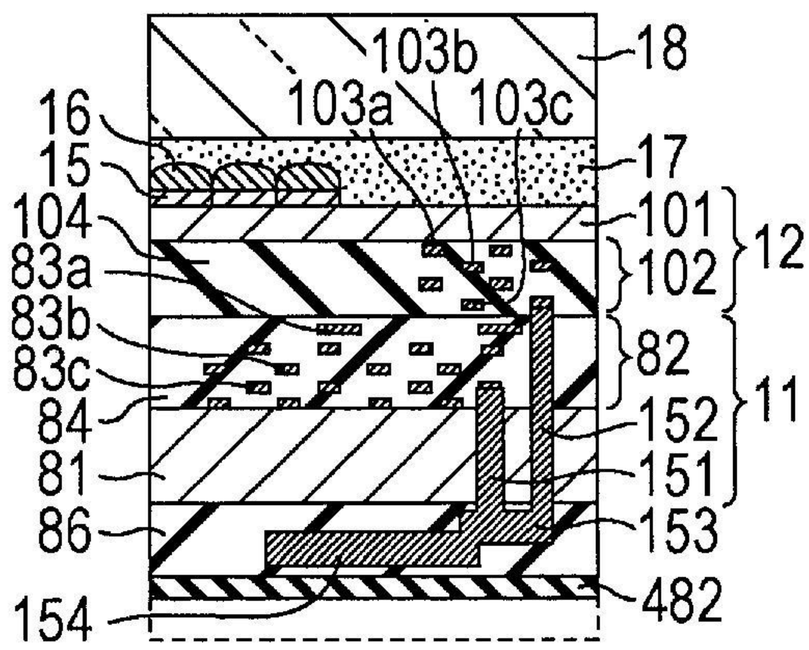


圖75C

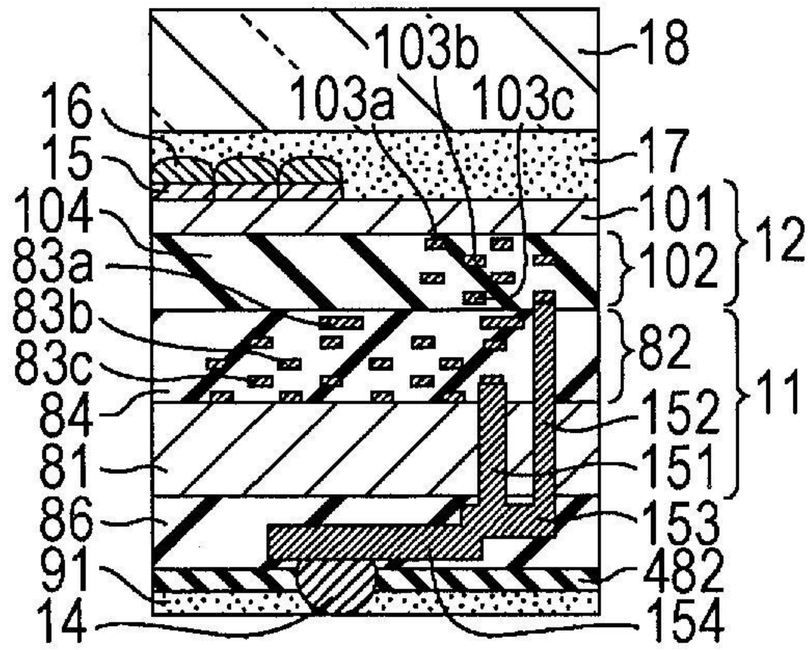


圖75D

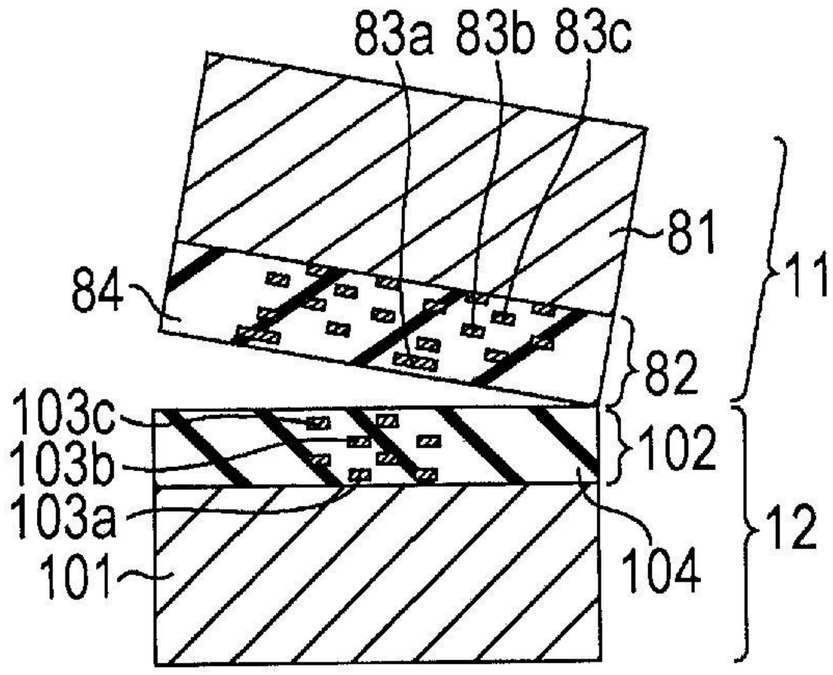


圖76A

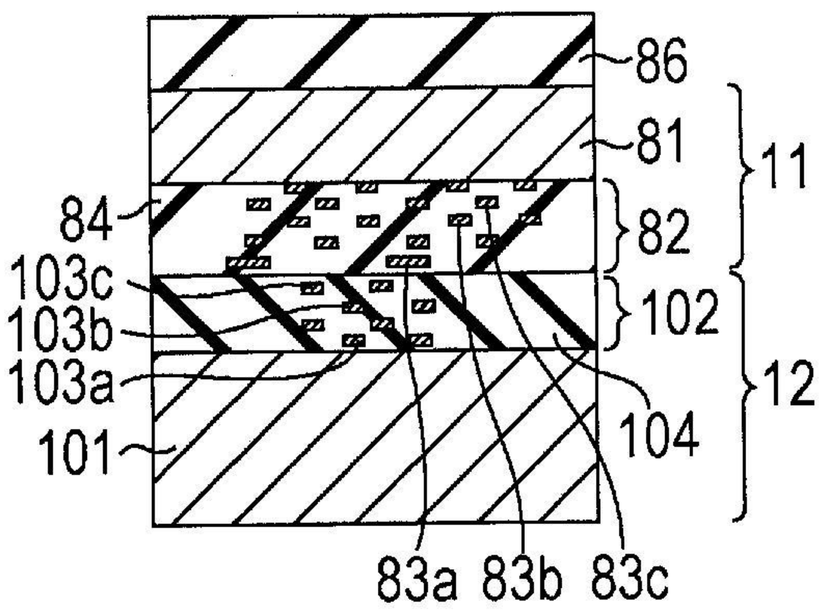


圖76B

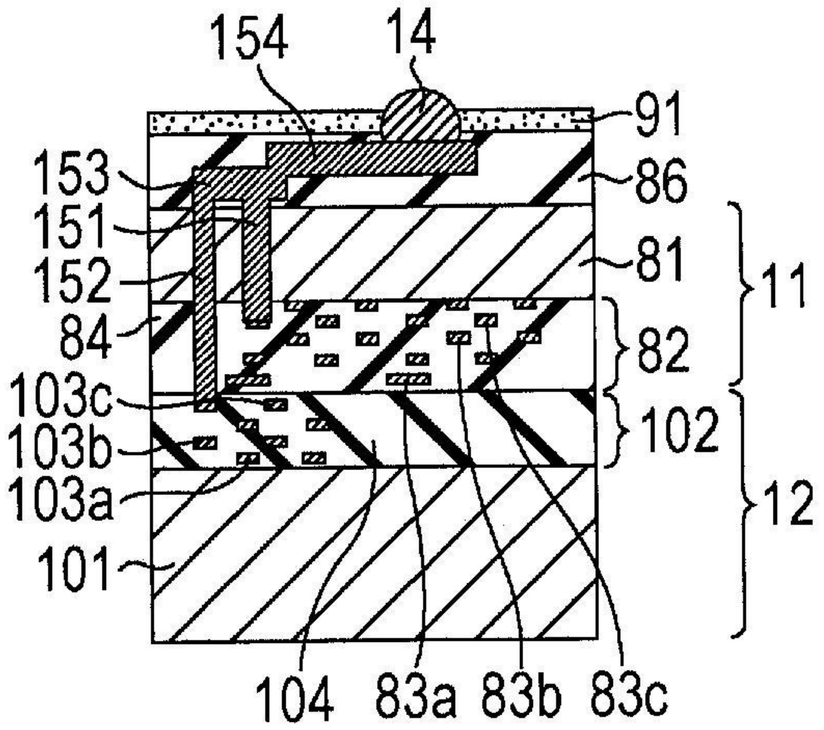


圖76C

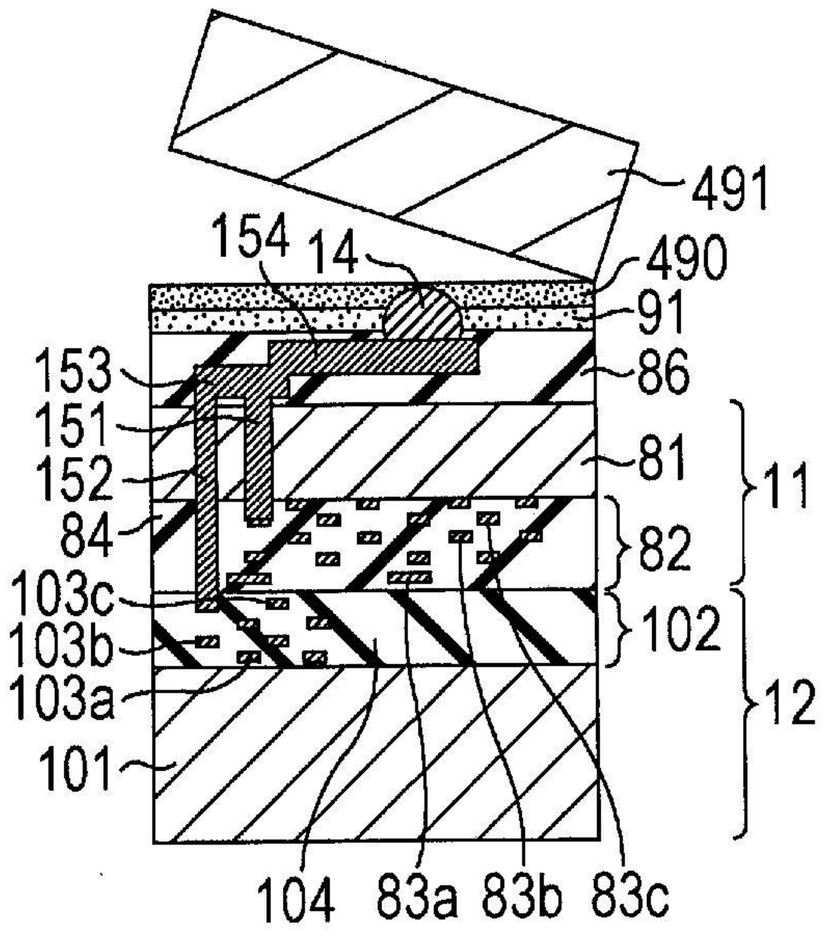


圖76D

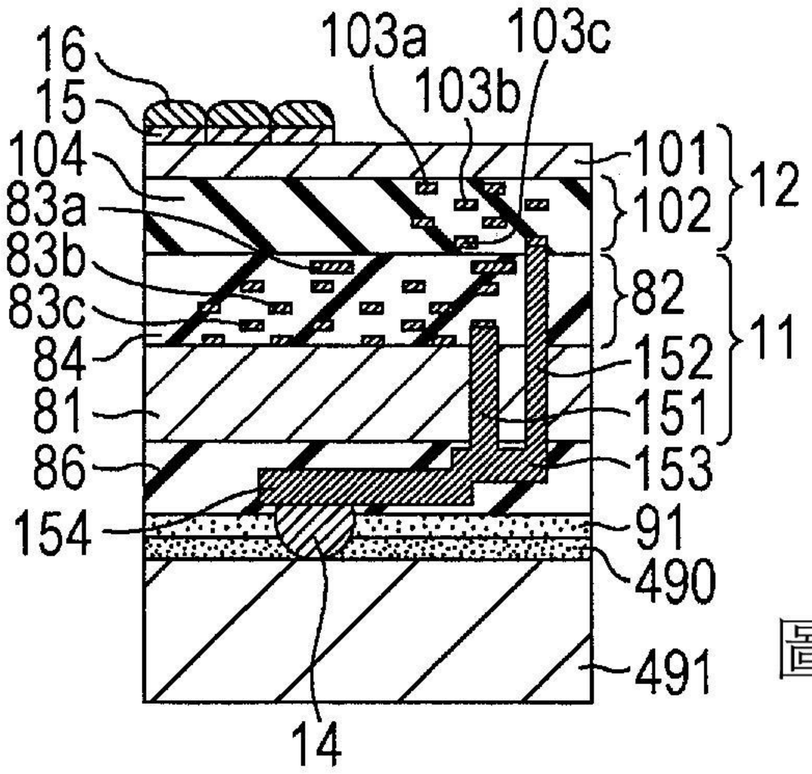


圖77A

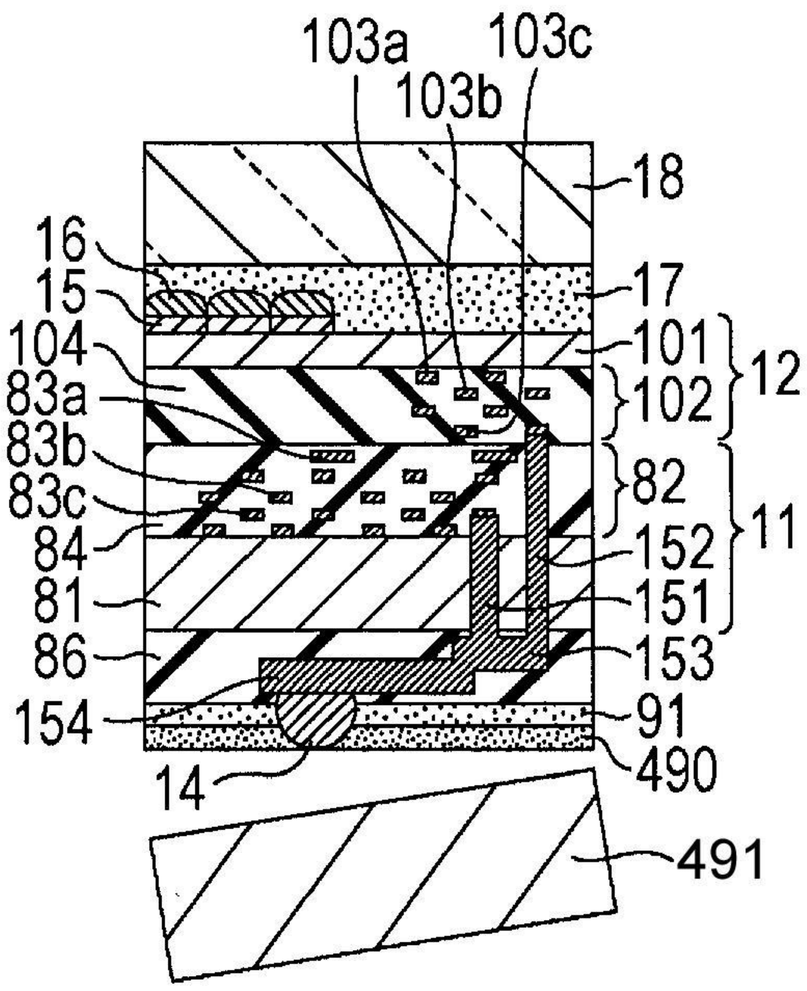


圖77B

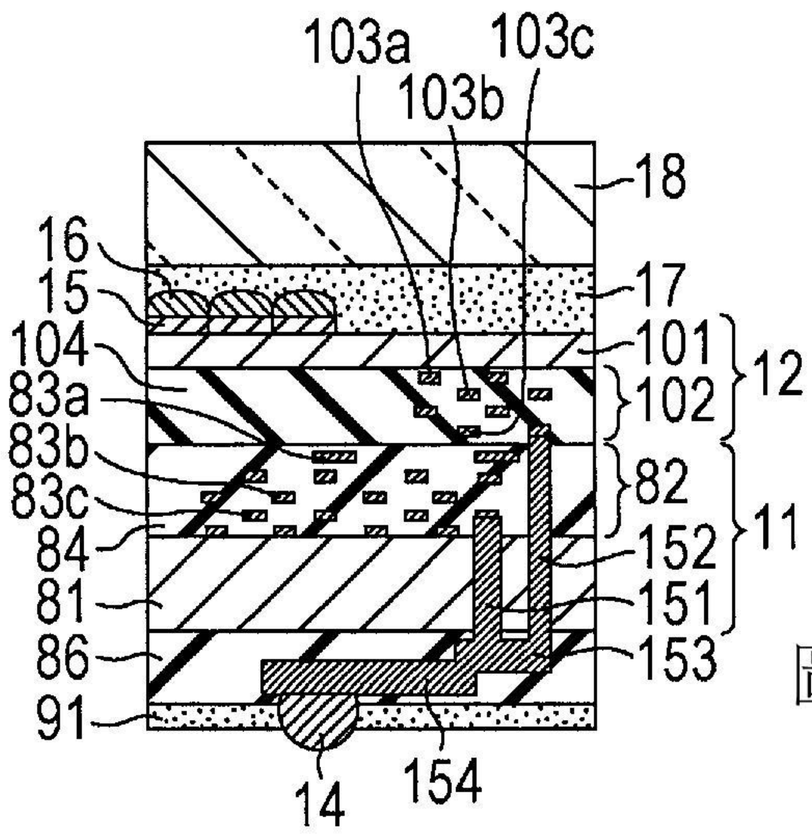


圖77C

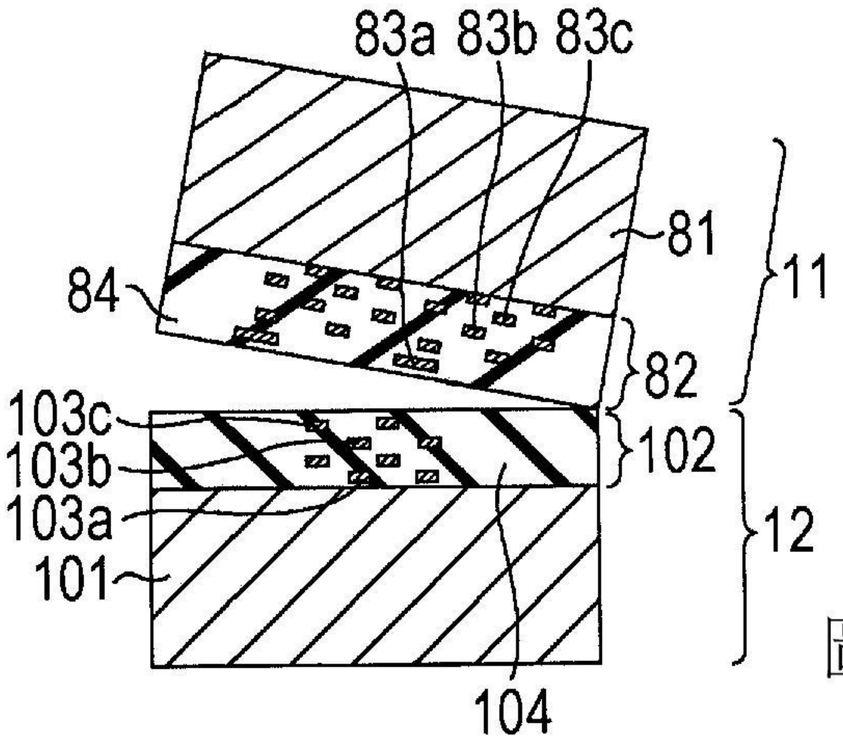


圖78A

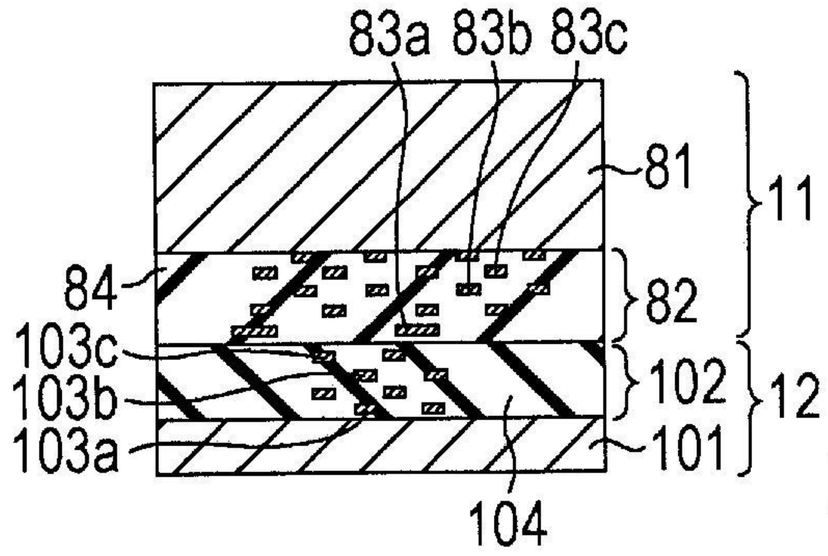


圖78B

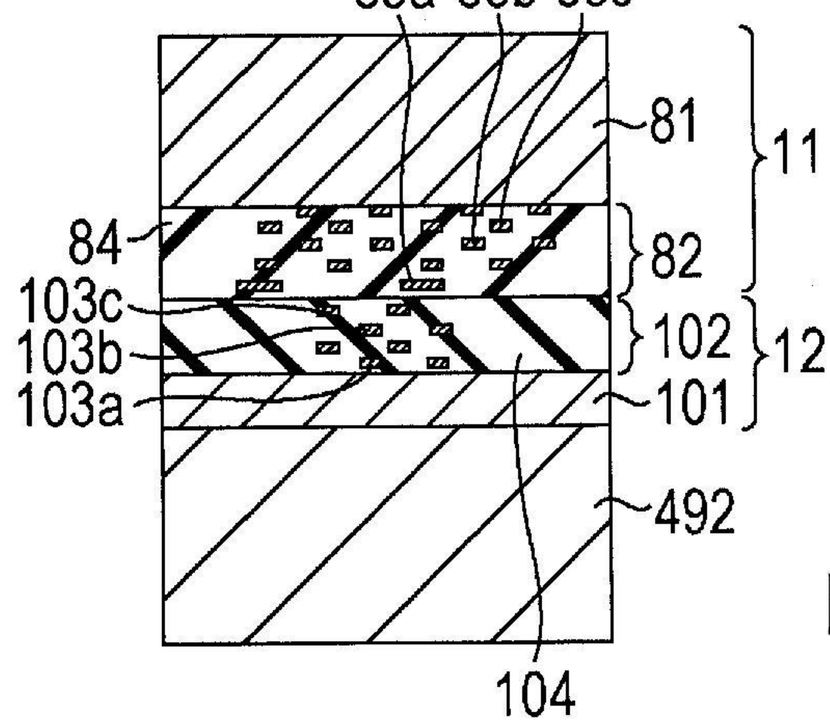


圖78C

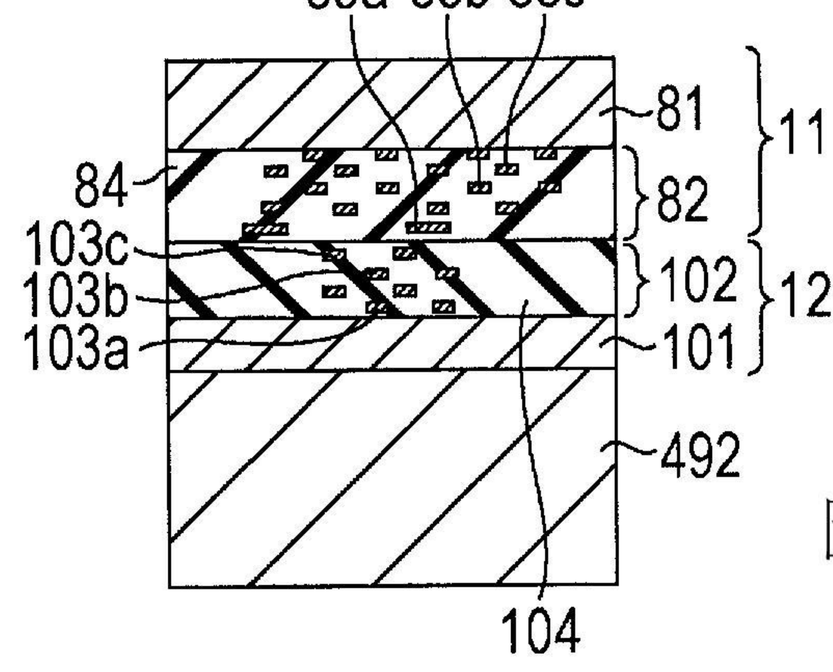


圖78D

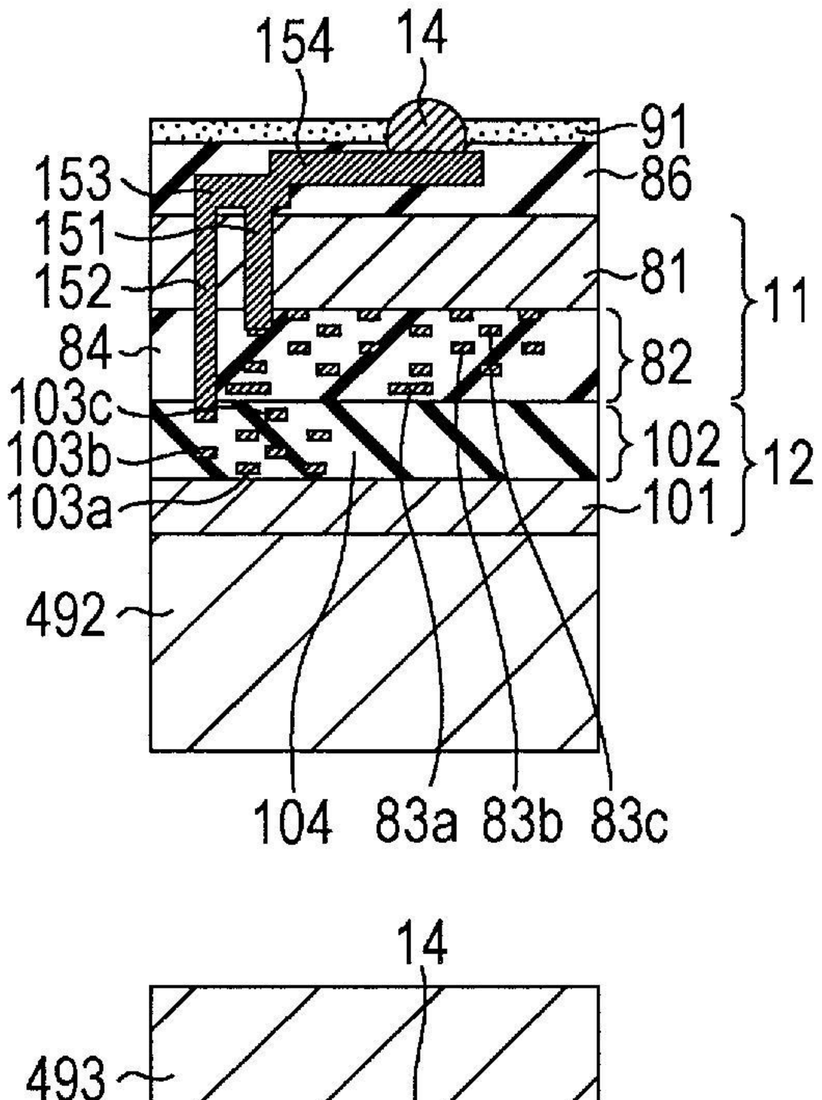


圖79A

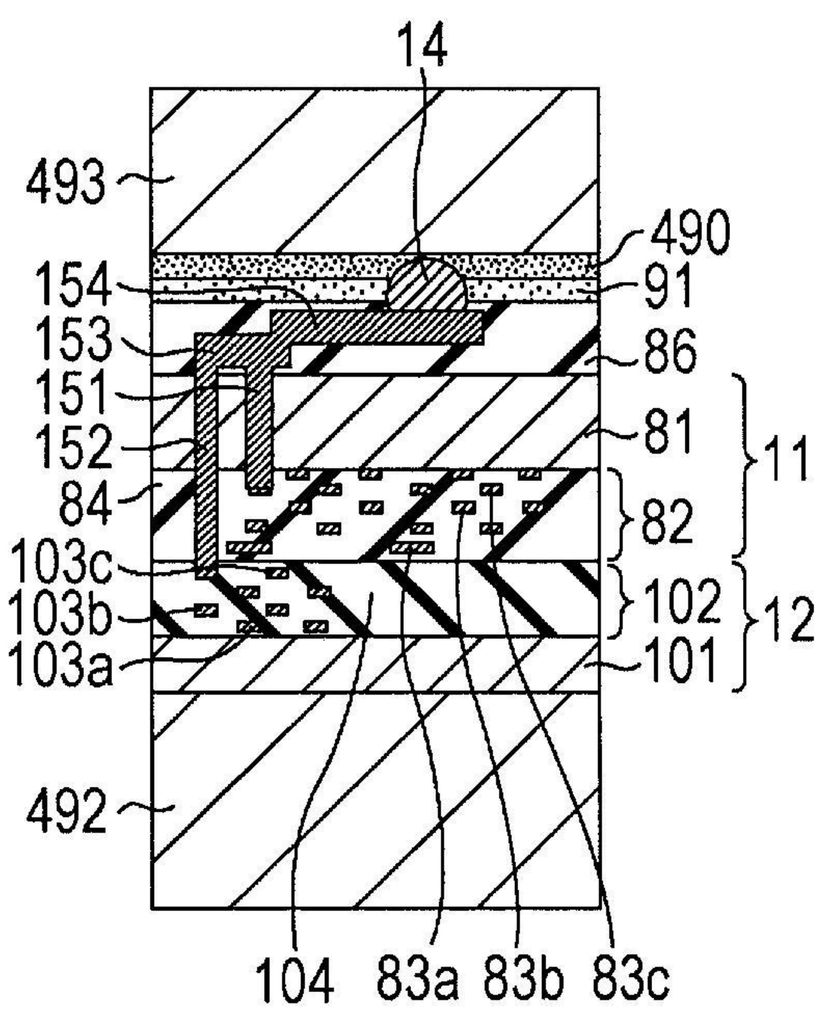


圖79B

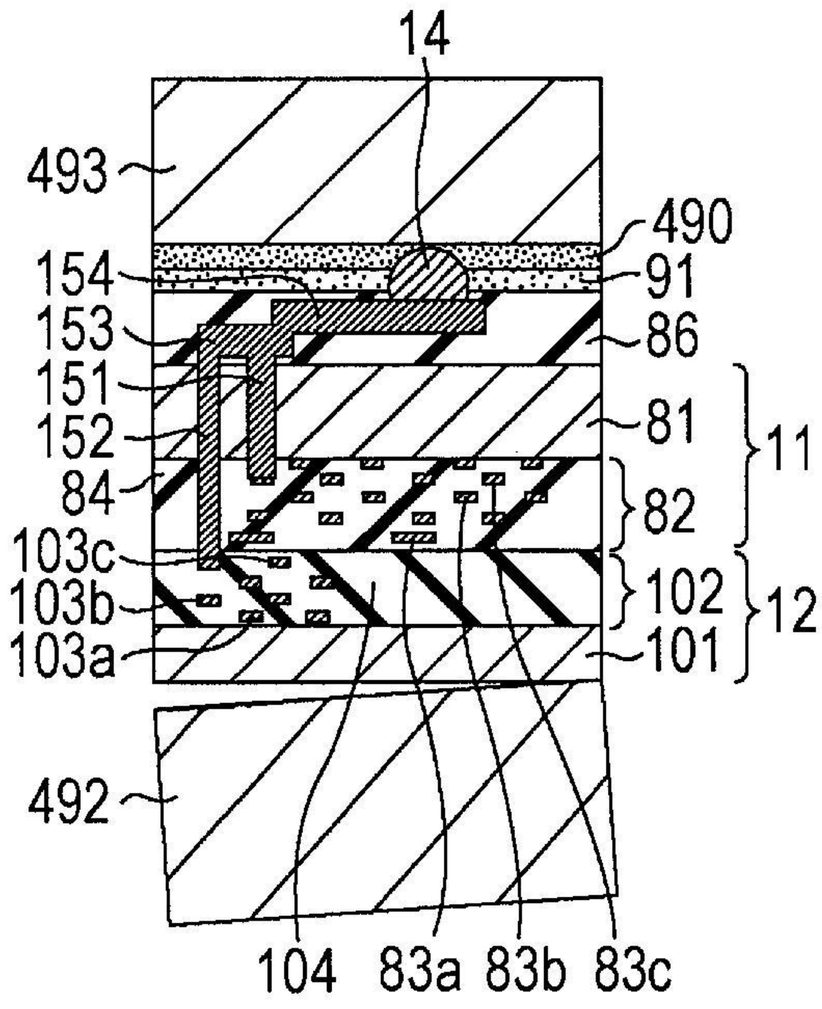


圖79C

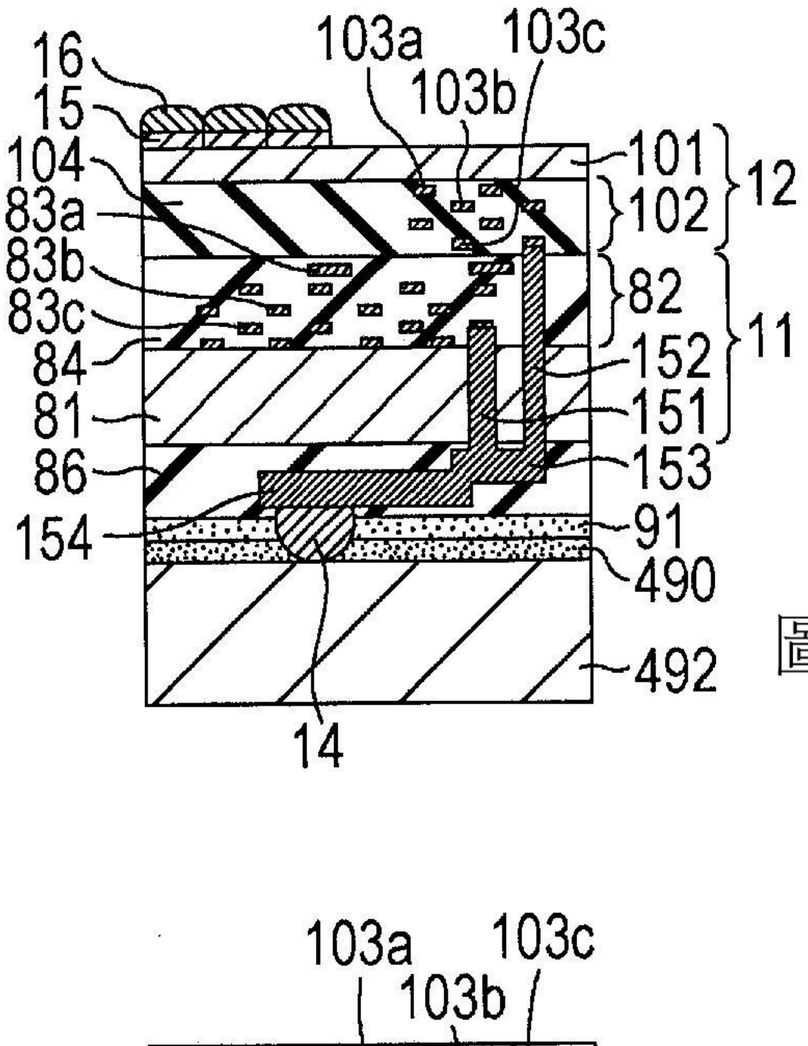


圖80A

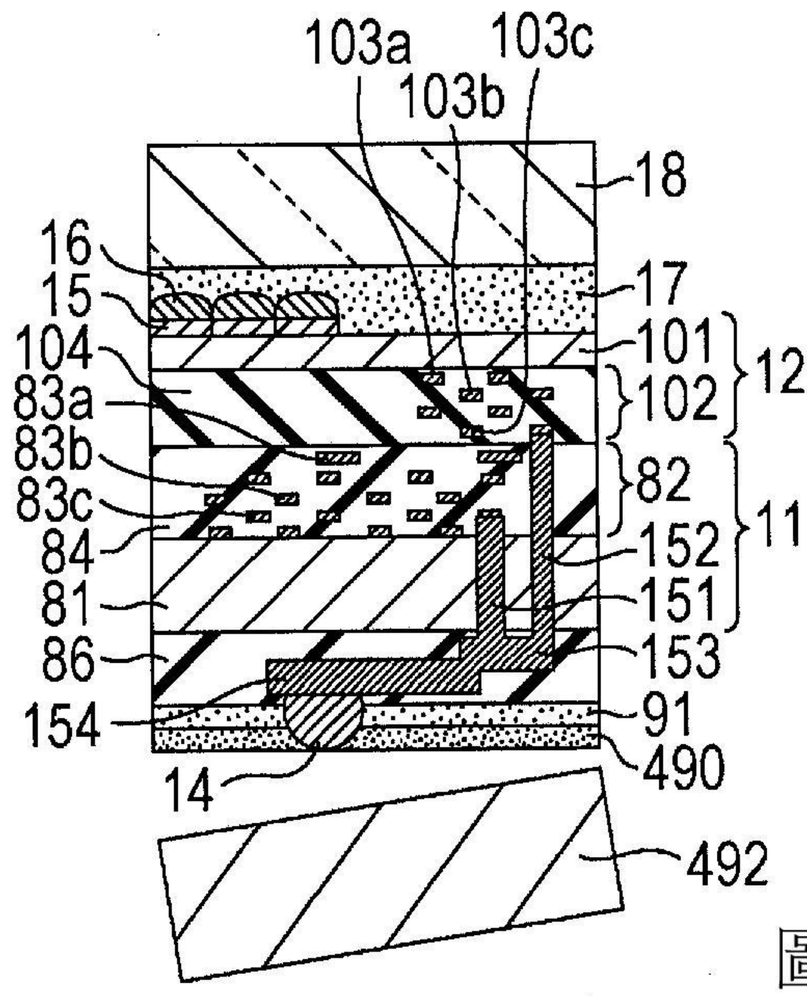


圖80B

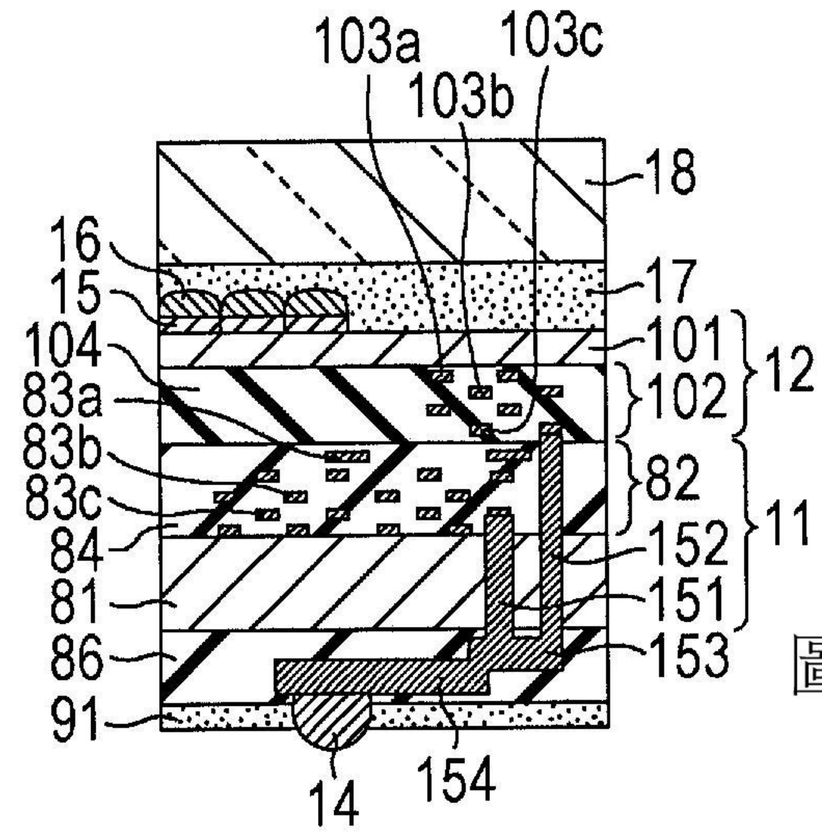


圖80C

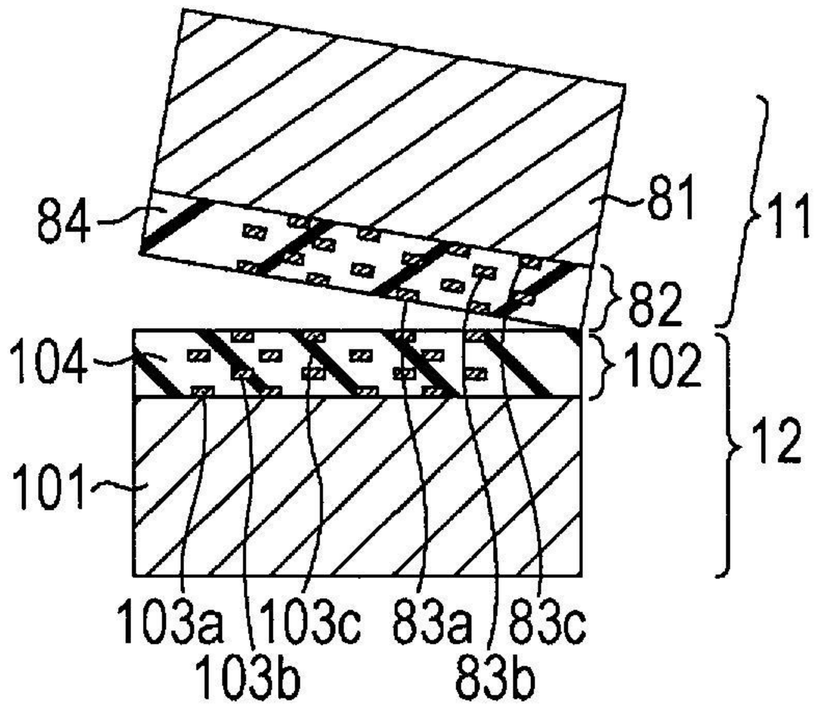


圖81A

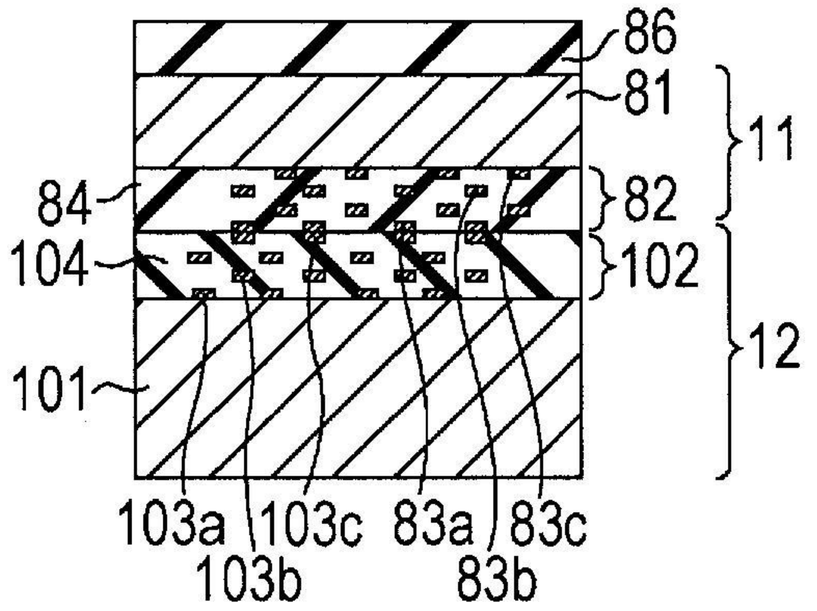


圖81B

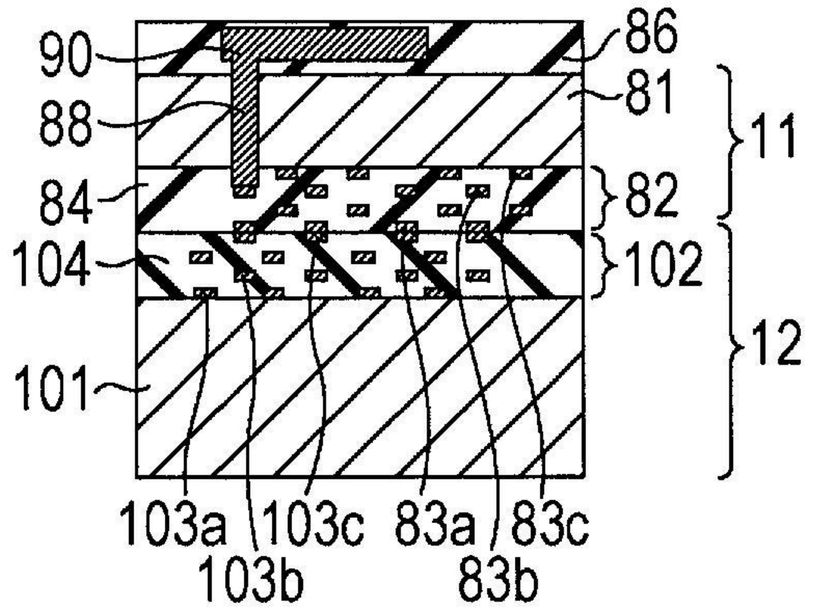


圖81C

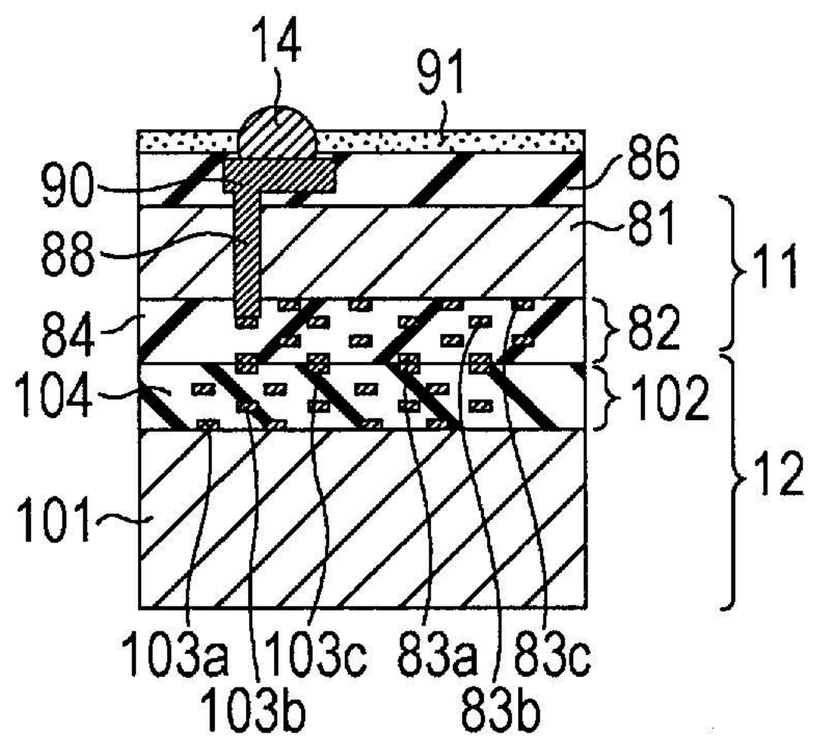


圖81D

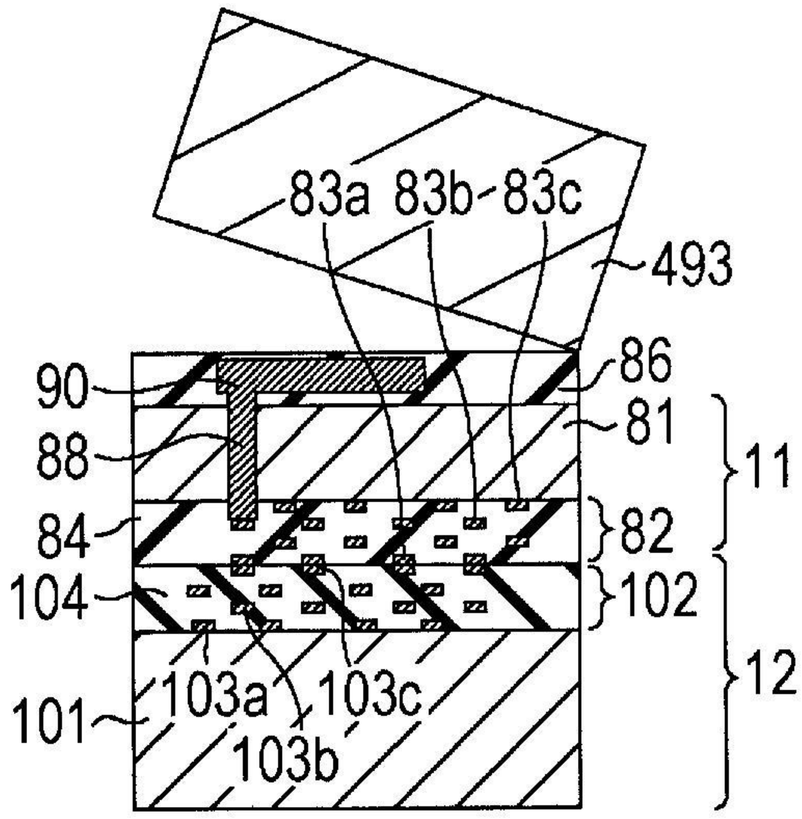


圖82A

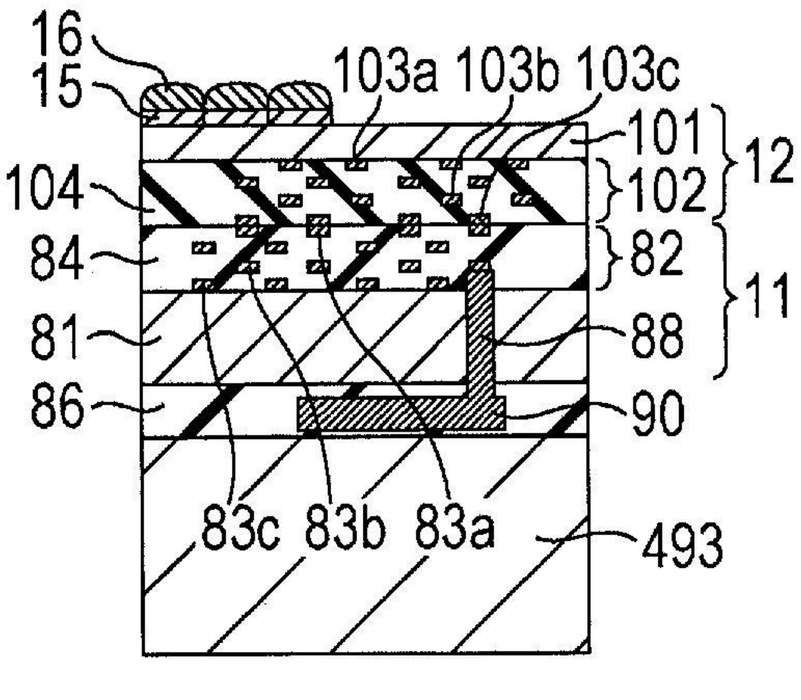


圖82B

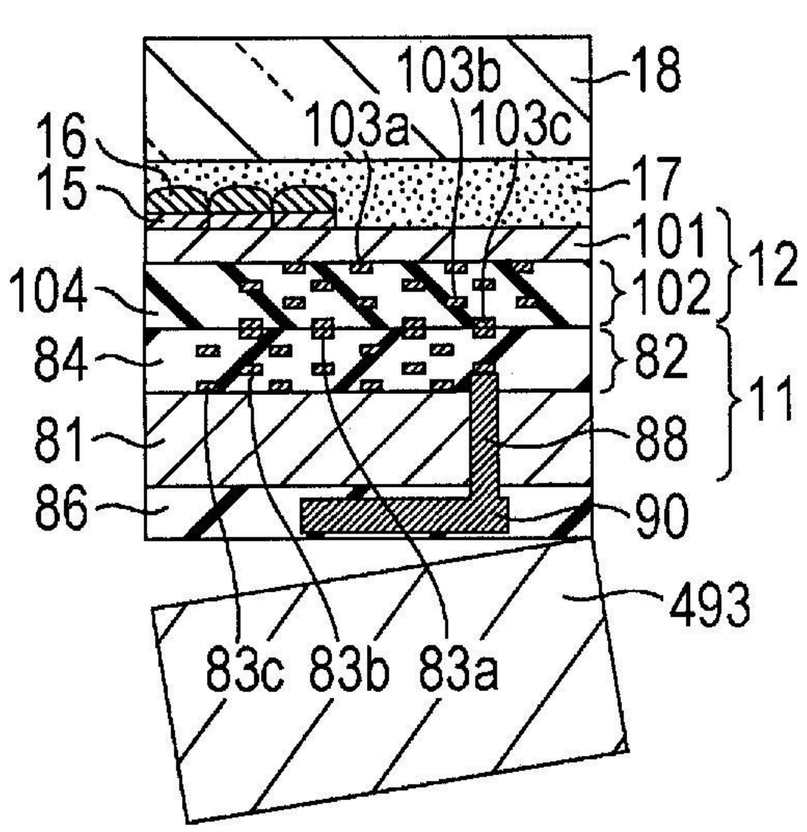


圖82C

圖82D

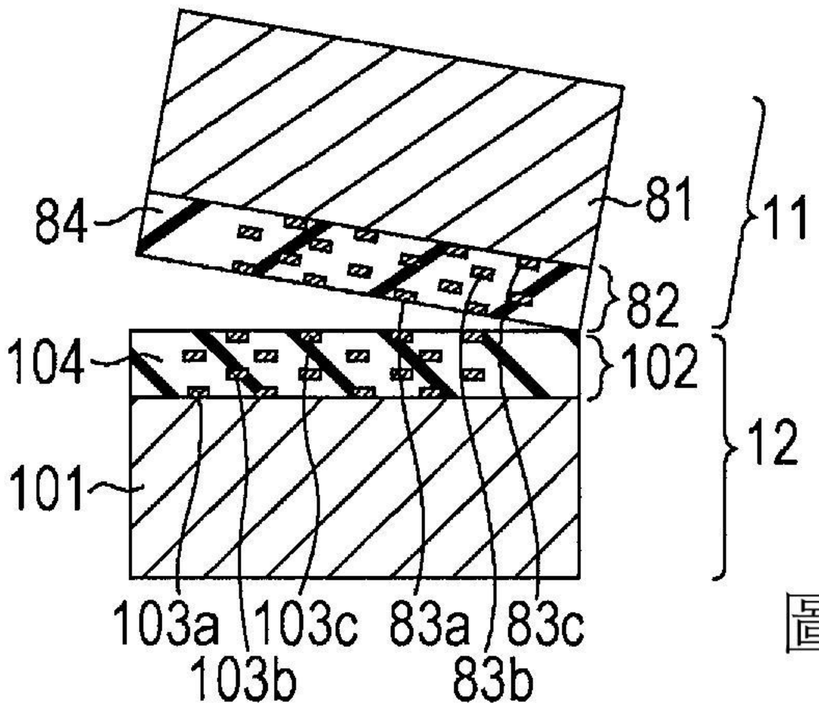


圖83A

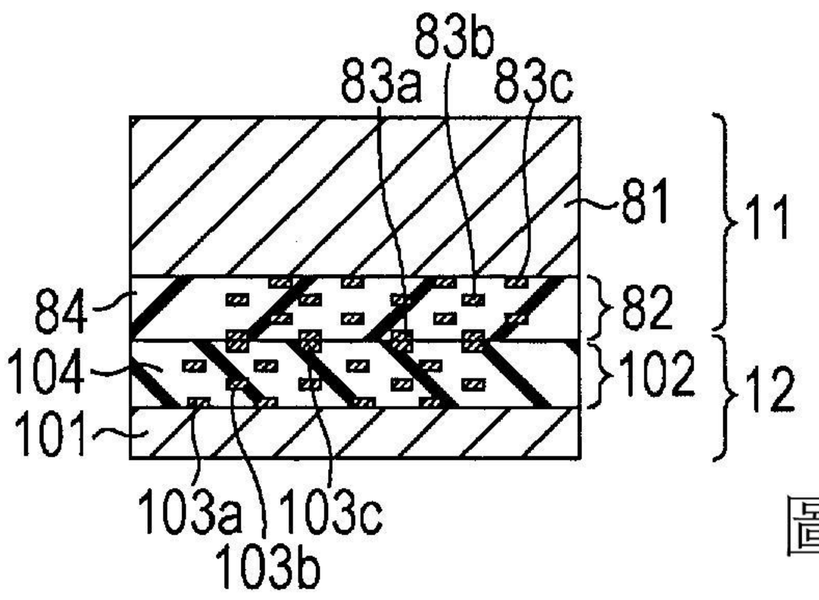


圖83B

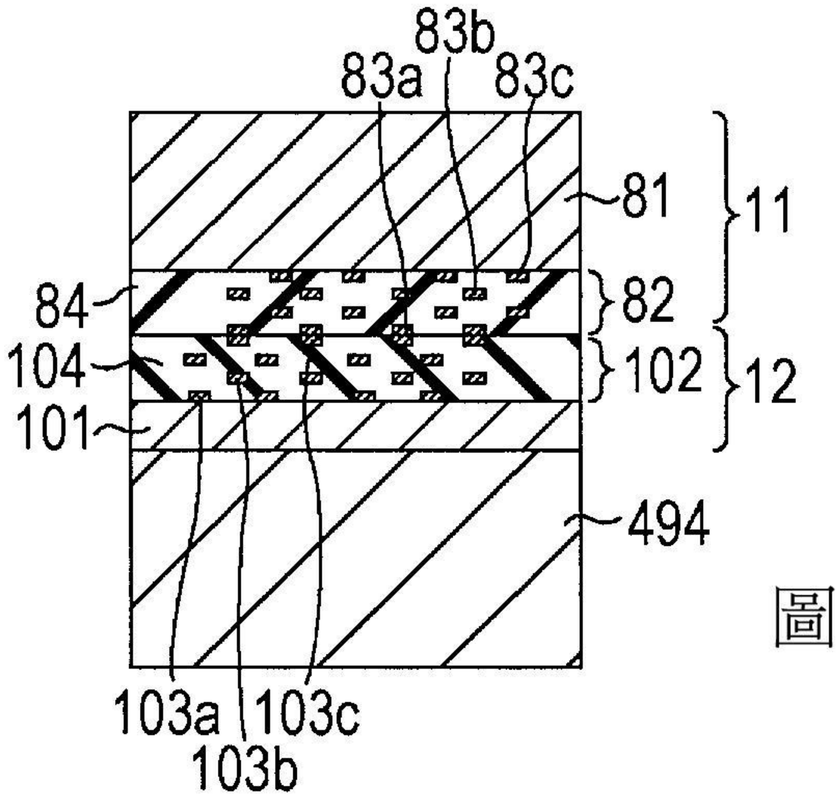


圖83C

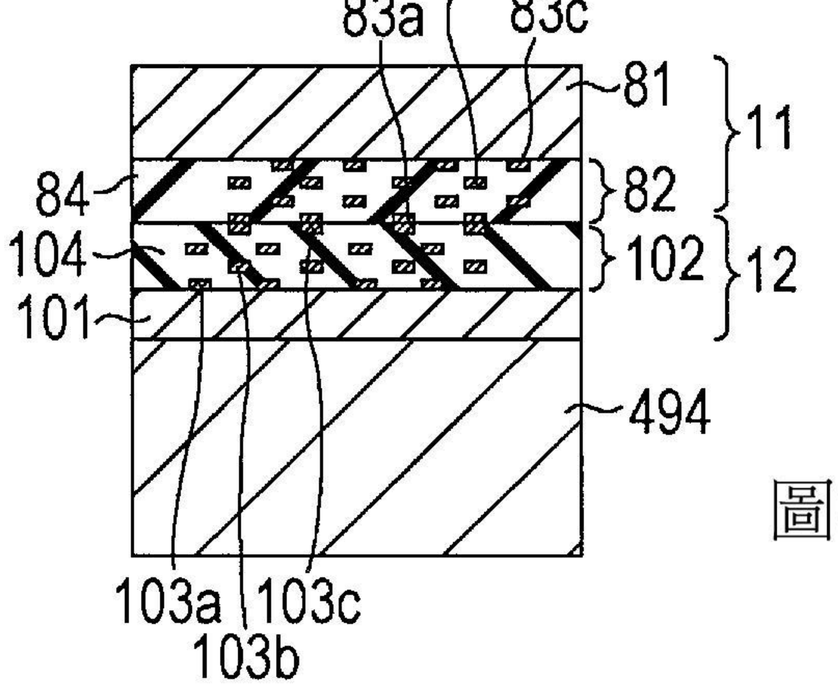


圖83D

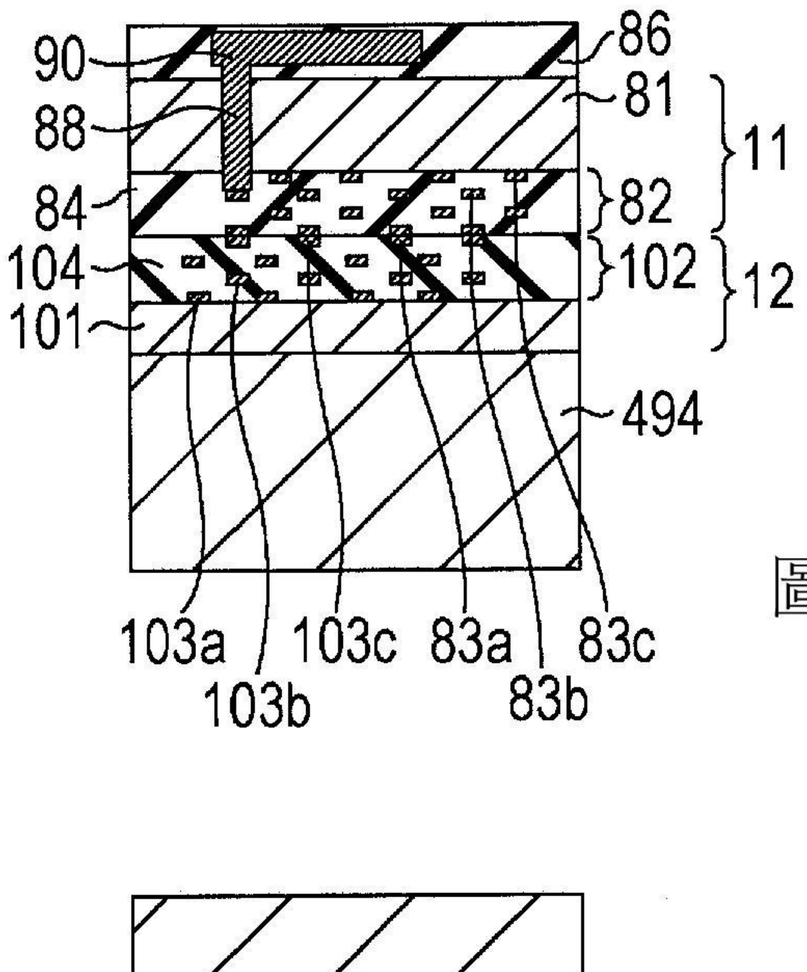


圖84A

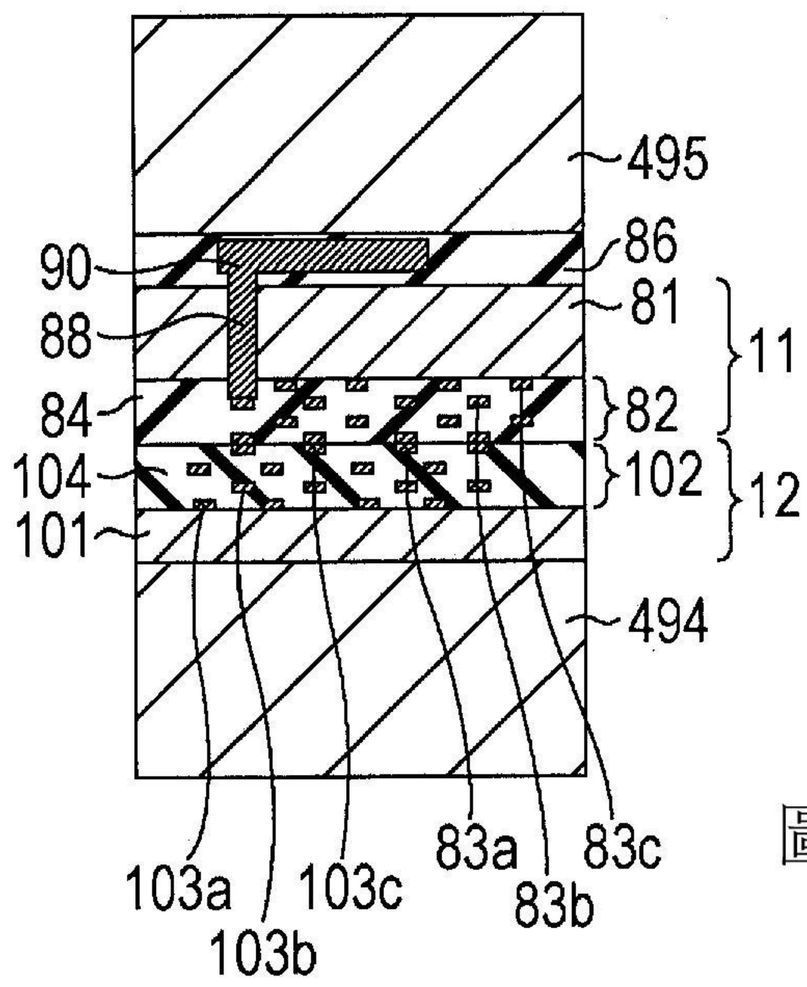


圖84B

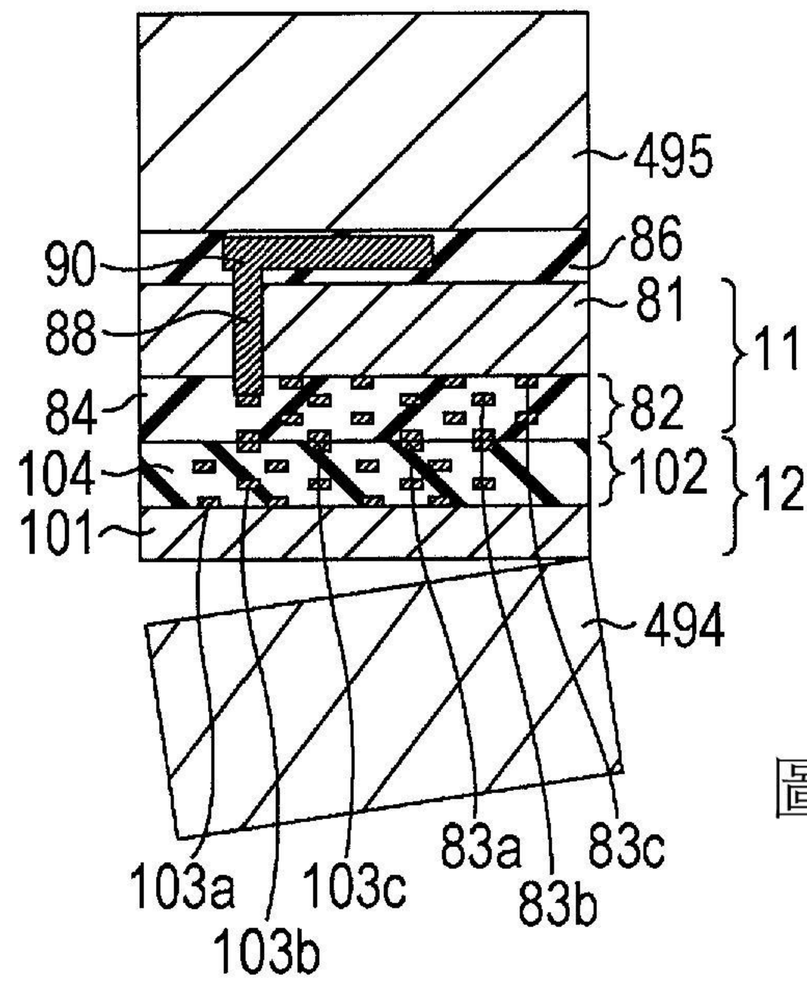


圖84C

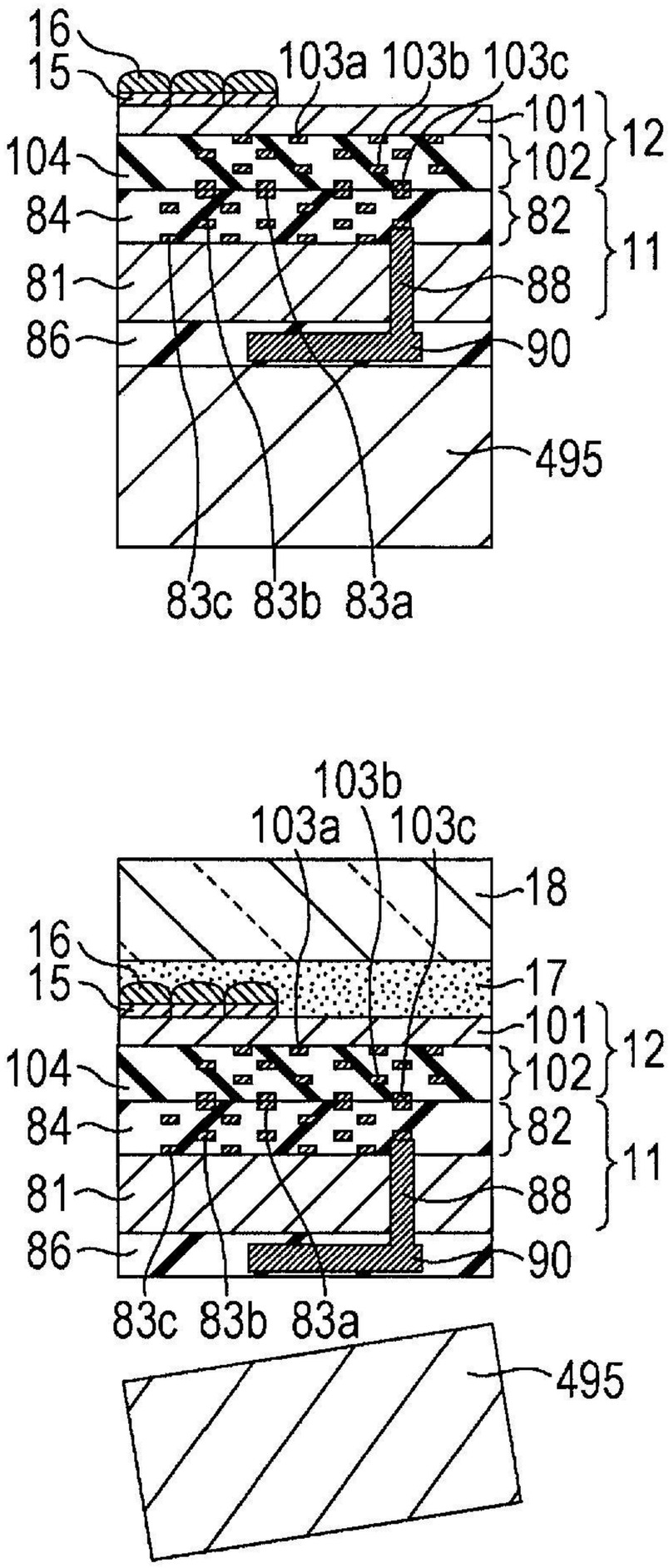


圖85A

圖85B

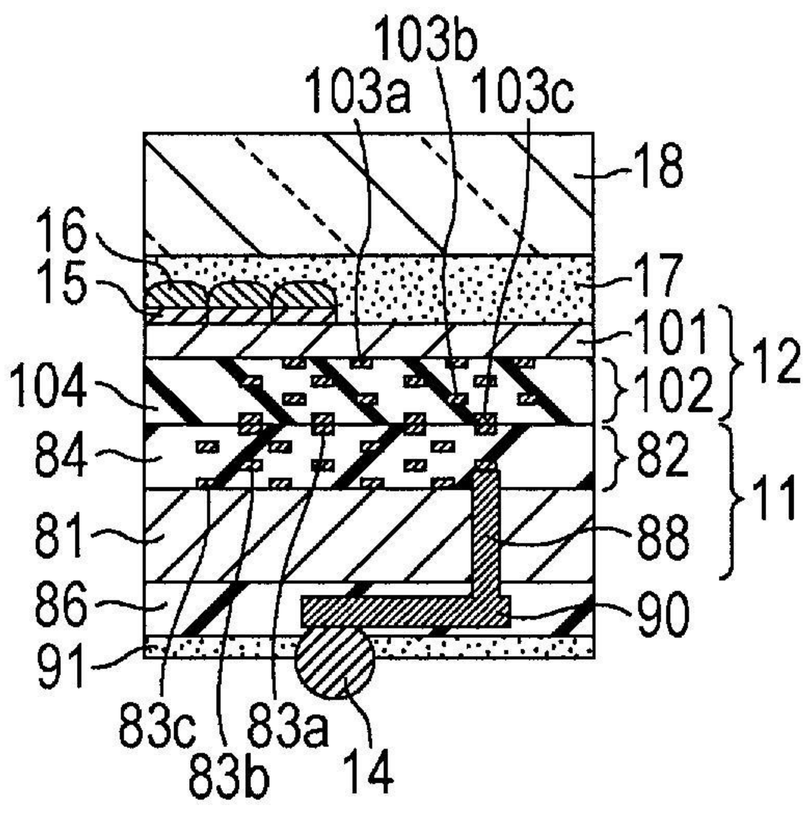


圖85C

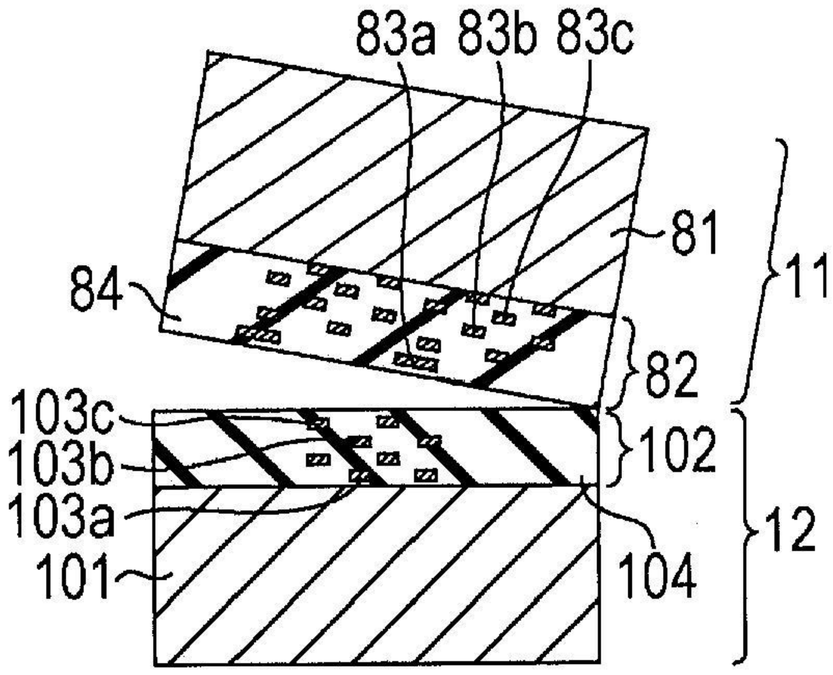


圖86A

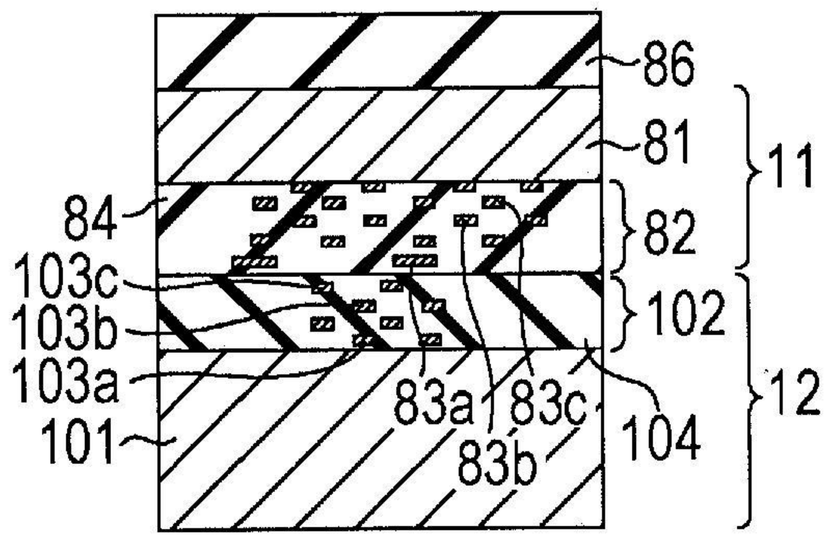


圖86B

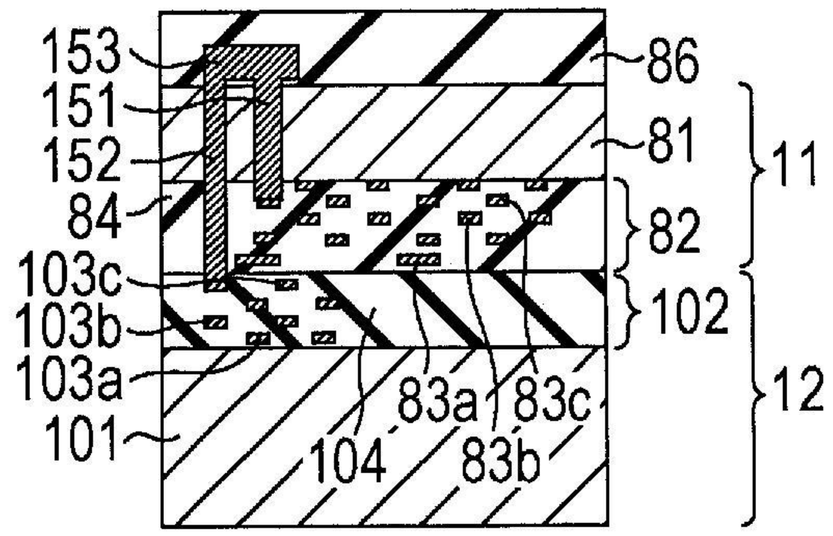


圖86C

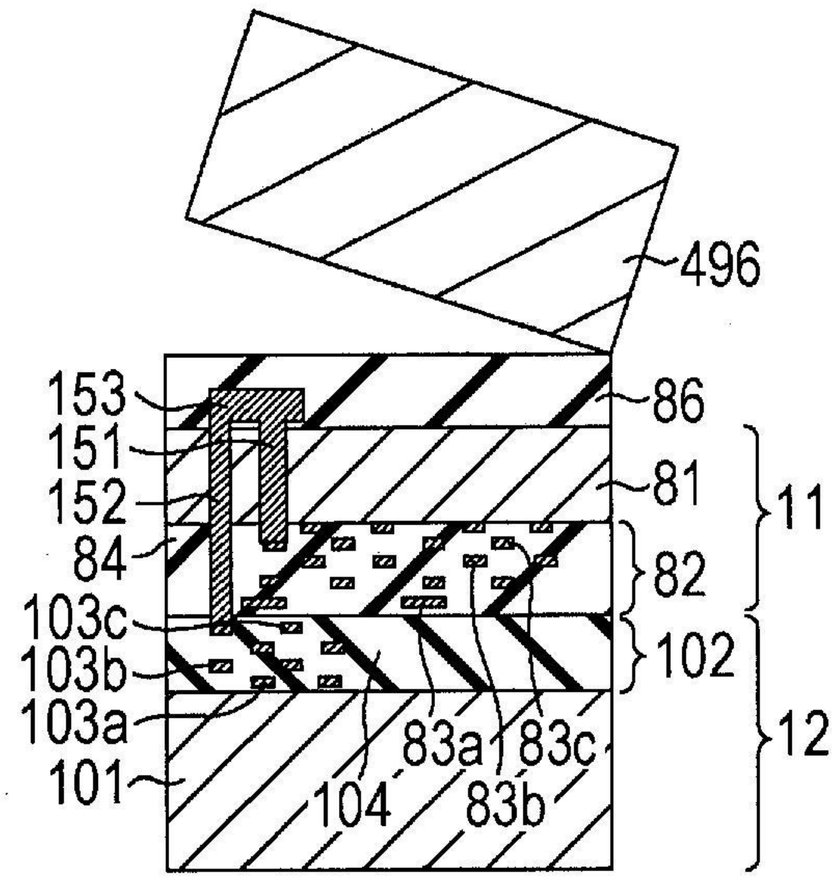


圖86D

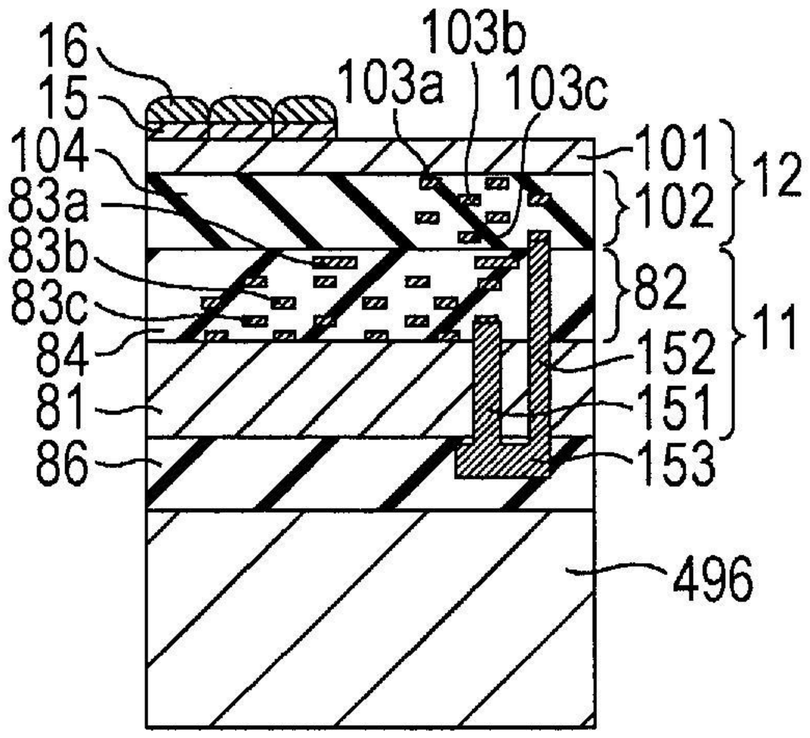


圖87A

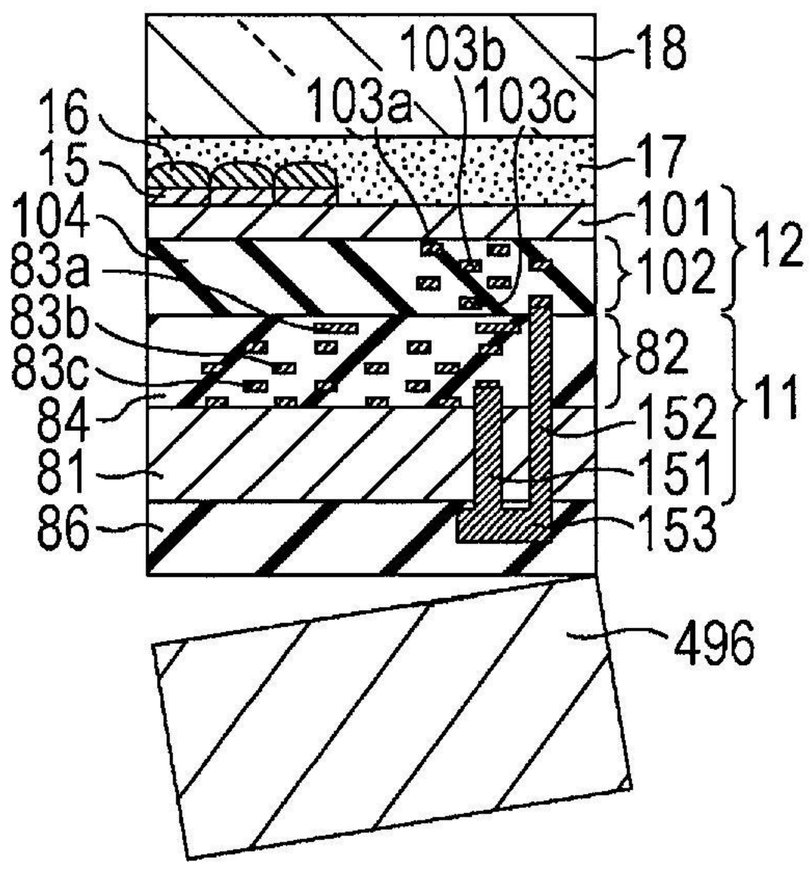


圖87B

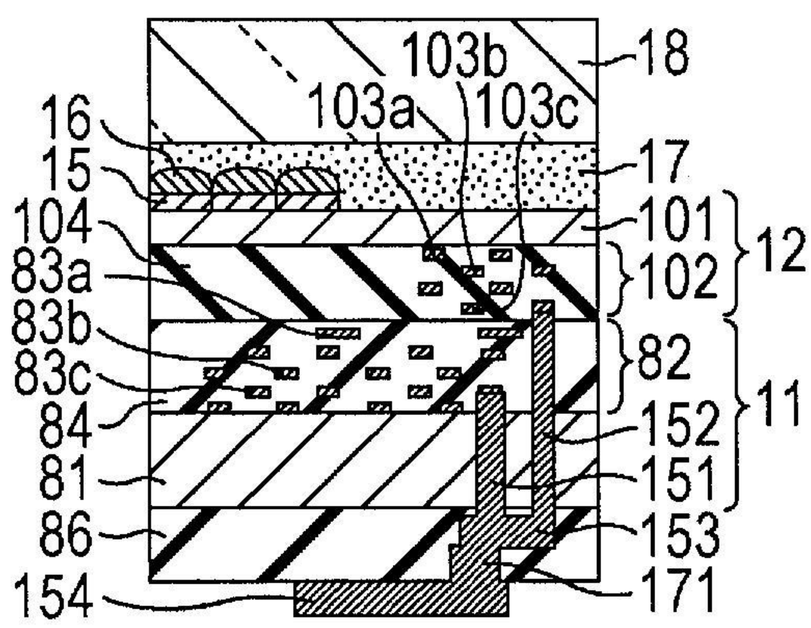


圖87C

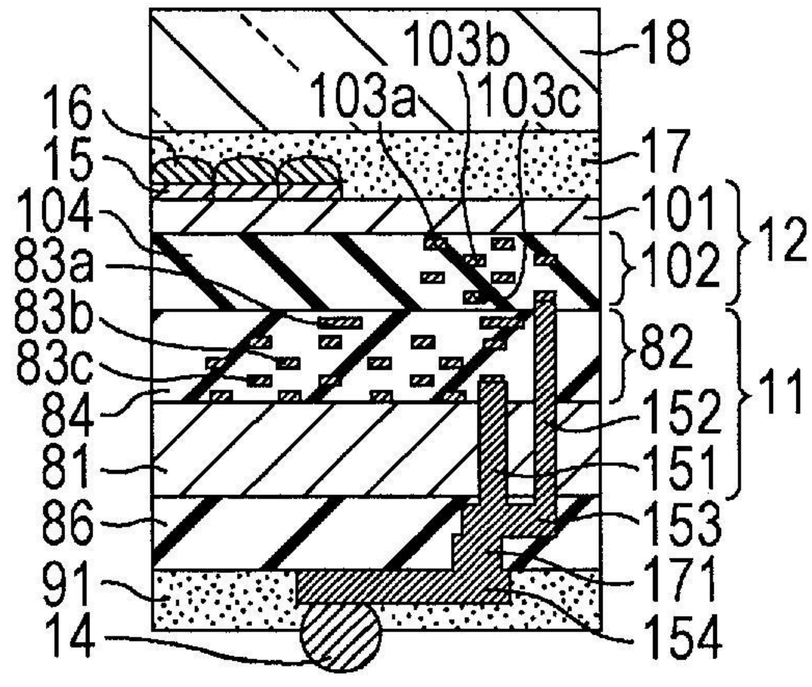


圖87D

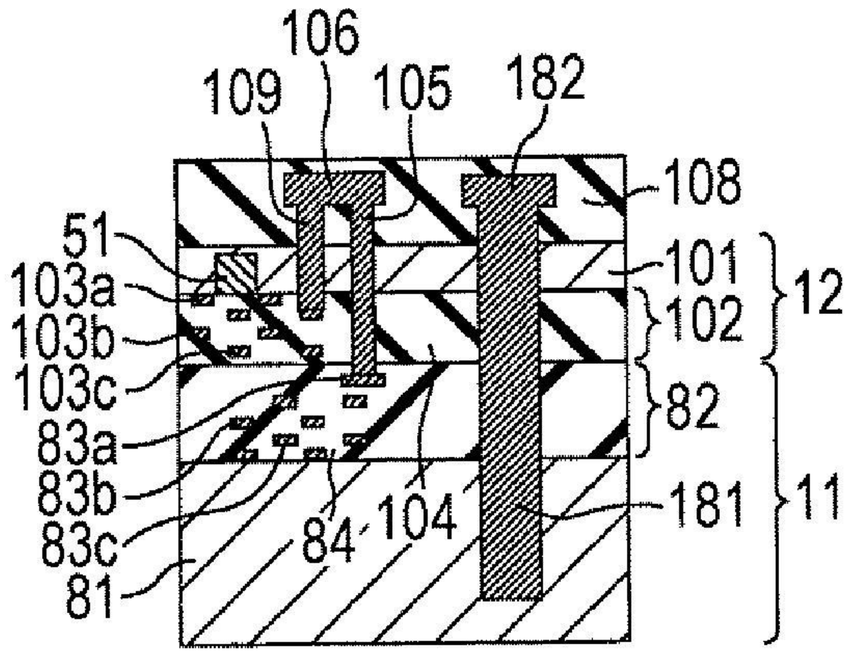


圖88A

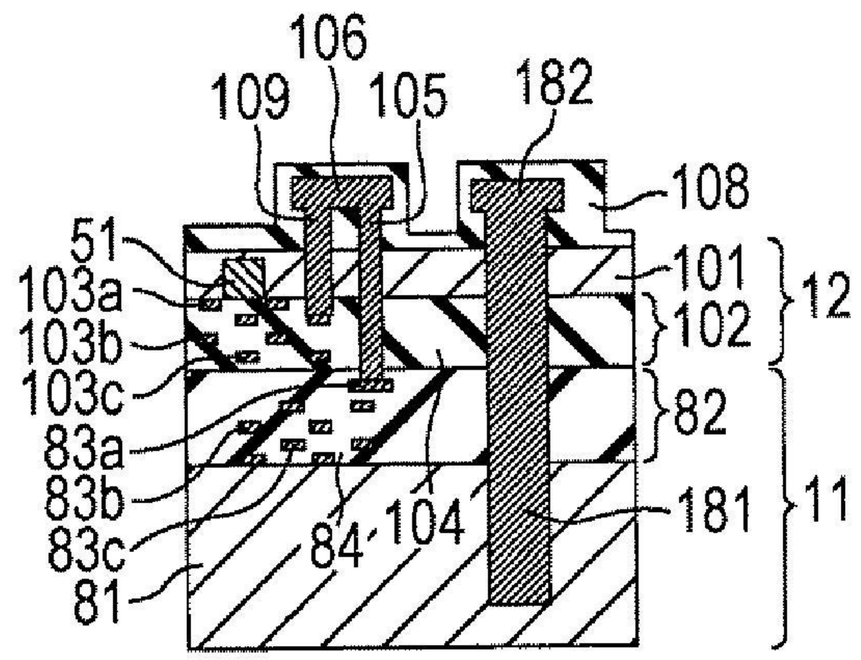


圖88B

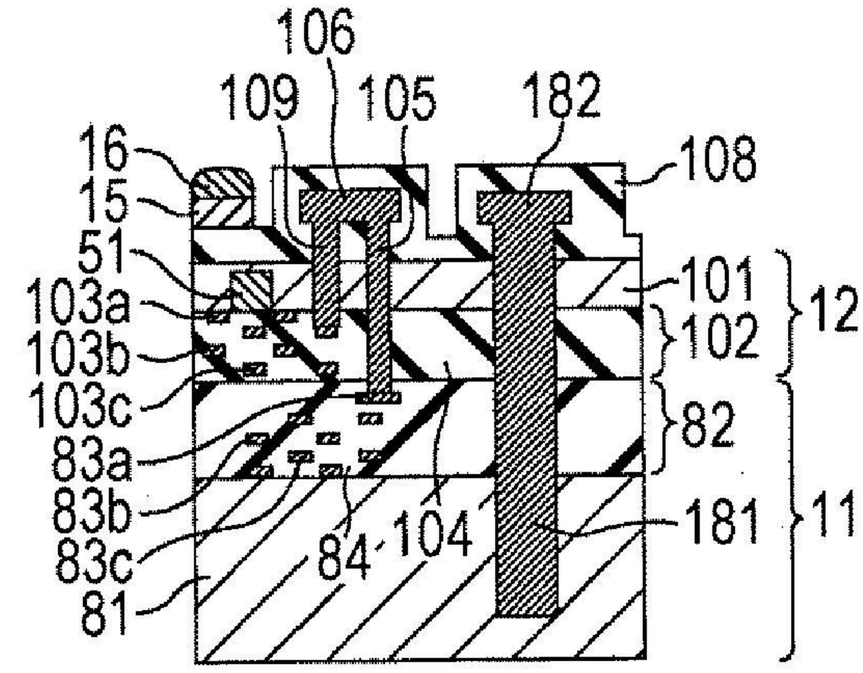


圖88C

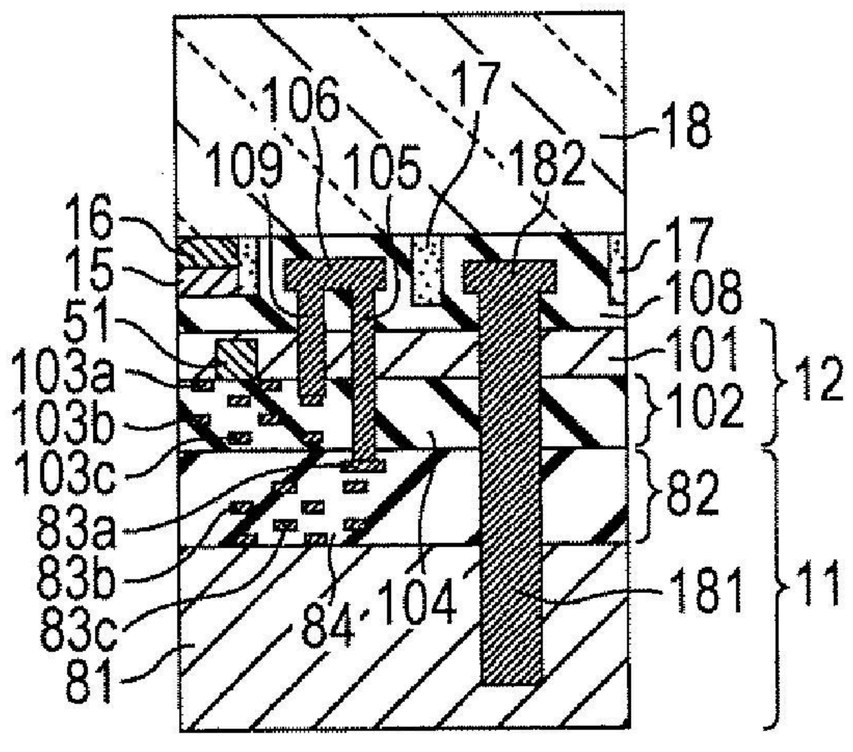


圖88D

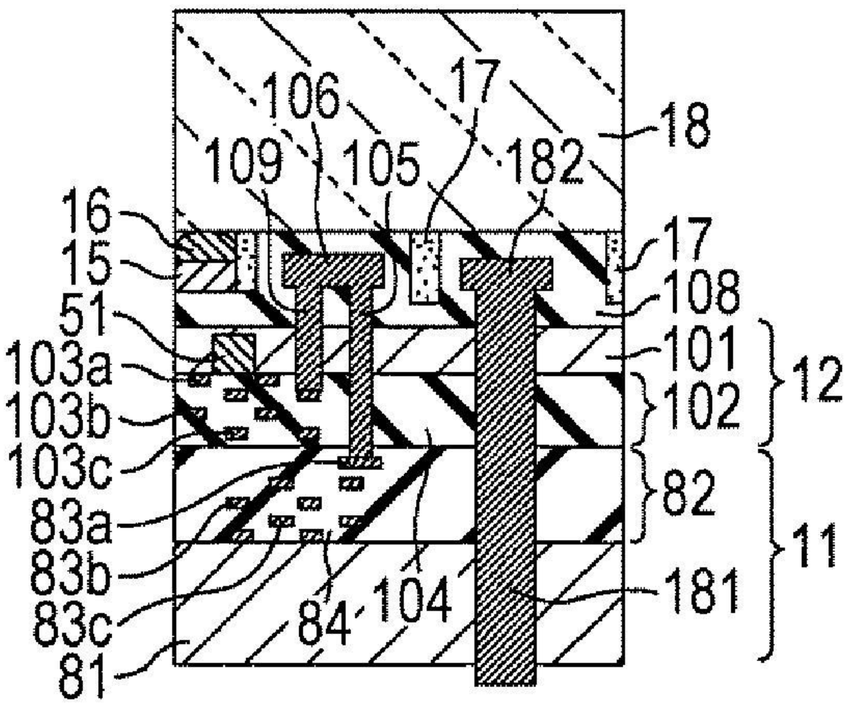


圖89A

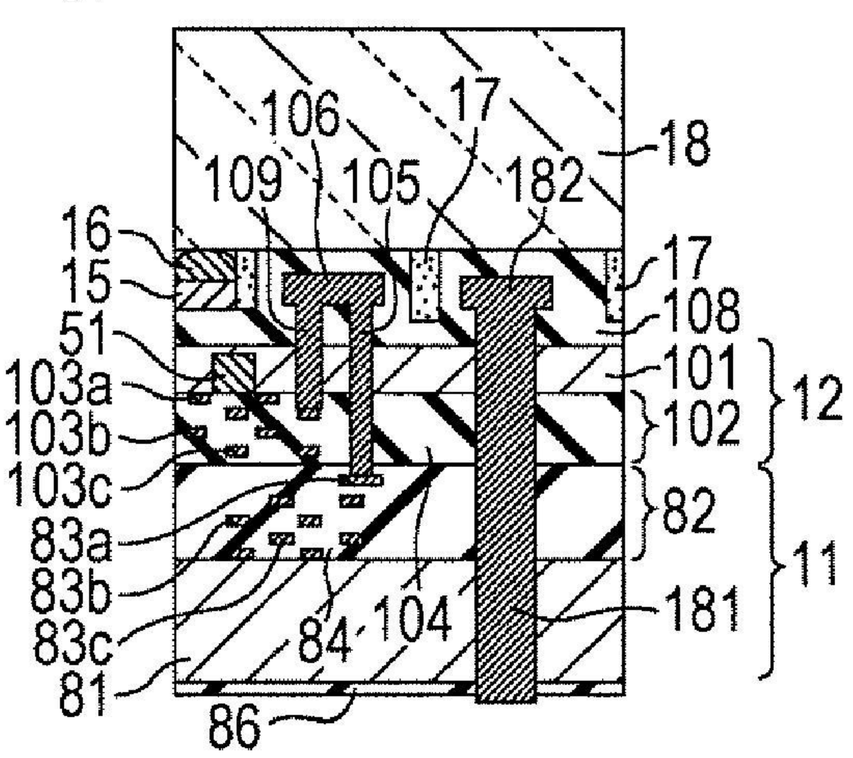


圖89B

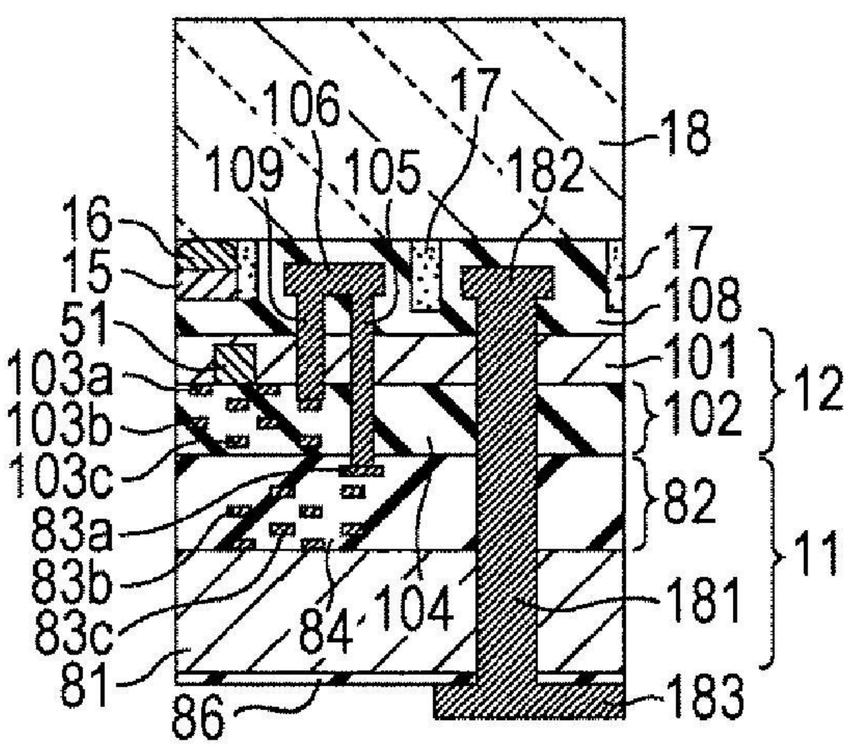


圖89C

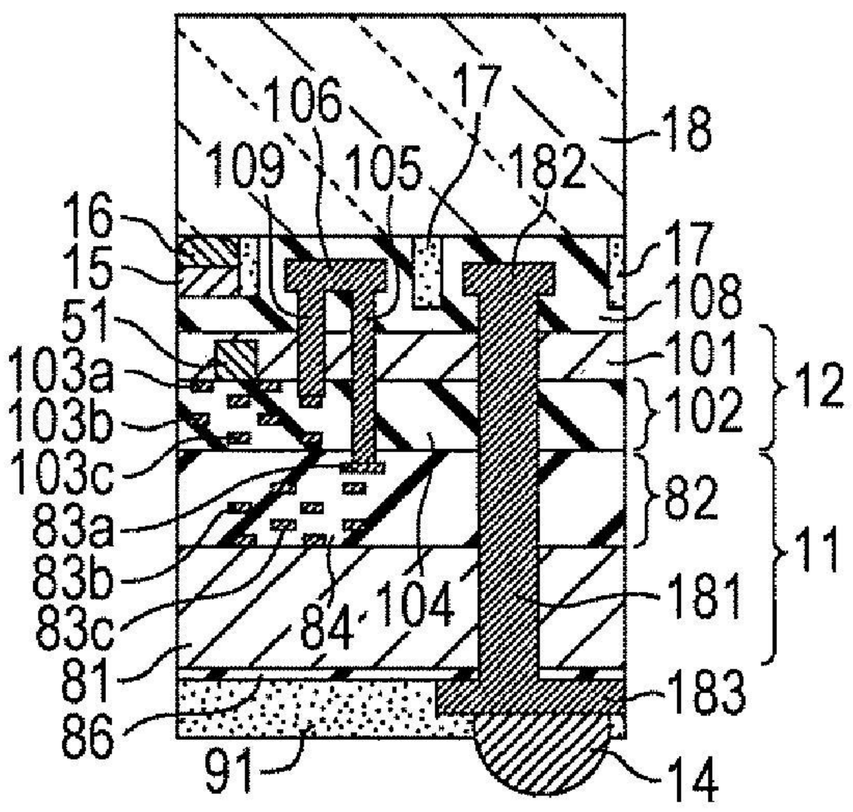


圖89D

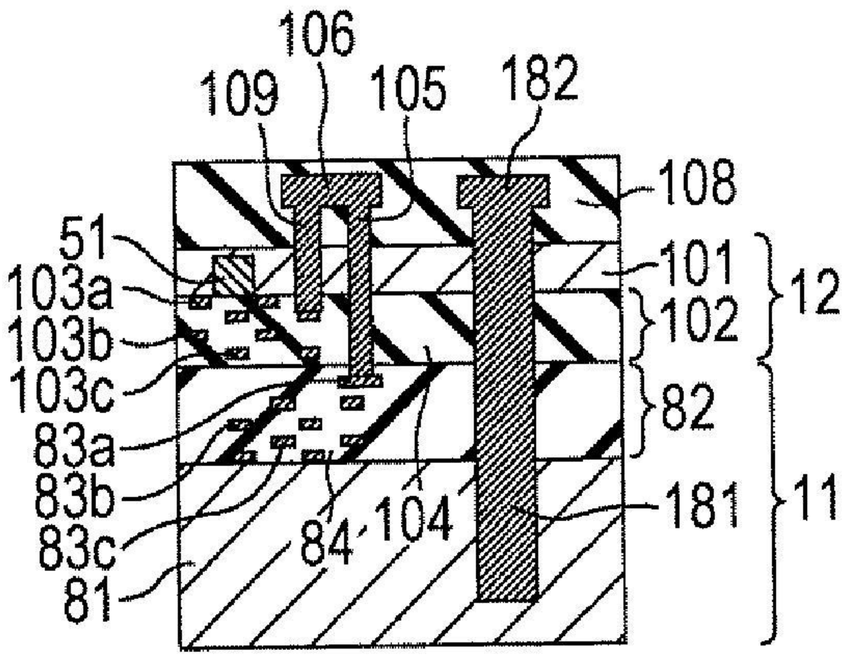


圖90A

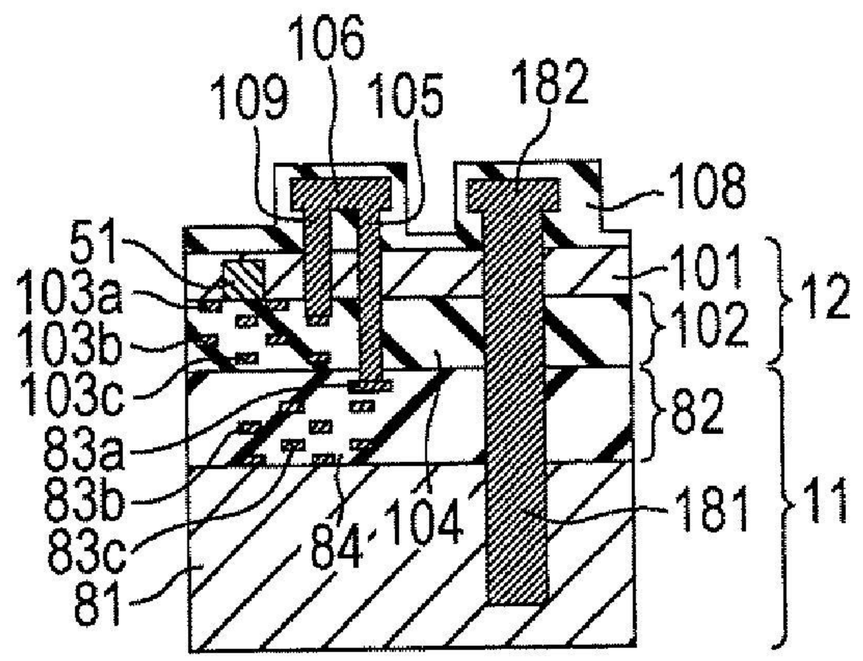


圖90B

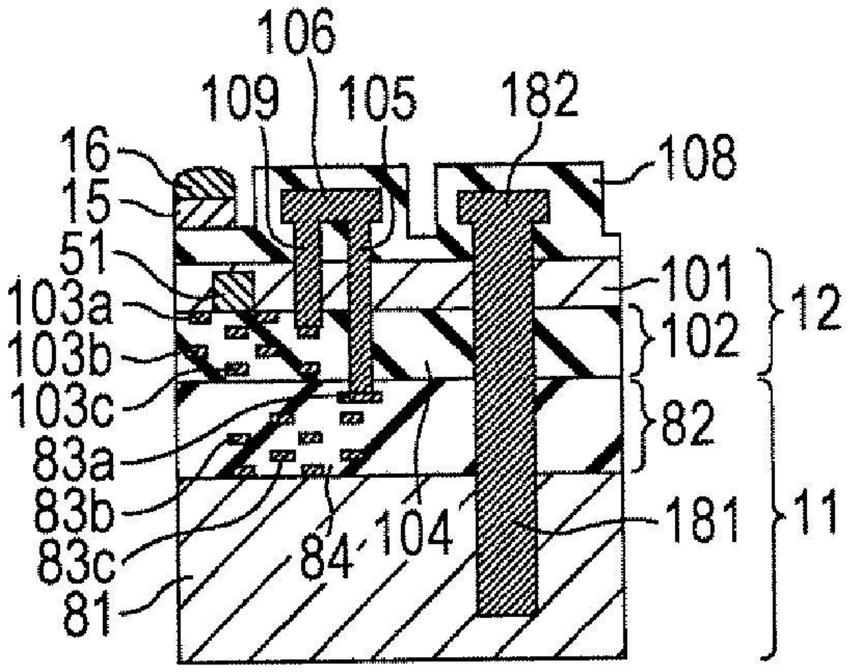


圖90C

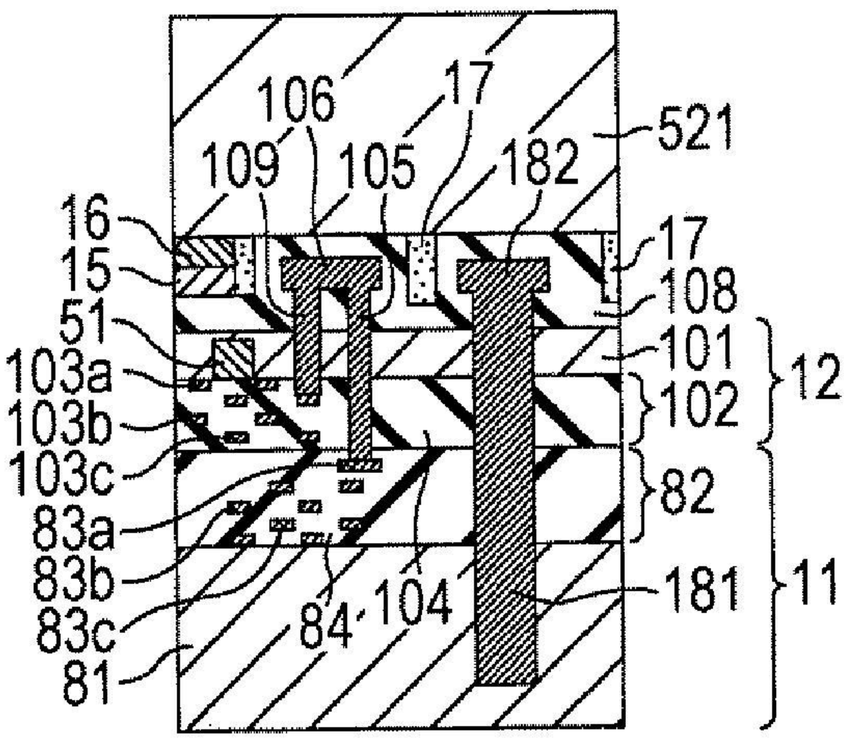


圖90D

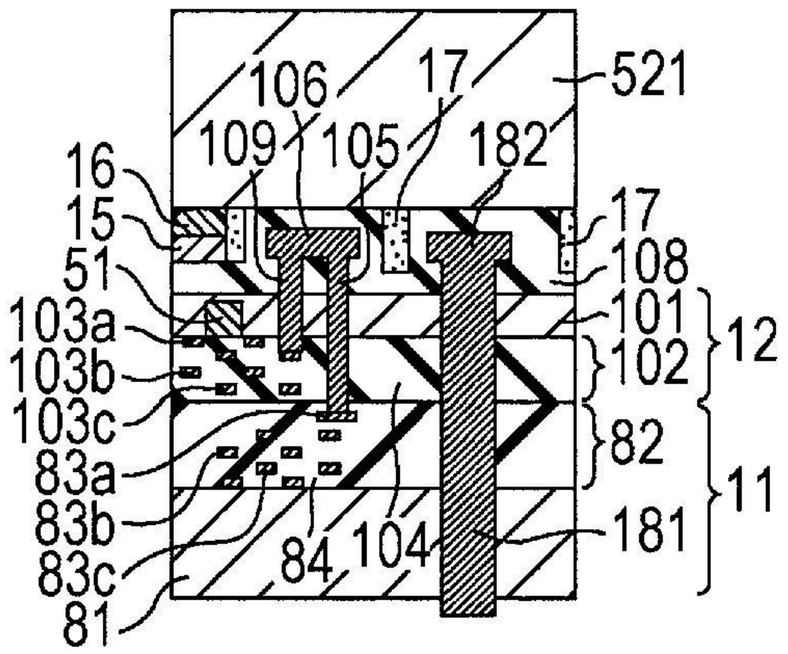


圖91A

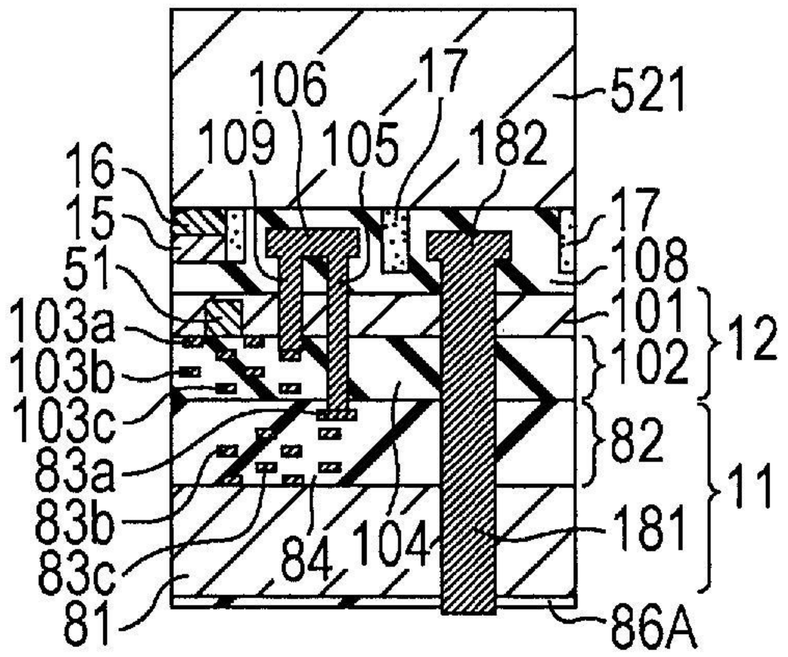


圖91B

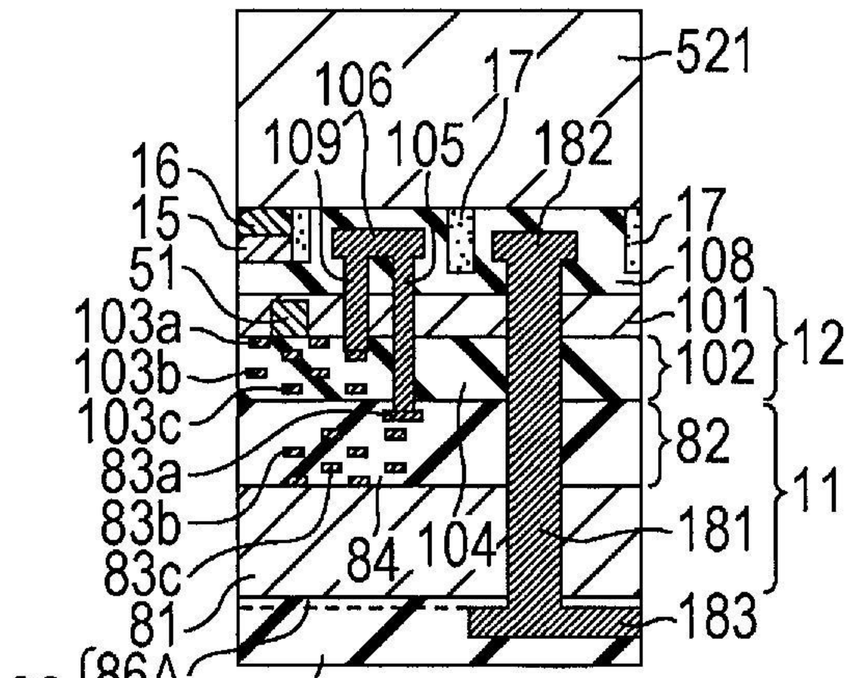


圖91C

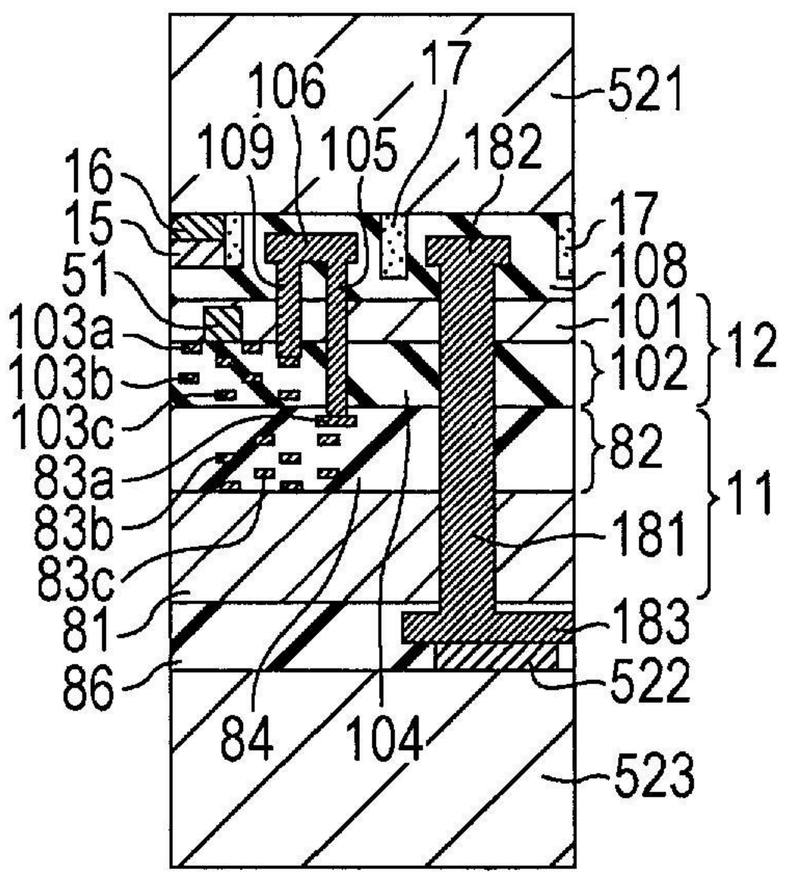


圖91D

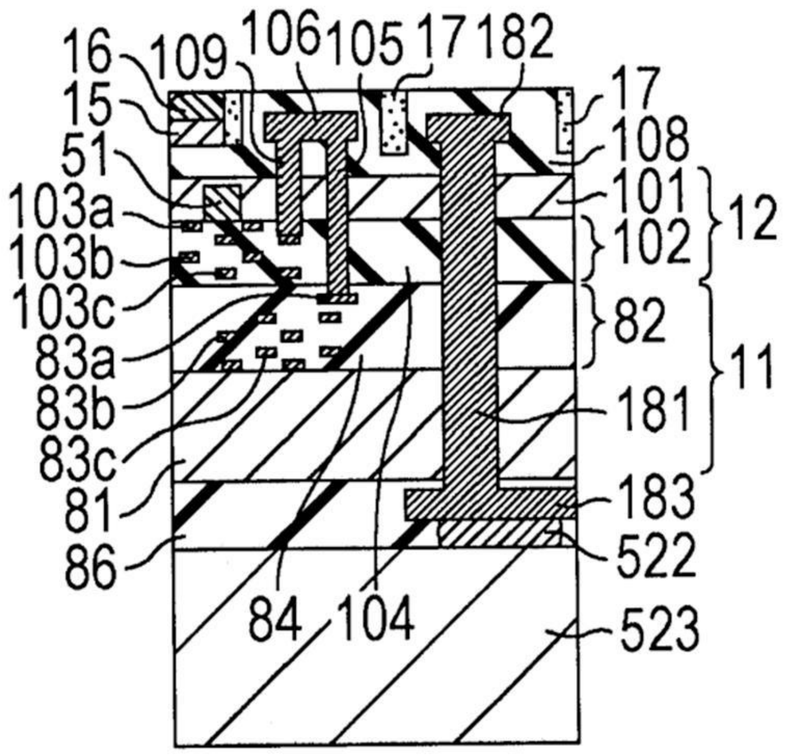


圖92A

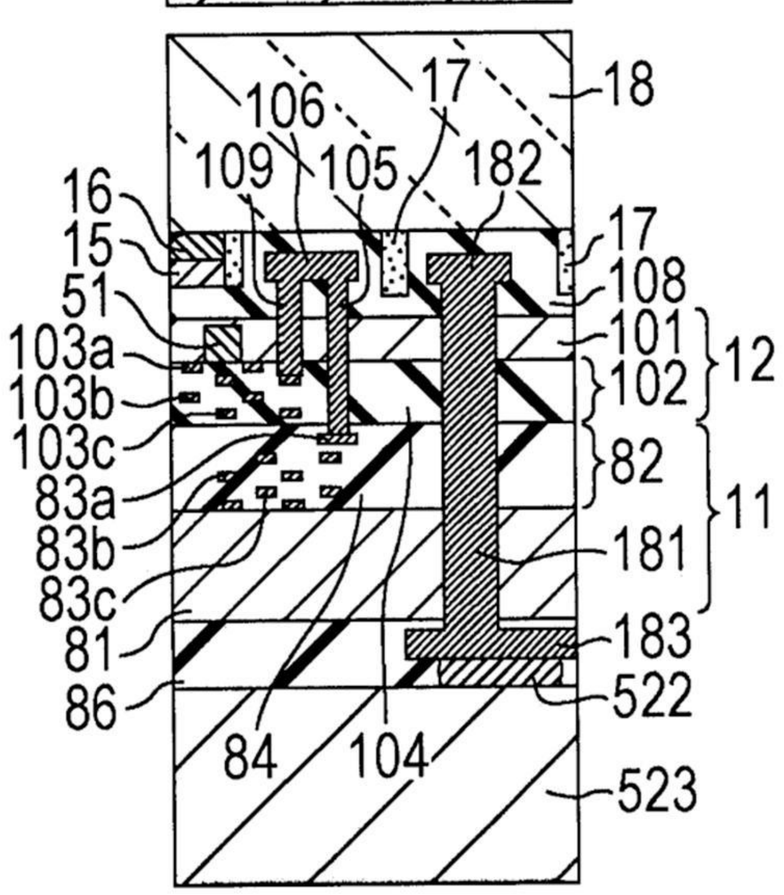


圖92B

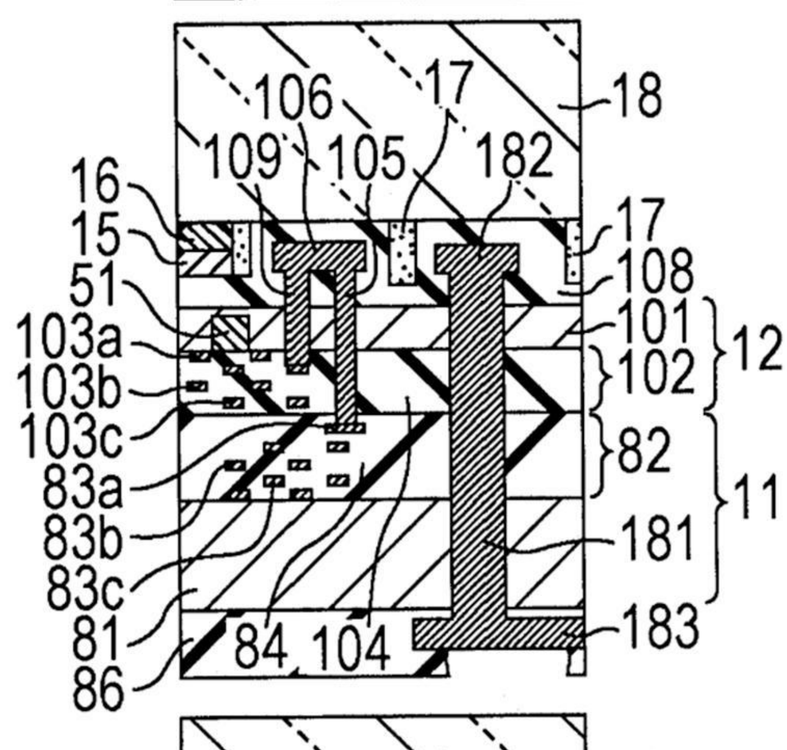


圖92C

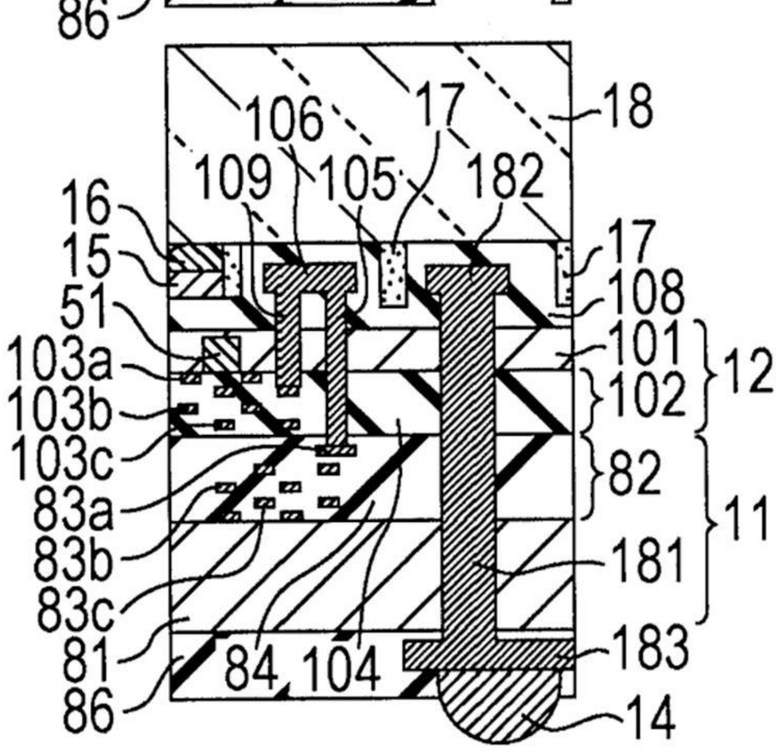


圖92D

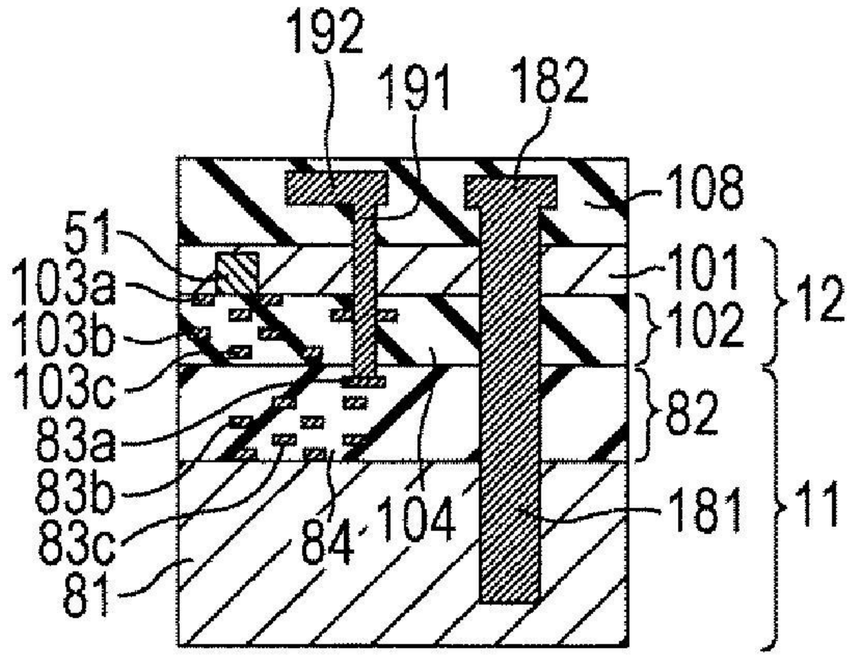


圖93A

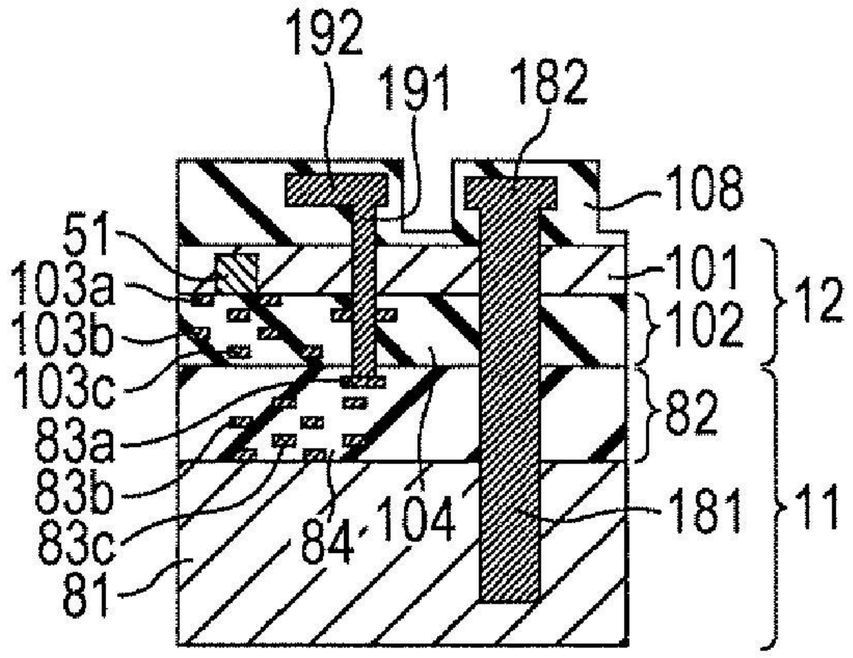


圖93B

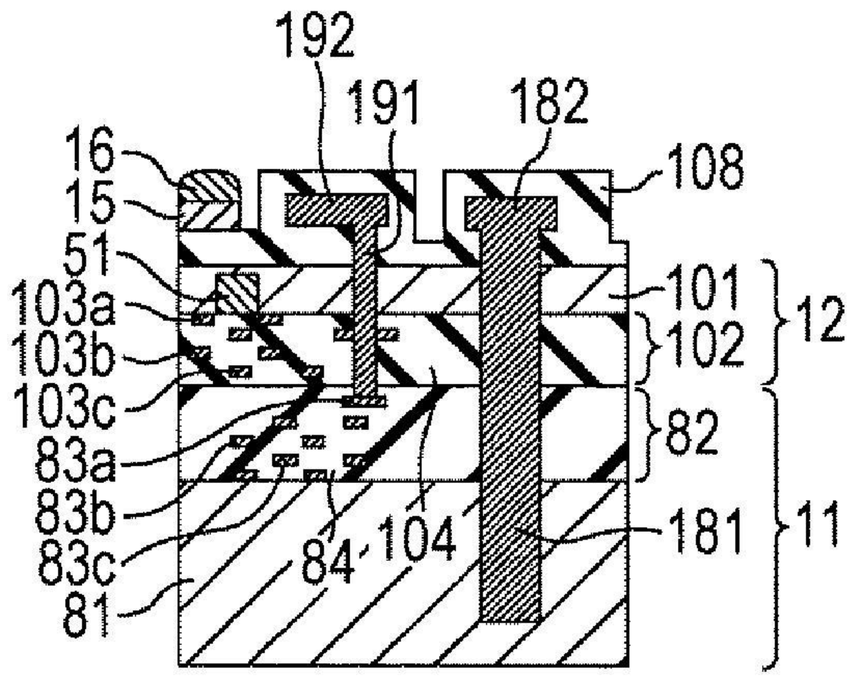


圖93C

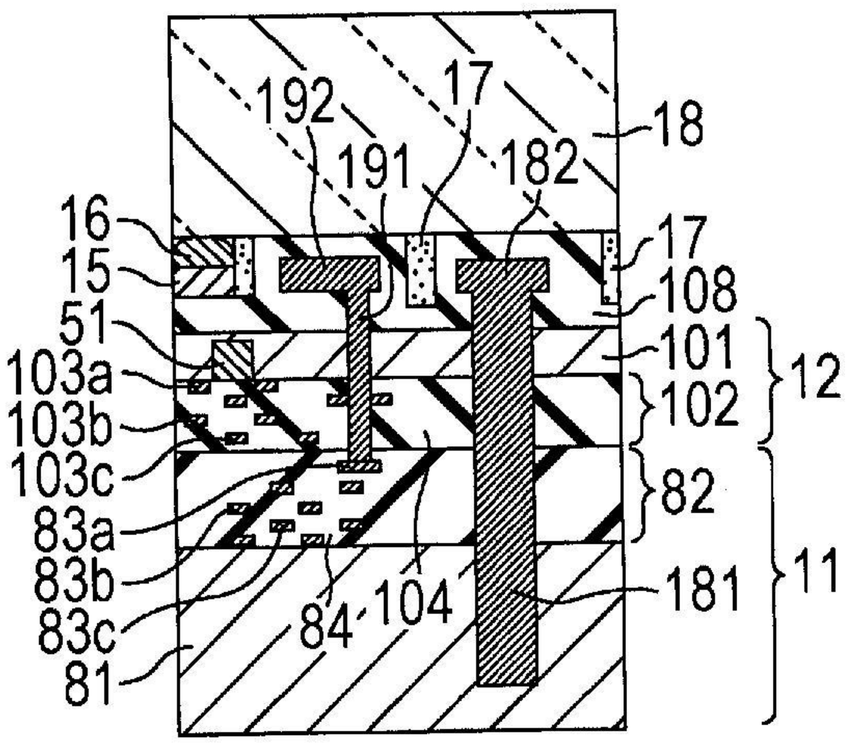


圖94A

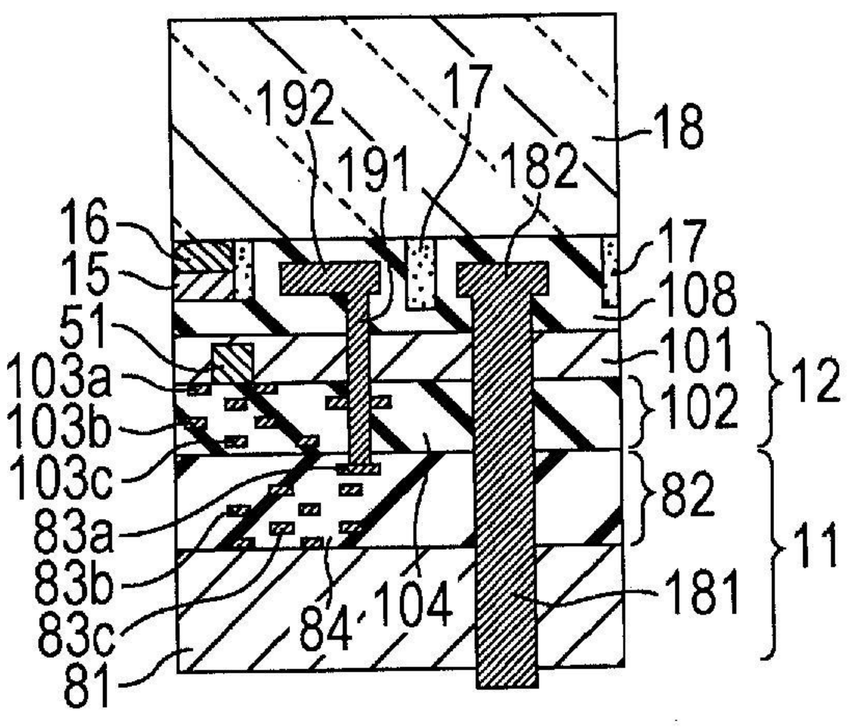


圖94B

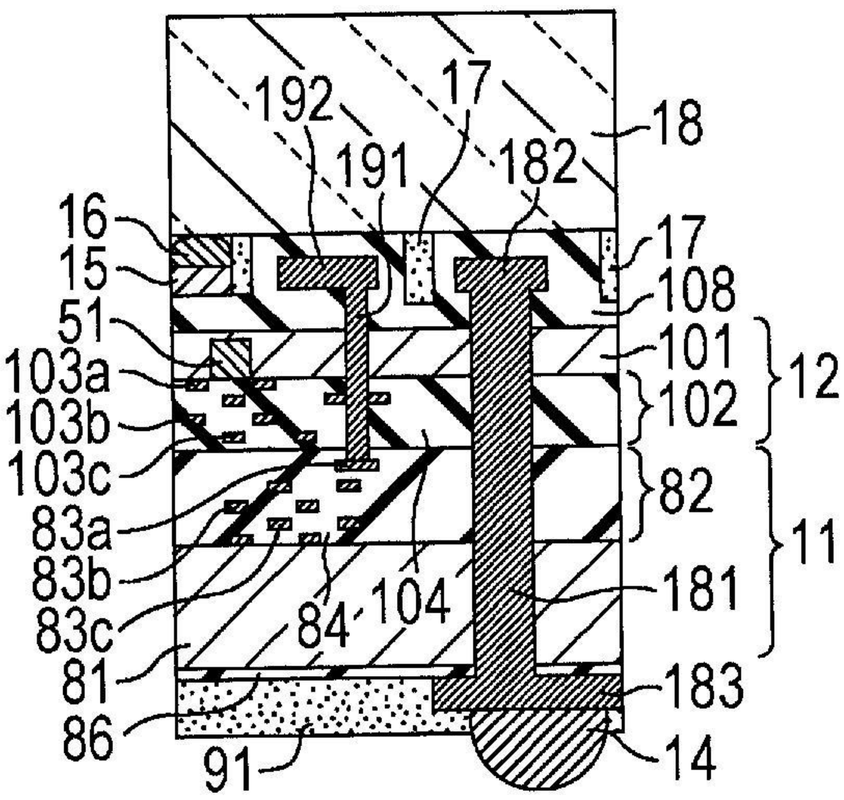


圖94C

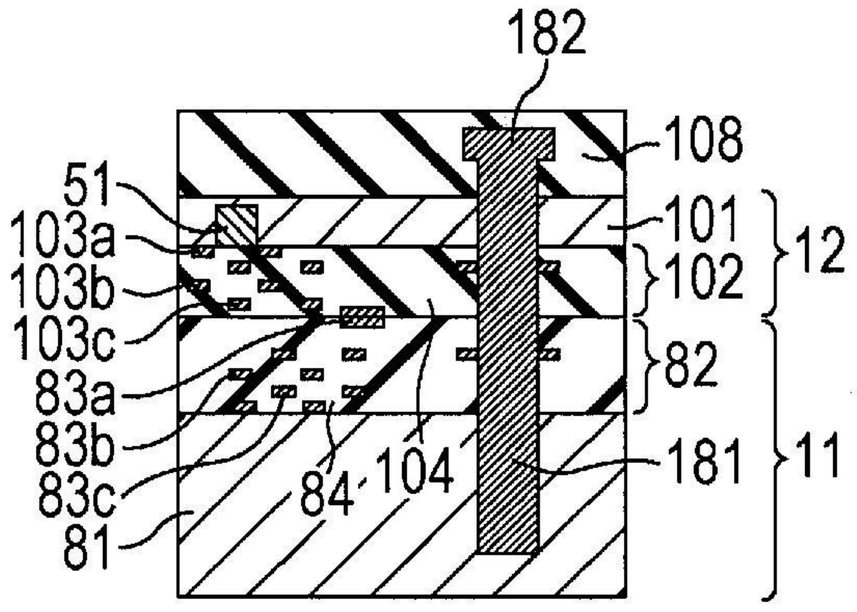


圖95A

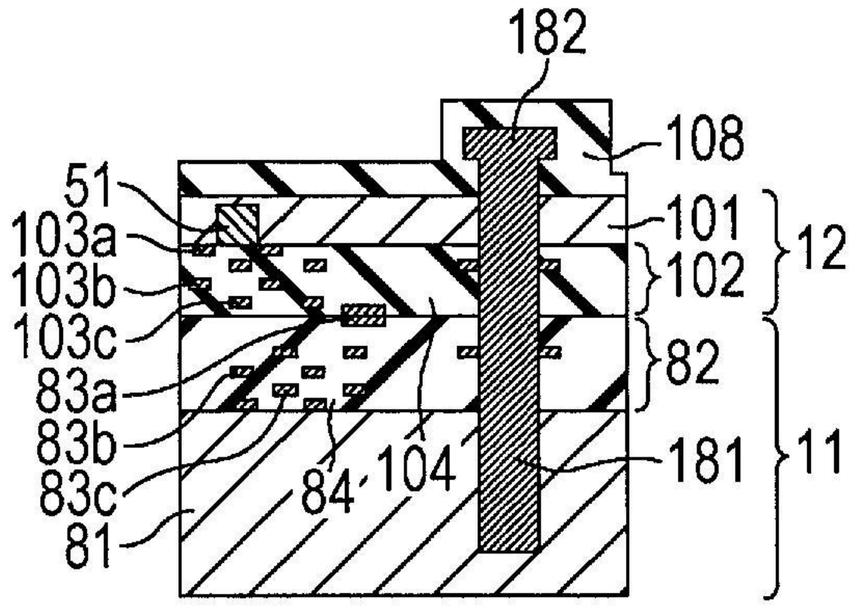


圖95B

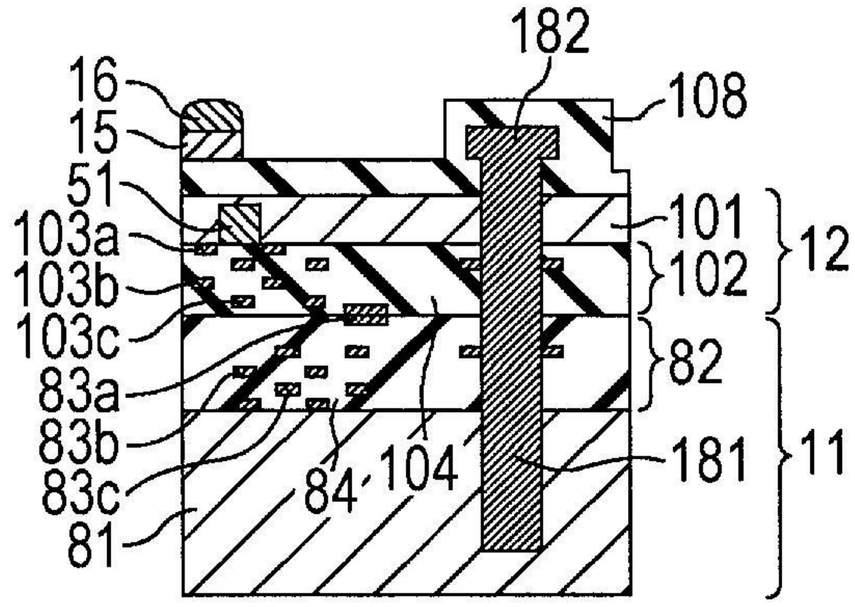


圖95C

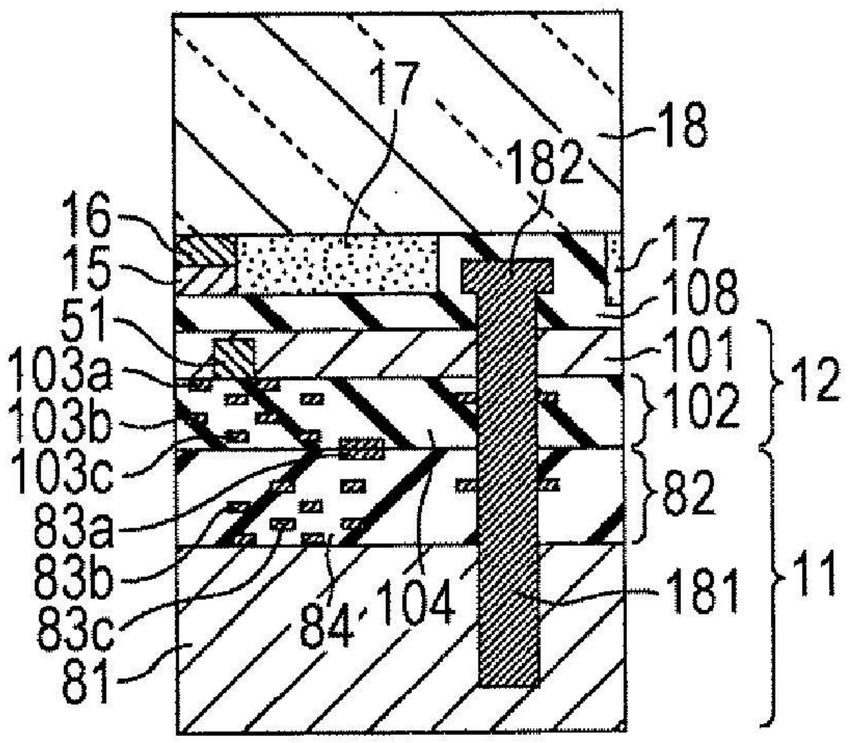


圖96A

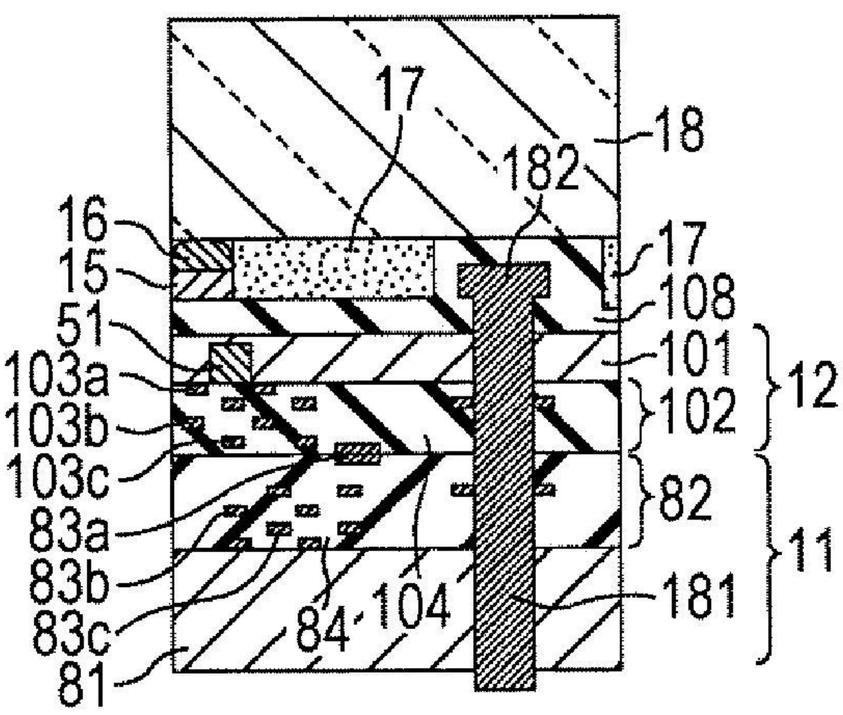


圖96B

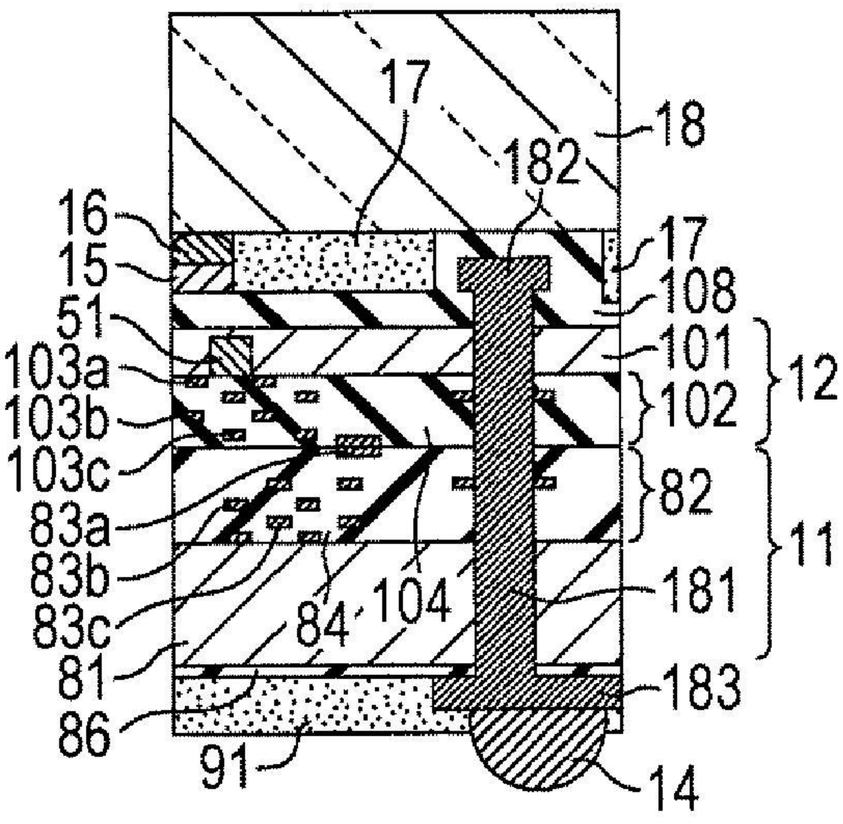


圖96C

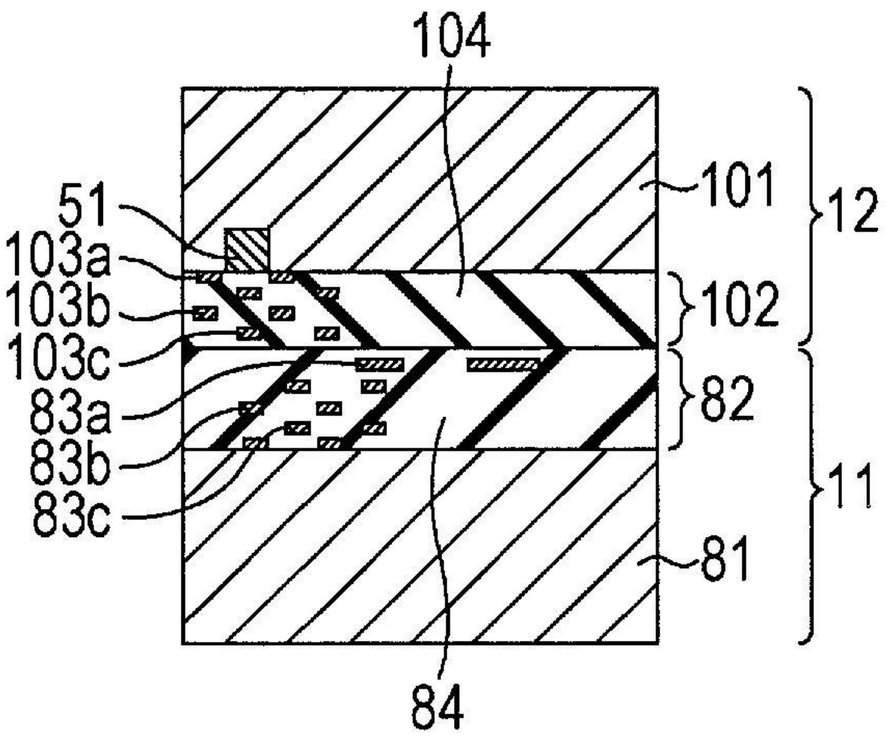


圖97A

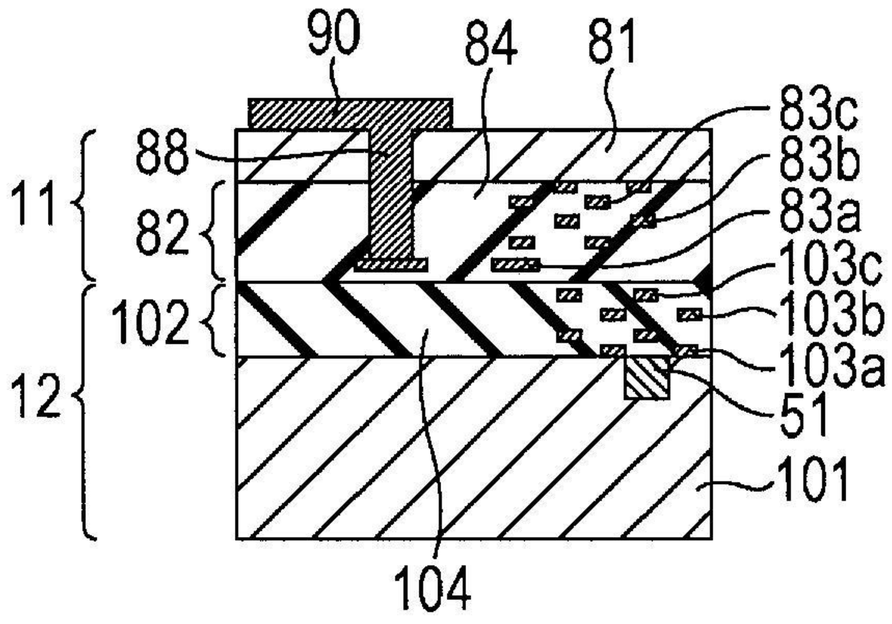


圖97B

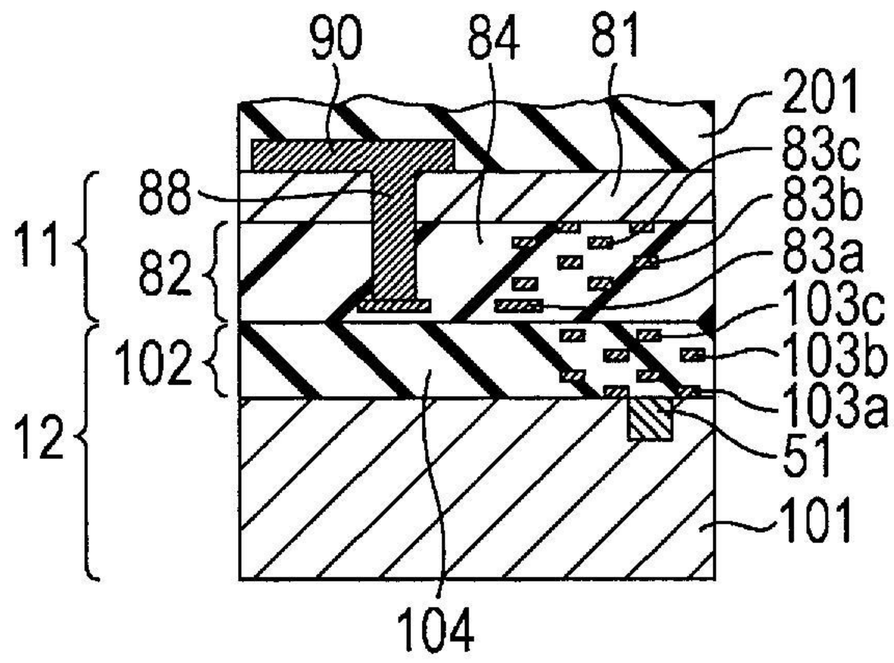


圖97C

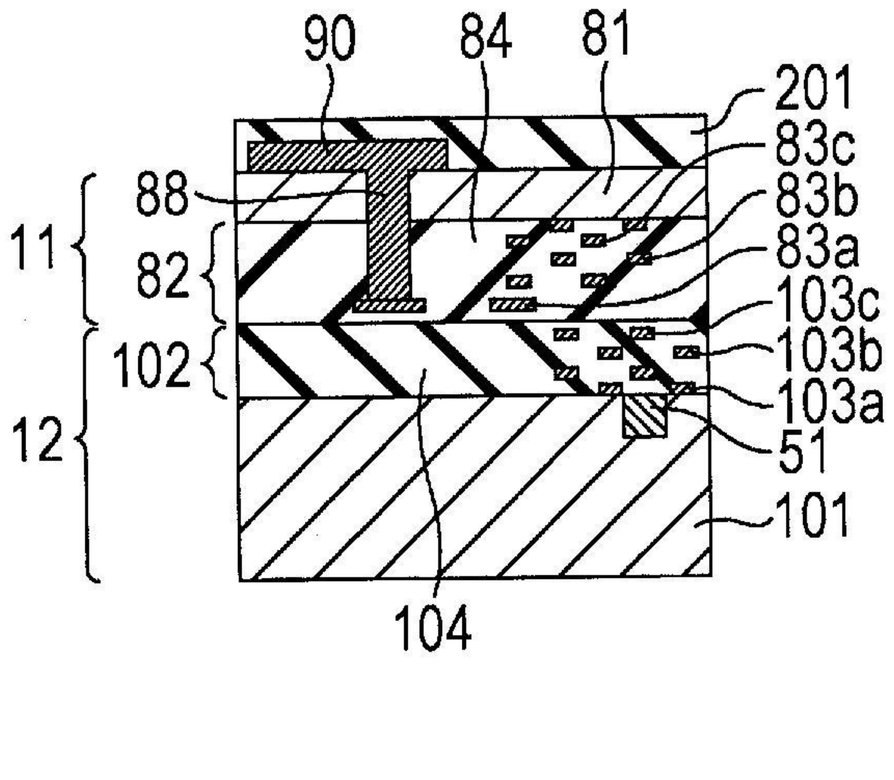


圖98A

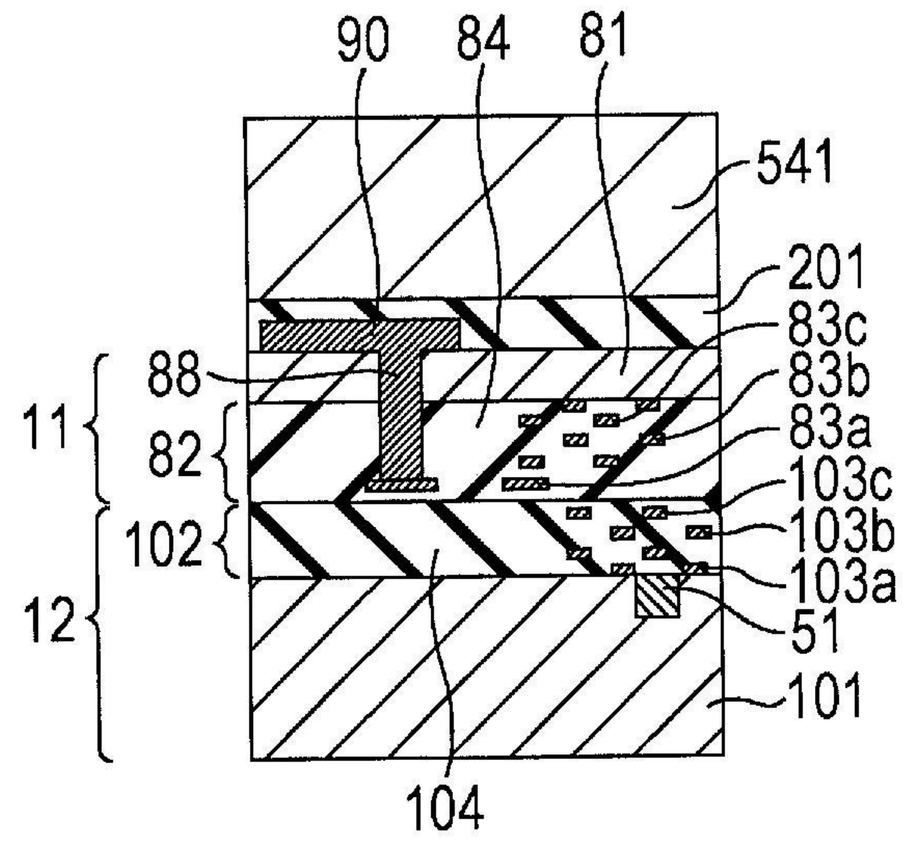


圖98B

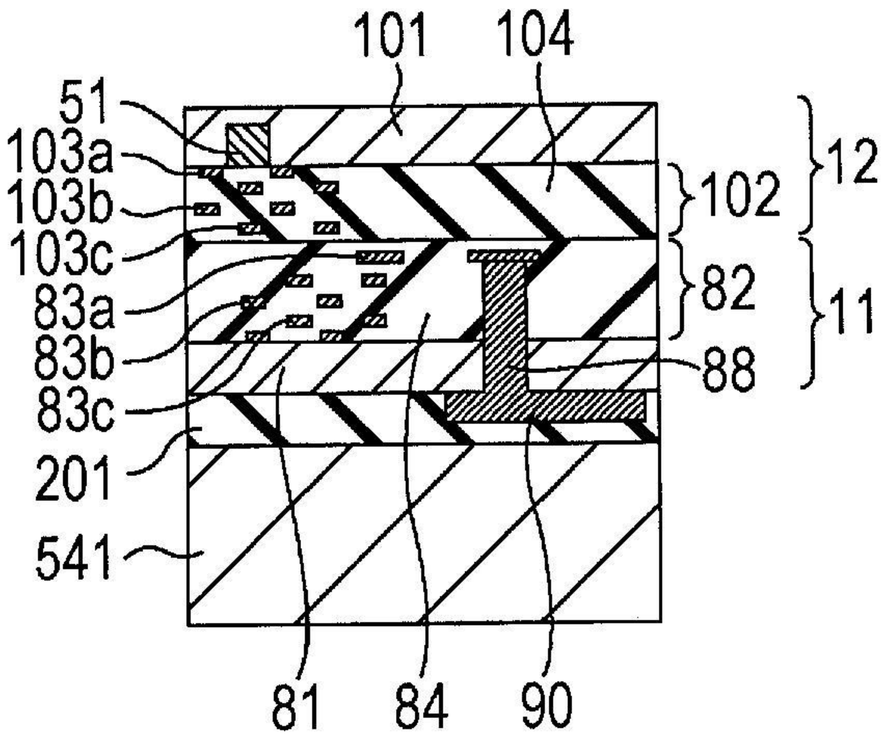


圖98C

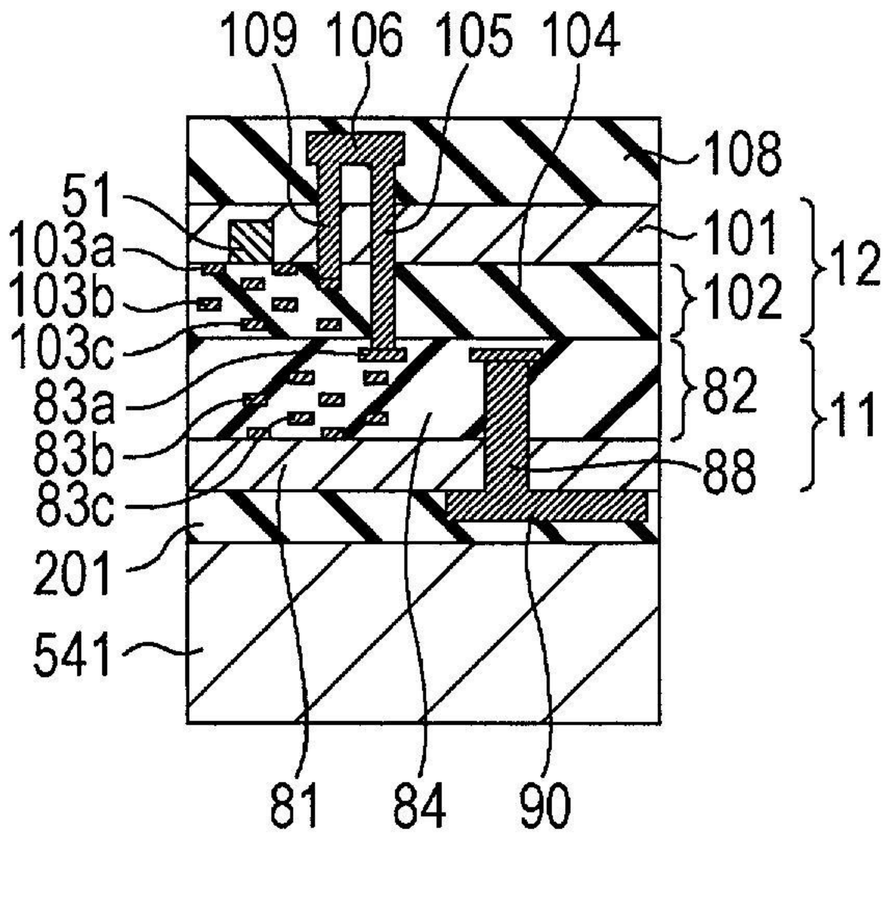


圖99A

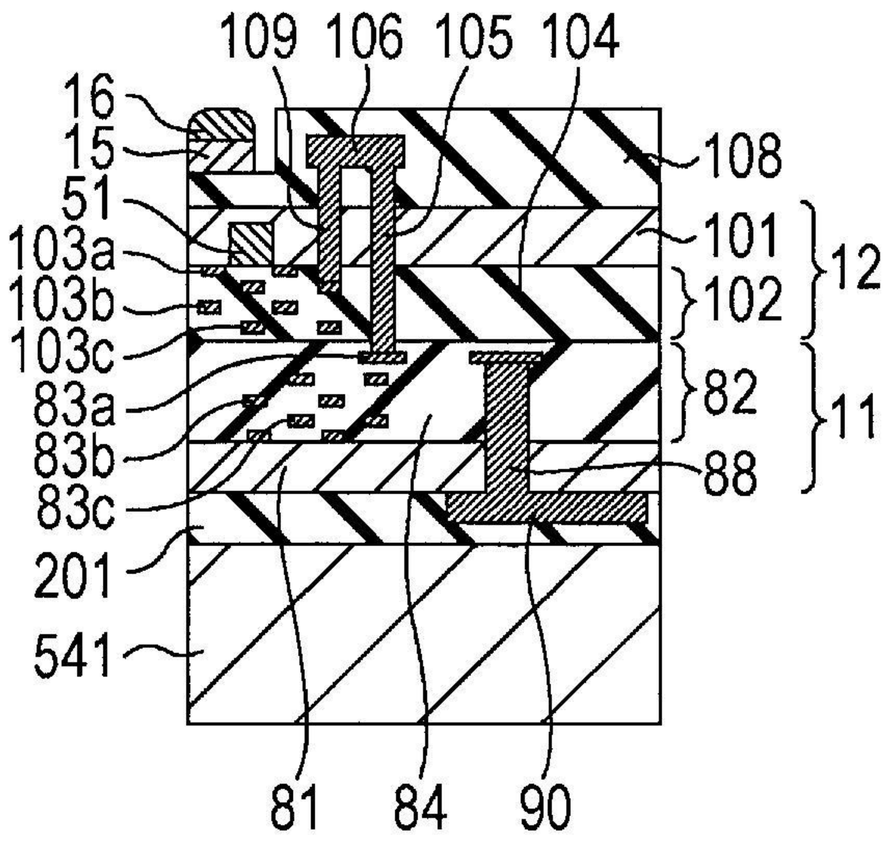


圖99B

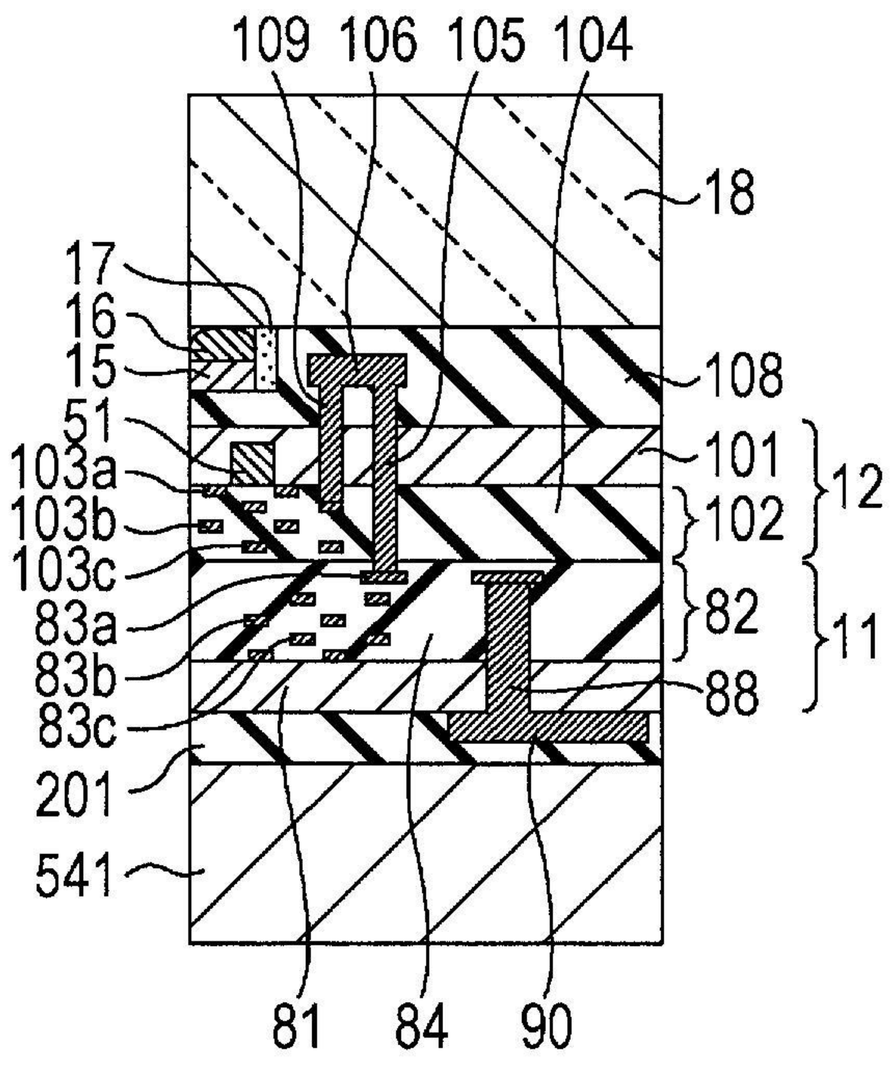


圖99C

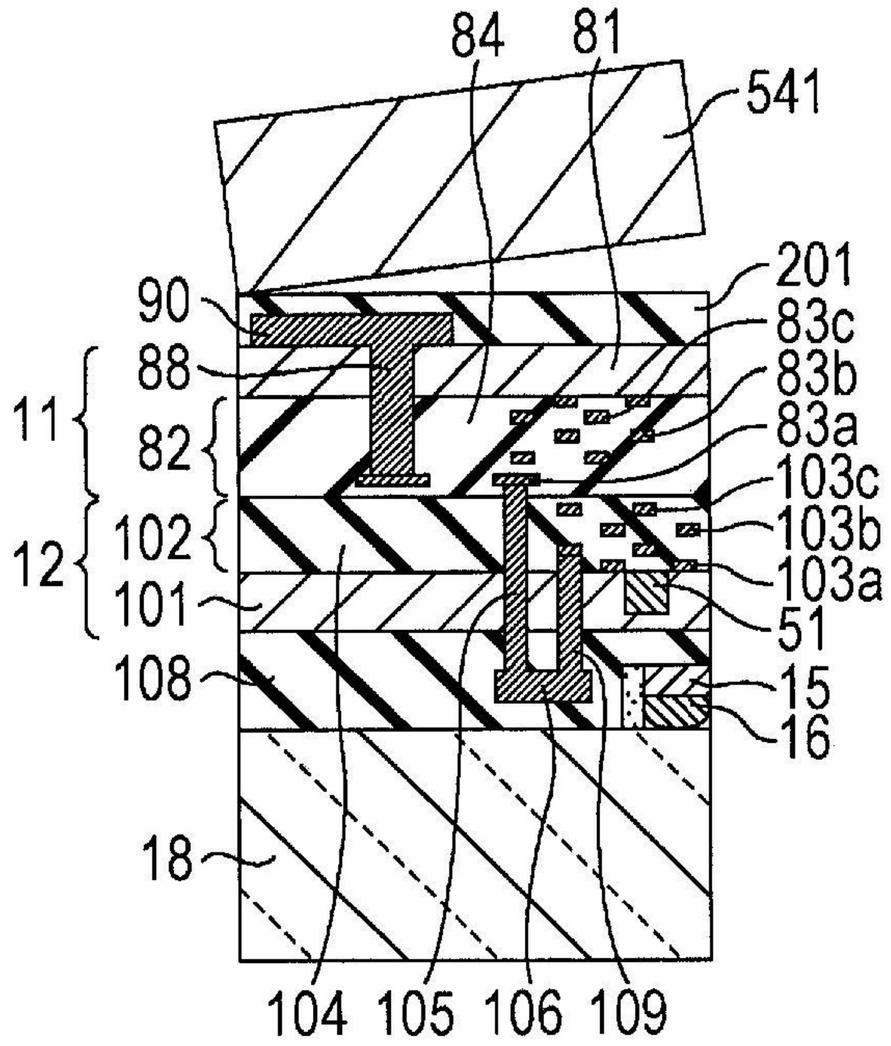


圖100A

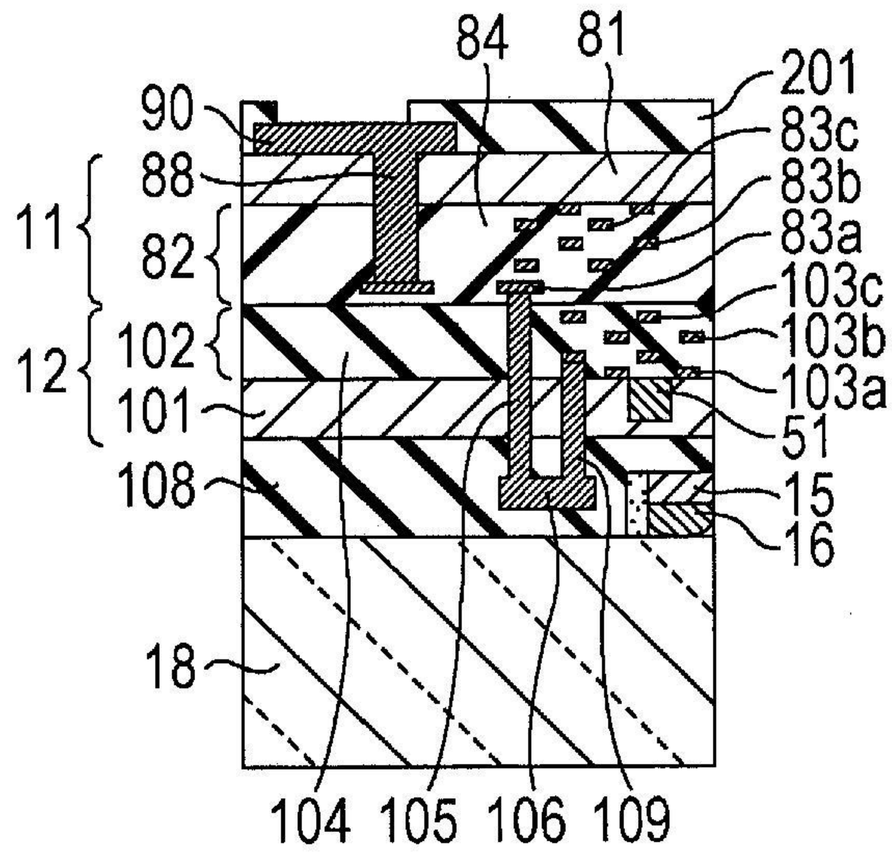


圖100B

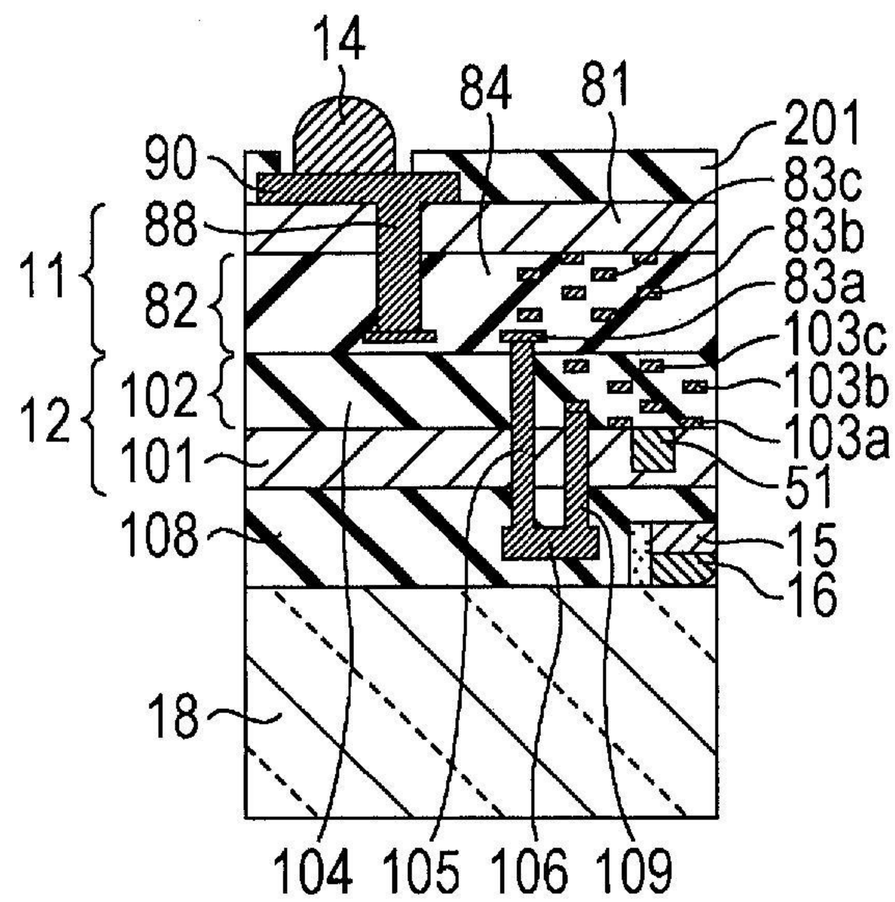


圖100C

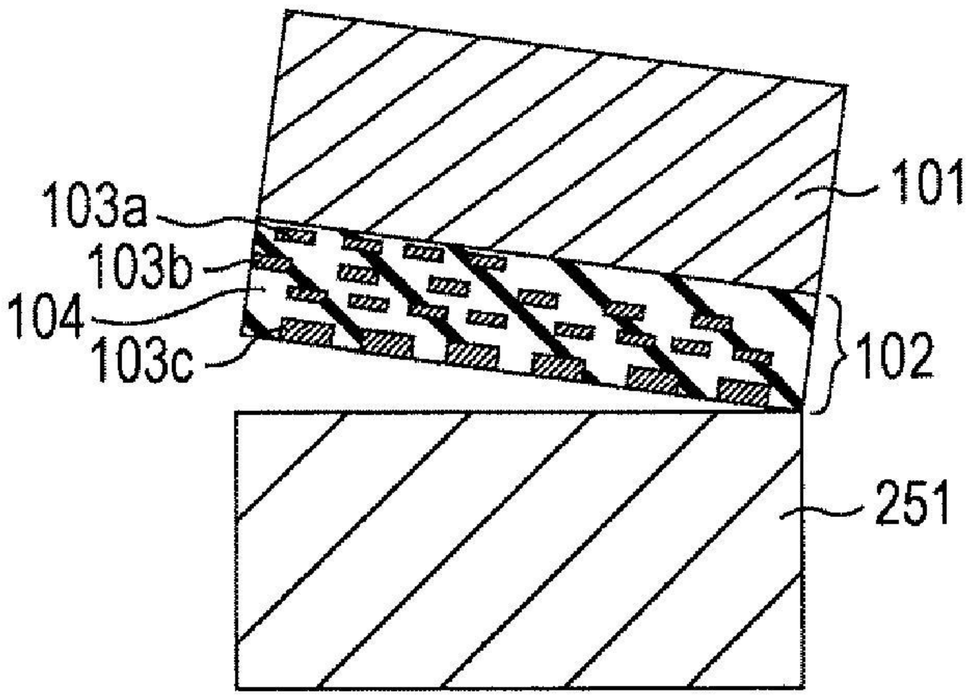


圖101A

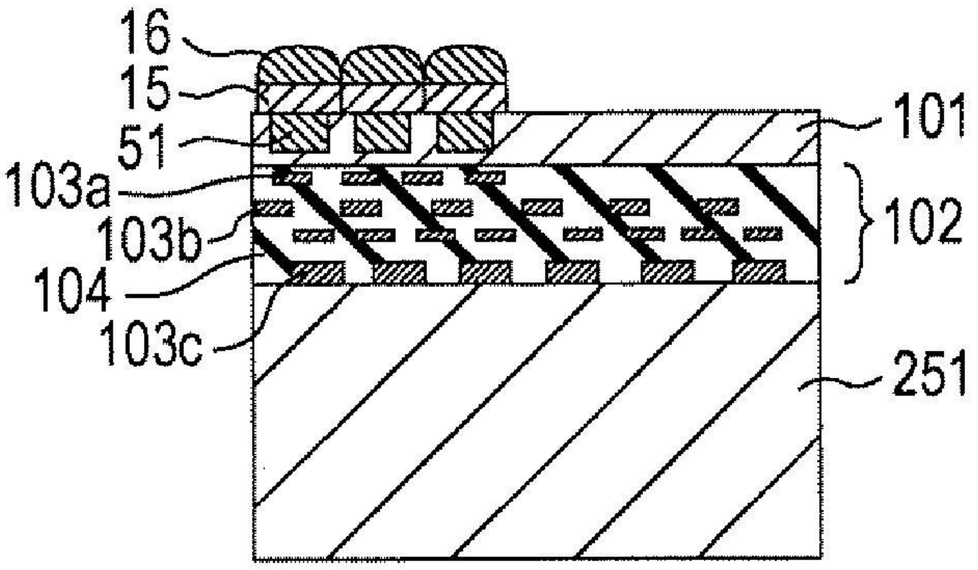


圖101B

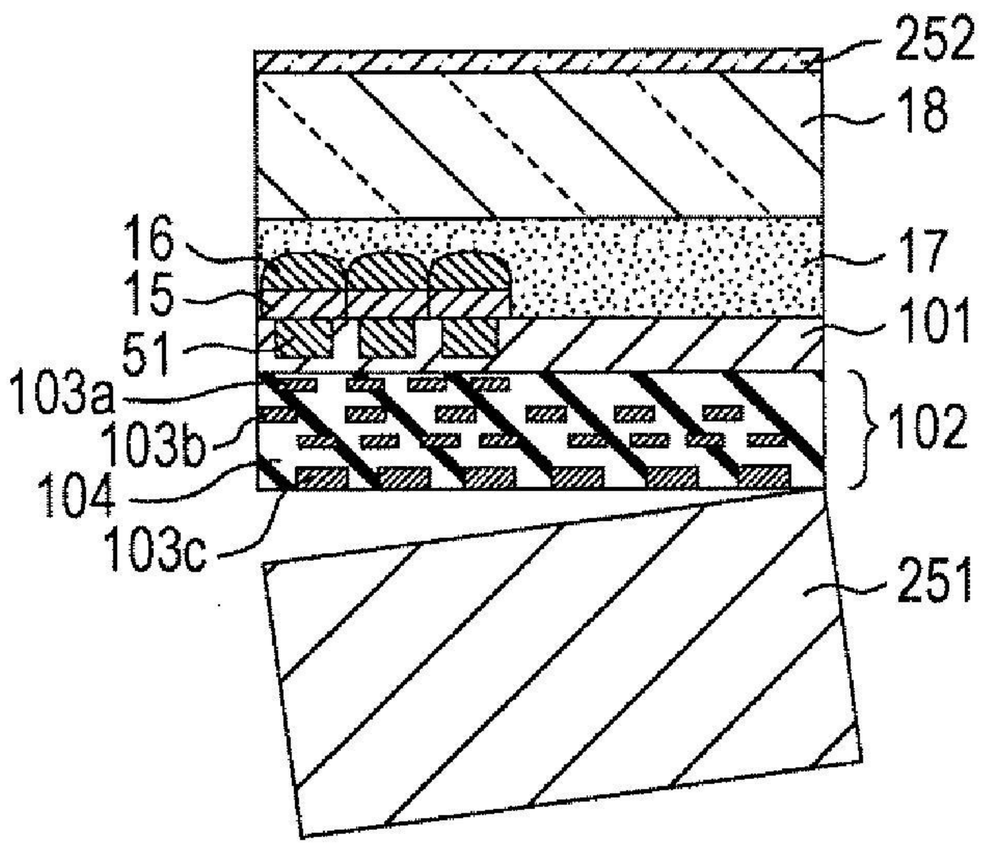


圖101C

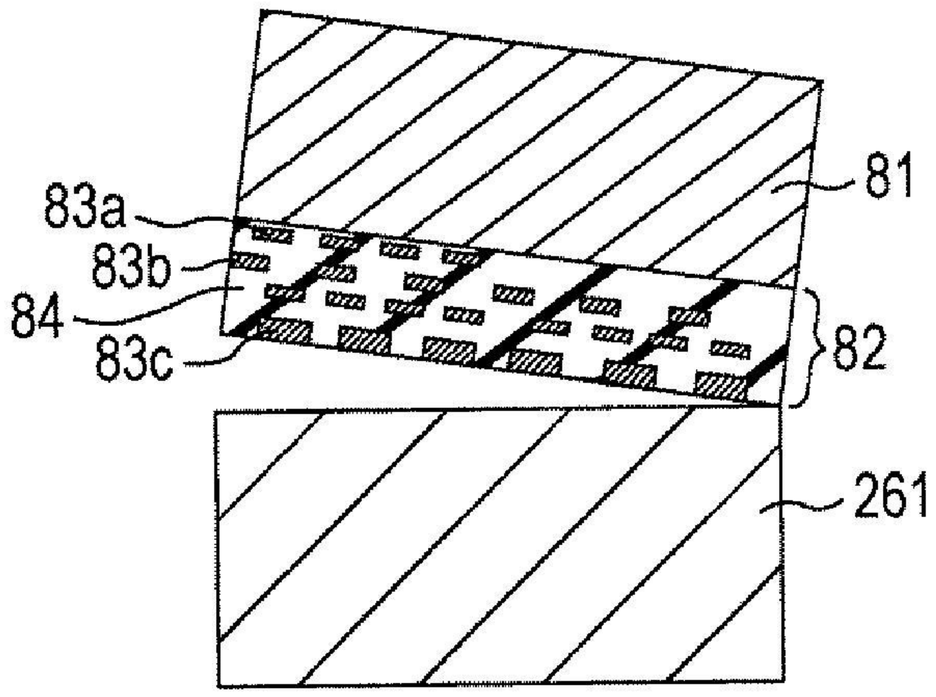


圖102A

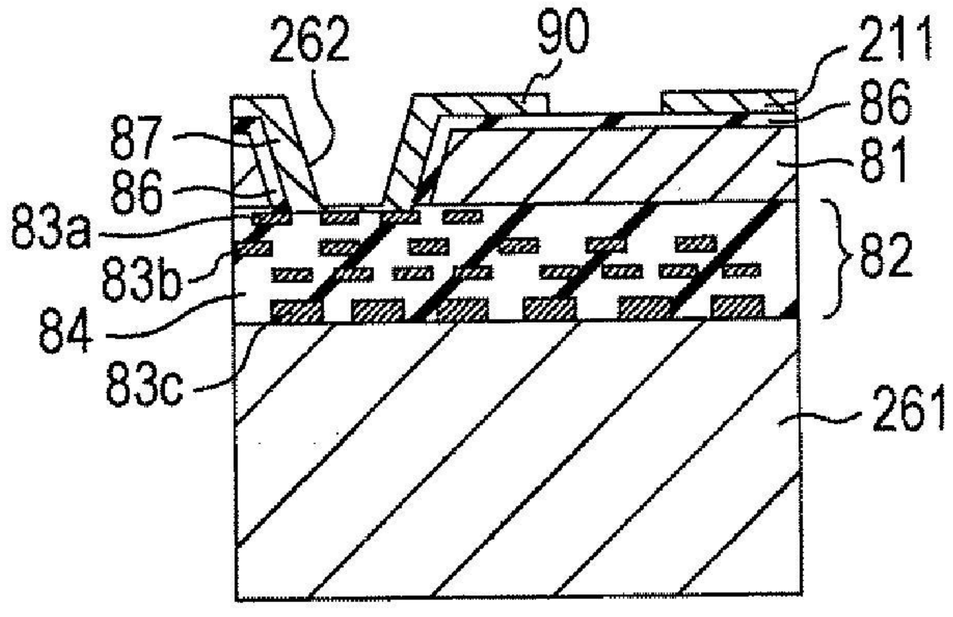


圖102B

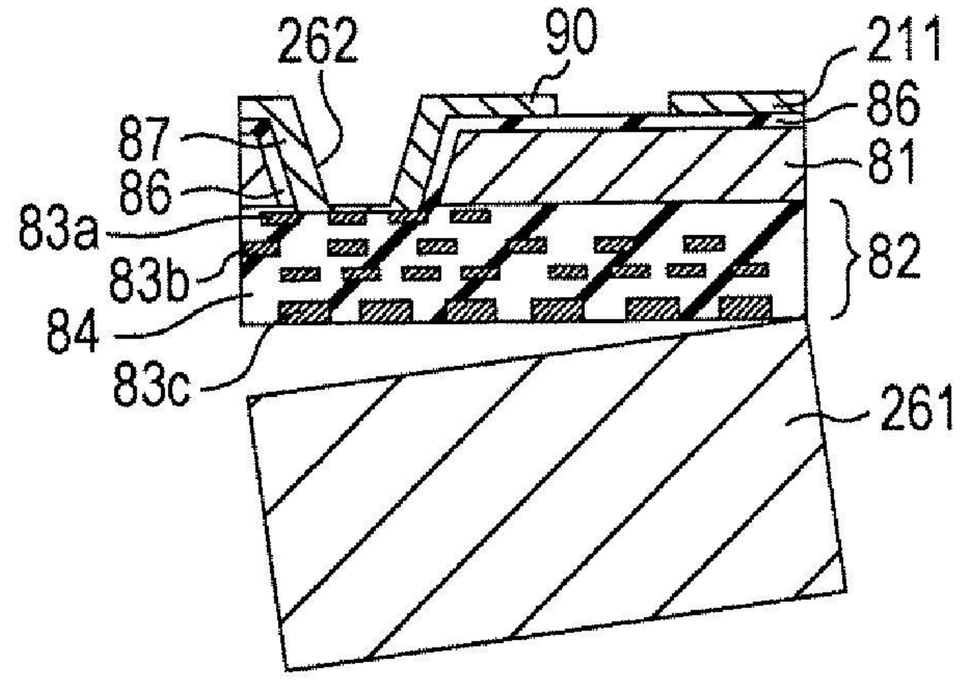


圖102C

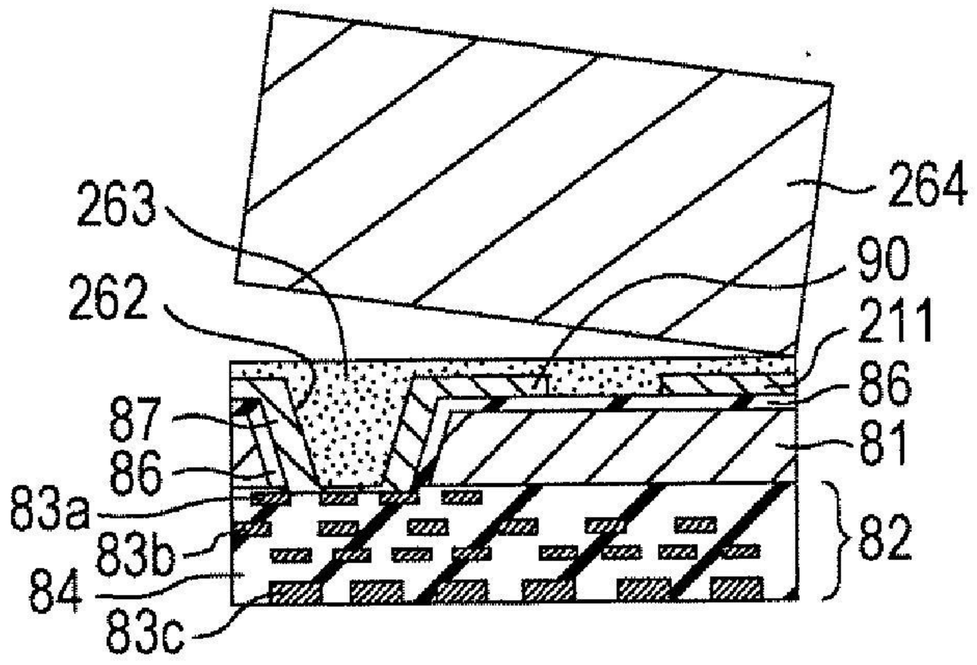


圖102D

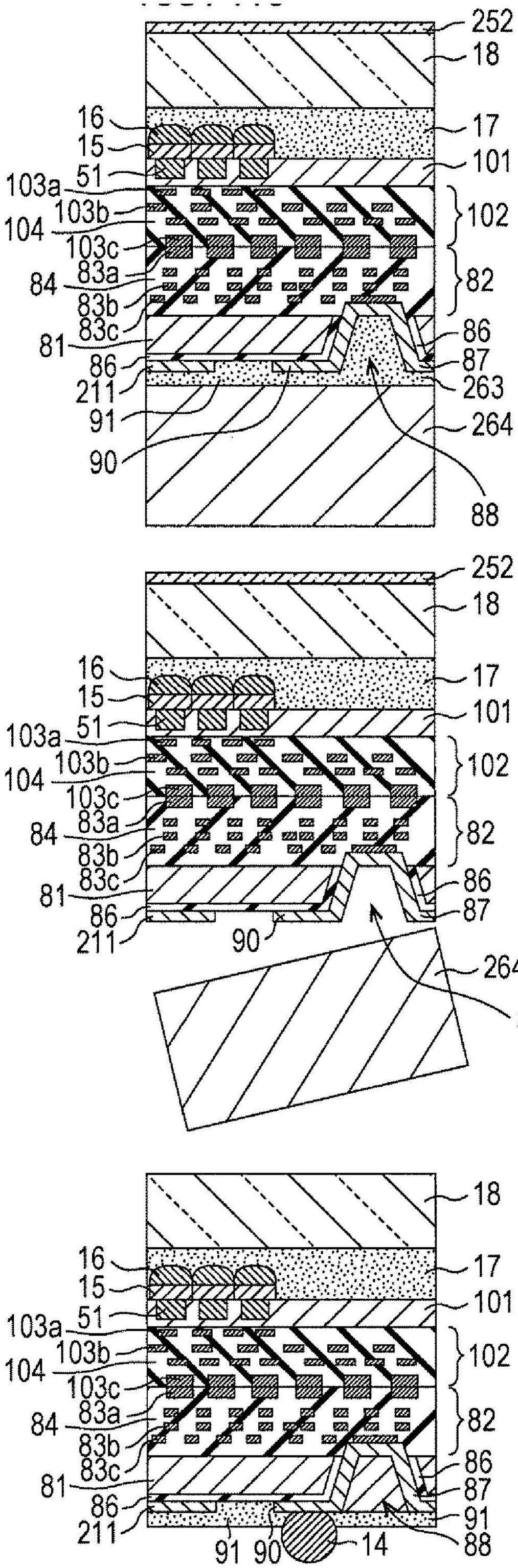


圖103A

圖103B

圖103C

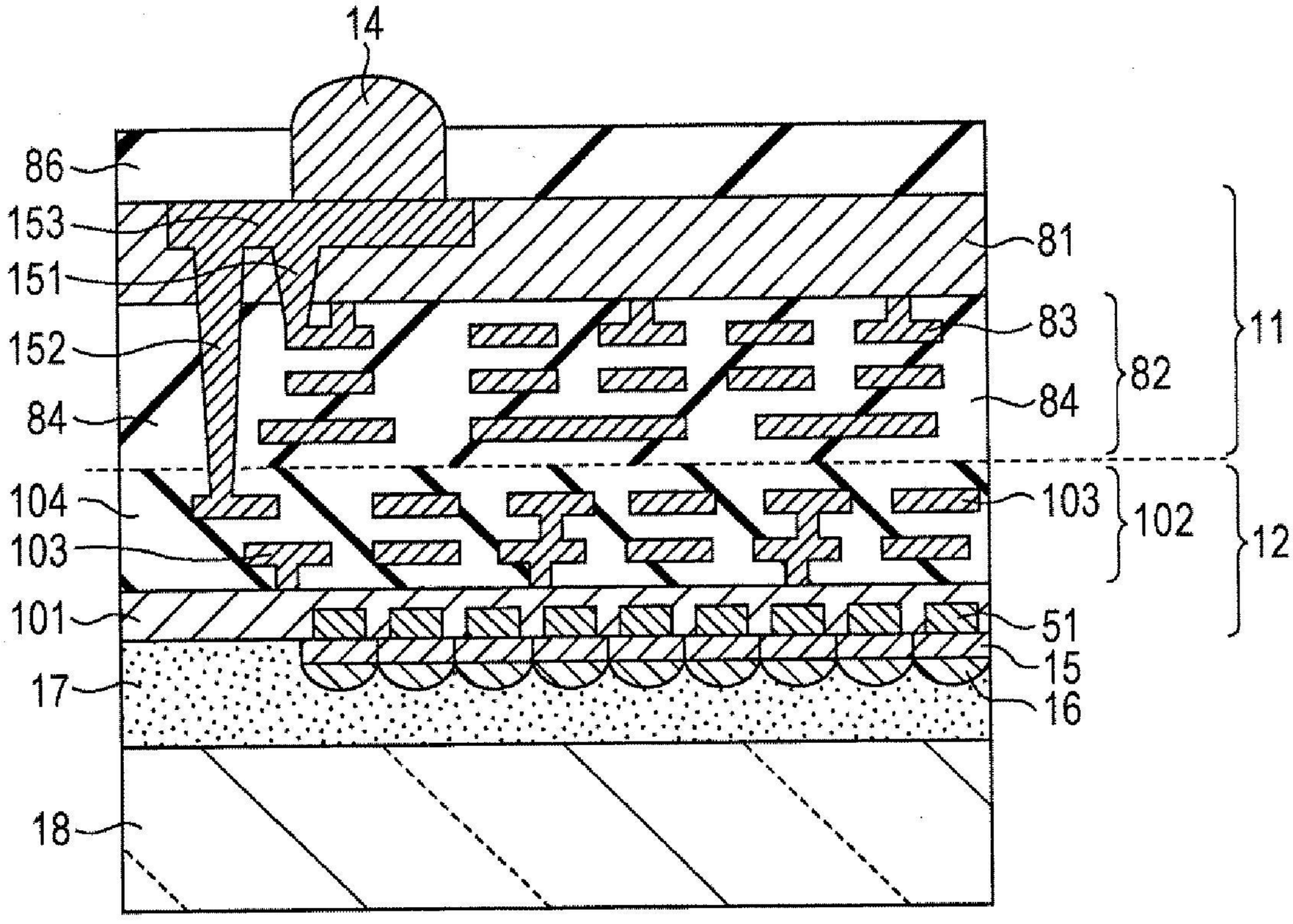

14
86
153
151
152
84
104
103
101
17
18
81
83
84
82
11
103
102
12
51
15
16

圖104

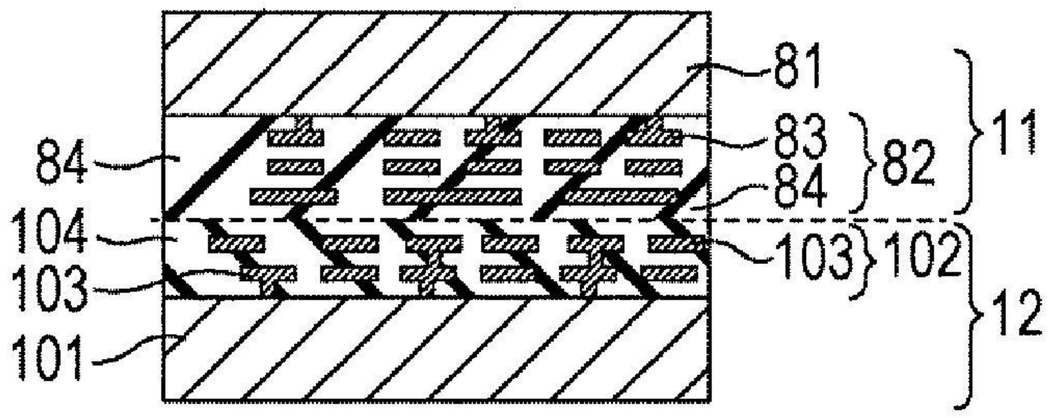


圖105A

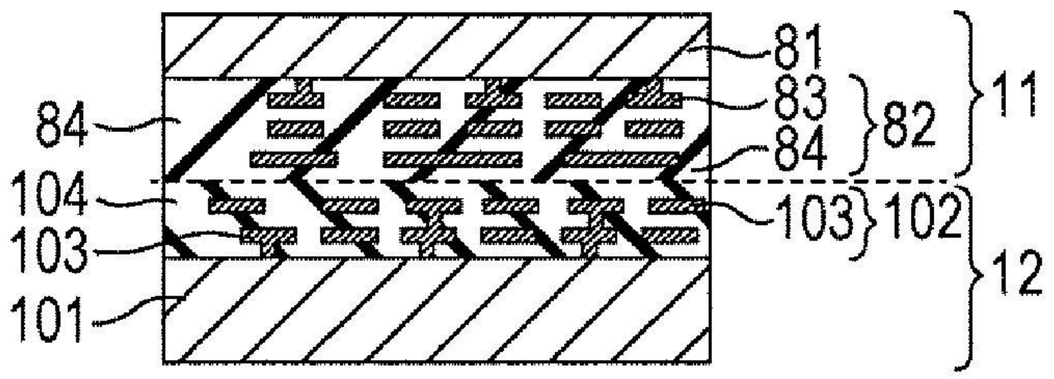


圖105B

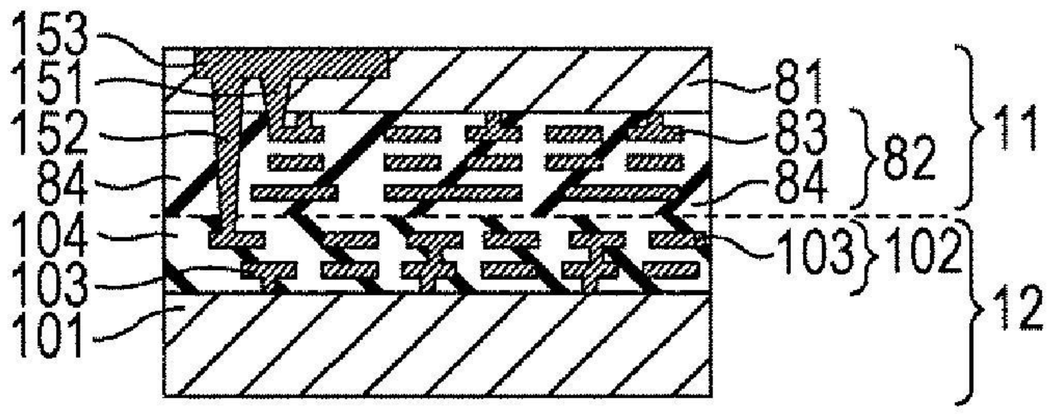


圖105C

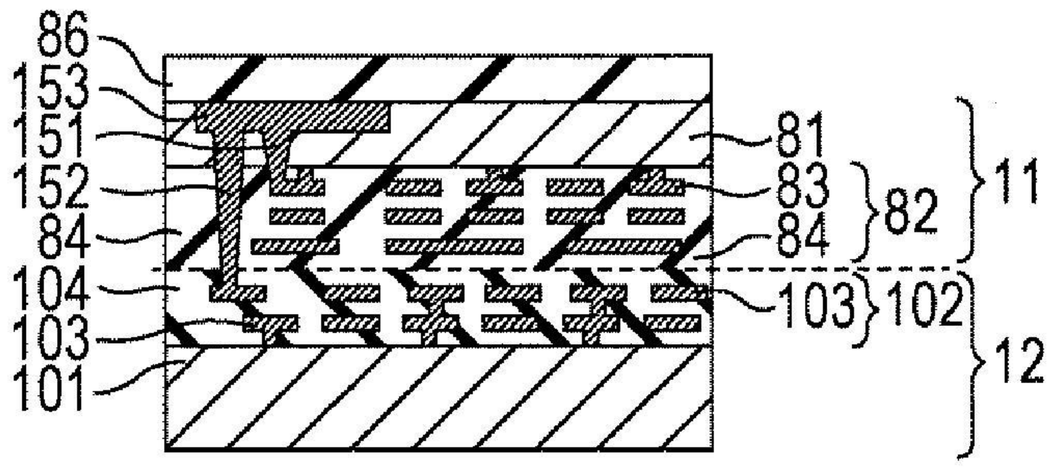


圖105D

600

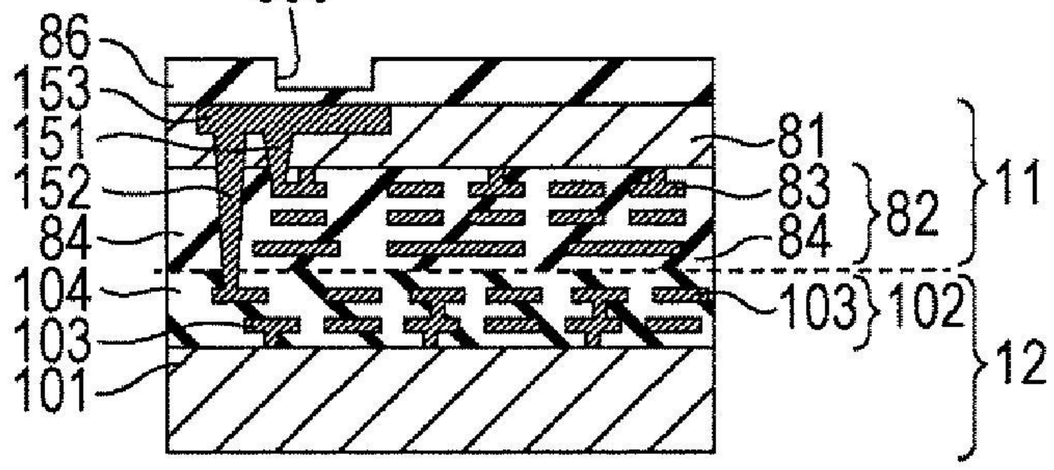


圖105E

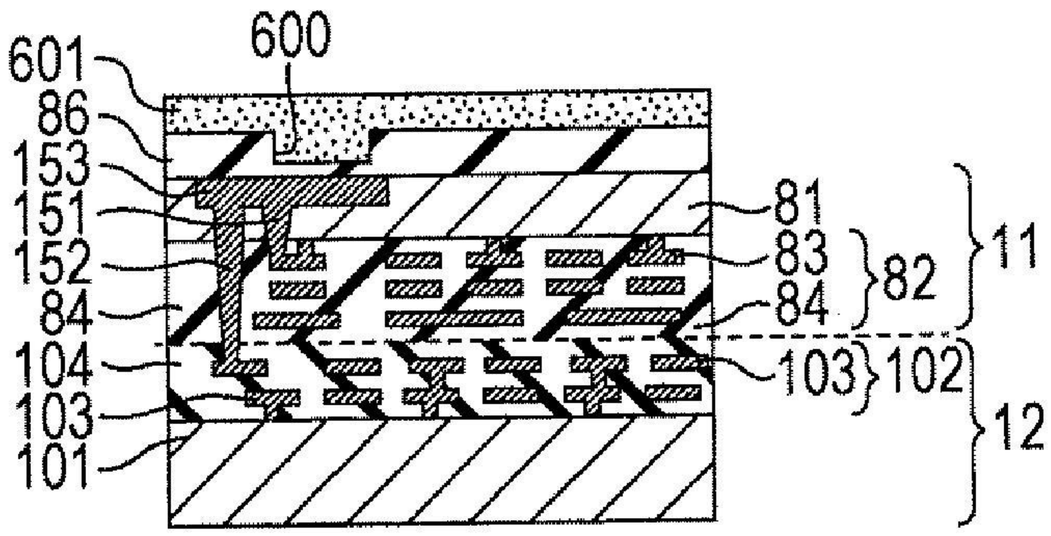


圖106A

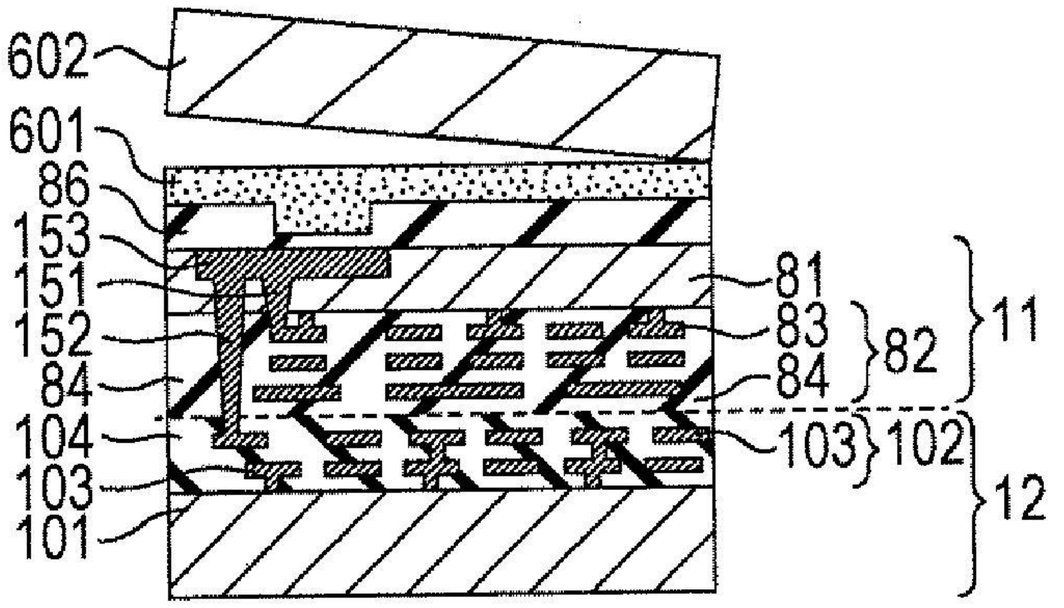


圖106B

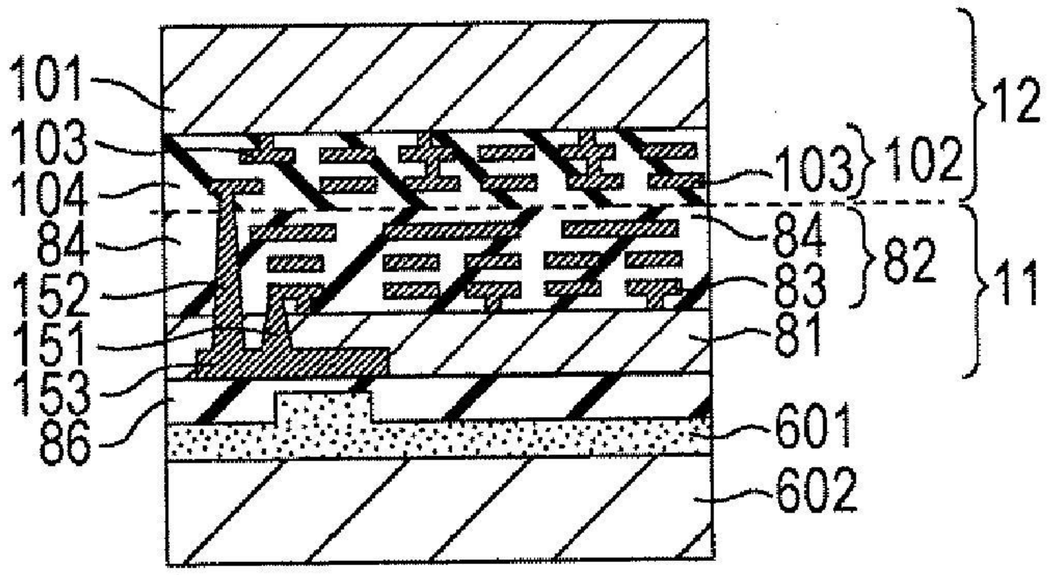


圖106C

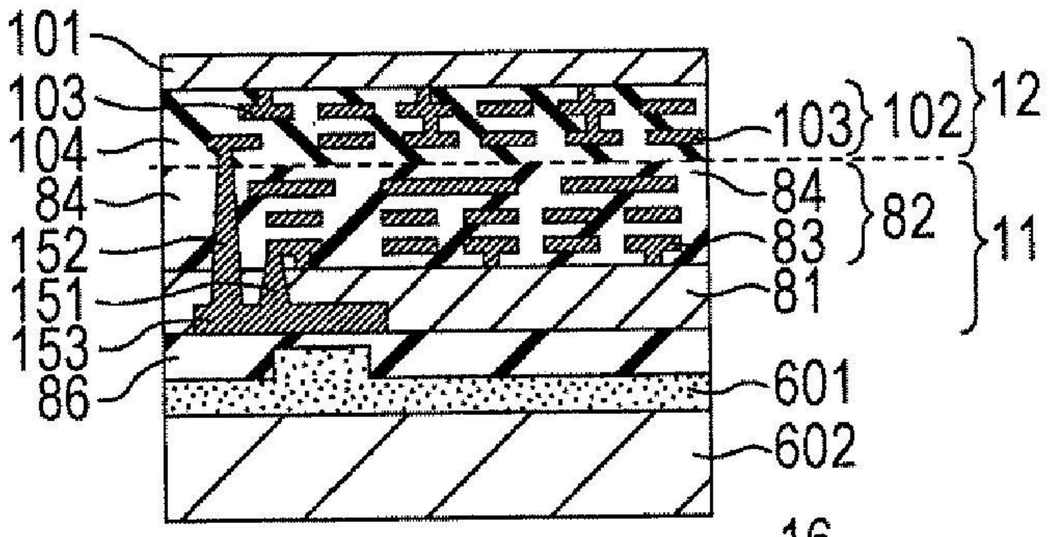


圖106D

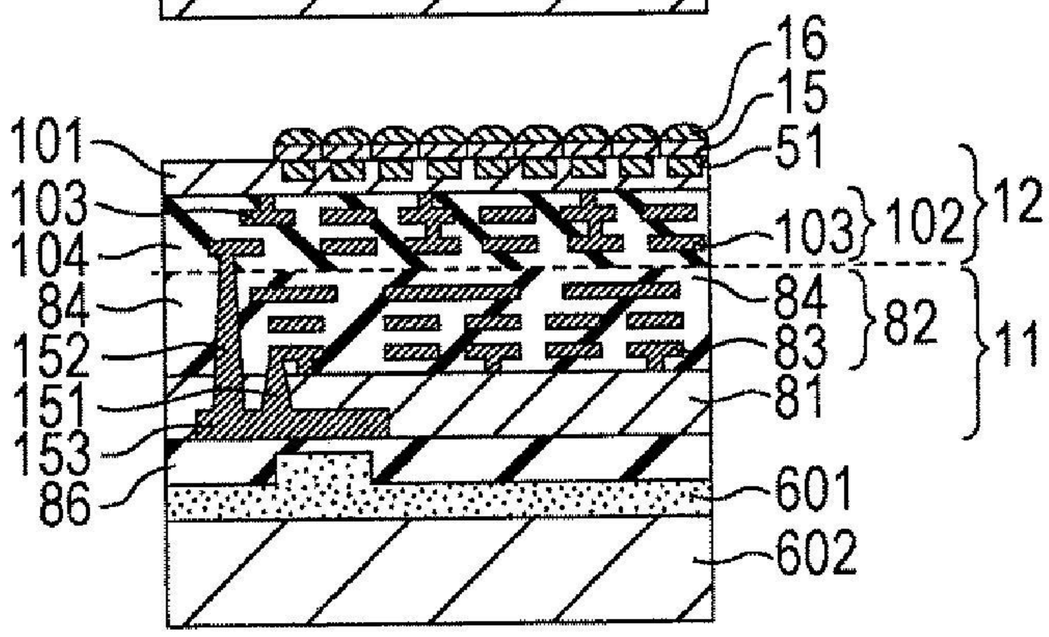


圖106E

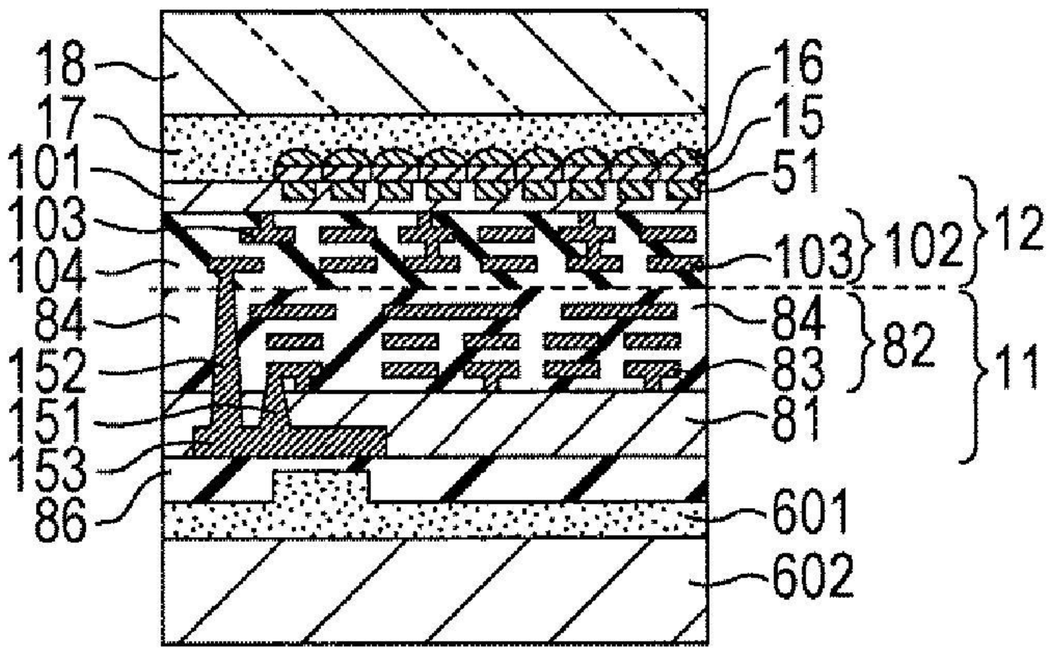


圖107A

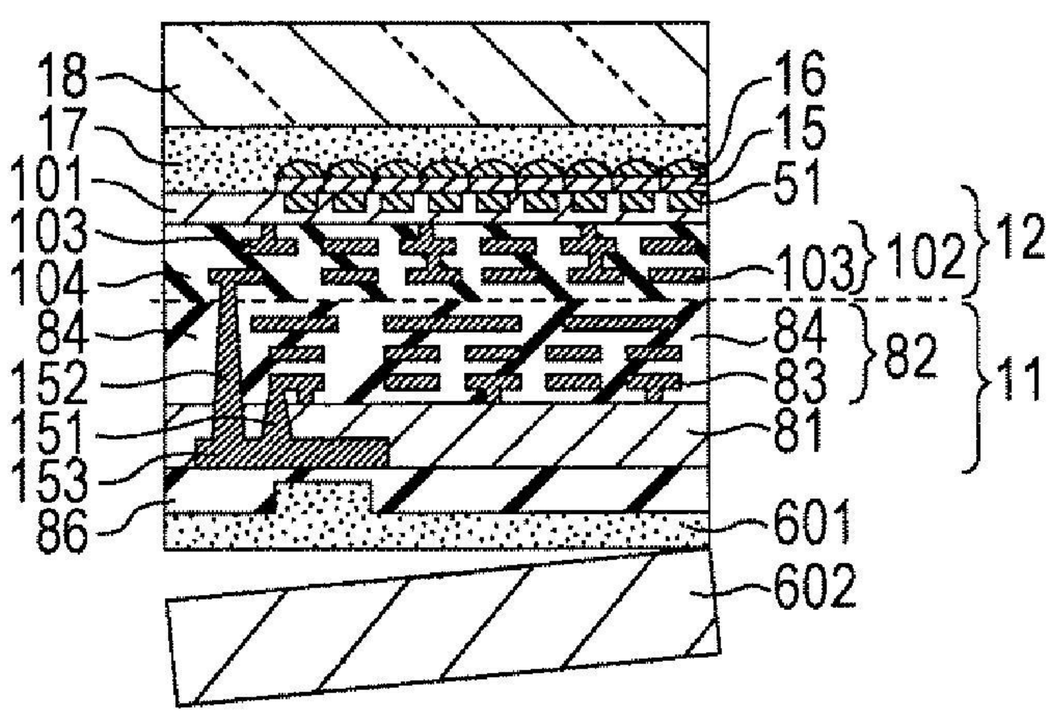


圖107B

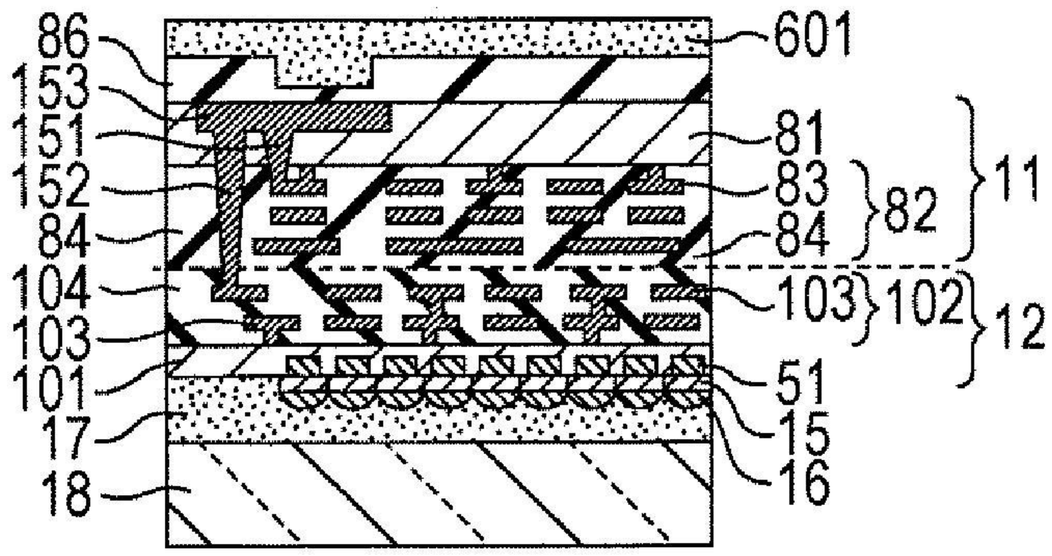


圖107C

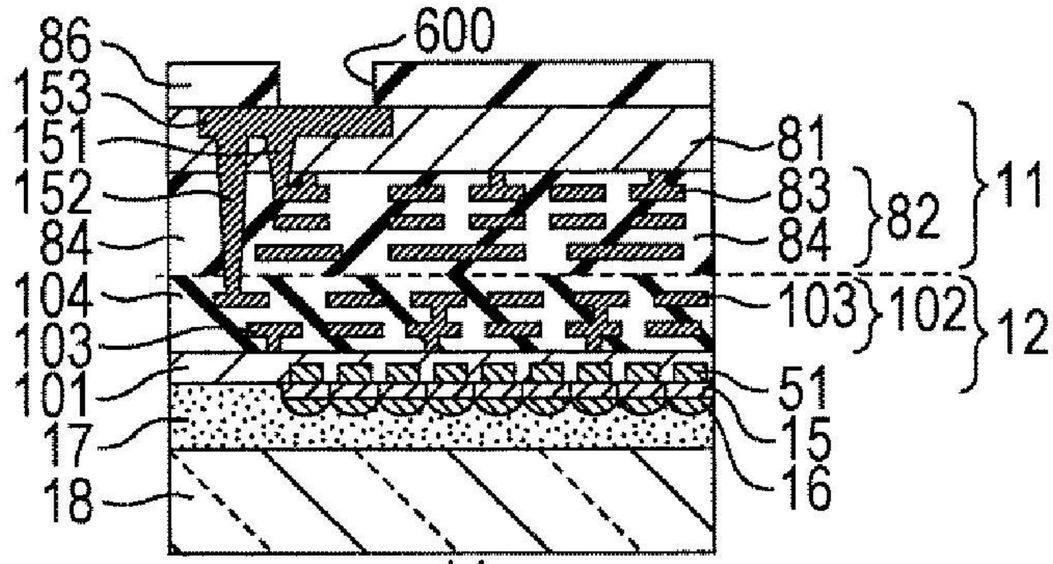


圖107D

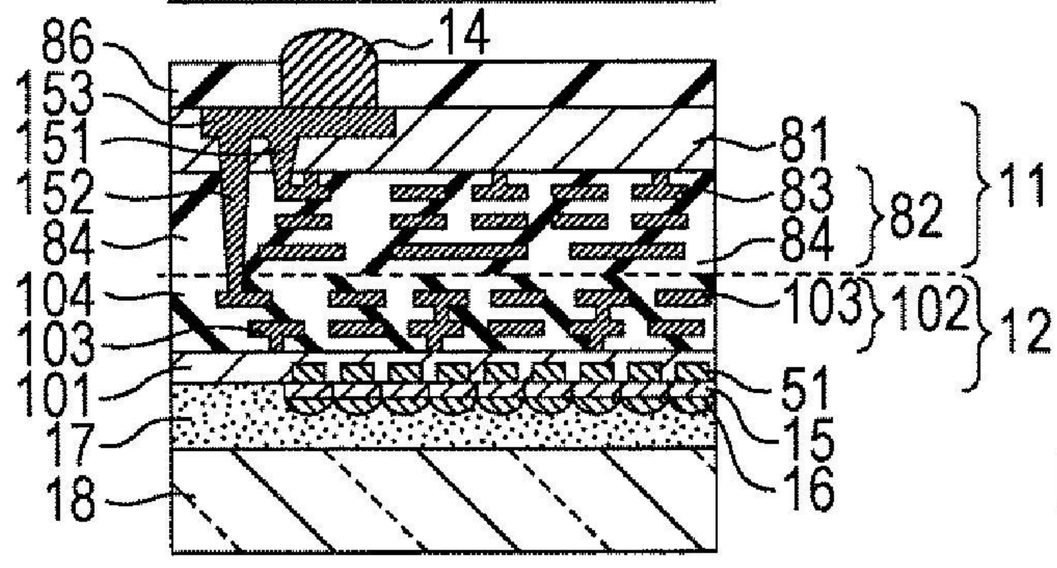


圖107E

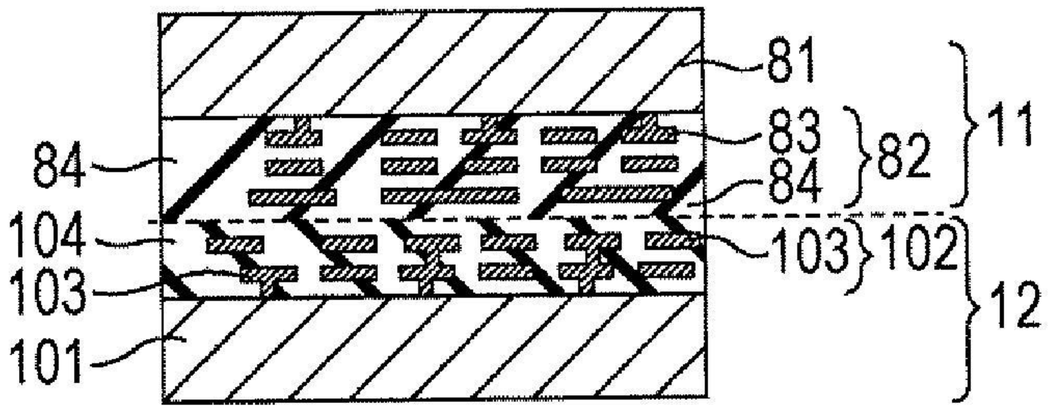


圖108A

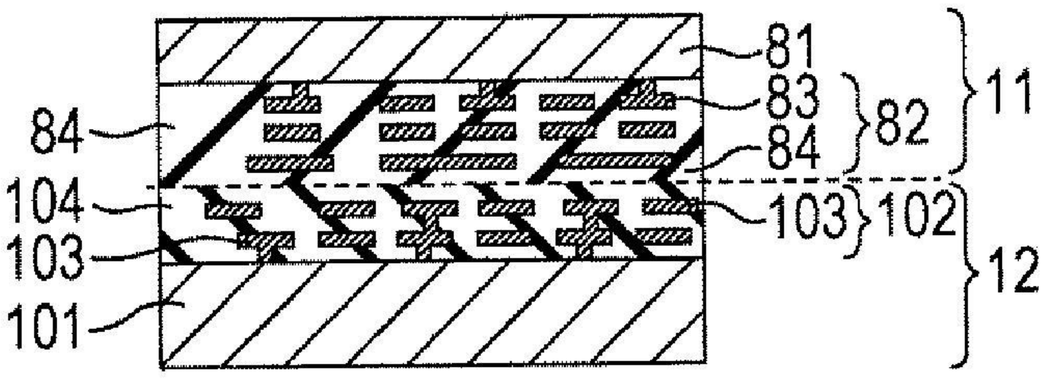


圖108B

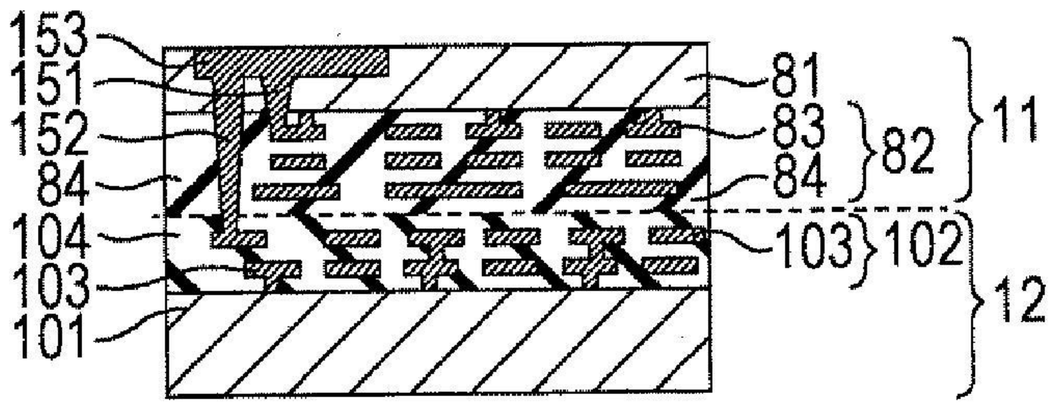


圖108C

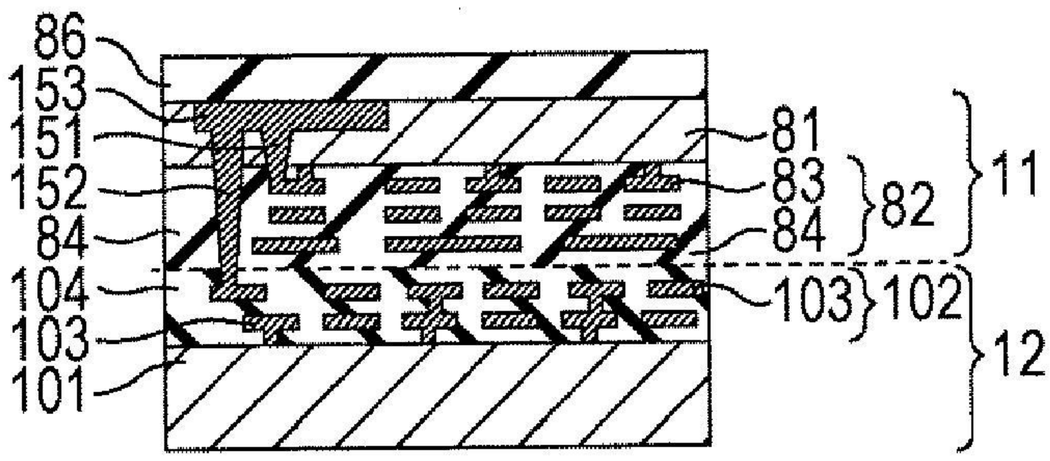


圖108D

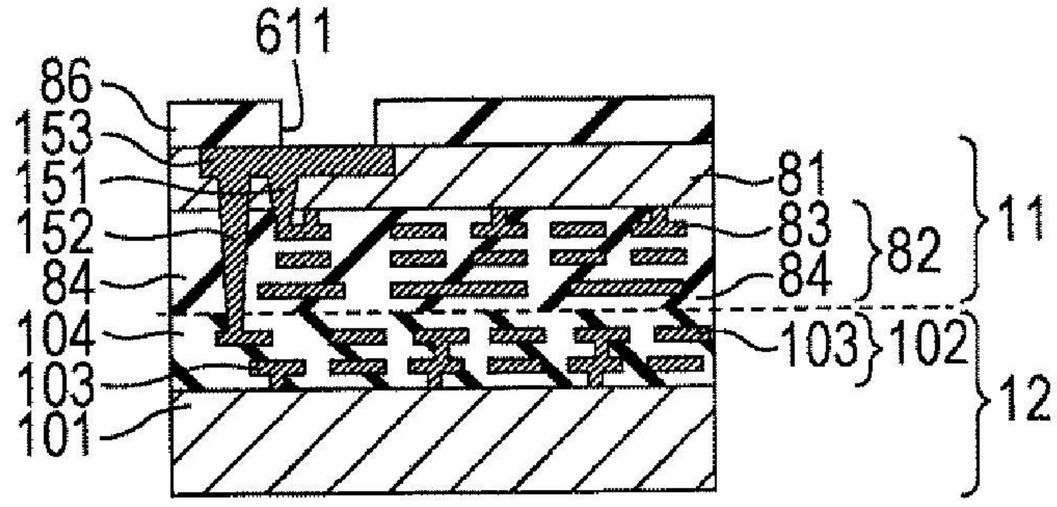


圖108E

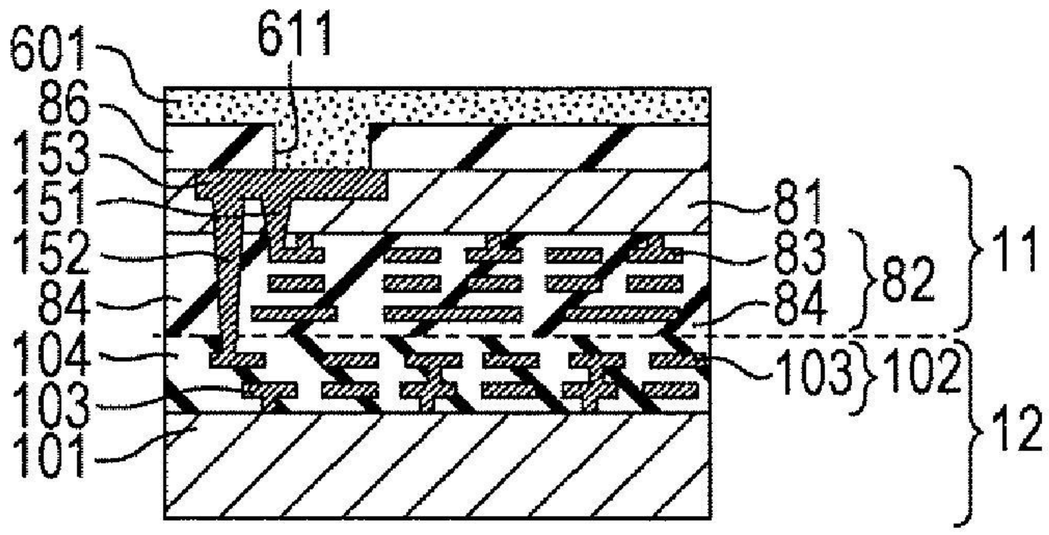


圖109A

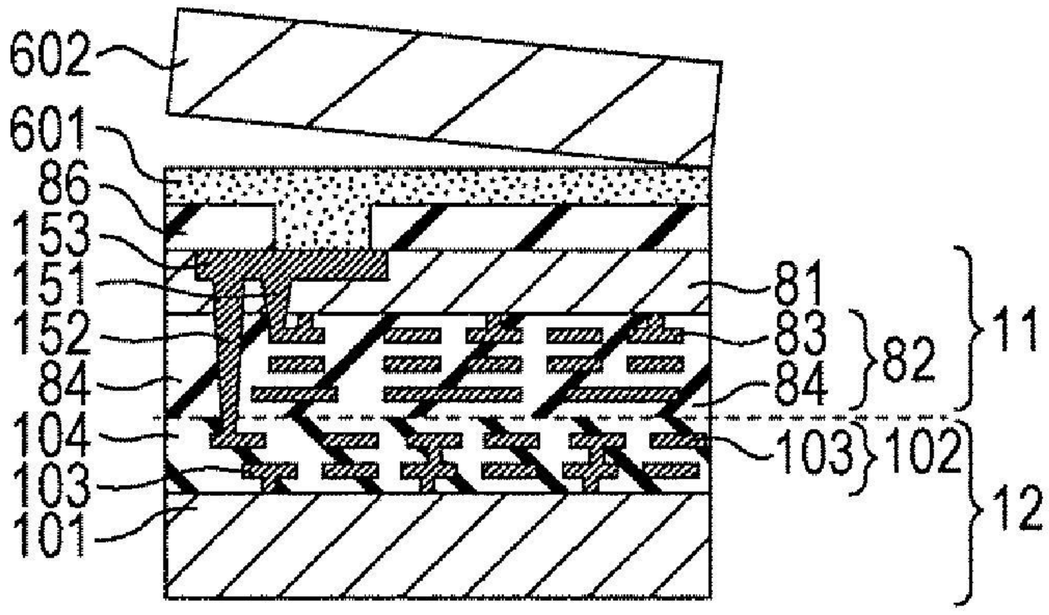


圖109B

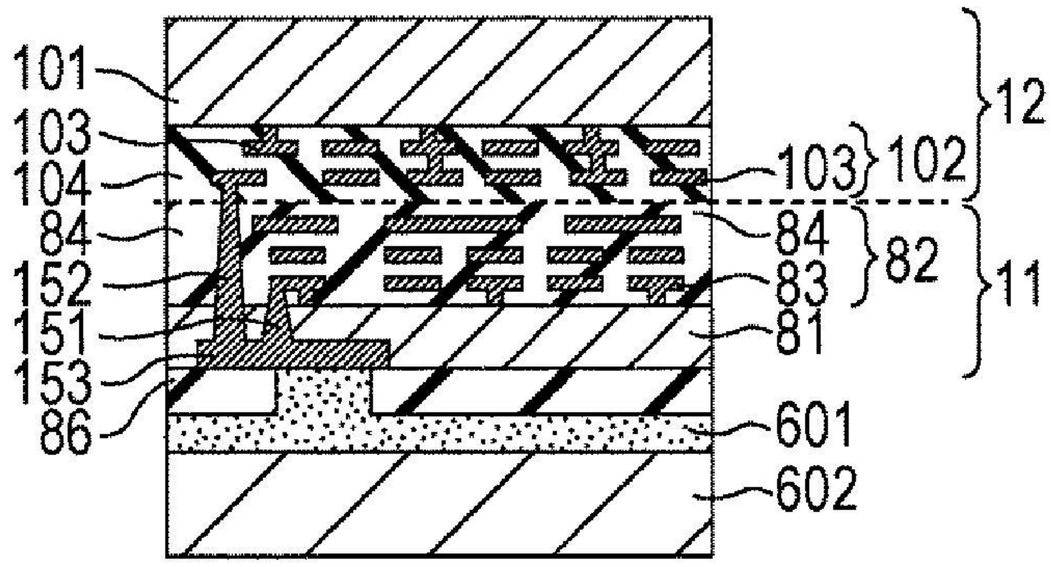


圖109C

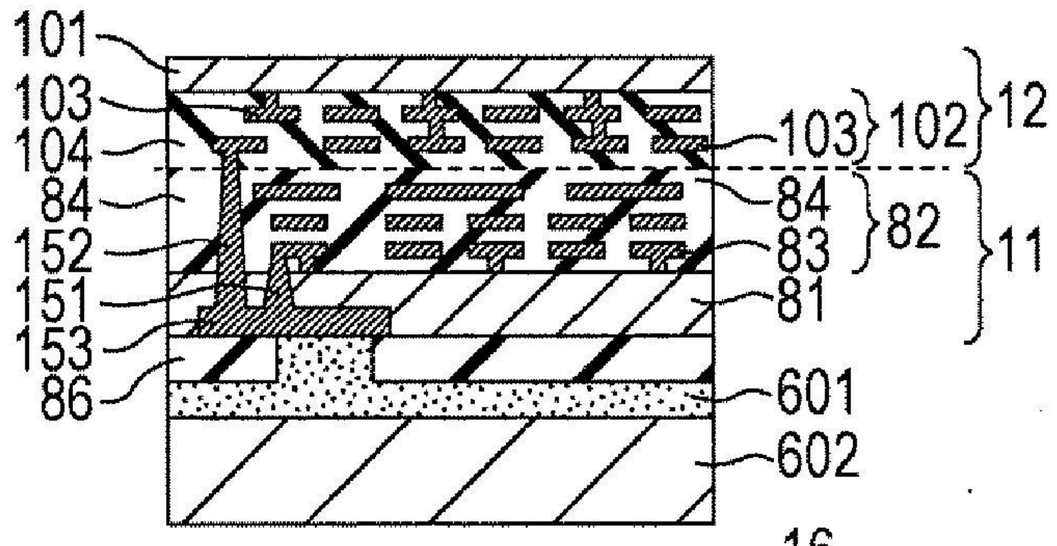


圖109D

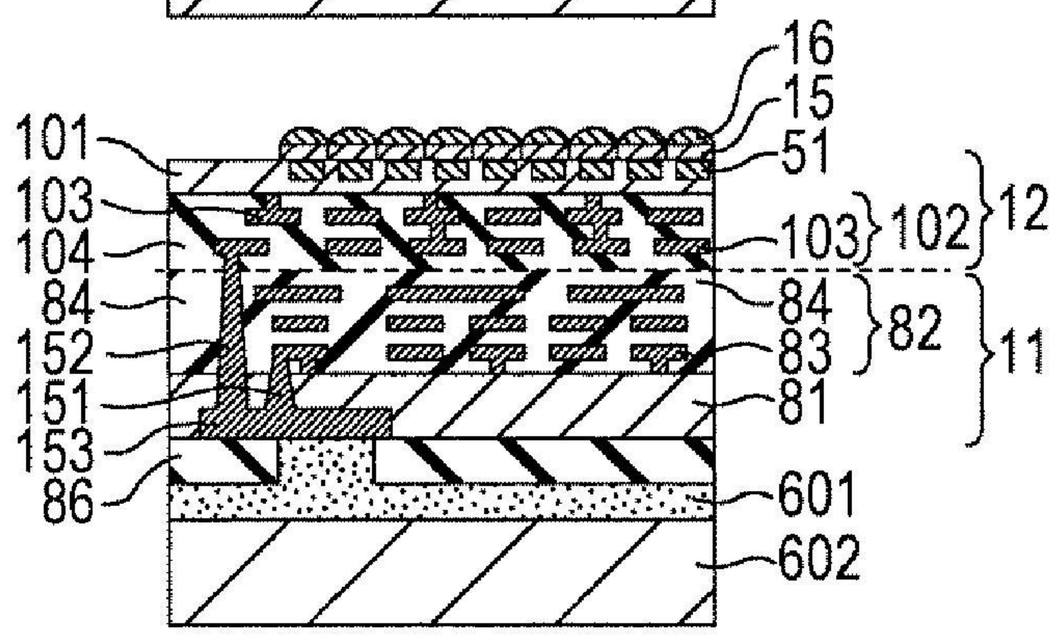


圖109E

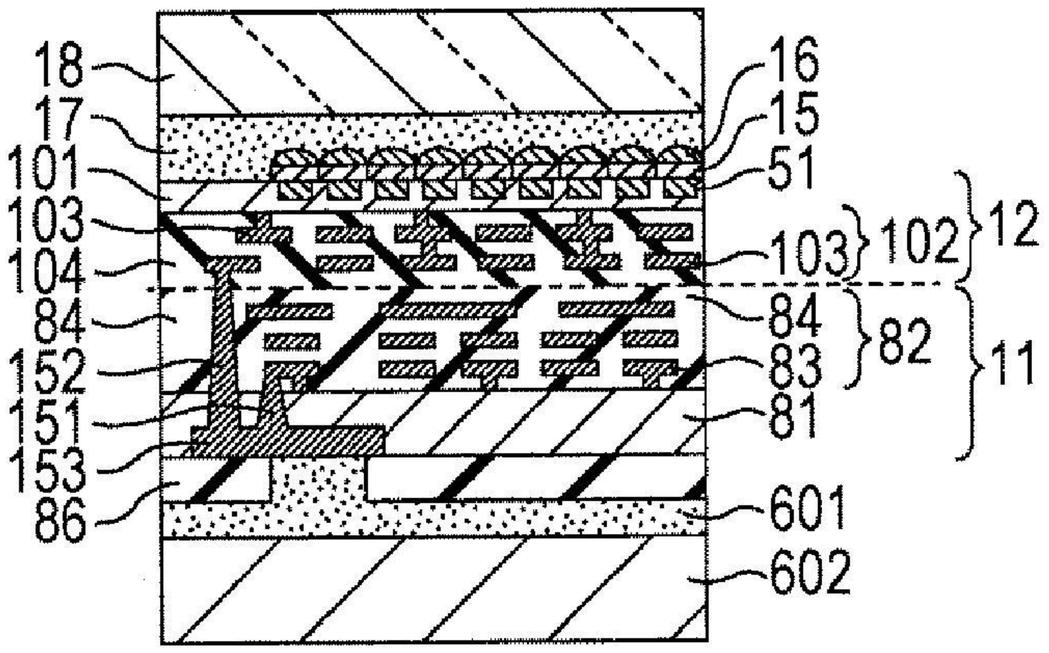


圖110A

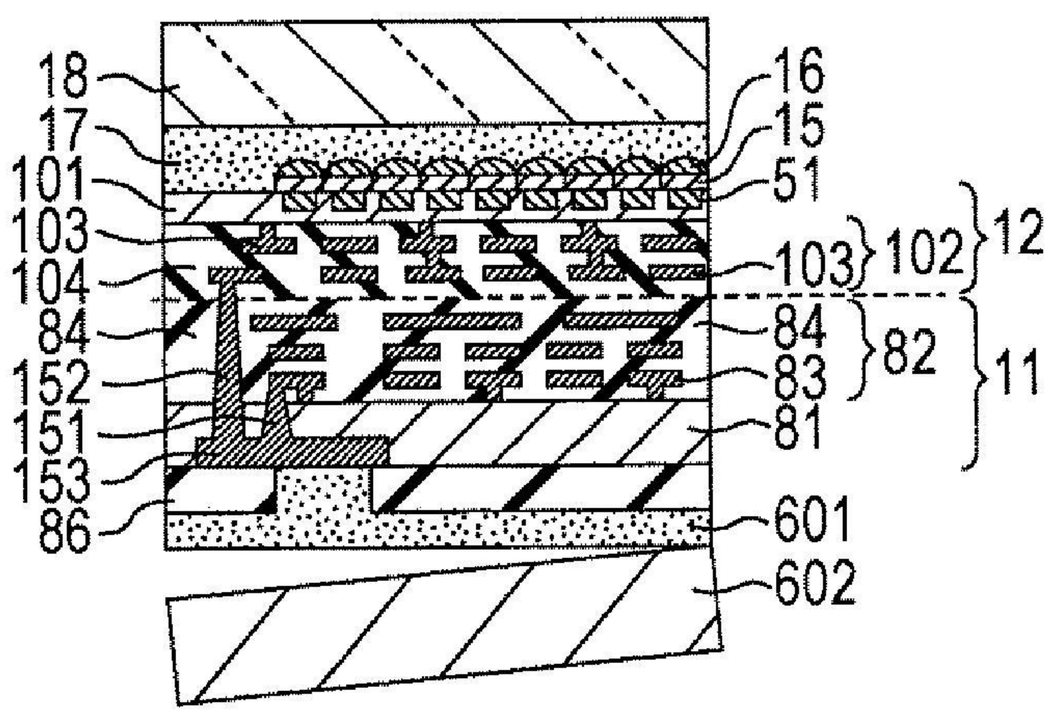


圖110B

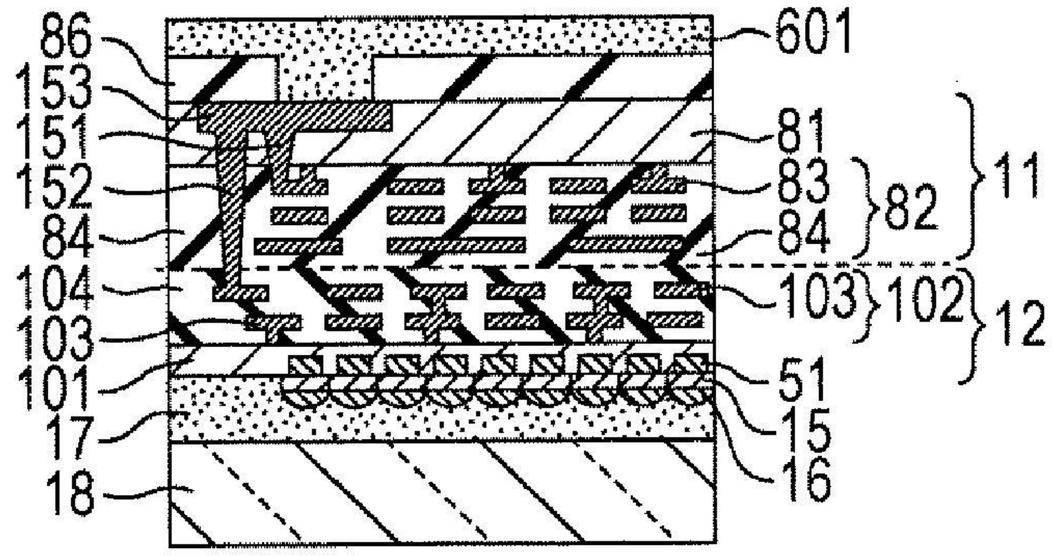


圖110C

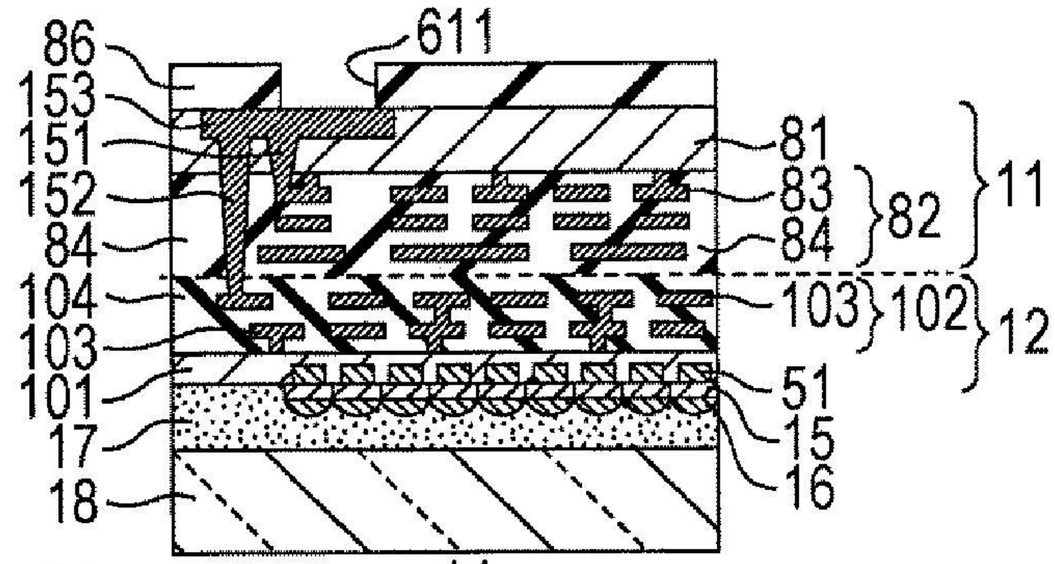


圖110D

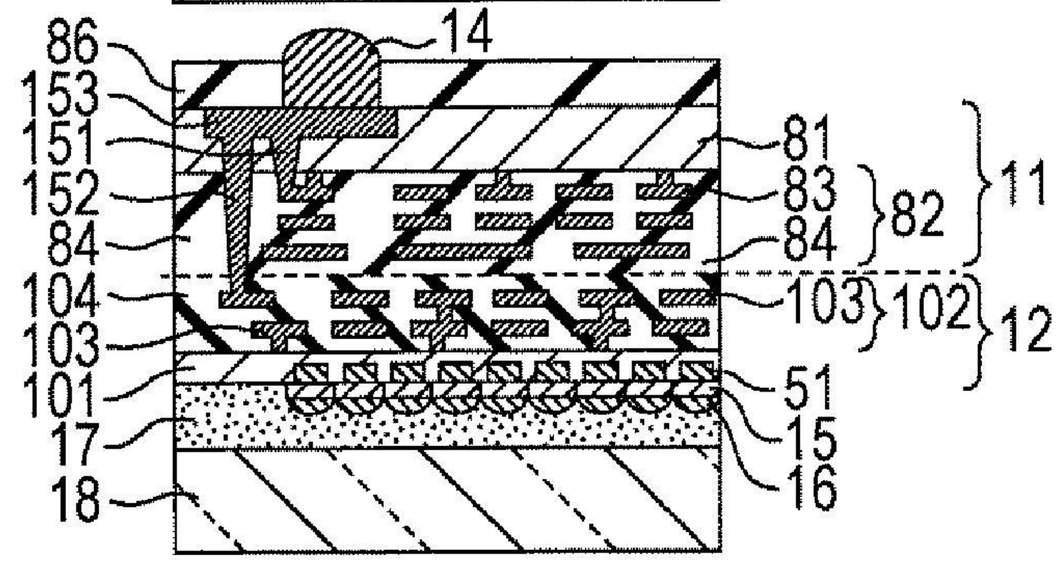


圖110E

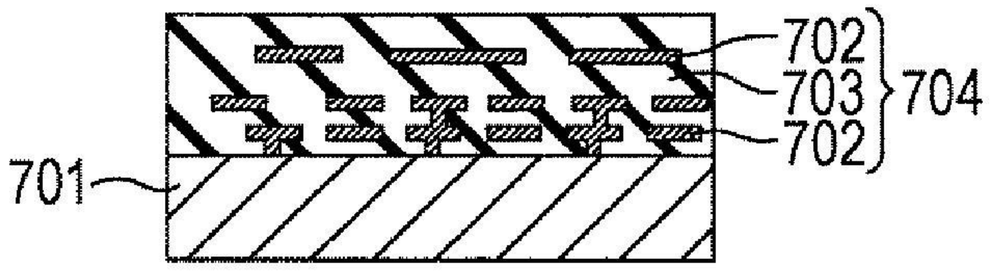


圖111A

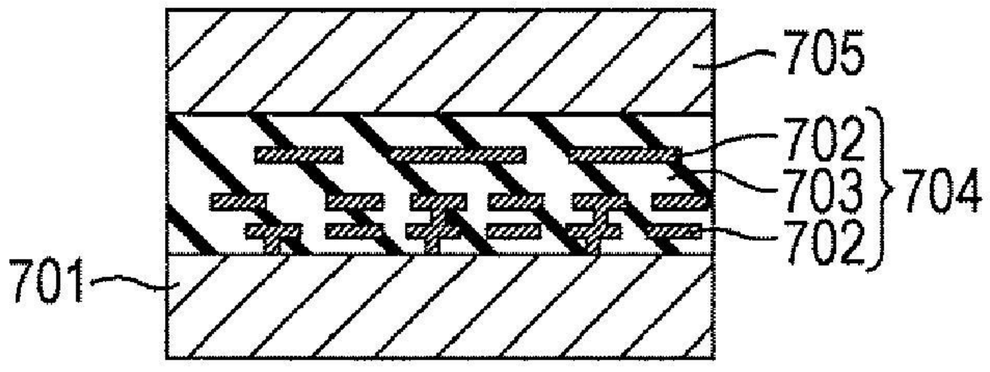


圖111B

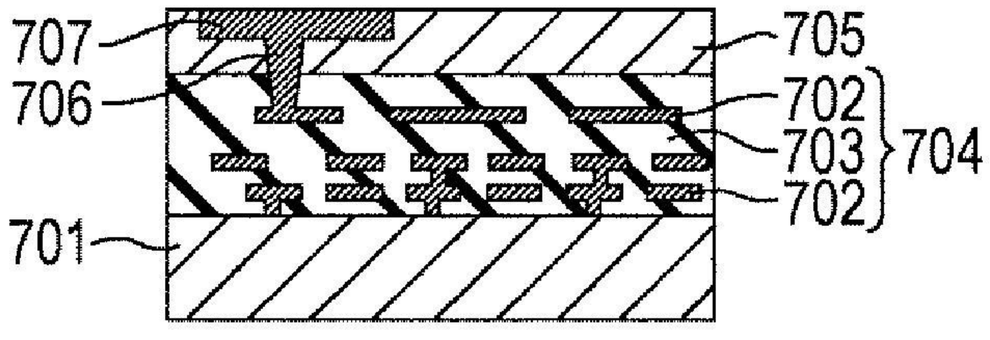


圖111C

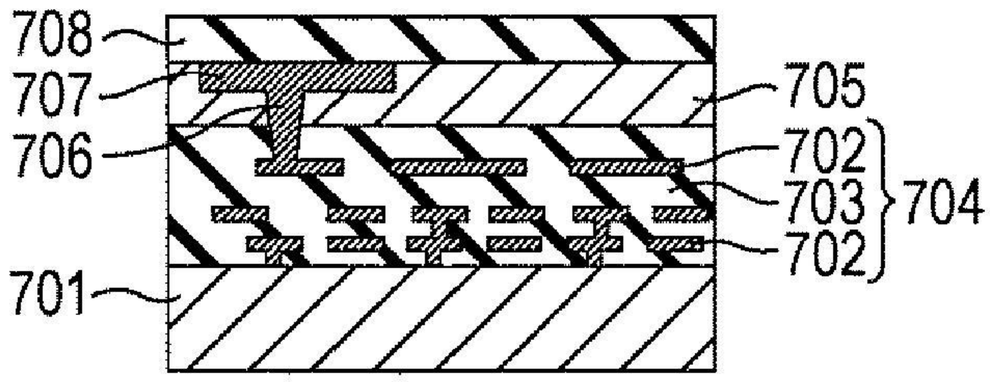


圖111D

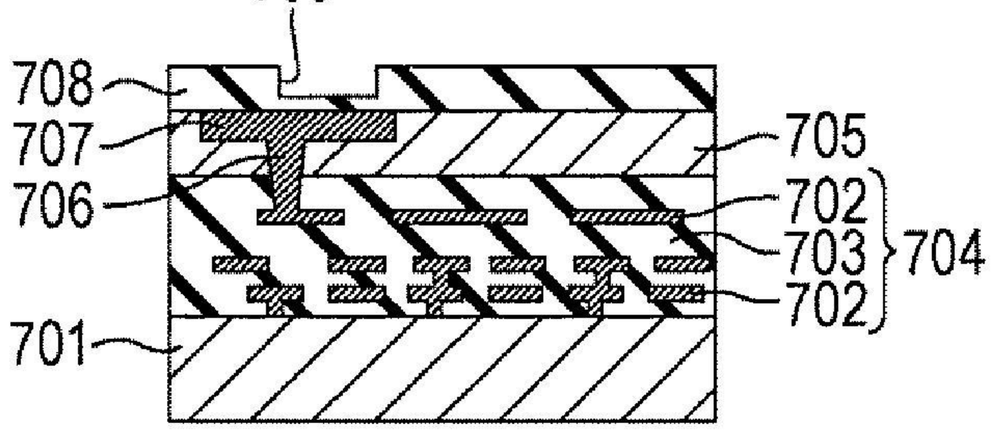


圖111E

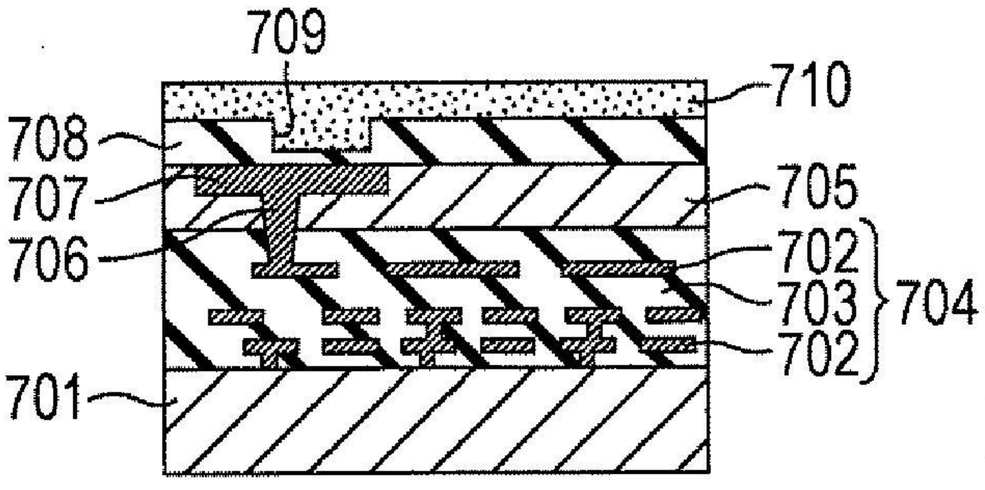


圖112A

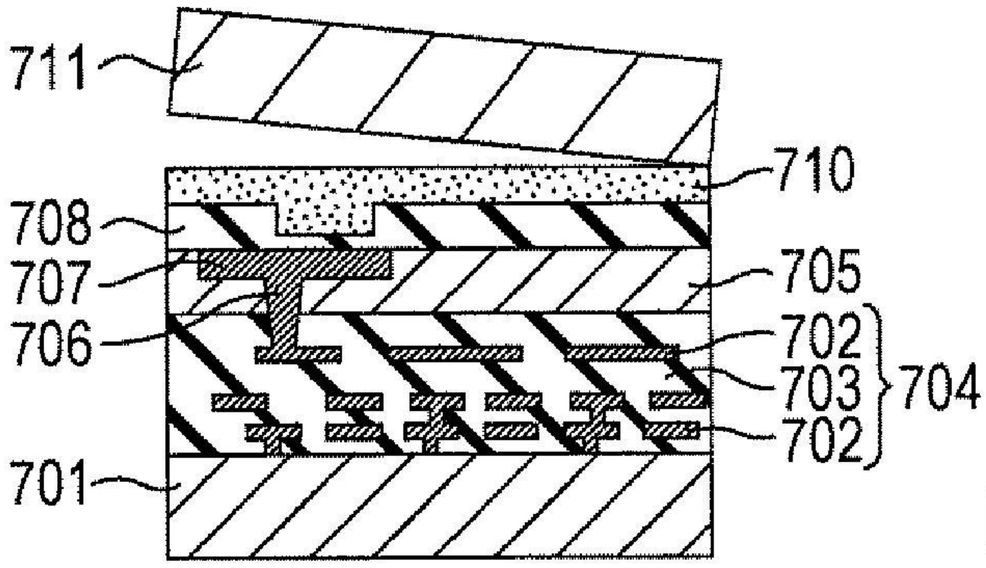


圖112B

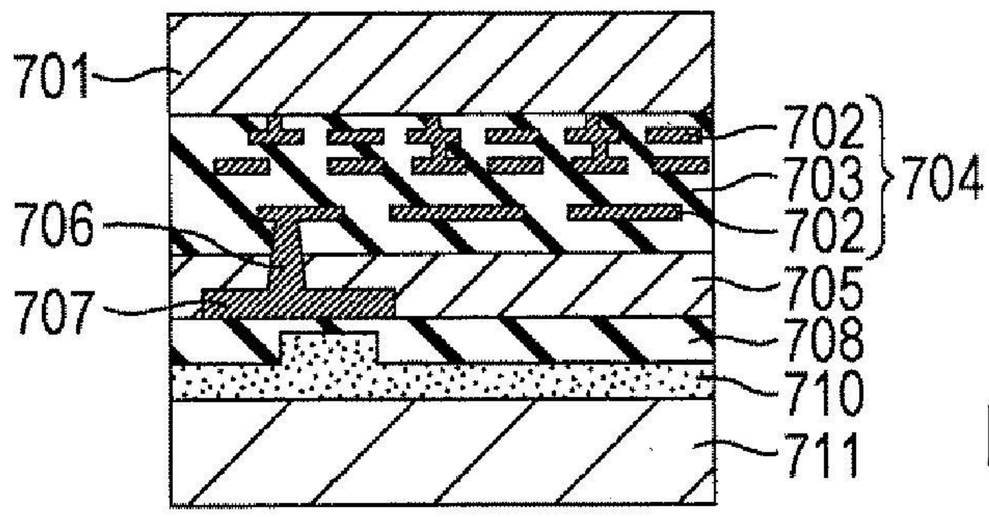


圖112C

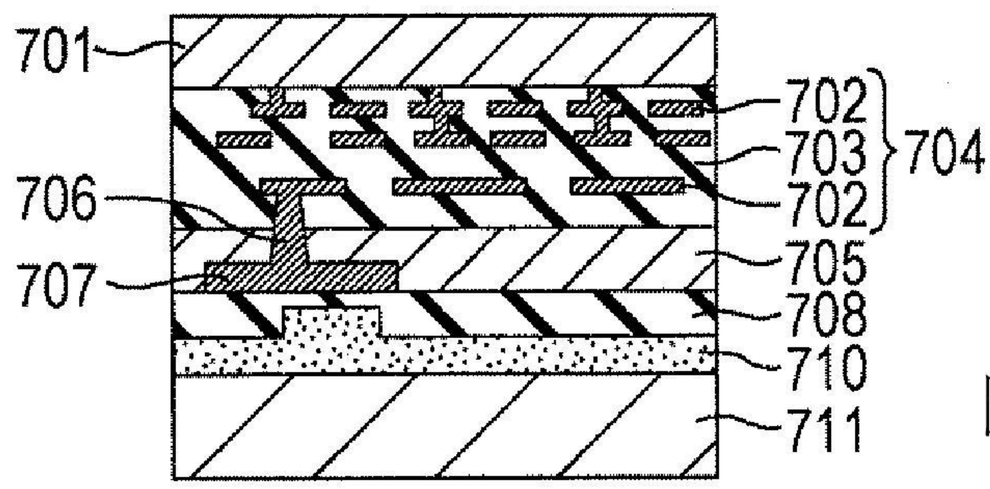


圖112D

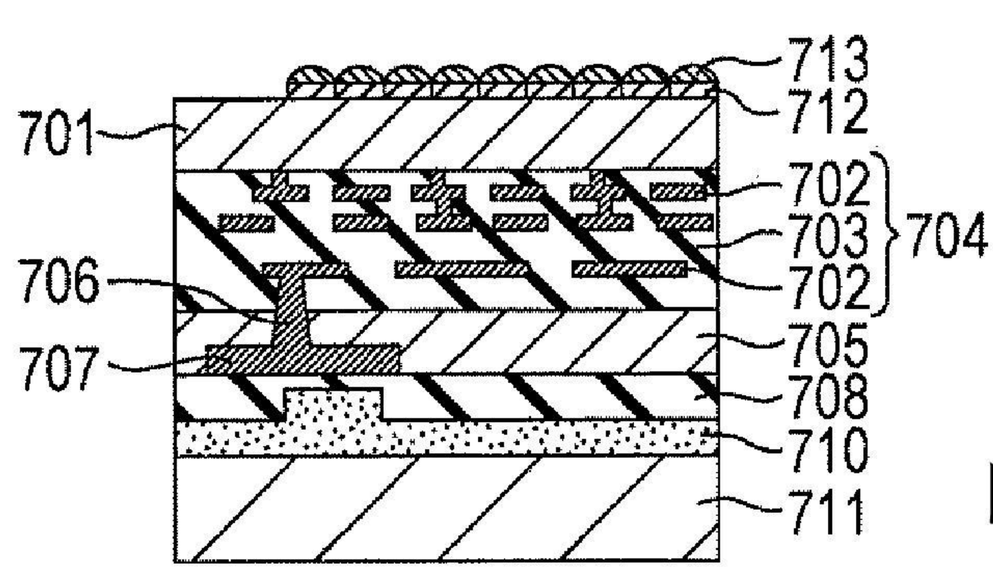


圖112E

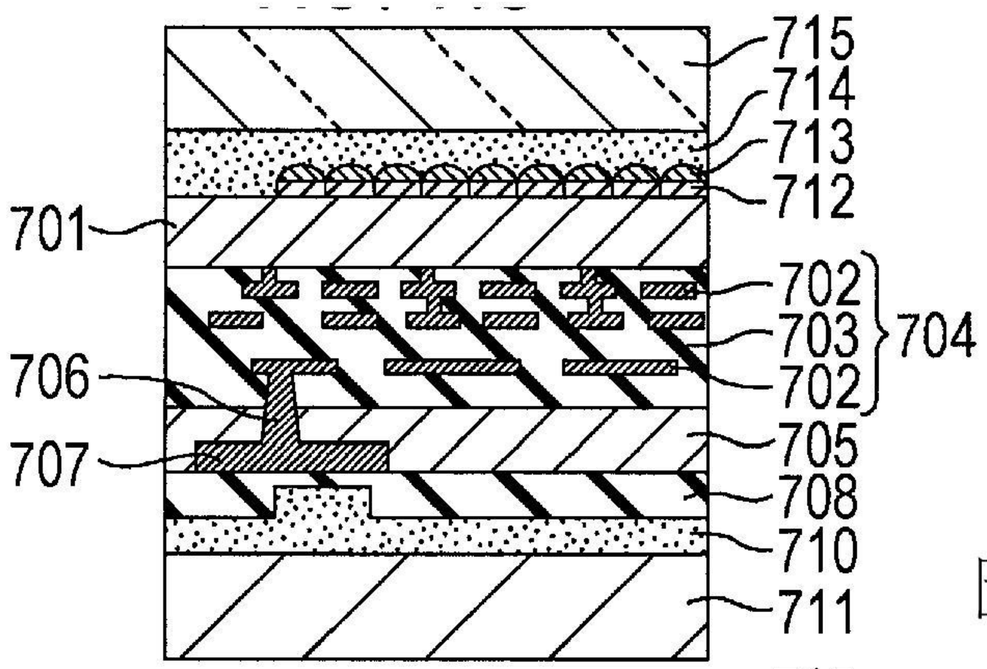


圖113A

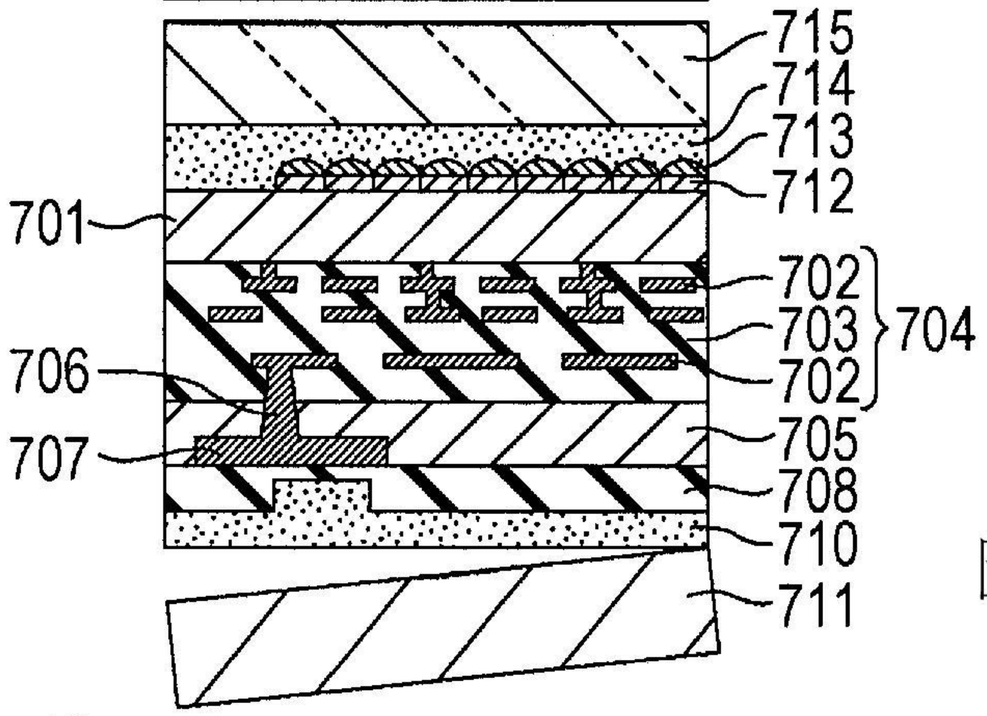


圖113B

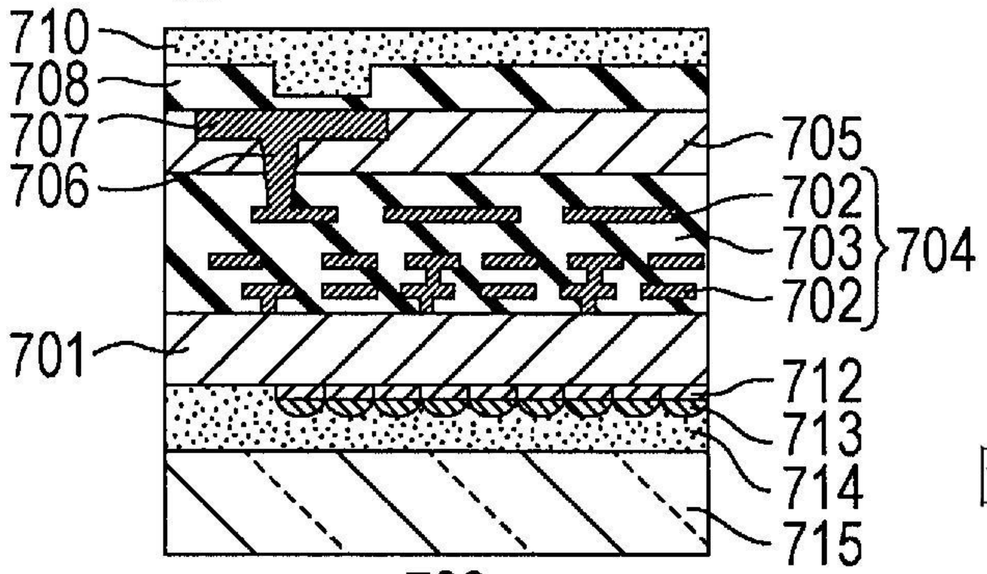


圖113C

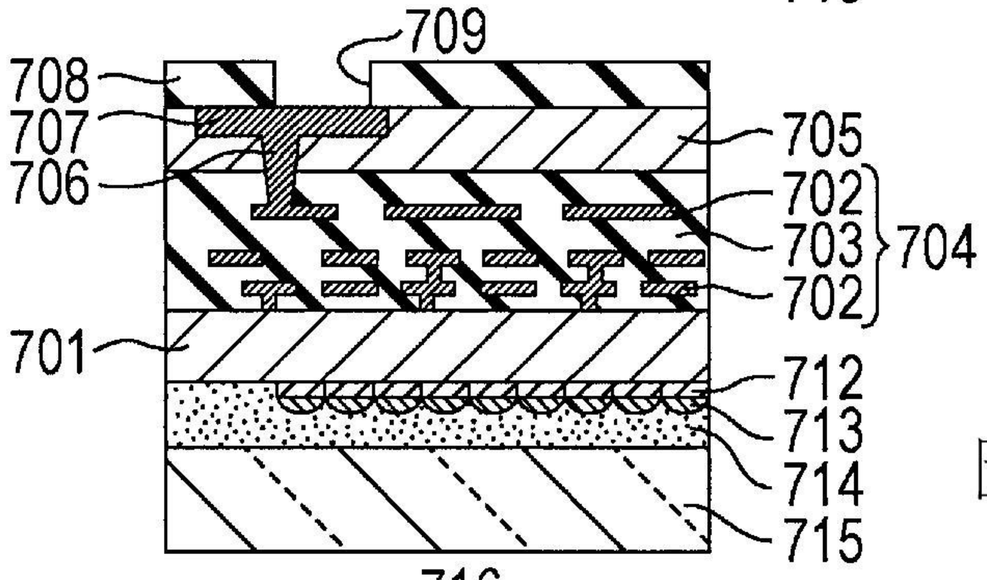


圖113D

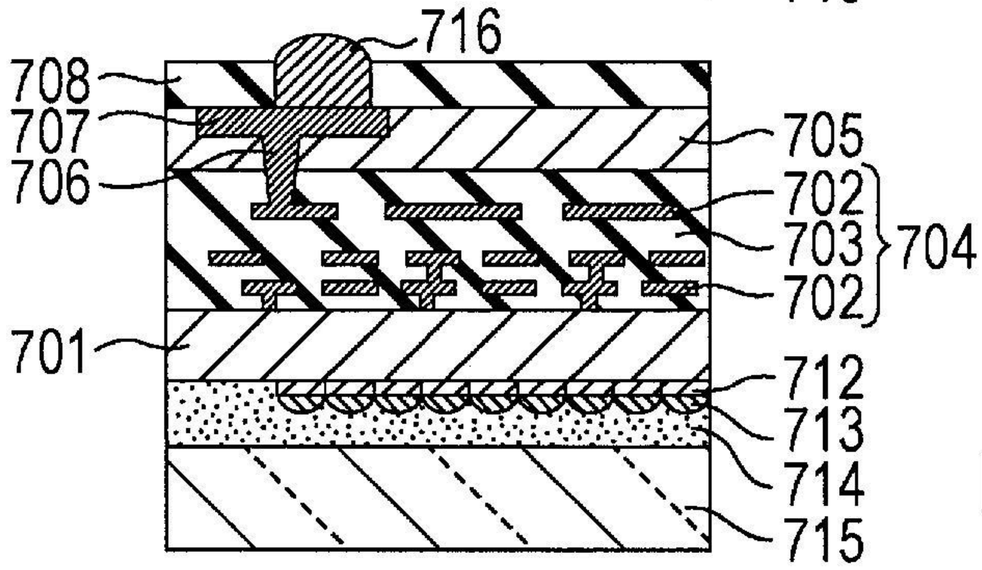


圖113E

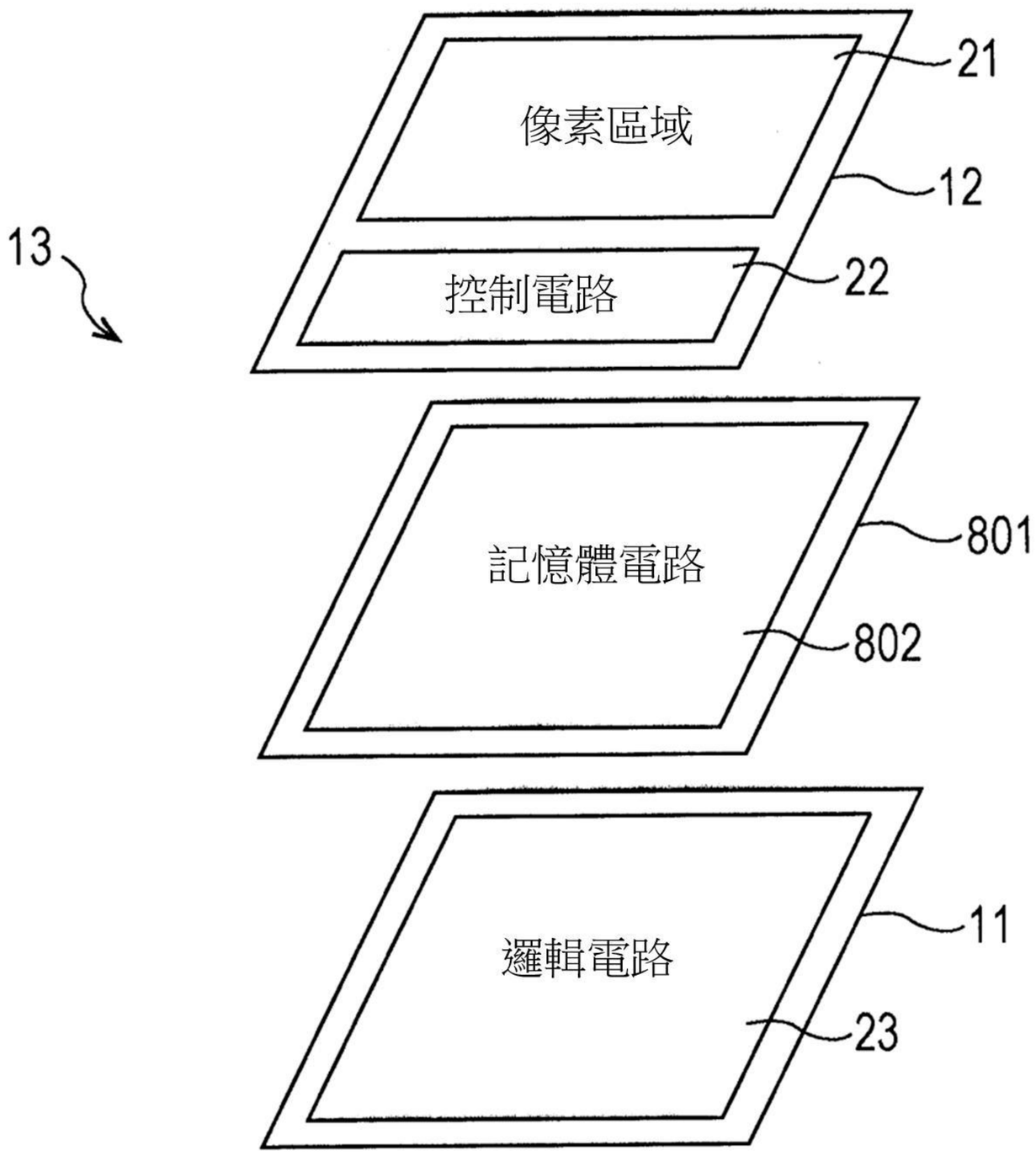

13
像素區域
21
12
控制電路
22
記憶體電路
801
802
邏輯電路
11
23

圖114A

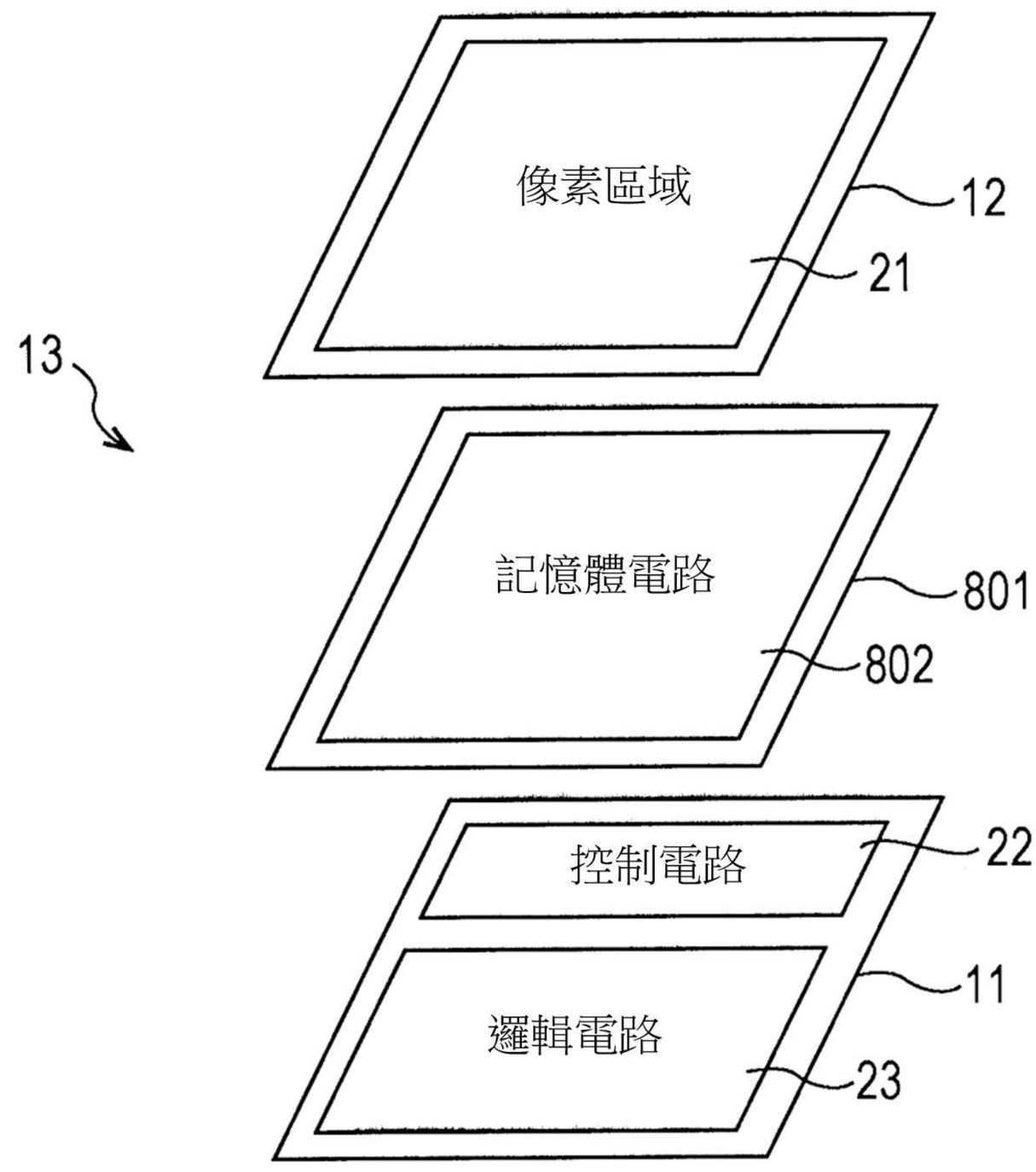

像素區域
12
21
13
記憶體電路
801
802
控制電路
22
邏輯電路
11
23

圖114B

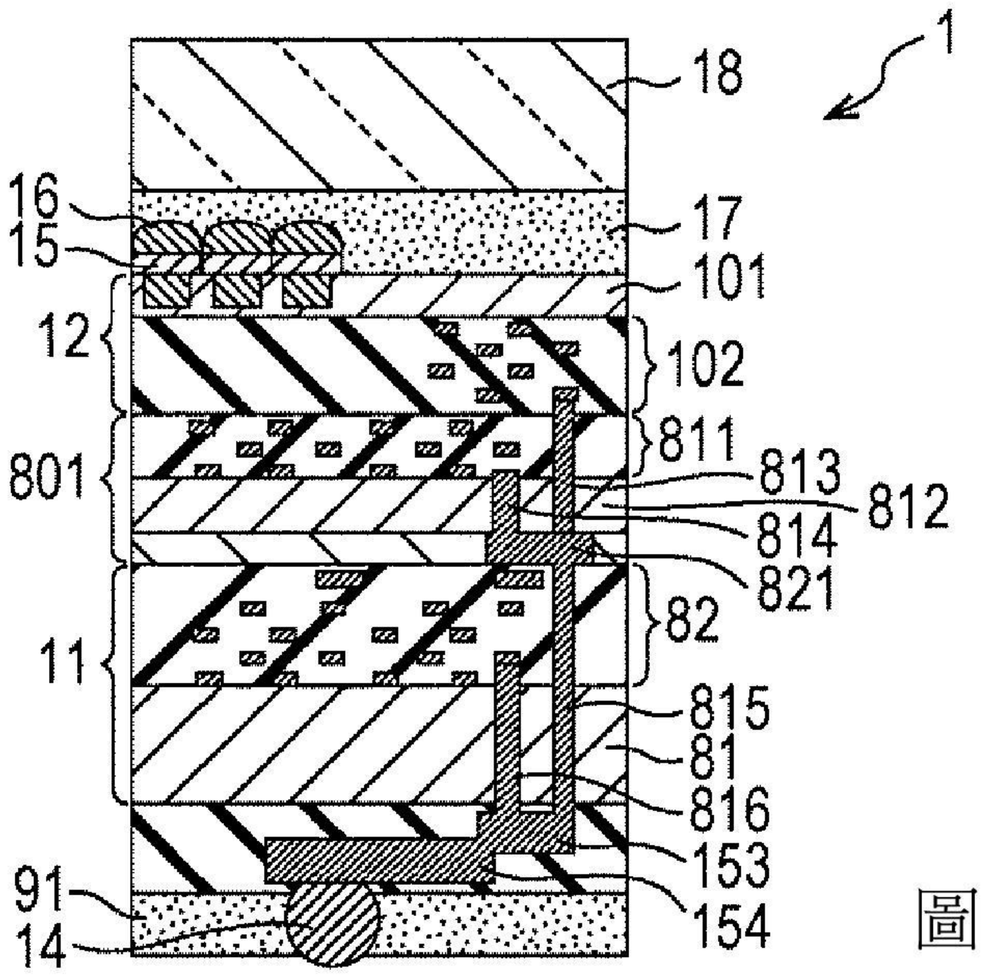


圖115A

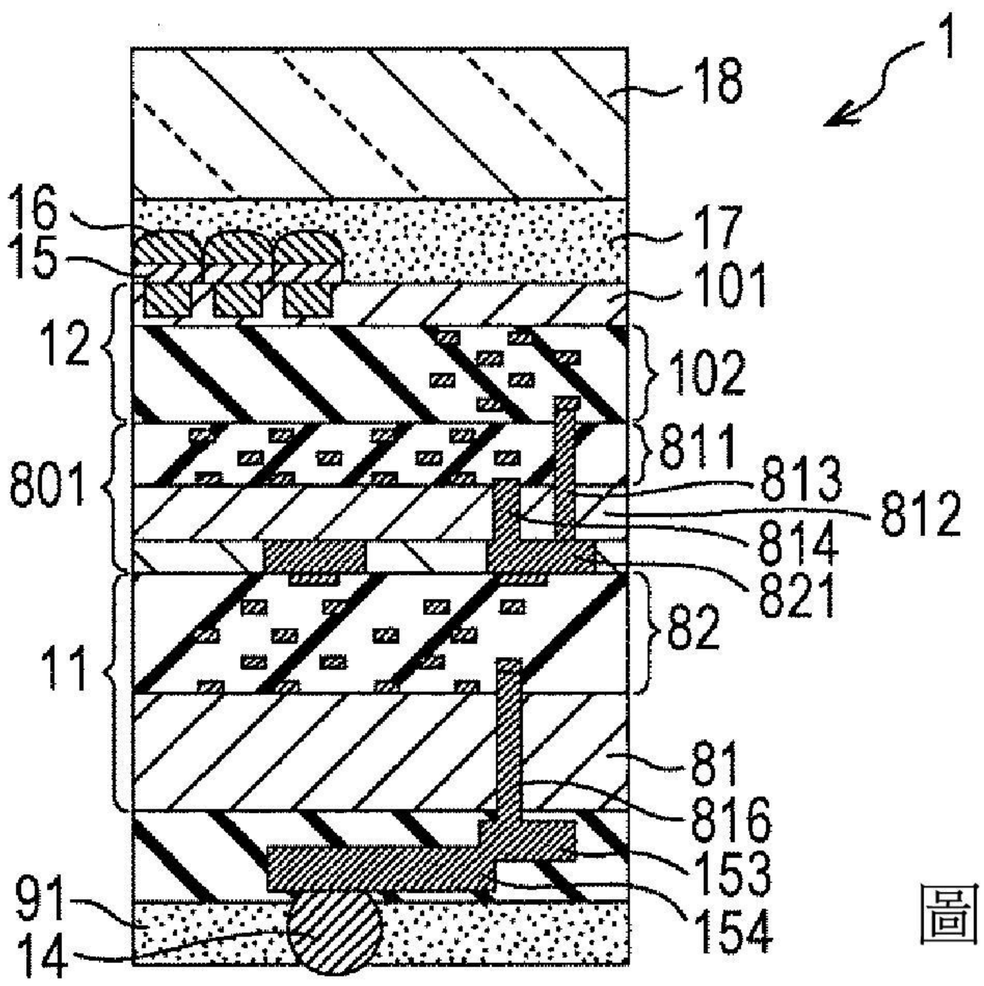


圖115B

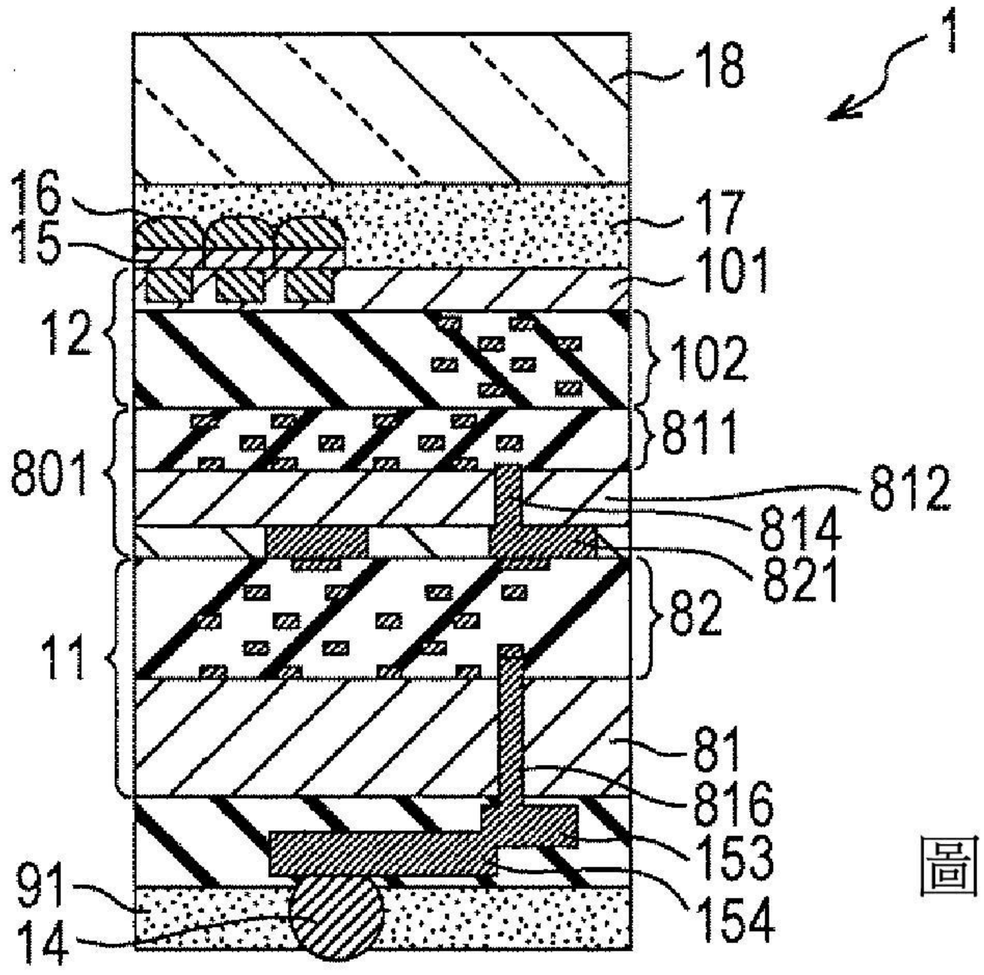


圖115C

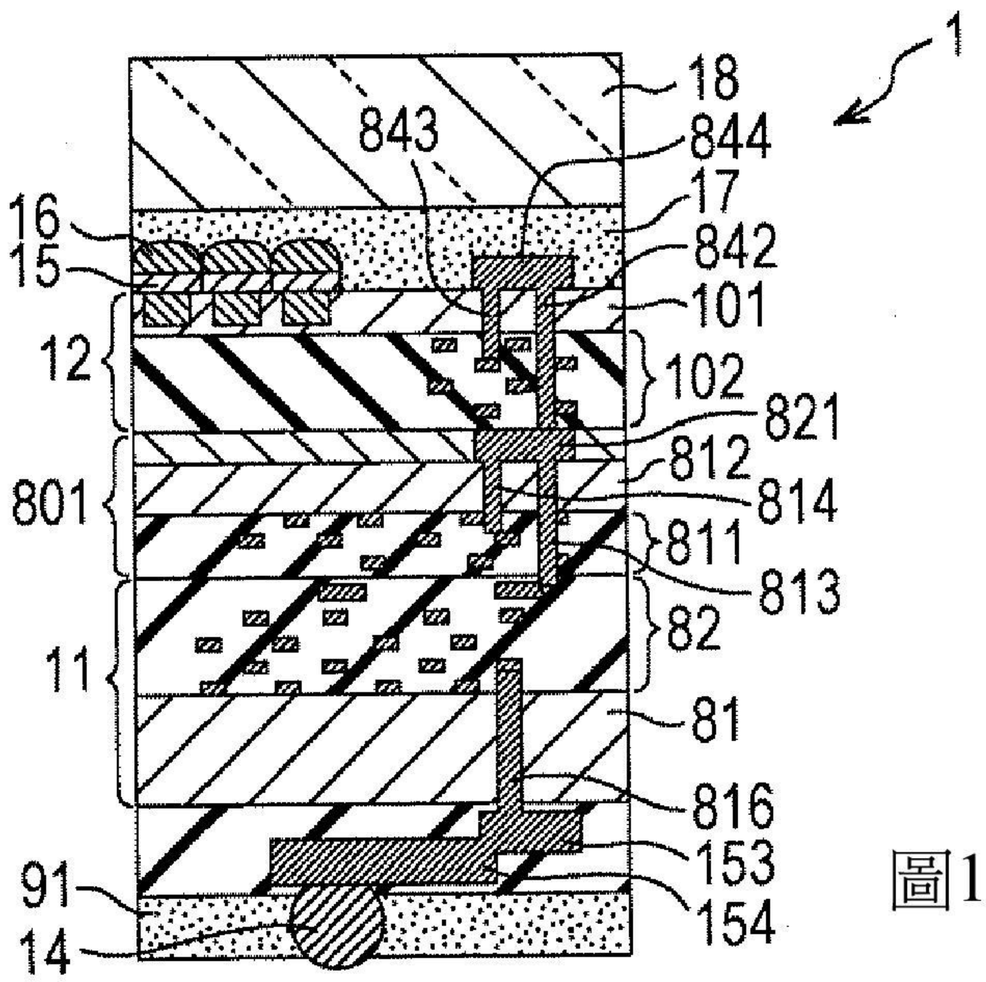


圖116A

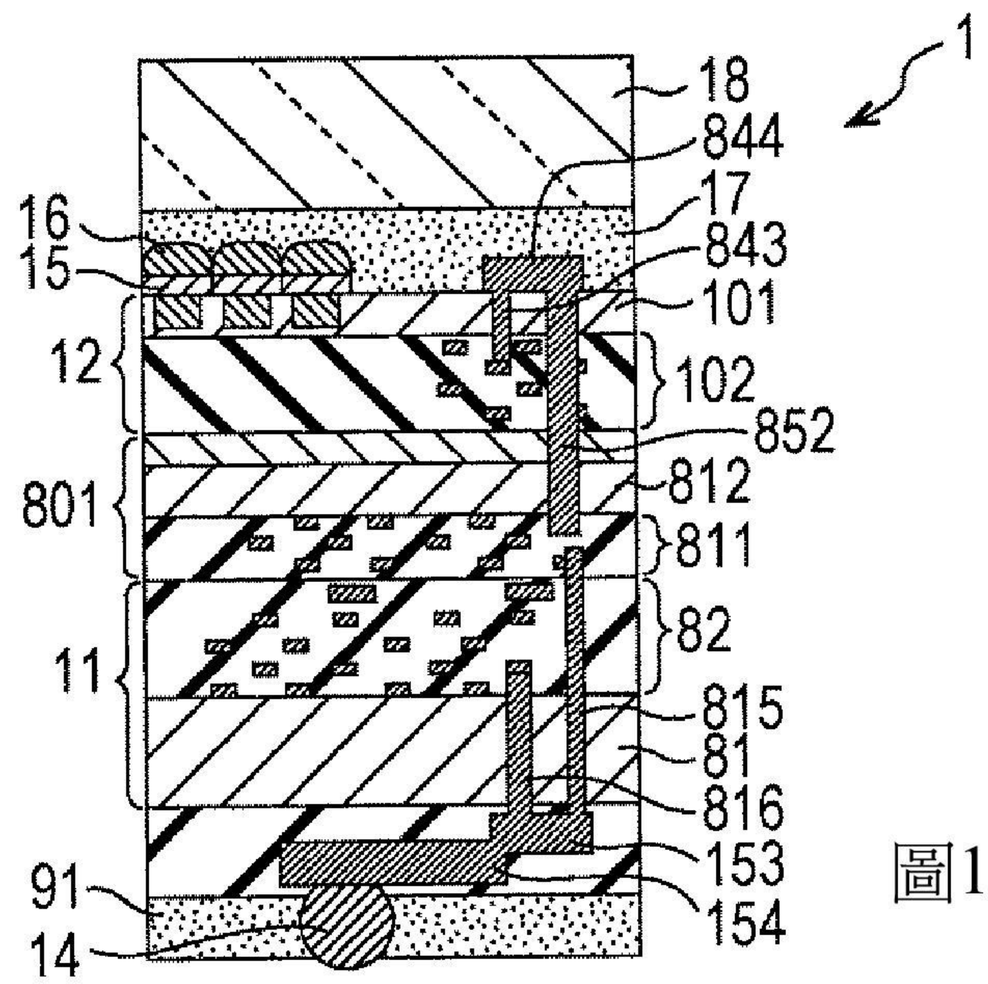


圖116B

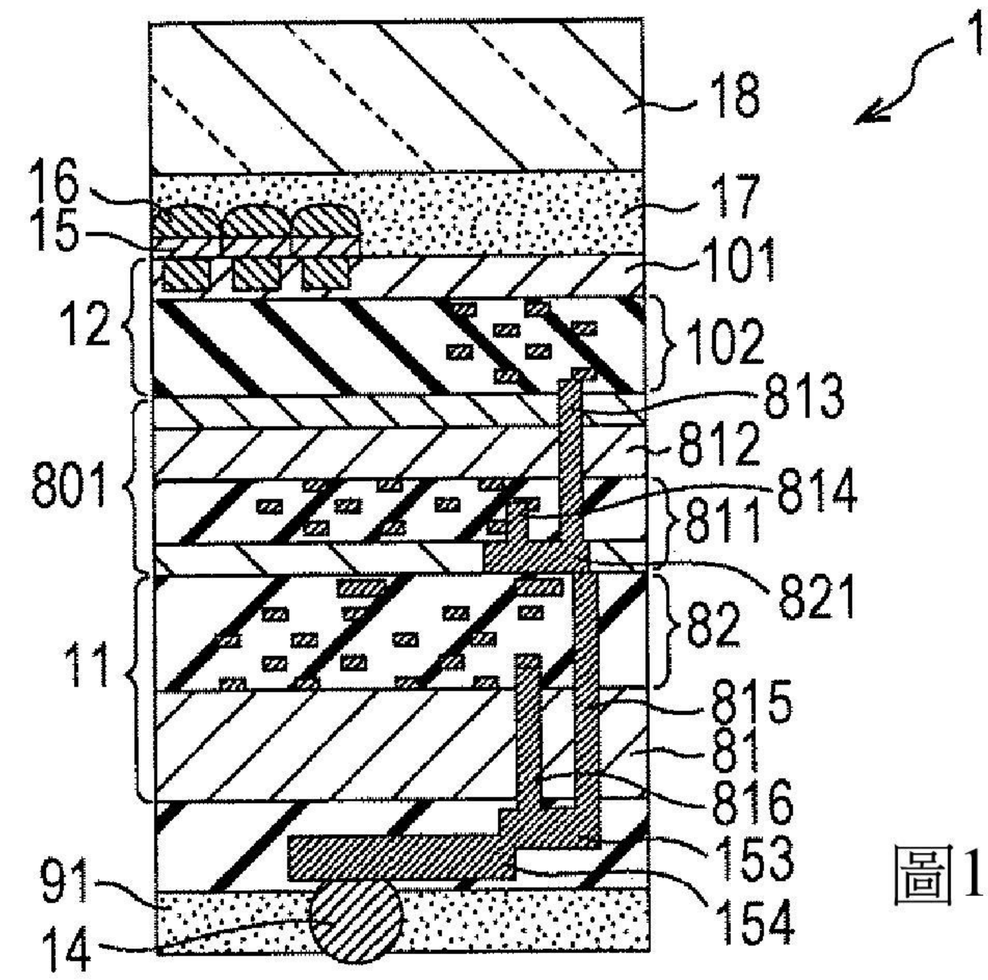


圖116C

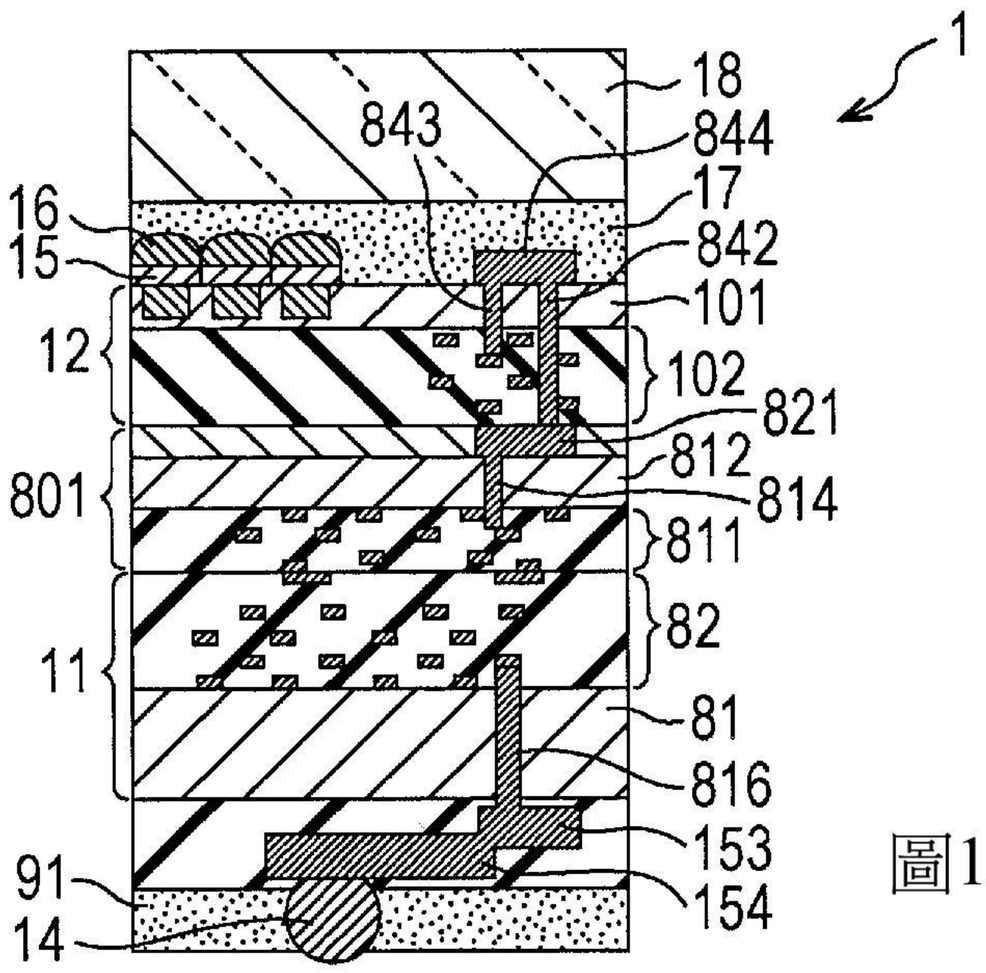


圖117A

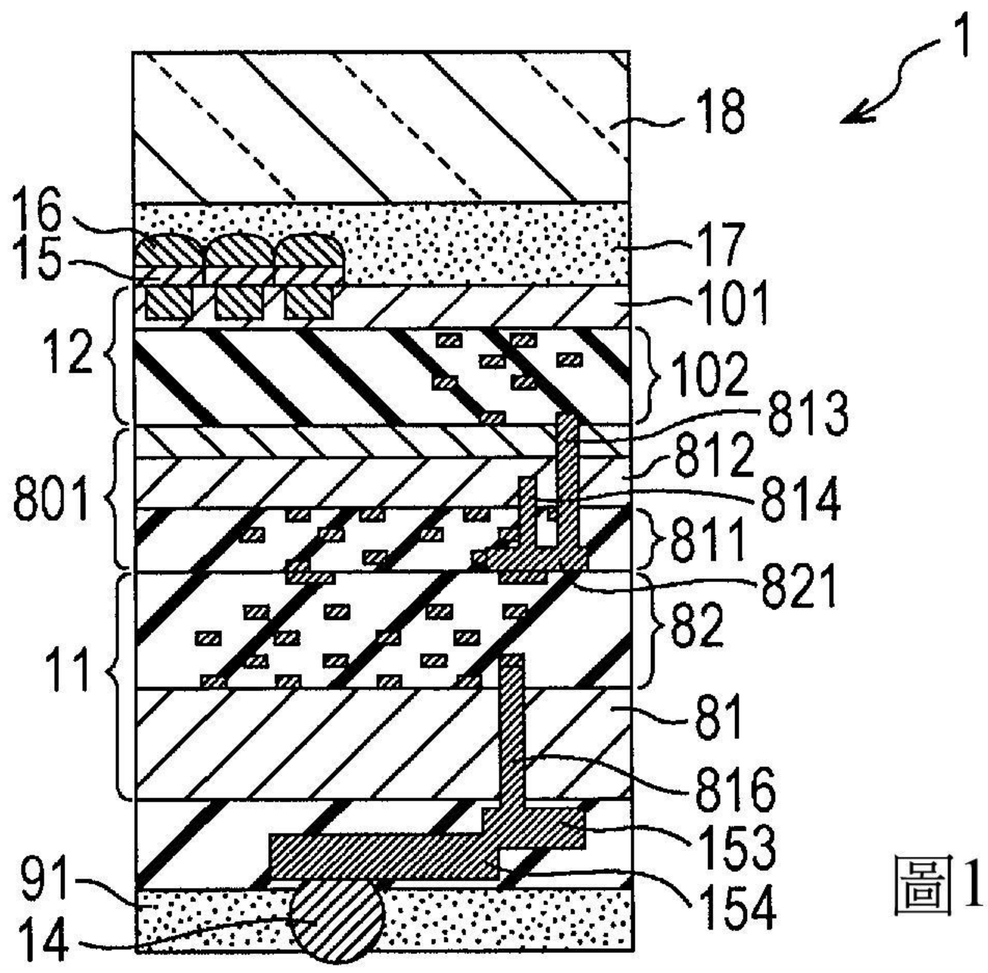


圖117B

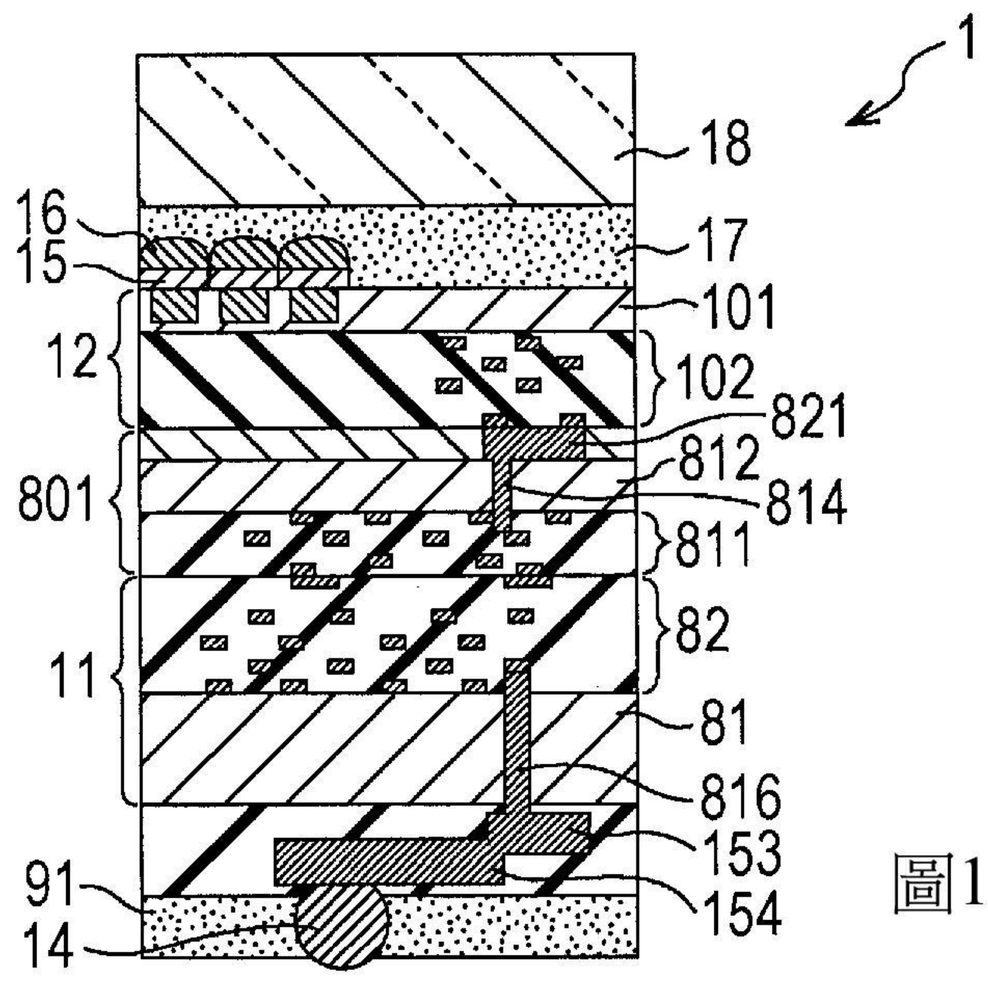


圖117C

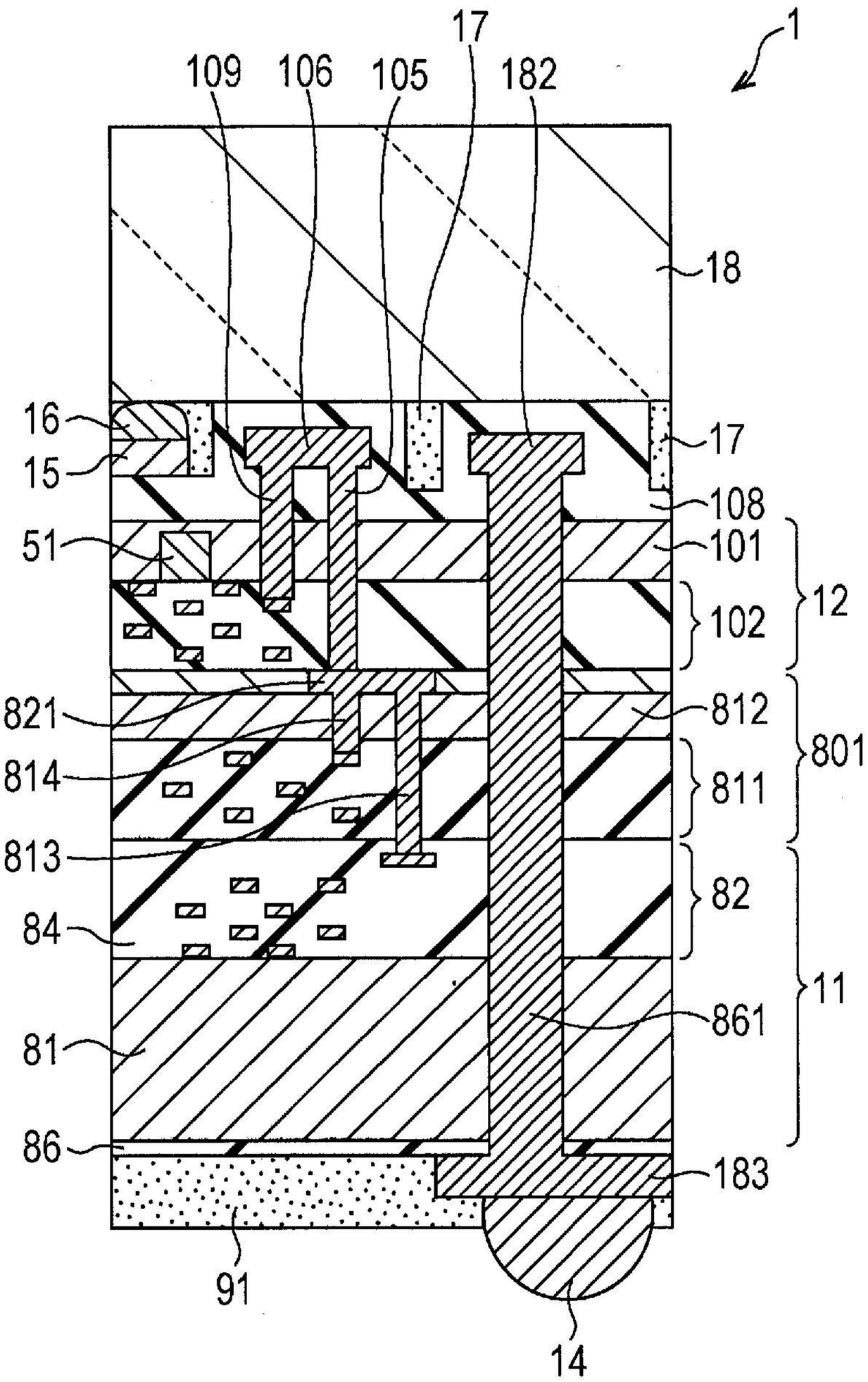

1
17
109
106
105
182
18
16
15
17
108
51
101
12
102
821
812
801
814
811
813
82
84
11
81
861
86
183
91
14

圖118

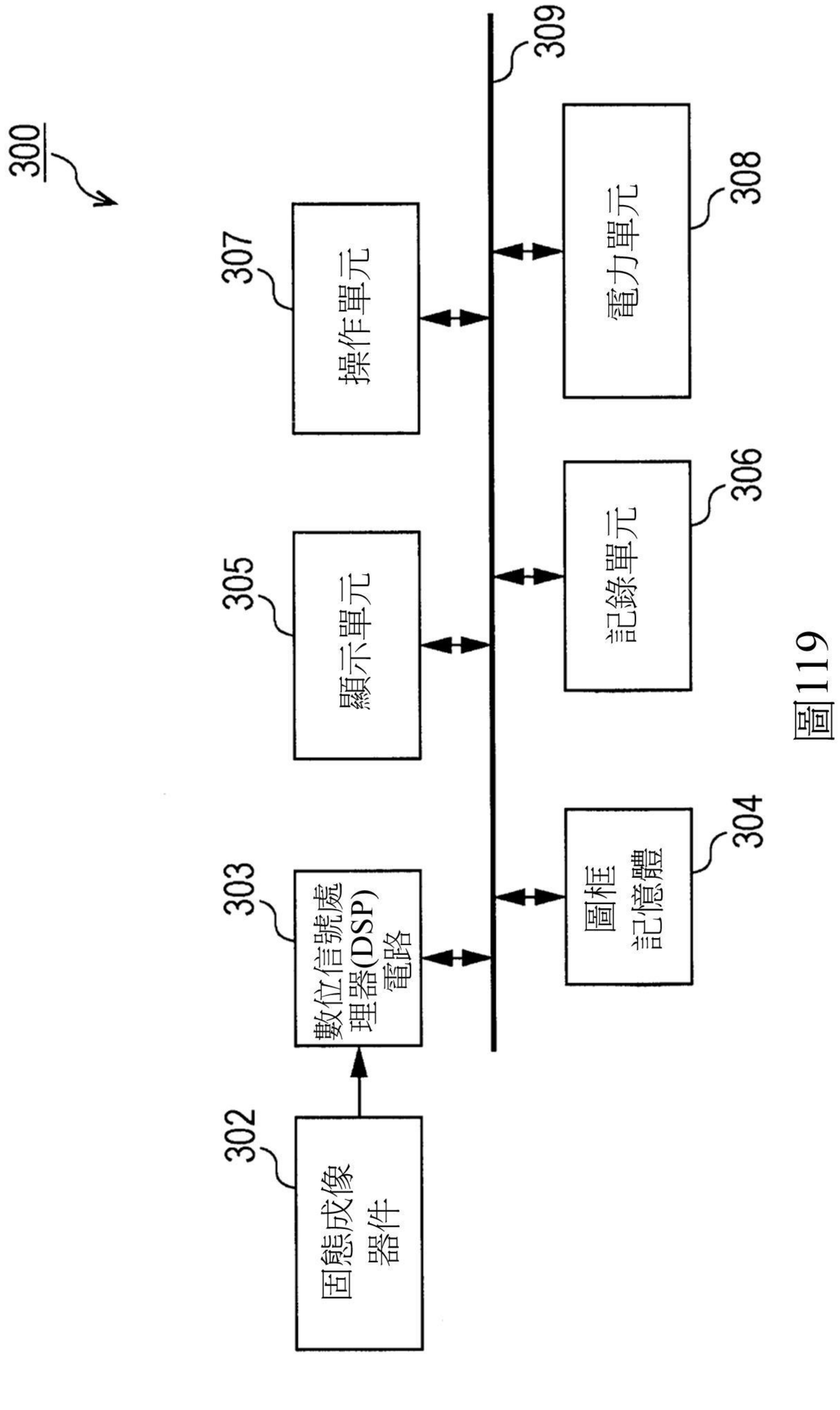

300
309
307
操作單元
305
顯示單元
306
記錄單元
308
電力單元
302
固態成像器件
303
數位信號處理器(DSP)電路
304
圖框記憶體

圖119