

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **3 014 874**

51 Int. Cl.:

H04L 9/08 (2006.01)

H04L 7/00 (2006.01)

H04L 7/04 (2006.01)

H04B 10/70 (2013.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **22.03.2021 PCT/IL2021/050322**

87 Fecha y número de publicación internacional: **30.09.2021 WO21191898**

96 Fecha de presentación y número de la solicitud europea: **22.03.2021 E 21718234 (4)**

97 Fecha y número de publicación de la concesión europea: **26.02.2025 EP 4128650**

54 Título: **Sistema y método para sincronización y comunicación de datos dispersos**

30 Prioridad:

23.03.2020 US 202062993097 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
25.04.2025

73 Titular/es:

**HEQA SECURITY LTD (100.00%)
2 HaMaayan Street
7177871 Modi'in- Maccabim-Re'ut, IL**

72 Inventor/es:

**LIVNEH, NITZAN y
EISENBERG, HAGAI SHMUEL**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 3 014 874 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y método para sincronización y comunicación de datos dispersos

5 **Campo tecnológico**

La presente solicitud está, en general, en el campo de la sincronización y comunicación de la transmisión de datos dispersos, como en aplicaciones de comunicación cuántica de fotón individual.

10 **Antecedentes**

Esta sección pretende proporcionar información de antecedentes relativos a la presente solicitud, que no es necesariamente de la técnica anterior.

15 Un transceptor de telecomunicaciones estándar puede detectar señales de velocidades superiores a 25 Gbps, lo que significa que puede medir eventos (por ejemplo, llegada de bits) dentro de intervalos de tiempo más cortos que 40 ps. La tarea de sincronización (asignación exacta de intervalo de tiempo de las señales recibidas) en dichos sistemas de comunicación estándar es relativamente simple porque la intensidad de las señales comunicadas es normalmente fuerte y fácilmente detectada por el receptor, lo que se puede usar para regenerar la señal de reloj del transmisor (Tx) y operar el receptor (Rx) a la misma frecuencia de reloj del transmisor.

25 En consecuencia, utilizar dichos sistemas de comunicación estándar para implementar un sistema de temporización de eventos requiere la provisión de un flujo equilibrado de datos desde el transmisor al receptor, con el fin de habilitar la funcionalidad de recuperación de datos de reloj (CDR) adecuada del receptor, y la reducción de la velocidad de los datos recibidos (también denominada en el presente documento como conversión de velocidad de datos, por ejemplo, según se lleva a cabo por un serializador/deserializador - SERDES) para el procesamiento y análisis de datos. Sin embargo, si no se puede mantener esta condición, la sincronización entre el transmisor y el receptor se pierde.

30 Por ejemplo, en aplicaciones de comunicación cuántica (por ejemplo, distribución cuántica de clave - QKD), en donde los datos se codifican en fotones individuales (qubits), las señales recibidas son extremadamente débiles debido a limitaciones del detector y pérdidas en el medio óptico y el receptor. Por tanto, el número de señales detectadas en el receptor es sustancialmente menor que el número de señales de fotón individual transmitidas por el transmisor. Esto significa que las funcionalidades de CDR y SERDES de receptores estándar no se pueden realizar debido a la dispersión de las señales cuánticas detectadas, que imponen un desafío en la medición (recepción) de señales de datos dispersos. Medir la temporización de eventos dispersos, que se conoce como "conversión de tiempo a digital" (TDC), o "etiquetado de tiempo", es útil en muchos campos de la ciencia y la tecnología que implican señales dispersas.

40 Mantener la sincronización entre el transmisor (Tx) y el receptor (Rx), de modo que ambas partes puedan acordar cuál es el *i*ésimo bit, es crucial para los procedimientos de generación de claves de QKD. Además, cuando se usa codificación en intervalos de tiempo discretos, la información se transporta en el tiempo de llegada de fotón individual, por lo que una temporización inexacta entre el transmisor y el receptor provocará una alta tasa de errores.

45 En el documento ALAN MINK ET AL.: "Programmable instrumentation and gigahertz signaling for single-photon quantum communication systems", NEW JOURNAL OF PHYSICS, INSTITUTE OF PHYSICS PUBLISHING, BRISTOL, GB, vol. 11, N.º 4, 1 de abril del 2009 (01-04-2009), páginas 1-14, ISSN: 1367-2630, DOI: 10.1088/1367-2630/11/4/045016 se divulga la superposición de una señal dispersa desde un detector de fotón individual sobre un flujo de datos en serie equilibrados. Esto permite que el SerDes reciba los eventos de detección de fotón individual para sincronizar con el reloj del flujo de datos equilibrados. Los datos en paralelo de ambos SerDes y sus relojes recuperados se pasan a una FPGA, donde los datos equilibrados se eliminan, a través de una compuerta XOR, dejando la señal de detección.

55 En la publicación de patente internacional N.º WO 2012/105930 se divulga un método de transmisión de QKD, en donde se genera una lista de transmisión para una pluralidad de bits de datos. La lista de transmisión comprende un programa de temporización aleatorizada que define tiempos respectivos para la transmisión de los bits de datos, proporciona una señal de reloj y usa la señal de reloj para iniciar la transmisión de los bits de datos en un tiempo predeterminado con el fin de proporcionar una señal de QKD, y un aparato para ello.

60 En la publicación de patente de EE. UU. N.º 2012/294625 se divulga un sistema de comunicación que comprende un emisor de pulsos de luz débiles, un detector que es capaz de detectar fotones individuales y una fuente de una señal de reloj, en donde dicho emisor y detector están sincronizados usando dicha señal de reloj. El sistema comprende además un divisor de frecuencia para dicha señal de reloj para producir una señal de reloj de frecuencia reducida y un regenerador de reloj para regenerar la señal de reloj original a partir de la señal de reloj de frecuencia reducida. El sistema comprende además un canal de comunicación configurado para comunicar la señal de reloj entre el emisor y el detector, reduciéndose la señal de reloj antes de ser enviada a través del canal y reconstruyéndose después de haber salido del canal.

65

En la publicación de patente de EE. UU. N.º 2016/134420 se divulga un sistema y métodos para sincronizar y alinear el canal cuántico para la distribución cuántica de clave, para permitir que un aparato de distribución cuántica de clave (QKD) funcione de manera continua con solo dos canales de comunicación, un canal de comunicación cuántica y un canal de servicio. Esto se logra vinculando las frecuencias de reloj de ambos canales y se completa mediante un método de sobremuestreo para el seguimiento de la sincronización de fase. El transporte de señal de reloj se realiza a través de datos usando técnicas de codificación de recuperación de datos de reloj. Tener un sistema de QKD de operación continua no es posible sin un sistema de seguimiento que habilite la alineación de fase. Este sistema y método de sincronización y alineación para QKD tiene múltiples beneficios ya que permite la sincronización en tiempo real con flujo de datos continuo y no está dedicado a un protocolo cuántico específico.

En el documento Mink Alan et al., ("*High-speed quantum key distribution system supports one-time pad encryption of real-time video*", https://www.spiedigitallibrary.org/conference-proceedings-of-spie_on_21_Feb_2021) se describe un banco de pruebas de distribución cuántica de clave (QKD) de alta velocidad que incorpora tanto sistemas de espacio libre como de fibra. Estos sistemas demuestran un incremento importante en la velocidad alcanzable de los sistemas de QKD: por encima de dos órdenes de magnitud más rápidos que otros sistemas.

En el documento JC Bienfang et al., ("*Quantum key distribution with 1.25 Gbps clock synchronization*" vol. 12 n.º 9, OPTICS EXPRESS 2011) se demuestra el intercambio de clave criptográfica cuántica tamizada por un enlace de espacio libre de 730 metros a velocidades de hasta 1,0 Mbps, dos órdenes de magnitud más rápido que los resultados informados anteriormente, donde un canal clásico a 1550 nm opera en paralelo con un canal cuántico a 845 nm, las técnicas de recuperación de reloj en el canal clásico a 1,25 Gbps habilitan la transmisión cuántica hasta la velocidad de reloj.

Descripción general

Las funcionalidades de regeneración de reloj y conversión de velocidad de datos de transceptores convencionales no están diseñadas para manejar flujos de comunicación de datos dispersos. Por tanto, los sistemas de comunicación de datos dispersos normalmente requieren circuiterías especialmente diseñadas y costosas para la sincronización de reloj y la recuperación de datos, lo que complica el desarrollo y la producción del sistema, y conlleva costos incrementados. La presente divulgación proporciona soluciones de comunicación de datos dispersos que utilizan circuiterías/dispositivos estándar fácilmente disponibles/no especializados, para aliviar de ese modo los requisitos de diseño y los costos de producción de los sistemas de comunicación de datos dispersos.

Una característica clave de la presente solicitud es el uso de circuitería de manipulación para introducir redundancia reversible a las señales de datos recibidas por un canal de comunicación de datos dispersos y, de ese modo, habilitar el uso de la funcionalidad del dispositivo o dispositivos transceptores estándar para la regeneración de reloj (por ejemplo, bloqueo de frecuencia por CDR del transceptor) y la conversión de velocidad de datos (por ejemplo, por SERDES del transceptor), para convertir el flujo de señal dispersa en serie de alta velocidad recibido en un flujo de señal paralelo de menor velocidad, para el procesamiento y análisis.

De acuerdo con la invención, la redundancia que se introduce a los datos en serie dispersos se deriva de señales de sincronización, la cual es una secuencia binaria pseudoaleatoria - PRBS, indicativa de una señal de reloj usada por el transmisor de las señales de datos dispersos.

Por ejemplo, el transmisor puede enviar las señales de sincronización al receptor por un canal de comunicación separado (por ejemplo, canal óptico convencional usando fibras ópticas, canal de RF o por cables eléctricos). El receptor se puede configurar en consecuencia para recibir las señales de sincronización (por ejemplo, mediante un módulo SFP conectable de factor de forma pequeño) desde el transmisor, y mezclar/combinar de manera reversible las señales de sincronización recibidas con las señales de datos en serie dispersos recibidas. Como alternativa, o adicionalmente, el receptor puede usar una fuente de señal de sincronización externa para introducir la redundancia a las señales de datos en serie dispersos. Opcionalmente, se usa una fuente de señal de sincronización interna generada en el receptor para introducir la redundancia a los datos dispersos recibidos, con o sin una fuente de señal de sincronización externa.

Las señales de sincronización usadas para introducir la redundancia en las señales de datos dispersos recibidas pueden comprender señales de reloj que tienen la frecuencia y periodicidad de la señal de reloj usada por el transmisor para transmitir las señales de datos dispersos. De esta manera, la funcionalidad de CDR de un transceptor convencional se puede usar en el receptor para el bloqueo de frecuencia a la frecuencia de un sistema externo, y el SERDES del transceptor se puede usar para la conversión de velocidad de datos, produciendo un flujo de señal en paralelo de menor velocidad a partir del flujo de señal en serie de alta velocidad mezclada.

De acuerdo con la invención, la señal de reloj de las señales de sincronización comprende una PRBS.

Asimismo, si se usan señales de sincronización externas, las señales de sincronización pueden comprender una señal de reloj ante la que tanto el transmisor como el receptor bloquean su frecuencia y la convierten (por ejemplo, mediante

una circuitería de bucle de fase bloqueada - PLL) a la frecuencia de trabajo correcta, y de ese modo se comunican sin requerir un canal de comunicación adicional (convencional).

5 En una posible realización, el receptor está configurado para generar localmente las señales de sincronización, y usar las mismas para introducir la redundancia a las señales de datos dispersos recibidas para la operación del transceptor. En esta realización, la temporización inicial de la transmisión de señales de datos dispersos se puede obtener usando un dispositivo de reloj interno preciso (por ejemplo, sistema de posicionamiento global - reloj GPS), o utilizando otra señal de sincronización de una fuente externa, o comunicada entre el transmisor y el receptor en el canal de comunicación de datos dispersos, por ejemplo, mediante la transmisión al receptor de una señal óptica de mayor intensidad para la detección sin detectores de fotón individual, desde el transmisor al receptor o desde el receptor al transmisor.

10 En otras posibles realizaciones más, las señales de sincronización se generan por el receptor (de las señales de datos dispersos) y se transmiten desde el receptor al transmisor (de las señales de datos dispersos).

15 Opcionalmente, pero en algunas realizaciones preferiblemente, la circuitería de manipulación se implementa mediante una compuerta lógica XOR (OR exclusiva) en serie rápida externa configurada para mezclar las señales de datos dispersos recibidas con señales de sincronización, y alimentar la señal mezclada generada de ese modo al receptor para la regeneración de reloj (por ejemplo, bloqueo de frecuencia de CDR) y la conversión de velocidad de datos (por ejemplo, SerDes). La redundancia introducida en las señales de datos dispersos recibidas se puede eliminar mediante una circuitería de compuerta lógica XOR en paralelo configurada para mezclar el flujo de señal mezclada (deserializada) en paralelo de menor velocidad generado por el transceptor (SerDes) con el respectivo flujo de señal de sincronización regenerada en paralelo producido por el transceptor, por ejemplo, un bucle interno de PRBS controlado por la CDR del transceptor para tener la misma frecuencia y periodicidad de la señal de reloj del transmisor.

20 En una realización alternativa, en lugar de la compuerta lógica XOR en serie rápida externa, una circuitería de primer combinador analógico se usa para combinar las señales de datos dispersos recibidas con las señales de sincronización recibidas, y alimentar una primera señal combinada producida de ese modo a un primer canal de transceptor, para la regeneración de reloj (por ejemplo, mediante bloqueo de frecuencia de CDR) y la conversión de velocidad de datos (por ejemplo, SerDes), una segunda circuitería de combinador analógico se usa para combinar las mismas señales de datos dispersos recibidas con un inverso (por ejemplo, utilizando circuitería de inversor lógico/NOT) de las señales de sincronización recibidas y alimentar una segunda señal combinada generada de ese modo a un segundo canal de transceptor para la regeneración de reloj (por ejemplo, por bloqueo de frecuencia de CDR) y la conversión de velocidad de datos (por ejemplo, SerDes). Una circuitería de compuerta lógica XOR interna se usa en cada uno de los canales de transceptor para realizar un paso de recuperación de datos intermedio, mezclando el flujo de señal en paralelo de menor velocidad producido mediante su conversión de velocidad de datos con un flujo en paralelo correspondiente de las señales de sincronización generadas/emuladas por su regenerador de reloj. Los datos transmitidos se pueden recuperar a continuación combinando (por ejemplo, utilizando un circuito de puerta Y lógica en paralelo) los flujos de señal mezclada en paralelo producidos por las circuiterías de puerta O exclusiva lógica del primer y segundo canal de transceptor.

30 Con el fin de determinar con exactitud la diferencia de tiempo entre las señales de datos dispersos recibidas y las señales de sincronización, la transmisión de datos recuperada, es decir, generada por la circuitería de compuerta lógica XOR (u OR) en paralelo, se puede correlacionar con un patrón de señal de datos predefinido (conocido). Opcionalmente, el patrón de señal de datos para la correlación con el flujo de datos recuperados se recibe en el receptor a través de otro canal de datos (por ejemplo, LAN). La correlación se puede llevar a cabo en el transceptor, o por un sistema de procesamiento de datos (informático) externo.

35 En posibles realizaciones, la comunicación entre el transmisor y el receptor de las señales de datos dispersos incluye las siguientes etapas:

- el receptor recibe una cabecera predefinida generado por el transmisor por el canal de señales de sincronización y activa en respuesta una fuente de señal de sincronización local (por ejemplo, generador/emulador de reloj, como un generador/emulador de PRBS) que tiene la misma periodicidad del reloj del transmisor.
- después de transmitir la cabecera predefinida, el transmisor transmite sus señales de sincronización (es decir, la señal de reloj de PRBS usada para la transmisión de las señales de datos dispersos) por el canal de señal de sincronización durante algún intervalo de tiempo predeterminado requerido para el regenerador de reloj (CDR) del transceptor usado por el receptor para el bloqueo de frecuencia. Después del bloqueo de frecuencia, el transceptor compara continuamente las señales de sincronización producidas/emuladas localmente con las señales de sincronización recibidas por el canal de señal de sincronización para detectar errores en el mismo.
- después del intervalo de tiempo predeterminado asignado para el bloqueo de frecuencia, el transmisor introduce en las señales de sincronización transmitidas por el canal de señal de sincronización un patrón de error predefinido (por ejemplo, 5 ciclos de inversión de 1 bit en cada transmisión consecutiva de 128 bits de reloj), señalizando de ese modo al receptor que la transmisión de señales de datos dispersos está a punto de comenzar a través del canal de comunicación de datos dispersos.
- El receptor detecta los patrones de error predefinidos en las señales de sincronización recibidas por el canal de

señal de sincronización, y activa en respuesta su detector de señal de datos dispersos, y establece un retardo inicial para la recepción de señal de datos dispersos.

- El receptor entonces recibe de manera continua señales de datos dispersos y señales de sincronización del transmisor, y determina la diferencia de tiempo exacta entre los datos dispersos recibidos y las señales de sincronización, mediante la correlación de al menos alguna porción de las señales de datos dispersos recibidas con un patrón de señal de datos predeterminado (conocido) (por ejemplo, recibido a través de otro canal de datos).
- La superposición entre las señales de sincronización y las señales de datos dispersos se optimiza mediante una unidad de retardo sintonizable, con una resolución de sub-bit, por ejemplo, mediante el procesamiento posterior del histograma de datos configurado para estimar la fluctuación de la señal de datos dispersos y cambiar el retardo para minimizar la fluctuación de fase, o como alternativa para estimar la SNR de señal a ruido de la señal de datos dispersos recibida y cambiar el retardo para minimizar la SNR estimada.

Opcionalmente, pero en algunas realizaciones preferiblemente, el canal de comunicación de datos dispersos es un canal óptico (por ejemplo, fibra óptica o medio de espacio libre) usado para la transmisión de qubits cuánticos de fotón individual. En consecuencia, se puede usar un detector de fotón individual en el receptor para convertir la señal óptica de datos dispersos recibida en correspondientes señales eléctricas de datos dispersos. El canal de comunicación de señales de sincronización se puede implementar mediante un canal de comunicación de datos convencional, por ejemplo, radiofrecuencia - RF, por cables eléctricos o fibras ópticas. Por ejemplo, y sin ser limitante, el canal de comunicación de señales de sincronización se puede implementar por una fibra óptica, y el receptor puede utilizar un módulo (SFP) conectable de factor de forma pequeño para convertir las señales de sincronización óptica recibidas en señales eléctricas correspondientes.

Un aspecto inventivo del tema de discusión que se divulga en el presente documento se refiere a un receptor de señales de datos dispersos que comprende un mezclador configurado para generar un flujo en serie de señales mezcladas a partir de un flujo en serie de señales de datos dispersos y un flujo en serie de señales de sincronización, para añadir de ese modo redundancia al flujo en serie de señales de datos dispersos y habilitar la regeneración de reloj a partir del mismo, una unidad de regeneración de reloj configurada para recibir el flujo en serie de señales mezcladas, determinar una frecuencia de las señales de sincronización basándose en las mismas y generar un flujo de señales de sincronización en paralelo emulando el flujo en serie de señales de sincronización, un conversor de velocidad de datos configurado para convertir el flujo en serie de señales mezcladas en un flujo de señales mezcladas en paralelo, teniendo los flujos de señales en paralelo una velocidad de datos menor que una velocidad de datos de los flujos de señales en serie, y un desmezclador configurado para generar un flujo en paralelo de señales desmezcladas a partir del flujo de señales de sincronización en paralelo y el flujo de señales mezcladas en paralelo, y eliminar de ese modo la redundancia introducida por el mezclador en las señales de datos dispersos. De acuerdo con la invención, las señales de sincronización comprenden un flujo de bits pseudoaleatorio.

El flujo en serie de señales de datos dispersos se recibe en algunas realizaciones por un canal de comunicación cuántica de fotón individual. En dichas realizaciones, se puede usar un detector de fotón individual para recibir el flujo en serie de señales de datos dispersos.

La unidad de regeneración y el conversor de velocidad de datos se pueden implementar mediante circuitería de recuperación de datos de reloj (CDR) y circuitería de serializador-deserializador (SERDES) de al menos un canal transceptor de un dispositivo transceptor. El al menos un canal de transceptor se puede usar para implementar el desmezclador. El mezclador puede comprender una circuitería de compuerta lógica XOR en serie y el desmezclador puede comprender una circuitería de compuerta lógica XOR en paralelo. Opcionalmente, la circuitería de compuerta lógica XOR en paralelo se implementa en el al menos un canal transceptor del dispositivo transceptor.

En posibles realizaciones, el mezclador puede comprender un primer combinador analógico configurado para generar una primera señal combinada en serie a partir de los flujos en serie de datos dispersos y señales de sincronización, y un segundo combinador analógico configurado para generar una segunda señal combinada en serie a partir del flujo en serie de señales de datos dispersos y un inverso del flujo en serie de señales de sincronización. Las circuiterías de CDR, de SERDES y de compuerta XOR en paralelo de los respectivos primer y segundo canal de transceptor del transceptor, se pueden configurar para generar respectivos primer y segundo flujos de señales desmezcladas en paralelo a partir de la primera y segunda señales combinadas. Se puede usar una circuitería de compuerta lógica OR en paralelo para recibir el primer y segundo flujos de señales desmezcladas en paralelo desde el primer y segundo canal de transceptor y eliminar la redundancia introducida por el mezclador en las señales de datos dispersos.

En otras realizaciones posibles, el mezclador comprende un primer combinador analógico configurado para generar una primera señal combinada en serie a partir de los flujos en serie de datos dispersos y señales de sincronización, y un segundo combinador analógico configurado para generar una segunda señal combinada en serie a partir del flujo en serie de señales de datos dispersos y un inverso del flujo en serie de señales de sincronización, y en donde la circuitería SERDES de los respectivos primer y segundo canal de transceptor del transceptor está configurada para generar respectivos primer y segundo flujos de señales combinadas en paralelo a partir de la primera y segunda señales combinadas en serie. Se puede usar una circuitería de compuerta lógica AND en paralelo para recibir el primer y segundo flujo de señales combinadas en paralelo desde el primer y segundo canal de transceptor y eliminar la

redundancia introducida por el mezclador en las señales de datos dispersos.

5 En algunas realizaciones se usa un módulo de temporización para correlacionar al menos una porción del flujo de señales desmezcladas en paralelo con un patrón de señal de datos predefinido, y determinar, basándose en el mismo, una diferencia de tiempo entre los flujos en serie de datos dispersos y las señales de sincronización. El módulo de temporización se puede configurar y operar para identificar bits perdidos en la PRBS del flujo de señales de sincronización en serie basándose en la correlación, y corregir la temporización del flujo de señales de sincronización en serie recibido en consecuencia.

10 El sistema comprende en algunos un canal de comunicación de datos de servicio. El patrón de señal de datos predefinido para la correlación se puede recibir por el canal de comunicación de datos de servicio.

15 Una unidad de retardo de tiempo ajustable se usa en algunas realizaciones para afectar un retardo temporal para al menos uno de los flujos en serie de datos dispersos y señales de sincronización basándose en la diferencia de tiempo determinada.

20 En algunas realizaciones, el flujo en serie de señales de sincronización se recibe por un canal de comunicación óptico. El sistema puede comprender un módulo conectable de factor de forma pequeño configurado para recibir el flujo en serie de señales de sincronización. Opcionalmente, el canal de comunicación óptica comprende un canal de multiplexación por división de longitud de onda densa (DWDM). El transmisor se puede configurar en alguna realización para combinar señales de datos con las señales de sincronización transmitidas por el canal de DWDM.

25 Otro aspecto inventivo del tema de discusión que se divulga en el presente documento se refiere a un sistema de comunicación que comprende el sistema receptor de cualquiera de las realizaciones divulgadas anteriormente o a continuación en el presente documento, un sistema transmisor que comprende un transmisor de datos para transmitir el flujo de señales de datos dispersos, un generador de señales de sincronización configurado para generar el flujo en serie de señales de sincronización, y un transmisor de señales de sincronización para transmitir el flujo en serie de la señal de sincronización, un canal de comunicación de señales de datos dispersos para transmitir el flujo de señales de datos dispersos al sistema receptor, y un canal de comunicación de señales de sincronización para transmitir el flujo de señales de sincronización al sistema receptor.

30 En algunas realizaciones el sistema de comunicación comprende un canal de datos de servicio para transmitir al sistema receptor un patrón de señal de datos para la correlación con al menos una porción del flujo de señales desmezcladas en paralelo para determinar de ese modo una diferencia de tiempo entre los flujos en serie de datos dispersos y las señales de sincronización.

35 En algunas realizaciones, el sistema de comunicación comprende un sistema de sincronización externo configurado para generar el flujo de señales de sincronización y enviar las mismas al receptor y/o a los sistemas transmisores.

40 El sistema de comunicación comprende en algunas realizaciones un reloj de GPS configurado para señalar al receptor y/o al transmisor el comienzo de la transmisión del flujo de señales de datos dispersos.

45 Otro aspecto inventivo más del tema de discusión que se divulga en el presente documento se refiere a un método para la sincronización de señales de datos dispersos. El método comprende mezclar un flujo en serie de señales de datos dispersos con un flujo en serie de señales de sincronización, para añadir de ese modo redundancia al flujo en serie de señales de datos dispersos y habilitar la regeneración de reloj a partir de un flujo en serie de señales mezcladas producidas mediante el mezclado, emular el flujo en serie de las señales de sincronización mediante la aplicación de la regeneración de reloj al flujo en serie de señales mezcladas, y generar un flujo de señales de sincronización en paralelo que tienen una frecuencia del flujo en serie de señales de sincronización, deserializar el flujo en serie de señales mezcladas en un flujo de señales mezcladas en paralelo que tienen una velocidad de datos menor que una velocidad de datos de los flujos de señales en serie, y desmezclar el flujo de señales de sincronización en paralelo con el flujo de señales mezcladas en paralelo y, de ese modo, eliminar la redundancia introducida mediante el mezclado en las señales de datos dispersos y generar un flujo en paralelo de señales desmezcladas sustancialmente sincronizadas con las señales de sincronización.

50 El mezclado comprende en algunas realizaciones aplicar operación XOR en serie al flujo en serie de señales de datos dispersos con el flujo en serie de señales de sincronización. El desmezclado comprende en algunas realizaciones aplicar operación XOR en paralelo al flujo de señales de sincronización en paralelo con el flujo de señales mezcladas en paralelo.

55 En algunas realizaciones, el mezclado comprende combinar los flujos en serie de datos dispersos y las señales de sincronización y generar de ese modo un primer flujo de señales combinadas, combinar el flujo en serie de señales de datos dispersos y un inverso del flujo en serie de señales de sincronización y generar de ese modo un segundo flujo de señales combinadas, emular el flujo en serie de señales de sincronización mediante la aplicación de la regeneración de reloj al primer y segundo flujos de señales combinadas y generar respectivos primer y segundo flujos de señales de sincronización en paralelo que tienen una frecuencia del flujo en serie de señales de sincronización,

deserializar el primer y segundo flujos de señales combinadas y generar respectivos primer y segundo flujos de señales combinadas en paralelo que tienen una velocidad de datos menor que una velocidad de datos de los flujos de señales en serie, desmezclar el primer flujo de señales de sincronización en paralelo con el primer flujo de señales combinadas en paralelo y generar de ese modo un primer flujo de señales desmezcladas en paralelo, desmezclar el segundo flujo de señales de sincronización en paralelo con el segundo flujo de señales combinadas en paralelo y generar de ese modo un segundo flujo de señales desmezcladas en paralelo, y combinar mediante operación lógica OR el primer y segundo flujos de señales desmezcladas en paralelo y generar de ese modo un flujo de señales desmezcladas en paralelo de las que se elimina la redundancia añadida a la señal de datos dispersos por el mezclado.

En algunas otras realizaciones posibles, el mezclado comprende combinar los flujos en serie de datos dispersos y señales de sincronización y generar de ese modo un primer flujo de señales combinadas, combinar el flujo en serie de señales de datos dispersos y un inverso del flujo en serie de señales de sincronización y generar de ese modo un segundo flujo de señales combinadas, deserializar el primer y segundo flujos de señales combinadas y generar respectivos primer y segundo flujos de señales combinadas en paralelo que tienen una velocidad de datos menor que una velocidad de datos de los flujos de señales en serie, y combinar mediante operación lógica AND el primer y segundo flujos de señales combinadas en paralelo y generar de ese modo un flujo de señales desmezcladas en paralelo de las que se elimina la redundancia añadida a la señal de datos dispersos por el mezclado.

El método puede comprender correlacionar al menos una porción del flujo de señales desmezcladas en paralelo con un patrón de señal de datos predefinido, y determinar basándose en el mismo una diferencia de tiempo entre los flujos en serie de datos dispersos y las señales de sincronización.

La sincronización comprende una PRBS. El método puede comprender identificar bits perdidos en la PRBS del flujo de señales de sincronización en serie basándose en la correlación, y corregir la temporización del flujo de señales de sincronización en serie recibido en consecuencia. El método puede comprender adicionalmente afectar un tiempo de retardo para al menos uno de los flujos en serie de datos dispersos y señales de sincronización basándose en la diferencia de tiempo determinada.

El método puede comprender la señalización para el comienzo de la transmisión del flujo de señales de datos dispersos por un reloj de GPS.

Breve descripción de los dibujos

Con el fin de comprender la invención y ver cómo se puede llevar a cabo en la práctica, se describirán las realizaciones a continuación, únicamente a modo de ejemplo no limitante, con referencia a los dibujos adjuntos. Las características que se muestran en los dibujos pretenden ser ilustrativas únicamente de algunas realizaciones de la invención, a menos que se indique implícitamente lo contrario. En los dibujos, se usan números de referencia similares para indicar partes correspondientes, y en las que:

- la figura 1 es un diagrama de flujo en el que se ilustra esquemáticamente una técnica de comunicación de señales de datos dispersos de acuerdo con algunas posibles realizaciones;
- la figura 2 es un diagrama de bloques en el que se ilustra esquemáticamente la utilización de un transceptor convencional para comunicación de datos dispersos de acuerdo con algunas posibles realizaciones;
- la figura 3 es un diagrama de bloques en el que se ilustra esquemáticamente un sistema de comunicación de acuerdo con algunas realizaciones utilizando un transceptor convencional individual;
- la figura 4 es un diagrama de bloques en el que se ilustra esquemáticamente un sistema de comunicación de acuerdo con algunas posibles realizaciones utilizando dos transceptores convencionales;
- la figura 5 es un diagrama de bloques en el que se ilustra esquemáticamente otra posible realización para un sistema de comunicación utilizando dos transceptores convencionales;
- la figura 6 es un diagrama de flujo en el que se demuestra un proceso de temporización en el sistema de comunicación de acuerdo con posibles realizaciones;
- la figura 7 es un diagrama de bloques en el que se demuestra un sistema de comunicación de acuerdo con algunas realizaciones que utilizan un sistema de sincronización externo; y
- La figura 8 es un diagrama de bloques en el que se demuestra un sistema de comunicación de acuerdo con algunas realizaciones operando sin canal de comunicación de señales de sincronización.

Descripción detallada de las realizaciones

Una o más realizaciones específicas y/o alternativas de la presente divulgación se describirán a continuación con referencia a los dibujos, que se deben considerar en todos los aspectos como ilustrativos únicamente y no restrictivos de ninguna manera. Será evidente para un experto en la materia que estas realizaciones se pueden practicar sin dichos detalles específicos. En un esfuerzo por proporcionar una descripción concisa de estas realizaciones, no se describen en detalle en la memoria descriptiva todas las características o detalles de una implementación real. En su lugar, se pone el énfasis en ilustrar claramente los principios de la invención de tal manera que los expertos en la técnica podrán realizar y usar las técnicas de comunicación de datos dispersos, una vez que comprendan los principios del tema de discusión que se divulga en el presente documento. Esta invención se puede proporcionar en otras formas

y realizaciones específicas sin apartarse de las características esenciales que se describen en el presente documento.

Se divulgan sistemas y métodos de comunicación de datos dispersos, que aprovechan funcionalidades de dispositivos transceptores estándar para la sincronización y la medición de tiempo de eventos dispersos, lo que habilita de ese modo la implementación de las técnicas de comunicación de datos dispersos del presente documento utilizando circuiterías fácilmente disponibles/no especializadas. Con el fin de aprovechar la característica de regeneración de reloj (por ejemplo, recuperación de datos de reloj - CDR) de un transceptor estándar, las señales de datos entrantes recibidas por un canal de comunicación de datos dispersos se mezclan en un paso preliminar con un flujo de señales de sincronización recibidas por un canal de comunicación estándar (clásico). De esta manera, la dispersión de las señales de datos recibidas por el canal de comunicación de datos dispersos se disminuye sustancialmente, y se introduce redundancia de manera reversible en el mismo. La señal mezclada obtenida se alimenta a un transceptor convencional para la regeneración de reloj y la conversión de velocidad de datos (por ejemplo, SERDES).

La redundancia introducida en las señales de datos dispersos recibidas habilita el transceptor para regenerar/emular la señal de sincronización (reloj) usada por el transmisor de las señales de datos dispersos, y sincronizar en consecuencia su funcionalidad de conversión de velocidad de datos. La conversión de velocidad de datos del transceptor se puede configurar para recibir un flujo en serie de la señal mezclada y convertirlo en un flujo de señal de datos en paralelo de menor velocidad. Los datos transmitidos se pueden recuperar a continuación desmezclando el flujo de señales de datos en paralelo de menor velocidad con un respectivo flujo de señales en paralelo de menor velocidad de la señal de sincronización regenerada/emulada por el transceptor.

Opcionalmente, pero en algunas realizaciones preferiblemente, el ajuste fino se puede realizar mediante la correlación de al menos alguna porción del flujo de señal de datos en paralelo de menor velocidad recuperado con un patrón de señal de datos predeterminado acordado con el transmisor, para habilitar la determinación en el receptor de la hora exacta de llegada de cada señal de datos dispersos recibida en el mismo. El desmezclado y/o el ajuste fino del flujo de señales de datos en paralelo de menor velocidad se pueden llevar a cabo por el transceptor, o por un dispositivo de procesamiento de señal/datos externo.

En algunas realizaciones, las señales de sincronización comprenden una señal de reloj del transmisor, o de otra fuente de señal de reloj externa indicativa de la señal de reloj del transmisor.

De acuerdo con la invención, las señales de sincronización comprenden una señal de reloj de secuencia binaria pseudoaleatoria (PRBS) del transmisor. En la presente solicitud también se divulga una fuente de señal de reloj externa indicativa de la señal de reloj del transmisor.

El mezclador se implementa en algunas realizaciones mediante una circuitería de compuerta lógica XOR (OR exclusiva) configurada para mezclar un flujo en serie de las señales de datos recibidas por el canal de comunicación de datos dispersos con un flujo en serie de las señales de sincronización recibidas por el canal de datos convencional. En dichas realizaciones, el desmezclador se puede implementar mediante una circuitería de compuerta lógica XOR en paralelo configurada para desmezclar el flujo de señales de datos en paralelo de menor velocidad con el flujo de señales de sincronización en paralelo de menor velocidad de la señal de sincronización regenerada/emulada.

En una realización alternativa, el mezclador se implementa utilizando una primera y una segunda circuitería de combinación analógica (denominadas en lo sucesivo en el presente documento combinadores), y se usan dos respectivos dispositivos/canales transceptores para la regeneración de reloj y la conversión de velocidad de datos. Cada uno de los combinadores analógicos se puede configurar para implementar una funcionalidad lógica OR (denominada combinar, en lo sucesivo en el presente documento), usando la señal de sincronización para introducir un grado adecuado de redundancia reversible en las señales de datos dispersos recibidas. En una posible realización, el primer combinador analógico se configura para combinar las señales de datos dispersos recibidas con las señales de sincronización recibidas, y el segundo combinador analógico se configura para combinar las señales de datos dispersos recibidas con un inverso de las señales de sincronización recibidas (por ejemplo, después de pasar a través de una circuitería de inversión lógica analógica/compuerta NOT). Cada uno del primer y segundo dispositivos/canales transceptores se configura para llevar a cabo la regeneración de reloj y la conversión de velocidad de datos para la señal combinada recibida en el mismo desde su respectivo combinador analógico, y se produce de ese modo un paso de recuperación de datos intermedio que utiliza una circuitería de compuerta lógica XOR para desmezclar el flujo de señales de datos en paralelo de menor velocidad, con el flujo de señales de sincronización en paralelo de menor velocidad regenerado/emulado de ese modo. Los datos transmitidos se pueden recuperar entonces mediante una circuitería de compuerta lógica OR en paralelo configurada para combinar los flujos de señales de datos en paralelo de menor velocidad de las circuiterías de compuerta lógica XOR del primer y segundo dispositivos/canales transceptores. Posteriormente, se puede realizar una etapa de ajuste fino al flujo de señales de datos en paralelo combinadas de menor velocidad producido por la circuitería de compuerta lógica OR en paralelo, de una manera similar a la descrita anteriormente en el presente documento y a continuación en el presente documento.

En posibles realizaciones, la recuperación de datos se lleva a cabo sin el paso de recuperación de datos intermedio por las circuiterías de compuerta lógica XOR del primer y segundo dispositivos/canales transceptores. En dichas posibles realizaciones, la recuperación de datos se lleva a cabo utilizando una circuitería lógica AND en paralelo

configurada para operar en los flujos de señales de datos en paralelo de menor velocidad producidos por el primer y segundo dispositivos/canales transceptores. Posteriormente, se puede realizar una etapa de ajuste fino al flujo de señal de datos en paralelo de menor velocidad producido por circuitería de compuerta lógica AND en paralelo, de una manera similar a la descrita anteriormente en el presente documento y a continuación en el presente documento.

5 Para una visión general de varias características de ejemplo, pasos de proceso y principios de la invención, los ejemplos de comunicación de datos dispersos que se ilustran esquemáticamente y en forma de diagrama en las figuras están destinados a un sistema de comunicación de datos cuánticos de fotón individual. Estos sistemas de comunicación de datos cuánticos de fotón individual se muestran como una implementación de ejemplo que demuestra
10 una serie de características, procesos y principios usados para proporcionar aplicaciones de comunicación de datos dispersos fiables y estables, pero también son útiles para otras aplicaciones y se pueden realizar en diferentes variaciones (por ejemplo, comunicación de datos de RF). Por tanto, esta descripción continuará con referencia a los ejemplos que se muestran, pero con la comprensión de que la invención citada en las reivindicaciones a continuación también se puede implementar de una miríada de otras formas, una vez comprendidos los principios a partir de las descripciones, explicaciones y dibujos en el presente documento. Todas dichas variaciones, así como cualesquiera
15 otras modificaciones evidentes para un experto en la materia y útiles en aplicaciones de comunicación de datos dispersos se pueden emplear adecuadamente, y se pretende que caigan dentro del alcance de esta solicitud.

20 En la figura 1 se muestra un diagrama de flujo 28 en el que se ilustra esquemáticamente un proceso de comunicación de datos dispersos de acuerdo con algunas posibles realizaciones. El proceso comienza en la recepción simultánea de un flujo en serie de señales de datos dispersos S_{dat} por un canal de comunicación de datos dispersos (por ejemplo, comunicación cuántica de fotón individual) en la etapa S1, y de un flujo en serie de señales de sincronización S_{sinc} por un canal de comunicación convencional (por ejemplo, RF, cables eléctricos, fibra óptica, etc.) en la etapa S2. El flujo de señales de datos dispersos en serie S_{dat} y el flujo de señales de sincronización S_{sinc} se mezclan en la etapa S3 para
25 incrementar la redundancia del flujo de señales de datos dispersos en serie. El flujo de señales en serie mezcladas S_{mezcla} que tiene la redundancia incrementada se usa en la etapa S4 para la regeneración/emulación de reloj (por ejemplo, usando circuitería de CDR) de manera que se genera un flujo de señales de reloj en serie S_{clk} . El flujo de señales de reloj en serie S_{clk} generado/emulado en la etapa de regeneración de reloj S4 tiene sustancialmente la misma frecuencia y periodicidad de la señal de reloj usada para la transmisión del flujo en serie de señales de datos dispersos S_{dat} . Opcionalmente, pero en algunas realizaciones preferiblemente, la señal de reloj usada para la
30 transmisión del flujo en serie de señales de datos dispersos S_{dat} es una PRBS que tiene un polinomio mónico y valor semilla predefinidos.

35 En la etapa S5, la conversión de velocidad de datos (por ejemplo, usando circuitería SERDES) se realiza para producir un flujo de señales mezcladas en paralelo de menor velocidad P_{mezcla} a partir del flujo de señales mezcladas en serie S_{mezcla} producido en la etapa S3, y para producir un flujo de señales de reloj en paralelo de menor velocidad P_{clk} a partir del flujo de señales de reloj en serie regenerado/emulado S_{clk} producido en la etapa S4. Opcionalmente, pero en algunas realizaciones preferiblemente, las etapas S4 y S5 se realizan utilizando funcionalidades de CDR y SERDES de un dispositivo transceptor convencional 16.

40 Los flujos de datos mezclados en paralelo de menor velocidad y señales de reloj, P_{mezcla} y P_{clk} respectivamente, producidos en la etapa S5 son desmezclados en la etapa S6 para eliminar la redundancia introducida en el flujo de señales de datos dispersos en serie S_{dat} del flujo de señales de datos mezclados en paralelo de menor velocidad P_{mezcla} . Opcionalmente se realiza una etapa de ajuste fino S7 para registrar con exactitud el flujo de señales de datos en paralelo de menor velocidad desmezclados P_{dat} con respecto a la señal de reloj usada para la transmisión del flujo en serie de señales de datos dispersos S_{dat} . La etapa de ajuste fino S7 puede comprender correlacionar al menos una
45 porción del flujo de señales de datos en paralelo de menor velocidad P_{dat} con un patrón de datos predeterminado para determinar el tiempo exacto de llegada de la primera señal de datos dispersos por el canal de datos dispersos. El patrón de datos predeterminado usado para la correlación se puede almacenar de antemano en una memoria del sistema, o se puede proporcionar al receptor por un canal de comunicación de datos convencional desde el transmisor, u otra fuente externa. La etapa de desmezclado en paralelo S6, y/o la etapa de ajuste fino S7, se pueden llevar a cabo también en el dispositivo transceptor 16, o por un dispositivo de procesamiento de datos externo.

50 La figura 2 es un diagrama de bloques en el que se ilustra esquemáticamente un aparato receptor de datos dispersos 18 de acuerdo con algunas posibles realizaciones. El aparato receptor 18 está configurado para recibir un flujo de señales de datos dispersos en serie S_{dat} por un canal de comunicación de datos dispersos C1 (por ejemplo, comunicación cuántica de fotón individual), y un flujo en serie de señales de sincronización S_{sinc} a través de un canal de comunicación convencional C2 (por ejemplo, RF, fibra óptica, cables eléctricos). El flujo de señales de datos dispersos en serie recibido S_{dat} y el flujo de señales de sincronización S_{sinc} son mezclados por el mezclador 17, configurado para usar el flujo de señales de sincronización dispersas en serie S_{sinc} para incrementar la redundancia del flujo de señales de datos dispersos en serie S_{dat} . El flujo de señales de datos en serie mezclados S_{mezcla} producido por el mezclador 17 se alimenta a un dispositivo transceptor 16 para la regeneración de reloj y la conversión de
60 velocidad de datos.

65 En particular, la circuitería de CDR 16c del dispositivo transceptor 16 se aprovecha para recuperar, a partir del flujo de señales de datos en serie mezclados S_{mezcla} , la frecuencia de la señal de reloj usada para transmitir el flujo de señales

de datos dispersos en serie S_{dat} , y su funcionalidad SERDES se aprovecha para convertir (deserializar) la velocidad de datos del flujo de señales de datos en serie mezclados S_{mezcla} en un flujo de señales de datos mezclados en paralelo de menor velocidad P_{mezcla} . La frecuencia de reloj recuperada por la circuitería de CDR 16c se usa para operar la circuitería de emulación de señal de sincronización 16g que está configurada para generar el flujo de señales de sincronización en paralelo emuladas de menor velocidad E_{sinc} , usado para sincronizar los componentes internos del transceptor 16. En posibles realizaciones, la circuitería de emulación de señal de sincronización 16g comprende circuitería generadora de reloj (no mostrada) que tiene la misma frecuencia y periodicidad de las señales de reloj usadas para la transmisión del flujo de señales de datos dispersos en serie S_{dat} . Si esta transmisión de señales de reloj es una PRBS, entonces la circuitería de generador de reloj de la circuitería de emulación de señal de sincronización 16g está configurada para usar el polinomio mónico y valor semilla predefinido del reloj de PRBS de los transmisores.

La circuitería de desmezclador 16d se usa para desmezclar el flujo de señales de datos mezclados en paralelo de menor velocidad P_{mezcla} con el flujo de señales de sincronización en paralelo emuladas de menor velocidad E_{sinc} , y eliminar de ese modo la redundancia introducida por el mezclador 17 en el flujo de señales de datos dispersos en serie S_{dat} . Opcionalmente, un módulo de ajuste fino 19 se usa para registrar con exactitud el flujo de señales de datos en paralelo de menor velocidad P_{dat} producido por el desmezclador 16d con respecto a la señal de reloj usada para transmitir el flujo de señales de datos dispersos en serie S_{dat} . El módulo de ajuste fino 19 está configurado y es operable para usar el flujo de señales de sincronización en paralelo emuladas de menor velocidad E_{sinc} para correlacionar el flujo de señales de datos en paralelo de menor velocidad P_{dat} producido por el desmezclador 16d con un patrón de datos predeterminado (o suministrado externamente) $C_{\text{patrón}}$, y determinado basándose en el mismo el tiempo exacto de llegada de la primera señal de datos dispersos por el canal de comunicación de datos dispersos C1, con respecto a la señal de reloj usada para transmitir la misma. El módulo de ajuste fino (también denominado en el presente documento como un módulo de temporización) 19 se puede implementar por uno o más procesadores 16u y memorias 16m del dispositivo transceptor 16, o por un dispositivo o circuitería de procesamiento de datos externos.

En la figura 3 se ilustra esquemáticamente un sistema de comunicación de datos dispersos 10 de acuerdo con algunas realizaciones posibles, que comprende un transmisor (Tx) 11 y un receptor (Rx) 12 configurados para comunicarse por dos canales de comunicación separados, C1 y C2 (por ejemplo, óptico, RF, o eléctrico). La transmisión en ambos canales de comunicación es desde el transmisor 11 al receptor 12. El canal de comunicación (línea de datos) C1 se usa para transmitir señales de datos dispersos en serie (por ejemplo, comunicación cuántica de fotón individual), y el canal de comunicación C2 (línea de sincronización) se usa para transmitir señales de sincronización en serie (por ejemplo, señales de reloj transmitidas a través de un canal de comunicación de datos convencional (por ejemplo, fibra óptica, cables eléctricos, RF).

Los dos canales de comunicación, C1 y C2, se sincronizan en el transmisor 11 mediante señales de sincronización generadas por su circuitería de sincronización de frecuencia interna (por ejemplo, generador de señal de reloj) 11f. Opcionalmente, pero en algunas realizaciones preferiblemente, las señales de sincronización en serie producidas por la circuitería de sincronización de frecuencia 11f comprenden un reloj de PRBS operando en un bucle infinito. El transmisor comprende un transmisor de señal de datos 11t configurado para transmitir señales de datos por el canal de comunicación de datos dispersos C1, y un transmisor de señal de sincronización configurado para transmitir las señales de sincronización generadas por la circuitería de sincronización de frecuencia 11f por el canal de comunicación de señales de sincronización C2. La distancia entre el transmisor 11 y el receptor 12 no está limitada por el protocolo de comunicación que se divulga en el presente documento.

En el receptor 12, se usa un detector de señal de datos 13 para recibir el flujo de señales de datos en serie transmitido por el canal de comunicación de señales de datos dispersos C1, y se usa un detector de señal de sincronización 14 para recibir las señales de sincronización en serie transmitidas por el canal de señales de sincronización C2. En algunas realizaciones, los canales de señales de datos y/o sincronización, C1 y/o C2, son canales ópticos, y en dichas realizaciones el detector de señales de datos 13 y el detector de señales de sincronización 14 están configurados para convertir las señales ópticas recibidas por estos canales en correspondientes señales eléctricas.

Por ejemplo, pero sin ser limitante, el canal de señales de sincronización C2 se puede implementar mediante una o más fibras ópticas, y las señales de sincronización en serie transmitidas a través de las mismas se pueden convertir de señales ópticas a eléctricas S_{sinc} por un módulo SFP del detector de señal de datos 13. Las señales de sincronización comprenden una PRBS que tiene un período más largo y se genera utilizando un polinomio mónico y valor semilla predefinido. En la presente solicitud también se divulga que las señales de sincronización pueden comprender una señal de reloj digital periódica equilibrada conocida, como 01010101... (período de 2). En algunas realizaciones, el canal de datos C1 es un canal de comunicación cuántica de fotón individual disperso (por ejemplo, implementado por fibra(s) óptica(s) o medio de espacio libre), y en dichas realizaciones el detector de señal de datos 13 puede utilizar instrumentos de medición optoelectrónicos, como un detector de fotón individual (por ejemplo, fotodiodo de avalancha), para convertir las señales de fotón individual (qubits) transmitidas a través del mismo en señales eléctricas correspondientes S_{dat} . Se requiere que el receptor 12 determine la temporización exacta de las señales de datos recibidas en el mismo por el canal de comunicación de señales de datos dispersos C1.

En este ejemplo específico y no limitante, las señales de sincronización eléctrica S_{sinc} y las señales eléctricas de datos

dispersos S_{dat} se mezclan entre sí mediante un circuito de compuerta lógica XOR 15, que se puede implementar mediante un circuito de alta velocidad dedicado externo como, por ejemplo, el HMC745 fabricado por Analog Devices, capaz de operar con velocidades de transmisión de datos de hasta 13 Gbps. De este modo, la dispersión de las señales eléctricas de datos dispersos S_{dat} se reduce sustancialmente, de modo que la redundancia de la señal mezclada S_{mezcla} generada por el circuito de compuerta lógica XOR en serie 15 es adecuada para usar con un dispositivo transceptor convencional 16. Se puede usar una unidad de retardo ajustable TD para alinear los datos (S_{dat}) y las señales de sincronización (S_{sinc}) en el tiempo, para la superposición exacta de señales de bits, como se explicará a continuación. En este ejemplo no limitante, la unidad de retardo ajustable TD se usa para afectar de manera controlable un retardo para el flujo de señal de datos en serie S_{dat} , pero en posibles realizaciones se puede usar asimismo para retardar las señales de sincronización S_{sinc} .

La señal mezclada S_{mezcla} producida por el circuito de compuerta lógica XOR en serie 15 se alimenta al dispositivo transceptor convencional 16, para la sincronización y el procesamiento. La frecuencia de la señal mezclada S_{mezcla} se recupera por la circuitería de CDR 16c del transceptor 16. La frecuencia recuperada por la circuitería de CDR 16c se usa por el emulador de señal de sincronización 16e para generar señales de sincronización locales para los componentes del dispositivo transceptor 16. En consecuencia, si la fuente de señales de sincronización 11f del transmisor comprende señales de PRBS, el emulador de señal de sincronización 16e está configurado para generar señales de PRBS que tienen la misma frecuencia y periodicidad, polinomio mónico y valor semilla, de las señales de PRBS usadas en el transmisor 11.

En algunas realizaciones se puede usar un contador de tramas (no mostrado) para contar los bits desde el comienzo de la transmisión. El contador de tramas se puede configurar para contar el número de tramas, que comprende palabras de 64 bits de un reloj de PRBS del emulador de señal de sincronización 16e. En una posible realización, un contador de bucle de PRBS que tiene una longitud impar se implementa en el emulador de señal de sincronización 16e mediante un generador de reloj de PRBS de 64 bits, por ejemplo, una PRBS7 que tiene una longitud de 127 bits, por lo que cada palabra de 64 bits (bucle) no es un bucle de PRBS completo y puede contener bits de más de un bucle de PRBS que son contados por el contador de tramas.

La señal mezclada S_{mezcla} producida por el circuito de compuerta lógica XOR 15 se deserializa simultáneamente por la circuitería SERDES 16r del dispositivo transceptor 16, que genera un flujo de señal mezclada en paralelo (deserializado) de menor velocidad P_{mezcla} . El emulador de señal de sincronización 16e está configurado para producir un correspondiente flujo de señales en paralelo (deserializadas) de menor velocidad de las señales de sincronización E_{sinc} . El dispositivo transceptor 16 se puede configurar para comparar con señales mezcladas (deserializadas) en paralelo de menor velocidad (P_{mezcla}) y señales de sincronización (E_{sinc}), e identificar la señal de datos dispersos como un error en la señal de sincronización recibida, es decir, patrón de PRBS. Los bits de error de paridad producidos por la circuitería de compuerta lógica XOR 15 de las señales mezcladas en paralelo (deserializadas) de menor velocidad (P_{mezcla}) y el índice del contador de tramas proporciona la temporización del evento relativo al comienzo de la transmitancia de las señales de sincronización por el canal de señales de sincronización C2.

Un circuito de compuerta lógica XOR en paralelo interno 16x del dispositivo transceptor 16 se puede usar para desmezclar el flujo de señales mezcladas (deserializadas) en paralelo de menor velocidad P_{mezcla} con las señales de sincronización (deserializadas) en paralelo E_{sinc} de menor velocidad, y eliminar de ese modo la redundancia introducida en el flujo de señal de datos en serie S_{dat} por el circuito de compuerta lógica XOR en serie 15. El módulo de ajuste fino 19 se puede usar asimismo para registrar con exactitud el flujo de datos en paralelo de menor velocidad P_{dat} producido por el circuito de compuerta lógica XOR en paralelo interno 16x con respecto a las señales de sincronización del transmisor 11, mediante la correlación de al menos una porción del flujo de señales de datos en paralelo de menor velocidad P_{dat} con el patrón de datos predefinido/conocido $C_{patrón}$, como se ha descrito anteriormente en el presente documento. Los datos de temporización determinados por el módulo de ajuste fino 19 se pueden usar para establecer el tiempo de retardo afectado por la unidad de retardo ajustable TD. Por ejemplo, un canal de servicio/comunicación convencional adicional (por ejemplo, LAN/ETHERNET) C3 se puede usar en el sistema 10 como un canal de datos para recibir datos para la correlación posterior al proceso ($C_{patrón}$) y la estimación de error, es decir, estos datos no están sustancialmente predeterminados y son conocidos por el receptor 12.

En la figura 4 se ilustra esquemáticamente un sistema de comunicación de datos dispersos 20 de acuerdo con otras posibles realizaciones. Algunos de los componentes del sistema de comunicación 20 son similares a los del sistema de comunicación 10 de la figura 3 y, por tanto, se designan con los mismos números de referencia. Las principales diferencias entre los sistemas de comunicación 10 y 20 están en el mezclado y desmezclado de los datos y señales de sincronización, y en el uso de dos dispositivos/canales transceptores separados en el receptor 22 para la sincronización y el procesamiento. El mezclado que se realiza en el receptor 22 utiliza circuiterías de primer y segundo combinador analógico, 21 y 23, cada uno configurado para realizar una operación lógica OR a las señales eléctricas recibidas de ese modo para agregar redundancia reversible a la señal de datos dispersos S_{dat} . El primer combinador 21 está configurado para combinar las señales de sincronización S_{sinc} desde el detector de señal de sincronización 14 con las señales de datos dispersos S_{dat} del detector de señal de datos 13, y el segundo combinador 23 está configurado para combinar las señales de sincronización S_{sinc} invertidas por la circuitería analógica NOT/circuitería de inversión 27 con las señales de datos dispersos S_{dat} . Las señales combinadas, S_{c1} y S_{c2} , producidas por el primer y segundo combinador, 21 y 23, se alimentan a los respectivos primer y segundo dispositivos/canales transceptores, 16₁ y 16₂,

para la sincronización y el procesamiento.

Cada uno del primer y segundo transceptor, 16_1 y 16_2 , realiza la regeneración de reloj y la conversión de velocidad de datos como se realiza por el transceptor 16 de la figura 3 y se ha explicado anteriormente en el presente documento.

5 En consecuencia, cada uno del primer y segundo transceptor 16_1 , 16_2 comprende una circuitería de CDR respectiva 25c, 26c, un emulador de señal de sincronización 25e, 26e, una circuitería de SERDES 25r, 26r y una circuitería de compuerta lógica XOR 25x, 26x configurada para generar unos respectivos flujos de señales de datos en paralelo de menor velocidad desmezcladas P_{dmx1} , P_{dmx2} . Los flujos de señales de datos en paralelo de menor velocidad desmezclados, P_{dmx1} y P_{dmx2} , se combinan mediante una circuitería de compuerta lógica OR en paralelo 24 para producir de ese modo el flujo de datos en paralelo de menor velocidad P_{dat} a partir del cual se elimina la redundancia añadida por las circuiterías de combinador analógico, 21 y 23, a las señales de datos dispersos S_{dat} . El módulo de ajuste fino 19 se puede usar asimismo para registrar con exactitud el flujo de señales de datos en paralelo de menor velocidad P_{dat} producido por la circuitería de compuerta lógica OR en paralelo 24 mediante la correlación de al menos una porción del flujo de datos en paralelo de menor velocidad P_{dat} con patrón de datos $C_{patrón}$, que se puede transmitir alternativamente al receptor 12 por el canal convencional/de servicio C3, como se ha descrito anteriormente en el presente documento. Los datos de temporización determinados por el módulo de ajuste fino 19 se pueden usar para establecer el tiempo de retardo afectado por la unidad de retardo ajustable TD.

20 En la figura 5 se ilustra esquemáticamente un sistema de comunicación de datos dispersos 30 de acuerdo con otras posibles realizaciones más. Algunos de los componentes del sistema de comunicación 30 son similares a los del sistema de comunicación 20 de la figura 4 y, por tanto, se designan con los mismos números de referencia. Las principales diferencias entre los sistemas de comunicación 20 y 30 es que la eliminación de la redundancia de la señal de datos de recepción se lleva a cabo mediante una circuitería lógica AND en paralelo 34 configurada para operar en los flujos de señales combinadas en paralelo (deserializadas) de menor velocidad, P_{c1} y P_{c2} , producidos por la circuitería SERDES, 25r y 26r de los dispositivos transceptores, $16_1'$ y $16_2'$. Los dispositivos transceptores $16_1'$, $16_2'$ no requieren, por tanto, los emuladores de señal de sincronización 25e, 26e y las circuiterías XOR 25x, 26x de los dispositivos transceptores 16_1 , 16_2 que se muestran en la figura 4.

30 El módulo de ajuste fino 19 se puede usar asimismo para registrar con exactitud el flujo de señales de datos en paralelo de menor velocidad P_{dat} producido por la circuitería de compuerta lógica AND en paralelo 34, mediante la correlación de al menos una porción del flujo de señales de datos en paralelo de menor velocidad P_{dat} con un patrón de datos predefinido/conocido $C_{patrón}$, que se puede transmitir alternativamente al receptor 12 por el canal convencional/de servicio C3, como se ha descrito anteriormente en el presente documento. Los datos de temporización determinados por el módulo de ajuste fino 19 se pueden usar para establecer el tiempo de retardo afectado por la unidad de retardo ajustable TD.

40 Se indica que el uso de PRBS en señales de sincronización es ventajoso respecto a una señal de ciclo de reloj del 50 % (es decir, que tiene un período de 2). En particular, si hay bits perdidos en el flujo de señales de sincronización en serie recibido por el canal de señales de sincronización C2, el dispositivo/canal receptor 12 se puede configurar para identificar cuántos bits faltan y corregir la temporización del flujo de señales de sincronización en serie recibido, por ejemplo, basándose en el polinomio mónico y valor semilla conocido de la PRBS. Por ejemplo, pero sin ser limitante, el mecanismo SERDES se puede configurar para aplicar las correcciones requeridas.

45 Los dispositivos/canales transceptores que se muestran en las figuras 2 a 4 se pueden implementar mediante dispositivos transceptores disponibles comercialmente, por ejemplo, FPGA de Intel (Altera) como Cyclone 10, Arria10 y Stratix10. El o los transceptores usados en las realizaciones que se divulgan comprenden uno o más procesadores (CPU 16u) y memorias (16m, mostradas en la figura 2) configurados y operables para llevar a cabo diferentes procedimientos/funciones y esquemas de control, por ejemplo, procesamiento de señales y análisis de errores, correlación de ajuste fino. Como se ha explicado anteriormente en el presente documento, las funcionalidades de CDR y SERDES de estos transceptores se pueden aprovechar para recuperar el tiempo y los datos de las señales de datos dispersos transmitidas, por resolución de temporización específica y velocidad de datos del transceptor seleccionado para la implementación (por ejemplo, 25 Gbps, permitiendo una resolución de 40 ps). Los inventores del presente documento probaron las técnicas de comunicación de señales de datos dispersos que se divulgan en el presente documento utilizando configuraciones remotas de transmisor-receptor con resultados satisfactorios.

55 En algunas realizaciones, los flujos de señales combinadas generadas por las circuiterías de combinador analógico, 21 y 23, en las figuras 4 y 5 se pasan a través de circuitería de reparación de nivel analógico (no mostrada) configurada para ajustar sus niveles analógicos para corregir los niveles digitales de las señales combinadas generadas de ese modo.

60 En la figura 6 se muestra un diagrama de flujo en el que se demuestra un proceso de temporización 40 en el transmisor (Tx), en el receptor (Rx) y entre el transmisor y el receptor (Com. Tx-Rx) en los sistemas de comunicación de datos dispersos de acuerdo con posibles realizaciones. Al final del proceso 40, el sistema de comunicación de datos dispersos se sincroniza, y optimiza continuamente la exactitud de la unidad de emulación de señal de sincronización del dispositivo(s)/canal(es) transceptor(es).

65

En la arrancada (T1, por ejemplo, encendido), el receptor (Rx) espera la llegada de señales de sincronización desde el transmisor (Tx) por el canal de señales de sincronización (C2). En este paso, el detector de señal de datos (13) está deshabilitado, para permitir la recepción apropiada de una cabecera de las señales de sincronización, es decir, PRBS.

- 5 En la presente solicitud también se divulga, aunque esta divulgación no cae dentro del alcance de las reivindicaciones, que se puede usar cualquier patrón de señal predeterminado para la cabecera transmitida por el canal de señales de sincronización, por ejemplo, una secuencia de 1, 0, 1, 0, 1, 0,... que tiene una longitud predefinida.

- 10 Siempre que se inicia la transmisión, el transmisor (Tx) transmite las señales de cabecera por el canal de señales de sincronización (C2), seguidas por las señales de sincronización (T2). El receptor (Rx) recibe la cabecera por el canal de señales de sincronización (C2) y, posteriormente, activa el emulador de señal de sincronización (T3) (por ejemplo, una fuente de señal de reloj local, que tiene la temporización y la periodicidad (y el polinomio y el valor semilla si se usa una PRBS) de las señales de sincronización del transmisor (Tx). El transmisor (Tx) se puede configurar para transmitir de manera continua las señales de sincronización (T4) por el canal de señales de sincronización (C2) durante algún intervalo de tiempo predeterminado (por ejemplo, lus) requerido para que la circuitería de CDR del transceptor del receptor se recupere y se bloquee para la frecuencia de las señales de sincronización recibidas a través del canal de señales de sincronización (C2).

- 20 Una vez que se completa la recuperación de la frecuencia y el bloqueo de la circuitería de CDR del transceptor del receptor (T5), la fuente de señal de sincronización del transmisor (Tx) y el emulador de señales de sincronización del transceptor del receptor (Rx) están operando a la misma frecuencia. En este paso, el transceptor del receptor (Rx) compara continuamente las señales de sincronización recibidas por el canal de señales de sincronización (C2) con las señales de sincronización producidas por su emulador de señales de sincronización para identificar errores en las señales de sincronización recibidas y utilizar los errores identificados para extraer información de temporización del intervalo de tiempo de los errores. La información de temporización extraída de los intervalos de tiempo de los errores se puede usar para recuperar los datos dispersos recibidos por el canal de comunicación de datos dispersos (CI), ya que estos errores son introducidos por el mezclador (por ejemplo, compuerta lógica XOR) al mezclar las señales de datos dispersos con las señales de sincronización (por ejemplo, PRBS).

- 30 Después del intervalo de tiempo predeterminado para transmitir las señales de sincronización, el transmisor (Tx) introduce en las señales de sincronización transmitidas de ese modo un patrón predefinido (de error) (T7) que el o los transceptores del receptor (Rx) están configurados para identificar, por ejemplo, invirtiendo un número predefinido de bits en las señales de sincronización, por ejemplo, invirtiendo 1 bit cada 128 bits de la señal de sincronización, 5 veces. Después de que el o los transceptores del receptor (Rx) identifican el patrón predefinido (de error) introducido por el transmisor (Tx), este ajusta la unidad de retardo ajustable (TD) (T8) a un retardo inicial determinado de ese modo entre las señales de sincronización y las señales de datos, y activa (T9) el receptor de señales de datos (13).

- 40 El transmisor (Tx) transmite a continuación de manera continua la sincronización y las señales de datos (T10), por el canal de señales de datos (CI) y el canal de señales de sincronización (C2), respectivamente. Opcionalmente, pero en algunas realizaciones preferiblemente, algunos de los datos transmitidos por el canal de señal de datos (CI) son conocidos por el receptor (Rx), por ejemplo, un patrón predefinido o un patrón de señal de datos comunicado al receptor a través de un canal de comunicación diferente. El receptor (Rx) correlaciona (T10) las señales de datos recibidas con el patrón de señal de datos conocido/predefinido y, basándose en el mismo, determina con exactitud el tiempo de retardo entre las señales de sincronización y de datos recibidas (entrenamiento), usado para configurar la unidad de retardo ajustable (TD). Este procedimiento de entrenamiento se puede llevar a cabo de forma periódica, o intermitente, para compensar las desviaciones entre la temporización de las señales de sincronización y de datos, y para mantener el tiempo de retardo exacto entre las señales de sincronización y de datos, de modo que la sincronización entre el transmisor (Tx) y el receptor (Rx) no se pierde. El receptor (Rx) se puede configurar para identificar continuamente instancias de tiempo en las que ocurrieron errores en las señales desmezcladas, y/o las señales de sincronización, y/o el flujo de señales de datos en serie eléctrico (T12), y llevar a cabo las correcciones necesarias basándose en los mismos. Los tiempos corregidos se pueden usar como la salida del sistema, por ejemplo, a otro proceso/dispositivo.

- 55 Por ejemplo, en posibles realizaciones en donde se usa la codificación en intervalos de tiempo discretos, el tiempo de llegada del fotón contiene los datos transportados por el fotón. La recuperación de los datos transportados por el fotón recibido (tiempo → valor de bit) se recupera en algunas realizaciones en un proceso posterior (por ejemplo, por un sistema de procesamiento de datos externo, como un ordenador personal - PC, un sistema integrado, otro bloque de FPGA, etc.).

- 60 En algunas realizaciones, el tiempo de retardo se calcula para bloques de señales de datos dispersos, el cual es exacto únicamente en promedio. Algunos de los parámetros que provocan el tiempo de retardo entre los canales de sincronización y de datos son físicos, como la temperatura de las fibras ópticas y los componentes electrónicos, lo cual cambia en una escala de tiempo de muchos segundos. Si la variación del retardo es lo suficientemente lenta en comparación con la escala de tiempo de la estimación de deriva de retardo, se puede realizar una interpolación y extrapolación del tiempo de retardo entre retardos de tiempo medidos. Esto se puede hacer tanto en línea, antes de emitir las señales de datos recuperadas, como sin conexión, después de emitidos los datos recuperados. La clase

más simple de interpolación y extrapolación es lineal, pero se pueden aplicar filtros y estimadores más sofisticados, dependiendo del patrón y mecanismo de deriva.

El mezclado (por ejemplo, por circuitería de compuerta lógica XOR) de flujos de datos transmitidos por dos canales de comunicación diferentes con la misma frecuencia de señal de reloj es óptima cuando la fase (retardo entre bits) es óptima. Esto haría que la resolución de temporización se acercara a 1 bit (limitada por la exactitud y la fluctuación de fase de otros componentes del sistema, como el detector de fotón individual). Una fase de 1/2 bit reducirá la resolución más cercana a 2 bits. La unidad de retardo ajustable (TD) se puede usar en cualquiera de los canales de datos o de sincronización (o en ambos canales) para obtener una fase cero (0) entre los canales de señales de sincronización y de datos. Una forma de optimizar la fase entre estos canales de comunicación es ajustar el retardo de 0 a 1 bit y analizar los eventos con una duración constante, por ejemplo, estimando la fluctuación de la señal de datos dispersos y cambiando el retardo para minimizar la fluctuación, o estimando la SNR de la señal recibida y cambiando el retardo para minimizarlo, como se ha descrito anteriormente en el presente documento. El óptimo se logra cuando la duración del evento usada es mínima.

Los sistemas de comunicación que se divulgan en el presente documento se pueden configurar para recibir señales de sincronización en el transmisor (Tx) y/o el receptor (Rx) desde un sistema de sincronización de tiempo externo, como se ejemplifica en la figura 7. En este ejemplo no limitante, el transmisor 11 es operado por un sistema de sincronización externo 71, operado en sincronización con un sistema de sincronización externo 72 que opera el receptor 12 (o 22). La sincronización entre los sistemas de sincronización externos, 71 y 72, se puede llevar a cabo por un canal de comunicación de datos convencional C5. En consecuencia, en dichas realizaciones el receptor 12 (o 22) recibe sus señales de sincronización por el canal de comunicación convencional C2 desde el sistema de sincronización externo 72, y el transmisor 11 recibe sus señales de sincronización a través del canal de comunicación convencional C24 desde el sistema de sincronización externo 71.

Por ejemplo, en una red de comunicación de 10 Gbps, se puede recuperar un reloj sincronizado de 10,3 Gbps a partir de datos de usuario, por ejemplo, la CDR se puede realizar en una señal óptica tomada de una derivación al canal óptico utilizado por otros usuarios de red, ubicados tanto en el lado de la transmisión como en el de la recepción, o desde los canales de servicio, C4 y C2, proporcionados tanto en el lado de transmisión como en el de la recepción. Si se requiere una frecuencia de comunicación diferente, esta señal se puede usar como la entrada para un sistema de generación de reloj (no mostrado), con el reloj requerido, tanto en el transmisor 11 como en el receptor 12/22, que proporciona la frecuencia de operación correcta para las partes participantes. El receptor 12/22 se puede configurar para generar localmente la señal de reloj requerida, es decir PRBS, y mezclarla (por ejemplo, mediante circuitería de compuerta lógica XOR) con la señal de sistema de detección interna que se medirá usando el transceptor. Por ejemplo, si la frecuencia operativa requerida del sistema es 10,3 Gbps, y se recuperan señales de 10,3 Gbps de la red, las señales se recuperan con un SFP, y se convierten de la velocidad de 10,3 Gbps a 10,0 Gbps usando un PLL. En el lado del transmisor, las señales de datos se enviarán con esta frecuencia, y en el lado del receptor se generará una señal de reloj PRBS electrónica en serie de 10 Gbps y se transmitirá a la circuitería de compuerta XOR en serie, para ser combinada con la señal de datos dispersos del detector de fotón individual.

El sistema de sincronización externo, 71 y 72, se puede usar para sincronizar contadores de tiempo proporcionados en el transmisor 11 y el receptor 12/22, para registrar el tiempo de eventos, donde la transmisión puede tener una frecuencia diferente. El tiempo de retardo entre el transmisor 11 y el receptor 12/22 se encuentra inicialmente mediante correlación de la señal de datos dispersos recibida con un patrón de señal de datos predefinido, por ejemplo, transmitido al receptor por un canal de datos de comunicación convencional/de servicio. Se puede usar un canal de comunicación con una latencia máxima conocida para indicar al transmisor 11 que comience a transmitir datos, e indicar al receptor 12/22 que espere señales de datos dispersos entrantes. Después que se alcanza la latencia máxima, el transmisor 11 comienza a transmitir el patrón de señal de datos predefinido que se usa para la correlación. El retardo entre el transmisor 11 y el receptor 12/22 es la diferencia de tiempo de correlación óptima. A partir de este punto, el sistema continuará optimizando periódicamente el tiempo de retardo.

En la figura 7 se demuestra adicionalmente el uso de un reloj de GPS para señalar la temporización inicial t_0 para la sincronización en la comunicación de datos dispersos de acuerdo con posibles realizaciones. Las técnicas de comunicación de datos dispersos que se divulgan en el presente documento, con o sin un canal de comunicación de señales de sincronización especializado, se pueden aplicar a un transmisor que transmite a cualquier número de receptores, dividiendo las señales de sincronización y de datos, o generando numerosas señales de sincronización y de datos sincronizadas. El proceso de configuración de la frecuencia, retardo y fase funcionaría independientemente para cada receptor.

Las técnicas de comunicación de datos dispersos que se divulgan en el presente documento se pueden utilizar para comunicar una señal de datos dispersos desde múltiples transmisores a un receptor individual, combinando las señales de datos dispersos enviadas antes de la detección. Las técnicas de comunicación de datos dispersos que utilizan el canal de comunicación de señales de sincronización se pueden aplicar enviando y dividiendo la señal de sincronización desde el receptor a todos los transmisores, de manera que los transmisores reciben las señales de sincronización y bloquean las señales de transmisión de datos dispersos a la CDR recibida. Esto asegurará que la frecuencia sea la misma para el receptor y todos los transmisores. El hallazgo del tiempo de retardo entre los datos y las señales de

sincronización internas del receptor se puede hacer en el receptor, por separado para cada transmisor.

En posibles realizaciones, en donde la deriva de los canales de señales de sincronización y de datos es lo suficientemente lenta en comparación con la velocidad de datos, las señales de sincronización se pueden recuperar como procesamiento posterior, sin requerir el canal de señales de sincronización (C2), como se ejemplifica en la figura 8. Mediante la utilización de un patrón de señal de datos conocido/predefinido para la correlación y una velocidad de datos lo suficientemente alta, la frecuencia y el tiempo de retardo se pueden recuperar en el procesamiento posterior de los datos usando solo las señales de datos dispersos, usando el ajuste a un modelo o a un polinomio, para ejemplo.

El canal de señales de sincronización comprende en algunas realizaciones un canal óptico, un canal de multiplexación por división de longitud de onda densa (DWDM), por ejemplo, que normalmente no transmite datos. En la dirección opuesta a la dirección de transmisión de señales de sincronización, los datos se pueden enviar simplemente usando circuladores. Enviar datos en la dirección de las señales de sincronización requiere más esfuerzo. Se pueden enviar datos por este canal invirtiendo los bits de señales de sincronización (por ejemplo, aplicando a los datos operación XOR con las señales de PRBS de sincronización antes de serializar las señales de sincronización y transmitir las). Para tener una separación clara entre la señal de datos recibida (procedente de los detectores) y los datos enviados por el canal de señales de sincronización, es posible calibrar el sistema para compartir el tiempo entre las señales provenientes del detector de señales dispersas y las señales provenientes del canal de señales de sincronización.

Un método posible, aplicable para enlaces ópticos cortos (enlaces de baja latencia, normalmente por debajo de 1 km) sería usar el tiempo muerto del detector, que puede ser superior al 90 % del tiempo. El receptor puede informar al transmisor cuando no se esperan datos y permitir datos por el canal de sincronización. Otro método posible, que puede funcionar para cualquier longitud de enlace es como sigue: Después que el receptor (Rx) estima con exactitud el tiempo de retardo entre los canales de señales de sincronización de datos, informa al transmisor (Tx) qué bits están libres de señal y se pueden usar para transmitir datos. El retardo para el transmisor (Tx) se proporciona con relación al patrón conocido (por ejemplo, las inversiones de 5 bits) enviado antes del comienzo de la comunicación.

También se debe comprender que, a lo largo de esta divulgación, donde se muestra o describe un proceso o método, las etapas del método se pueden realizar en cualquier orden o simultáneamente, a menos que quede claro a partir del contexto que una etapa depende de que otra se realice primero. También se indica que términos como primer, segundo,... etc. se pueden usar para referirse a elementos específicos que se divulgan en el presente documento sin limitación, sino más bien para distinguir entre los elementos divulgados.

Los expertos en la técnica apreciarían que elementos como los diferentes bloques ilustrativos, módulos, elementos, componentes, métodos, operaciones, etapas y algoritmos descritos en el presente documento se pueden implementar como hardware o una combinación de hardware y software informático. Para ilustrar la intercambiabilidad de hardware y software, se han descrito elementos como los diferentes bloques, módulos, elementos, componentes, métodos, operaciones, etapas y algoritmos ilustrativos en términos de su funcionalidad. Si dicha funcionalidad se implementa como hardware o software depende de la aplicación particular y las restricciones de diseño impuestas en el sistema global. Los expertos pueden implementar la funcionalidad descrita de diferentes maneras para cada aplicación en particular.

Las características de las realizaciones que se divulgan se pueden implementar principalmente en hardware usando, por ejemplo, componentes de hardware como circuitos integrados específicos de la aplicación (ASIC) o matrices con compuerta programable en campo (FPGA). La implementación de la máquina de estado de hardware para realizar las funciones que se describen en el presente documento será evidente para los expertos en la(s) técnica(s) relevante(s).

Como se ha descrito anteriormente en el presente documento y se muestra en las figuras asociadas, la presente invención proporciona técnicas de comunicación de señales de datos dispersos y métodos relacionados. Aunque se han descrito realizaciones particulares de la invención, se comprenderá, sin embargo, que la invención no está limitada a las mismas, ya que los expertos en la materia pueden realizar modificaciones, particularmente a la luz de las enseñanzas anteriores. Como apreciará el experto en la técnica, la invención se puede llevar a cabo en una gran variedad de formas, empleando más de una técnica de las descritas anteriormente, todas sin exceder el alcance de las reivindicaciones.

REIVINDICACIONES

1. Un sistema receptor de señales de datos dispersos (10) que comprende: un mezclador (17) configurado para generar un flujo en serie de señales mezcladas (S_{mezcla}) de un flujo en serie de señales de datos dispersos (S_{dat}) y un flujo en serie de señales de sincronización (S_{sinc}), para añadir de ese modo redundancia a dicho flujo en serie de señales de datos dispersos (S_{dat}) y habilitar la regeneración de reloj a partir del mismo; una unidad de regeneración de reloj (16c) configurada para operar en dicho flujo en serie de señales mezcladas (S_{mezcla}); un convertor de velocidad de datos (16r) configurado para convertir dicho flujo en serie de señales mezcladas (S_{mezcla}) en un flujo de señales mezcladas en paralelo (P_{mezcla}) que tienen una velocidad de datos menor que una velocidad de datos de dicho flujo de señales en serie; y un desmezclador (16d) configurado para eliminar la redundancia introducida por dicho mezclador (17) en dichas señales de datos dispersos (S_{dat}), caracterizado por que
- dicho flujo en serie de señales de sincronización (S_{sinc}) comprende una secuencia binaria pseudoaleatoria, PRBS, y dicha unidad de regeneración de reloj (16c) configurada para determinar una frecuencia de dicho flujo en serie de señales de sincronización (S_{sinc}) comprende dicha PRBS,
- dicho sistema comprende además una unidad de emulación de señal de sincronización (16g) configurada para: generar una señal de PRBS que tiene la frecuencia determinada por dicha unidad de regeneración de reloj (16c) y la periodicidad, polinomio mónico y valor semilla, de dicha PRBS; y producir un flujo correspondiente de señales de sincronización en paralelo (E_{sinc}) emulando dicho flujo en serie de señales de sincronización (S_{sinc}) que comprende la PRBS y está sincronizado con el mismo, y configurado dicho desmezclador (16d) para generar un flujo en paralelo de señales desmezcladas (P_{dat}) de dicho flujo de señales de sincronización en paralelo (E_{sinc}) que tiene la frecuencia determinada y la periodicidad de PRBS y dicho flujo de señales mezcladas en paralelo (P_{mezcla}).
2. El sistema de la reivindicación 1 que comprende un canal de comunicación cuántica (C1) y un detector de fotón individual (13) acoplado al mismo para la generación de dicho flujo en serie de señales de datos dispersos (S_{dat}).
3. El sistema de una cualquiera de las reivindicaciones anteriores que comprende al menos un dispositivo transceptor (16) configurado para proporcionar al menos uno de los siguientes: la unidad de regeneración de reloj (16c) y el convertor de velocidad de datos (16r) implementados por respectiva circuitería de recuperación de datos de reloj, CDR, y circuitería de serializador-deserializador, SERDES, de dicho al menos un canal transceptor de un dispositivo transceptor (16); y el desmezclador (16d) implementado por dicho al menos un canal transceptor.
4. El sistema de una cualquiera de las reivindicaciones anteriores, en donde el mezclador (17) comprende una circuitería de compuerta lógica XOR en serie (15) y el desmezclador (16d) comprende una circuitería de compuerta lógica XOR en paralelo (16x).
5. El sistema de las reivindicaciones 3 y 4, en donde la circuitería lógica XOR en paralelo (16x) se implementa en el al menos un canal transceptor del dispositivo transceptor (16).
6. El sistema de la reivindicación 5, en donde el mezclador (17) comprende un primer combinador analógico (21) configurado para generar una primera señal combinada en serie (S_{c1}) del flujo en serie de datos dispersos (S_{dat}) y señales de sincronización (S_{sinc}), y un segundo combinador analógico (23) configurado para generar una segunda señal combinada en serie (S_{c2}) a partir del flujo en serie de señales de datos dispersos (S_{dat}) y un inverso (27) del flujo en serie de señales de sincronización (S_{sinc}), y en donde las circuiterías de CDR, SERDES y compuerta XOR en paralelo de los respectivos primer y segundo canal de transceptor del transceptor están configuradas para generar los respectivos primer (P_{dmx1}) y segundo (P_{dmx2}) flujos de señales desmezcladas en paralelo de dichas primera (S_{c1}) y segunda (S_{c2}) señales combinadas.
7. El sistema de la reivindicación 6 que comprende una circuitería de compuerta lógica OR en paralelo (24) configurada para operar en el primer (P_{dmx1}) y segundo (P_{dmx2}) flujos de señales desmezcladas en paralelo del primer y segundo canal de transceptor y eliminar la redundancia introducida por dicho mezclador (17) en dichas señales de datos dispersos (S_{dat}).
8. El sistema de la reivindicación 5, en donde el mezclador (17) comprende un primer combinador analógico (21) configurado para generar una primera señal combinada en serie (S_{c1}) de los flujos en serie de datos dispersos (S_{dat}) y señales de sincronización (S_{sinc}), y un segundo combinador analógico (23) configurado para generar una segunda señal combinada en serie (S_{c2}) a partir del flujo en serie de señales de datos dispersos (S_{dat}) y un inverso (27) del flujo en serie de señales de sincronización (S_{sinc}), y en donde la circuitería SERDES de los respectivos primer y segundo canal de transceptor del transceptor está configurada para generar los respectivos primer (P_{c1}) y segundo (P_{c2}) flujos de señales combinadas en paralelo de dichas primera (S_{c1}) y segunda (S_{c2}) señales combinadas en serie.
9. El sistema de la reivindicación 8, que comprende una circuitería de compuerta lógica AND en paralelo (34) configurada para operar en el primer (P_{c1}) y segundo (P_{c2}) flujos de señales combinadas en paralelo del convertor de velocidad de datos y eliminar la redundancia introducida por dicho mezclador (17) en dichas señales de datos dispersos (S_{dat}).

10. El sistema de una cualquiera de las reivindicaciones anteriores que comprende un módulo de temporización (19) configurado para correlacionar al menos una porción del flujo de señales desmezcladas en paralelo (P_{dat}) con un patrón de señal de datos predefinido ($C_{\text{patrón}}$), y determinar basándose en el mismo una diferencia de tiempo entre los flujos en serie de datos dispersos (S_{dat}) y las señales de sincronización (S_{sinc}).
11. El sistema de una cualquiera de las reivindicaciones anteriores configurado para identificar bits perdidos en la PRBS del flujo de señales de sincronización en serie y corregir el flujo de señales de sincronización en serie recibido en consecuencia.
12. El sistema de la reivindicación 10 que comprende una unidad de retardo temporal ajustable (TD) configurada para afectar un retardo de tiempo para al menos uno de los flujos en serie de datos dispersos (S_{dat}) y señales de sincronización (S_{sinc}) basándose en la diferencia de tiempo determinada.
13. Un sistema de comunicación que comprende:
- el sistema receptor (12) de acuerdo con una cualquiera de las reivindicaciones 1 a 12;
 - un sistema transmisor (11) que comprende un transmisor de datos (11t) para transmitir el flujo de señales de datos dispersos (S_{dat}), un generador de señales de sincronización (11f) configurado para generar el flujo en serie de señales de sincronización (S_{sinc}) que comprende la PRBS, y un transmisor de señales de sincronización (11s) para transmitir el flujo en serie de la señal de sincronización (S_{sinc});
 - un canal de comunicación de señales de datos dispersos (C1) para transmitir dicho flujo de señales de datos dispersos (S_{dat}) a dicho sistema receptor (12); y
 - un canal de comunicación de señales de sincronización (C2) para transmitir dicho flujo de señales de sincronización (S_{sinc}) que comprende la PRBS a dicho sistema receptor (12).
14. El sistema de comunicación de la reivindicación 13, en donde las señales de sincronización (S_{sinc}) se caracterizan por una de las siguientes i) dichas señales de sincronización (S_{sinc}) se generan por el sistema receptor y se transmiten al sistema transmisor; o ii) dichas señales de sincronización (S_{sinc}) se reciben por un canal óptico y se combinan con señales de datos.
15. Un método para la sincronización de señales de datos dispersos, comprendiendo el método: mezclar (S3) un flujo en serie de señales de datos dispersos (S_{dat}) con un flujo en serie de señales de sincronización (S_{sinc}), para añadir de ese modo redundancia a dicho flujo en serie de señales de datos dispersos y habilitar la regeneración de reloj a partir de un flujo en serie de señales mezcladas (S_{mezcla}) producido por dicho mezclado; deserializar (S5) dicho flujo en serie de señales mezcladas (S_{mezcla}) en un flujo de señales mezcladas en paralelo (P_{mezcla}) que tiene una velocidad de datos menor que una velocidad de datos de dicho flujo de señal en serie; y desmezclar (S6) dicho flujo de señales de sincronización en paralelo para eliminar la redundancia introducida por dicho mezclado (S3) en dichas señales de datos dispersos (S_{dat}),
- caracterizado por que dicho flujo en serie de señales de sincronización comprende una secuencia binaria pseudoaleatoria, PRBS,
 - y comprendiendo el método:
 - determinar una frecuencia de dicho flujo en serie de señales de sincronización (S_{sinc}) mediante la aplicación de regeneración de reloj (S4) a dicho flujo en serie de señales mezcladas (S_{mezcla});
 - generar un flujo de señales de sincronización en paralelo (P_{clk}) emulando dicho flujo en serie de señales de sincronización que comprende la PRBS, teniendo dicho flujo de señales de sincronización en paralelo (P_{clk}) una periodicidad de dicha PRBS y la frecuencia determinada de dicho flujo en serie de señales de sincronización (S_{sinc}), y está sincronizado con dicho flujo en serie de señales de sincronización (S_{sinc}); y
 - desmezclar (S6) dicho flujo de señales de sincronización en paralelo (P_{clk}) que tiene la frecuencia determinada y la periodicidad de la PRBS con dicho flujo de señales mezcladas en paralelo (P_{mezcla}).
16. El método de la reivindicación 15, en donde el mezclado (S3) comprende uno de los siguientes:
- aplicar operación XOR en serie (15) al flujo en serie de señales de datos dispersos (S_{dat}) con el flujo en serie de señales de sincronización (S_{sinc}) que tiene la PRBS, y el desmezclado (S6) comprende aplicar operación XOR en paralelo (16x) al flujo de señales de sincronización en paralelo (P_{clk}) que tiene la frecuencia determinada y la periodicidad de PRBS con el flujo de señales mezcladas en paralelo (P_{mezcla});
 - combinar (21) los flujos en serie de datos dispersos (S_{dat}) y las señales de sincronización (S_{sinc}) y generar de ese modo un primer flujo de señales combinadas (S_{c1}), combinar el flujo en serie de señales de datos dispersos (S_{dat}) y un inverso (27) del flujo en serie de señales de sincronización (S_{sinc}) y generar de ese modo un segundo flujo de señales combinadas (S_{c2}), la determinación (S4) comprende determinar una frecuencia de dicho primer (S_{c1}) y segundo (S_{c2}) flujos de señales combinadas, la generación comprende generar respectivos primer (25e) y segundo (26e) flujos de señales de sincronización en paralelo (E_{sinc}) que tienen la frecuencia determinada y la periodicidad

de PRBS de dicho flujo en serie de señales de sincronización (S_{sinc}) y sincronizados con dicho flujo en serie de señales de sincronización (S_{sinc}), la deserialización (S5) comprende deserializar dicho primer (S_{c1}) y segundo (S_{c2}) flujos de señales combinadas y generar los respectivos primer (P_{dmx1}) y segundo (P_{dmx2}) flujos de señales combinadas en paralelo que tienen una velocidad de datos menor que una velocidad de datos de dichos flujos de señales en serie, el desmezclado (S6) comprende desmezclar (25x) dicho primer flujo de señales de sincronización en paralelo (E_{sinc}) que tiene la frecuencia determinada y la periodicidad de PRBS de dicho flujo en serie de señales de sincronización (S_{sinc}) con dicho primer flujo de señales combinadas en paralelo (P_{c1}) y generar de ese modo un primer flujo de señales desmezcladas en paralelo (P_{dmx1}), y desmezclar (26x) dicho segundo flujo de señales de sincronización en paralelo (E_{sinc}) que tiene la frecuencia determinada y la periodicidad de PRBS de dicho flujo en serie de señales de sincronización con dicho segundo flujo de señales combinadas en paralelo (P_{c2}) y generar de ese modo un segundo flujo de señales desmezcladas en paralelo (P_{dmx2}), y en donde el método comprende combinar mediante operación lógica OR (24) dicho primer (P_{dmx1}) y segundo (P_{dmx2}) flujos de señales desmezcladas en paralelo y generar de ese modo un flujo de señales desmezcladas en paralelo (P_{dat}) del que se elimina la redundancia añadida a la señal de datos dispersos por el mezclado (S3);

combinar (21) los flujos en serie de datos dispersos (S_{dat}) y señales de sincronización (S_{sinc}) y generar de ese modo un primer flujo de señales combinadas (S_{c1}), combinar (23) el flujo en serie de señales de datos dispersos (S_{dat}) y un inverso (27) del flujo en serie de señales de sincronización (S_{sinc}) y generar de ese modo un segundo flujo de señales combinadas (S_{c2}), y en donde la deserialización (S5) comprende deserializar (25r 26r) dicho primer (S_{c1}) y segundo (S_{c2}) flujos de señales combinadas y generar los respectivos primer (P_{c1}) y segundo (P_{c2}) flujos de señales combinadas en paralelo que tienen una velocidad de datos menor que una velocidad de datos de dichos flujos de señales en serie, y en donde el desmezclado (S6) comprende combinar mediante operación lógica AND (34) dicho primer (P_{c1}) y segundo (P_{c2}) flujos de señales combinadas en paralelo y generar de ese modo un flujo de señales desmezcladas en paralelo (P_{dat}) del que se elimina la redundancia añadida a la señal de datos dispersos por el mezclado (S3).

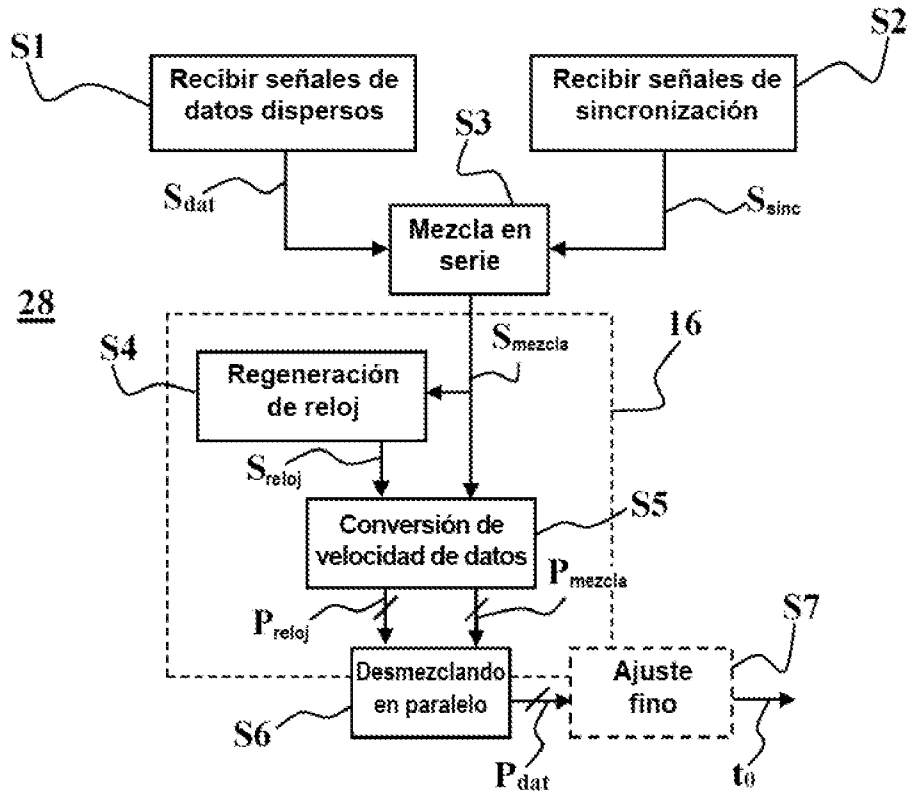


Fig. 1

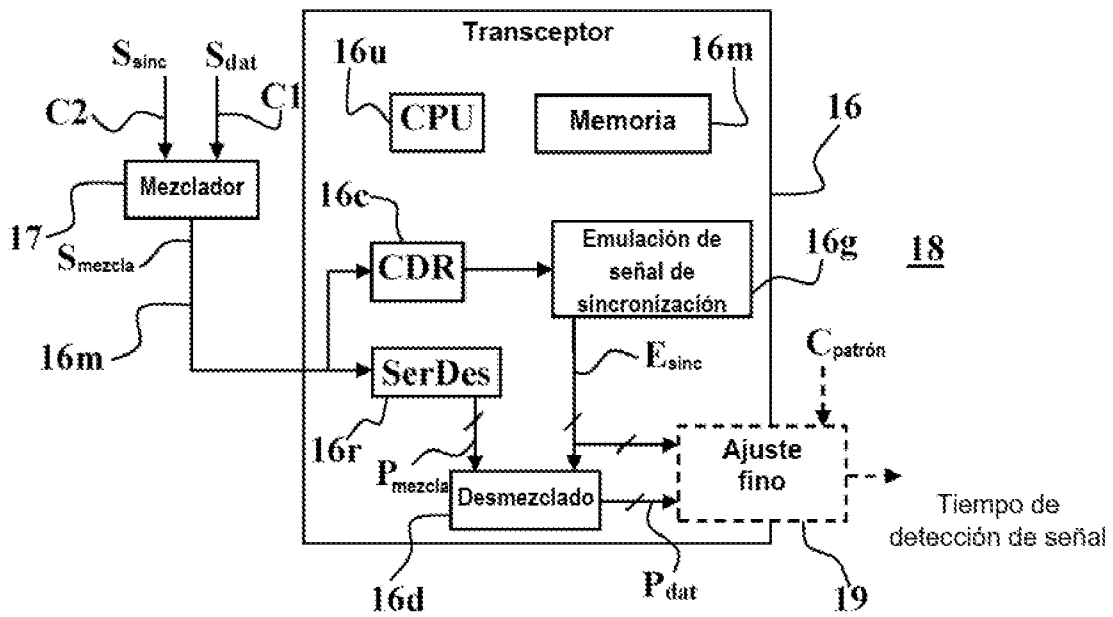


Fig. 2

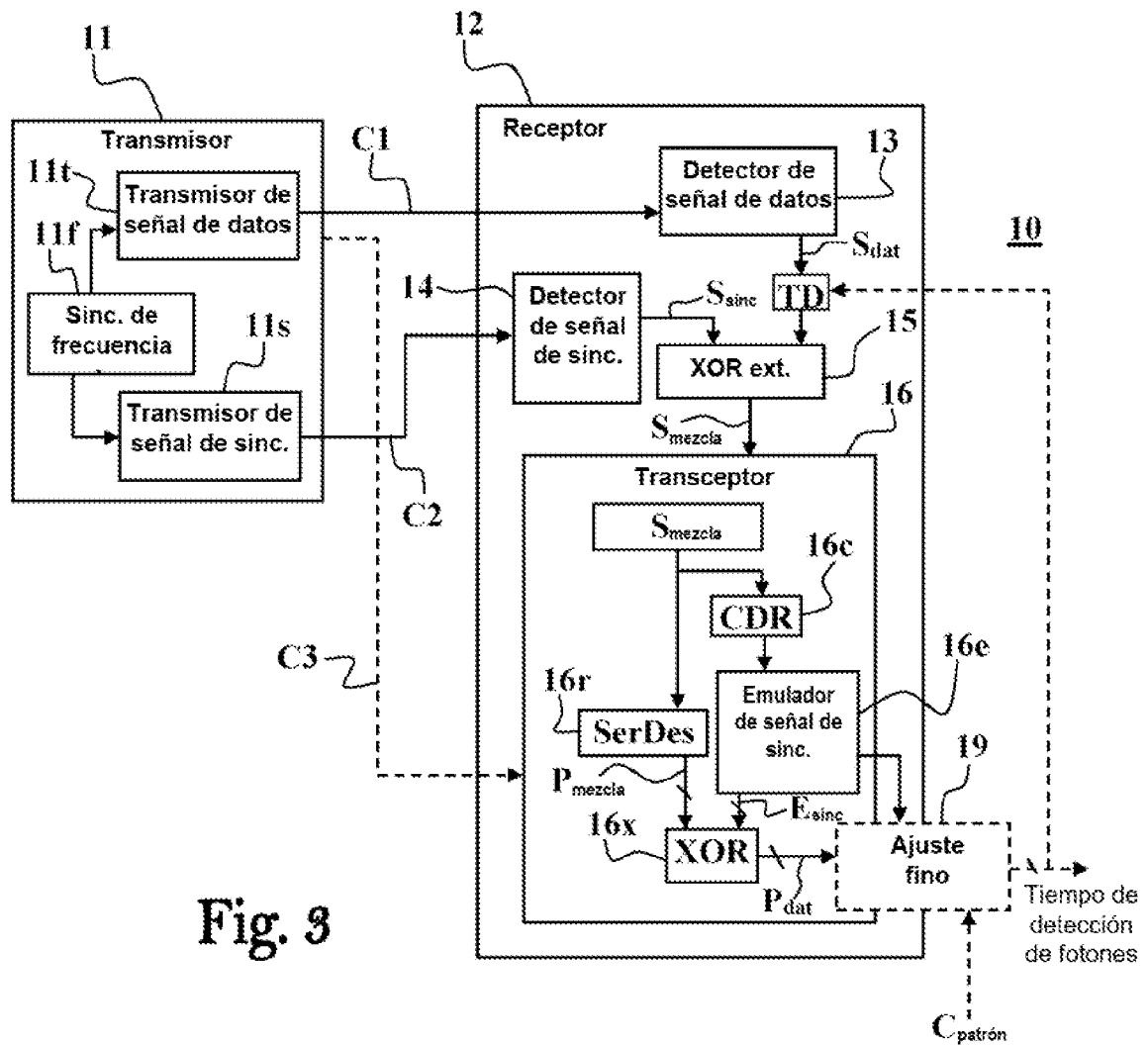


Fig. 3

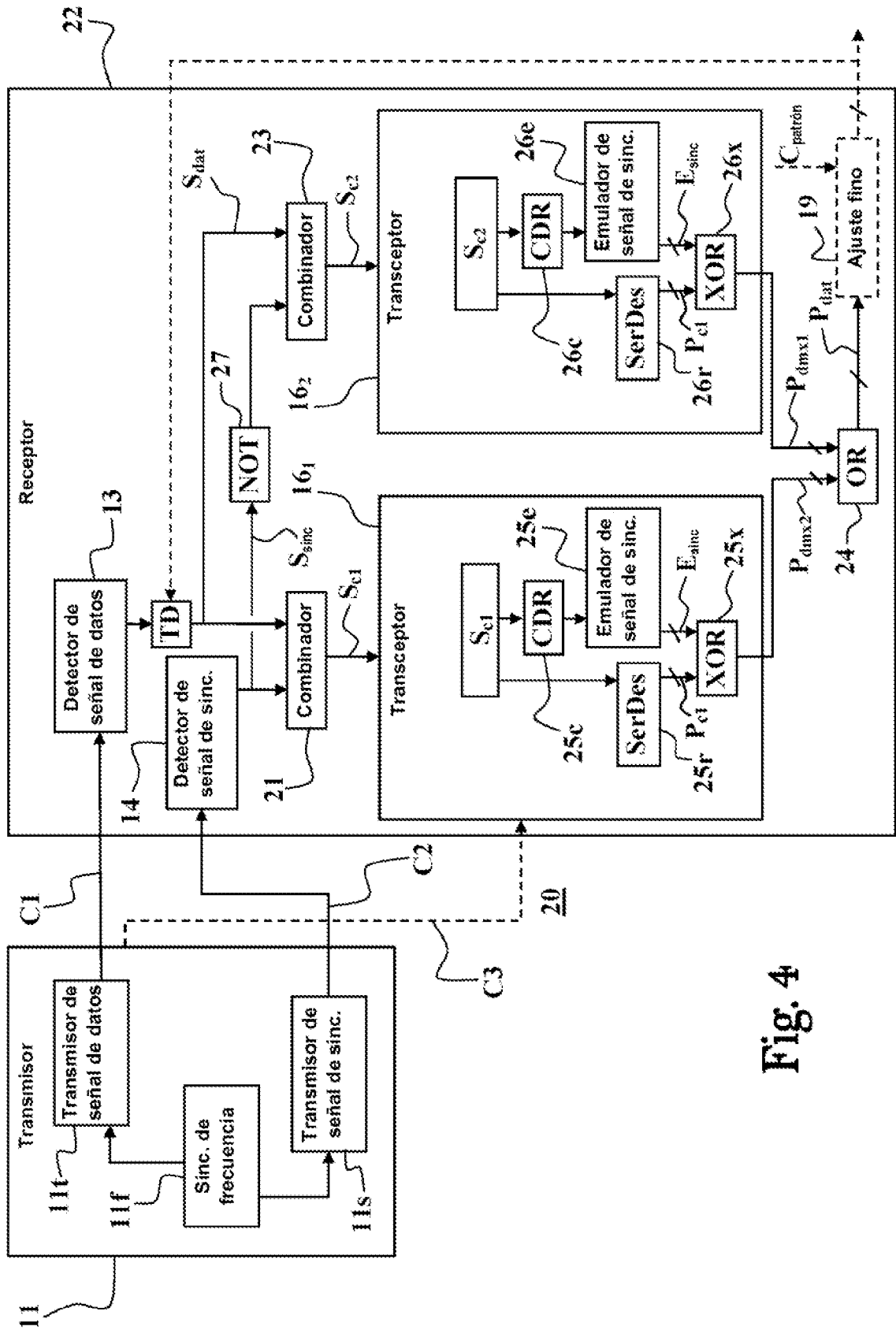


Fig. 4

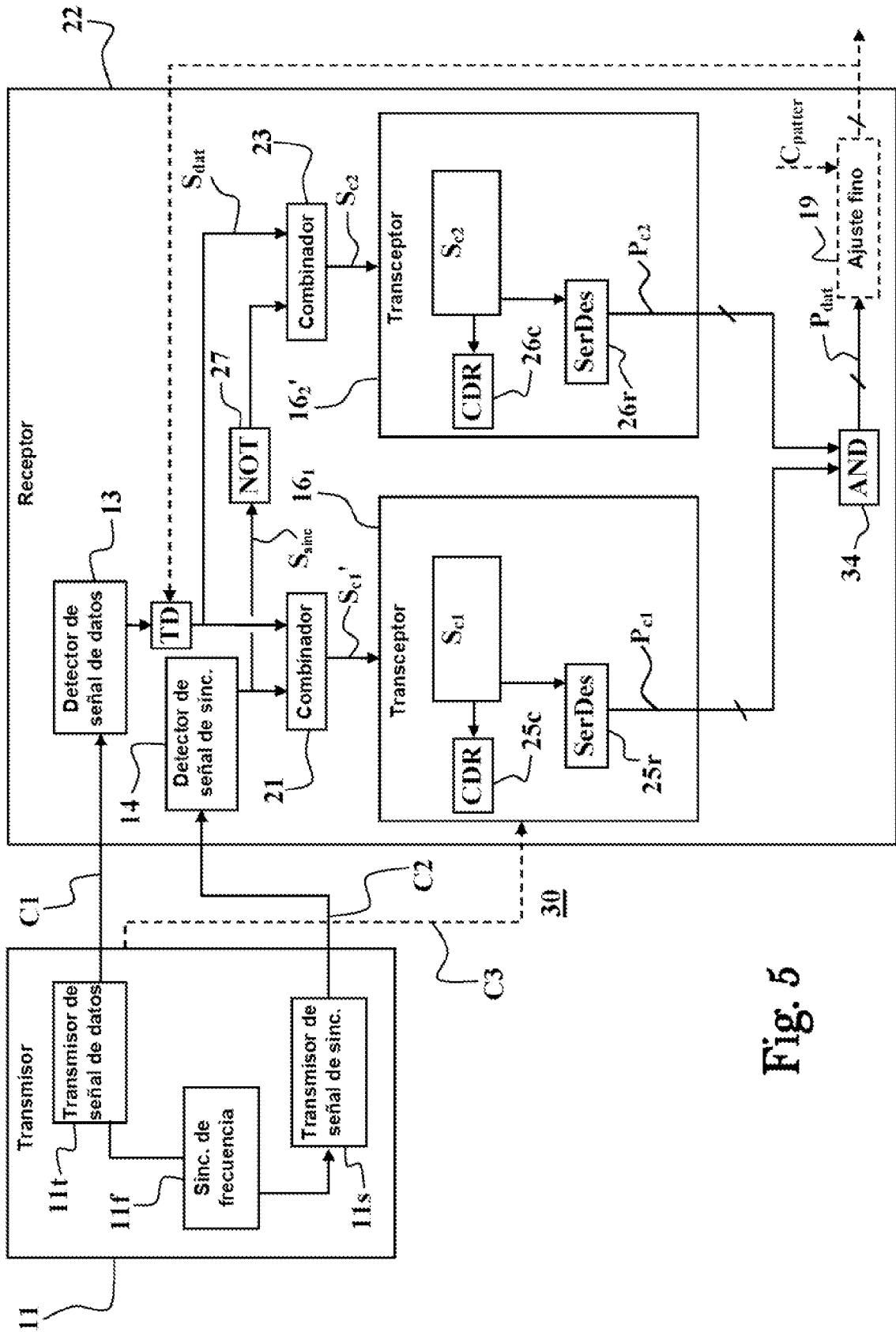


Fig. 5

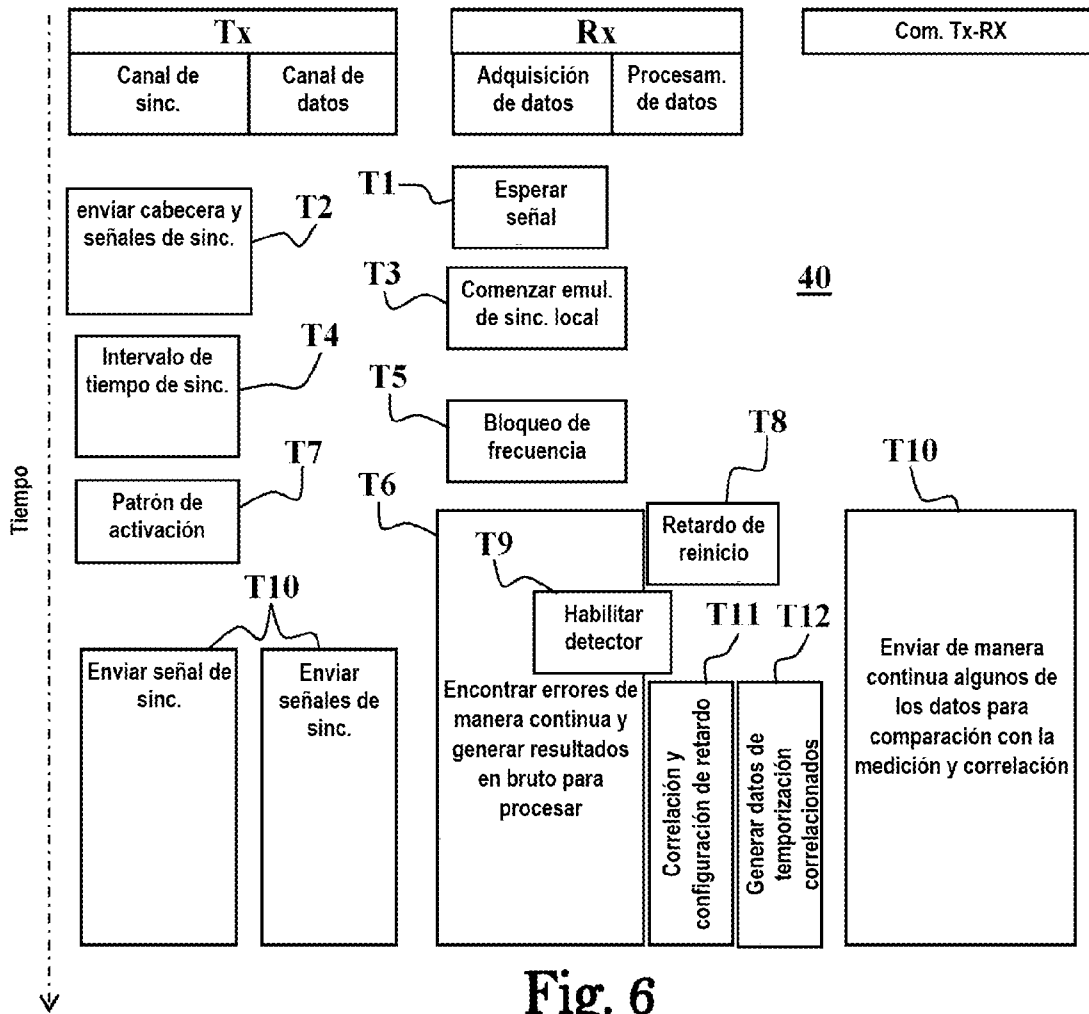


Fig. 6

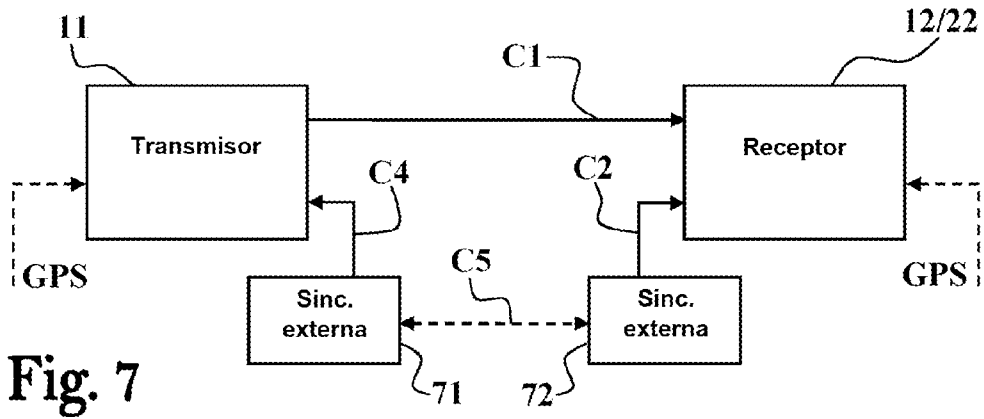


Fig. 7

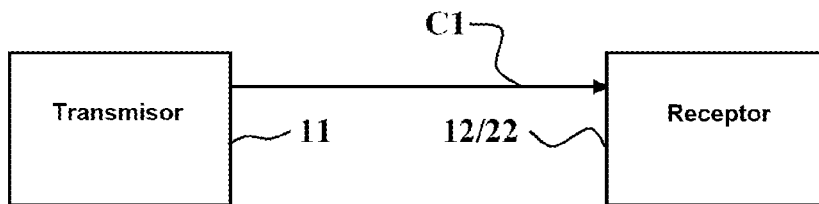


Fig. 8