



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월14일
(11) 등록번호 10-1093317
(24) 등록일자 2011년12월06일

(51) Int. Cl.
G06F 13/14 (2006.01) G06F 13/00 (2006.01)
G06F 12/00 (2006.01)
(21) 출원번호 10-2006-7002041
(22) 출원일자(국제출원일자) 2004년07월13일
심사청구일자 2009년07월13일
(85) 번역문제출일자 2006년01월27일
(65) 공개번호 10-2006-0052936
(43) 공개일자 2006년05월19일
(86) 국제출원번호 PCT/US2004/022438
(87) 국제공개번호 WO 2005/013039
국제공개일자 2005년02월10일
(30) 우선권주장
10/631,136 2003년07월31일 미국(US)
(56) 선행기술조사문헌
JP07054482 B2
전체 청구항 수 : 총 5 항

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미국 텍사스 오스틴 윌리엄 캐논 드라이브 웨스트 6501
(72) 발명자
모이어, 윌리엄, 씨
미국 78620 텍사스주 드리핑 스프링스 피어 브랜치 로드 1005
리, 리, 황
미국 78758 텍사스주 오스틴 넘버A 콰일 우드 드라이브 9303
말리크, 아프잘, 엠.
미국 78759 텍사스주 오스틴 아파트먼트 517 그레이트 힐스트레일 10050
(74) 대리인
주성민, 이중희, 백만기

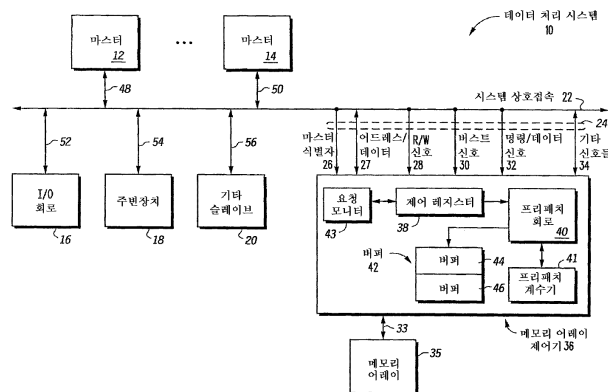
심사관 : 김중기

(54) 데이터 처리 시스템 내의 프리패치 제어

(57) 요약

일 실시예에서, 데이터 처리 시스템(10)은 제1 마스터, 제1 마스터(12)에 의한 이용을 위하여 제1 마스터(12)에 결합되는 저장 회로(35), 제1 프리패치 제한(60)을 저장하는 제1 제어 저장 회로(38), 프리패치 버퍼(42) 및 제1 제어 저장 회로와, 프리패치 버퍼와 저장 회로에 결합되는 프리패치 회로(40)를 포함한다. 일 실시예에서, 프리패치 회로(40)는 초기에 제1 프리패치 제한에 의해서 지시된 값으로 설정된 프리패치 계수기가 만료되었는지 여부에 근거하여 소정의 수의 라인들을 저장 회로로부터 프리패치 버퍼(42)로 선택적으로 프리패치한다. 따라서, 일 실시예에서 제1 프리패치 제한은 프리패치 버퍼에서 얼마나 많은 프리패치들이 미스(miss)들 사이에 발생하는지를 제어하는 데에 이용될 수 있을 것이다.

대표도



특허청구의 범위

청구항 1

제1 마스터(master)와,

상기 제1 마스터에 결합되고, 상기 제1 마스터에 의해 이용되기 위한 저장 회로와,

제1 프리패치(prefetch) 제한을 저장하는 제1 제어 저장 회로와,

프리패치 버퍼와,

상기 제1 제어 저장 회로에, 상기 프리패치 버퍼에 및 상기 저장 회로에 결합되고, 상기 저장 회로로부터 상기 프리패치 버퍼로 소정 수의 라인을 선택적으로 프리패치하는 프리패치 회로를 포함하고,

상기 제1 프리패치 제한은 상기 프리패치 버퍼에서의 미스(miss)들 사이에서 발생하는 프리패치들의 수를 제어 하고,

히트가 상기 프리패치 버퍼에서 발생하고 또한 상기 프리패치 버퍼에서의 이전 미스 이후에 발생한 프리패치들의 총 수가 상기 제1 프리패치 제한에 도달했을 때, 프리패치가 상기 히트에 응답하여 발생하지 않는

데이터 처리 시스템.

청구항 2

제1항에 있어서,

제1 프리패치 계수기를 더 포함하고,

상기 프리패치 회로는 상기 제1 프리패치 계수기에 근거하여 상기 저장 회로로부터 상기 프리패치 버퍼로 상기 소정 수의 라인을 선택적으로 프리패치하는 데이터 처리 시스템.

청구항 3

데이터 처리 시스템에서 프리패치를 수행하는 방법으로서,

저장 회로에 액세스하라는 마스터로부터의 복수의 액세스 요청을 수신하는 단계와,

프리패치 제한을 이용하여 상기 복수의 액세스 요청의 적어도 일부로부터 유래하는 프리패치 버퍼에서의 미스들 사이에 수행되는 프리패치들의 수를 제한하는 단계를 포함하고,

히트가 상기 프리패치 버퍼에서 발생하고 또한 상기 프리패치 버퍼에서의 이전 미스 이후에 발생한 프리패치들의 총 수가 상기 프리패치 제한에 도달했을 때, 프리패치가 상기 히트에 응답하여 발생하지 않는

프리패치 수행 방법.

청구항 4

제3항에 있어서,

상기 프리패치 제한을 이용하여 프리패치들의 수를 제한하는 단계는, 상기 프리패치 버퍼에서의 미스 이후에 프리패치들을 계수하여 언제 상기 프리패치 제한에 도달하는지를 결정하는 단계를 포함하는 프리패치 수행 방법.

청구항 5

데이터 처리 시스템에서 프리패치를 수행하는 방법으로서,

저장 회로에 액세스하라는 마스터로부터의 판독 요청을 수신하는 단계와,

상기 판독 요청이 프리패치 버퍼에서 히트를 낚는지 또는 미스를 낚는지를 판정하는 단계와,

상기 판독 요청이 히트를 낚는 경우에는, 만료값에 도달하는 프리패치 계수기에 적어도 부분적으로 근거하여 상기 저장 회로로부터 상기 프리패치 버퍼로의 소정 수의 라인의 프리패치를 선택적으로 수행하는 단계와 - 상기

관독 요청이 히트를 낚고 또한 상기 프리패치 카운터가 상기 만료값에 도달했을 때, 프리패치는 상기 히트에 응답하여 발생하지 않음 -,

상기 관독 요청이 미스를 낚는 경우에는, 상기 관독 요청에 응답하여 요구(demand) 패치를 수행하고 또한 상기 프리패치 계수기를 프리패치 제한값으로 설정하는 단계

를 포함하는 프리패치 수행 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

명세서

기술분야

[0001] 본 발명은 데이터 처리 시스템에 관한 것으로, 보다 구체적으로는 데이터 처리 시스템 내의 프리패치(prefetch) 제어에 관한 것이다.

배경기술

[0002] 프리패치는 데이터 처리 시스템 내의 정보에 액세스하는 데에 통상적으로 이용된다. 이러한 정보에 대한 요청에 앞서 정보를 프리패치함으로써, 버스 마스터(bus master)에 의해서 요청된 정보를 액세스(access)함으로써 야기되는 지연이 감소될 수 있을 것이다. 그러나, 전형적인 프리패치 체계에서는 버스 마스터가 프리패치된 정보에 대한 액세스를 요청하지 않을 수 있기 때문에 많은 프리패치들이 낭비된다. 통상적인 프리패치 체계에서의 다른 단점은 이러한 시스템들에 의해서 제공되는 프리패치 제한 제어가 고정된 정책에 근거하여, 보다 많은 유연성 및 제어를 가능하게 하지 않는다는 점이다. 따라서, 낭비되는 프리패치들의 수를 감소시키고, 이로 인하여 감소된 전력 소비 및 데이터 처리 성능의 최적화를 달성하는 프리패치 방법에 대한 요구가 존재한다.

발명의 상세한 설명

[0010] 본 명세서에서 사용되는 "버스(bus)"라는 용어는 데이터, 어드레스, 제어 또는 상태와 같은 하나 이상의 다양한 타입의 정보를 전송하는 데에 이용되는 다수의 신호들 또는 도전체들을 일컫는 데에 이용된다. 본 명세서에서 논의되는 도전체들은 단일 도전체, 다수의 도전체들, 단방향 도전체들 또는 양방향 도전체들을 참조하여 도시되거나 기술될 수 있을 것이다. 그러나, 상이한 실시예들은 도전체들의 구현을 달리할 수 있을 것이다. 예컨대, 양방향 도전체들이 아닌 별도의 단방향 도전체들이 이용될 수 있을 것이며, 그 역 또한 성립할 수 있을 것이다. 또한, 다수의 도전체들이 다수의 신호들을 직렬로, 또는 시분할 방식으로 전달하는 단일 도전체로 대체될 수 있을 것이다. 유사하게, 다수의 신호를 전달하는 단일 도전체들이 이들 신호들의 서브세트(subset)를 전달하는 다양한 상이한 도전체들로 분리될 수 있을 것이다. 따라서, 신호 전송에 대한 많은 선택사항들이 존재한다.

[0011] 본 발명의 일 실시예는 프리패치들이 낭비되는 것을 방지하기 위하여 순차적인 프리패치 동작의 수를 동적으로 제어하는 것에 관한 것이다. 예컨대, 버퍼 미스(miss) 이후에 수행되는 순차적인 프리패치들의 수를 제한함으로써, 메모리 제어 유닛의 성능 및 전력 소비가 최적화될 수 있다. 일 실시예에서, 순차적인 프리패치들의 수의 제한은 프리패치 버퍼들, 제어 레지스터 및 프리패치 계수기들 세트를 이용함으로써 이루어지며, 이들 모두

에 관한 것은 아래에서 보다 상세히 설명될 것이다. 다른 실시예에서, 버퍼 미스들 사이의 순차적인 프리패치 동작들의 수의 동적 제어를 가능하게 하며, 요청 마스터의 속성에 근거하여 사용자에게 의해서 프로그램될 수 있는 소프트웨어 프로그램가능 제어 체계가 제공된다. 예컨대, 순차적인 실행에서의 불연속을 야기하는 흐름 명령의 변경 또는 예외(exception)에 도달할 때까지 CPU 내에서 명령들이 전형적으로 순차 수행된다. 순차적으로 수행되는 명령들의 수는 CPU에 의존하며, 실행되는 애플리케이션 프로그램의 타입의 함수이다. 몇몇 애플리케이션들은 확장된 순차 실행을 나타내며, 다른 애플리케이션들은 잦은 흐름 이벤트들의 변경으로 보다 불일정하게 동작한다. 따라서, 애플리케이션에 따라, 프리패치들의 원하는 수가 다를 수 있을 것이다. 다른 실시예에서, 전달 종료(end-of-transfer) 또는 채널 스위치가 발생할 때까지 전달이 순차적으로 발생하는 DMA 마스터가 제공된다. 이러한 예에 대해서는 긴 시퀀스가 예상되며, DMA 마스터에 대응하는 프리패치 제한은 그에 따라 조정될 수 있다. 데이터 처리 시스템 내의 프리패치들의 수를 선택적으로 제어함으로써, 과도한 전력을 소비하고 낮은 성능을 야기하는, 프리패치들의 낭비를 방지할 수 있다.

[0012] 본 발명의 일 실시예는 마스터, 마스터에 결합되는 저장 회로, 프리패치 제한을 저장하는 제어 저장 회로, 프리패치 버퍼 및 제어 저장 회로와, 프리패치 버퍼와, 저장 회로에 결합되는 프리패치 회로를 포함하는 데이터 처리 시스템에 관한 것이다. 일 실시예에서, 프리패치 회로는 저장 회로로부터의 소정의 수의 라인들을 프리패치 버퍼로 선택적으로 프리패치하며, 프리패치 제한은 프리패치 버퍼에서의 미스들 사이에 발생하는 프리패치들의 수를 제어한다.

[0013] 본 발명의 다른 실시예는 데이터 처리 시스템에서 프리패치를 수행하는 방법에 관한 것이다. 마스터에서 액세스 저장 회로로의 다수의 액세스 요청들이 수신되고, 다수의 액세스 요청들 중 적어도 일부로부터 야기되는 프리패치 버퍼에서의 미스들 사이에 수행되는 프리패치들의 수를 제한하는 데에 프리패치 제한이 이용된다. 본 발명의 일 실시예에서 프리패치 제한을 저장하는 프리패치 제어 회로가 제공된다.

[0014] 본 발명의 또 다른 실시예는 마스터에서 액세스 저장 회로로의 판독 요청이 수신되고, 이러한 판독 요청이 프리패치 버퍼에서의 히트(hit) 또는 미스를 야기하는지 여부가 판정되는 데이터 처리 시스템에서 프리패치를 수행하는 방법에 관한 것이다. 일 실시예에서, 판독 요청이 히트를 야기하는 경우에는 적어도 부분적으로 제1 값에 도달하는 프리패치 계수기에 근거하여 저장 회로에서 프리패치 버퍼로의 소정의 수의 라인들의 프리패치가 선택적으로 수행된다. 일 실시예에서, 판독 요청이 미스를 야기하는 경우에는 판독 요청에 응답하여 요구(demand) 패치가 수행되며, 프리패치 계수기가 제2 값으로 설정된다.

[0015] 도 1은 데이터 처리 시스템(10)의 일 예를 도시한다. 데이터 처리 시스템(10)은 (상호접속 마스터(12)로도 불리는)마스터(12), (상호 접속 마스터(14)로도 불리는)마스터(14), 메모리 어레이 제어기(36), 시스템 상호접속(22), I/O 회로(16), 주변장치(18), 기타 슬레이브들(20) 및 메모리 어레이(35)를 포함한다. 마스터(12)는 도전체들(48)을 통해서 시스템 상호접속(22)에 양방향으로 결합되며, 마스터(14)는 도전체들(50)을 통해서 시스템 상호접속(22)에 결합되며, I/O 회로는 도전체들(52)을 통해서 시스템 상호접속(22)에 양방향으로 결합되며, 주변장치(18)는 도전체들(54)을 통해서 시스템 상호접속(22)에 양방향으로 결합되며, 기타 슬레이브(20)는 도전체들(56)을 통해서 시스템 상호접속(22)에 양방향으로 결합되며, 메모리 어레이 제어기(36)는 도전체들(24)을 통해서 시스템 상호접속(22)에 양방향으로 결합된다. 도전체들(24)은 마스터 식별자(26), 어드레스/데이터(27), R/W 신호(28), 버스트(burst) 신호(30), 명령/데이터 신호(32) 및 기타 신호들(34)과 통신하는 도전체들을 포함한다. 메모리 어레이 도전체들(36)은 제어 레지스터(38), 요청 모니터(43), 프리패치 회로(40), 프리패치 계수기들(41) 및 (프리패치 버퍼들도 불리는)버퍼(42)를 포함하며, 도전체들(33)을 통해서 메모리 어레이(35)에 양방향으로 결합된다. 제어 레지스터(38)는 요청 모니터(43)와, 버퍼(42) 및 프리패치 계수기들(41)에 결합되는 프리패치 회로(40)에 결합된다. 버퍼(42)는 버퍼(44) 및 버퍼(46)를 포함한다.

[0016] 비록 도 1에는 단지 하나의 주변장치(18)가 도시되어 있지만, 데이터 처리 시스템(10)은 시스템 상호접속(22)에 결합되는 임의의 수의 주변장치들을 포함할 수 있을 것이다. 유사하게, 임의의 수의 마스터들 및 슬레이브들이 시스템 상호접속(22)에 접속될 수 있을 것이며, 도 1에 도시된 것에 한정되지는 않는다. 일 실시예에서, 모든 데이터 처리 시스템(10)은 단일 집적 회로 상에 위치하거나 동일한 장치 내에 위치할 수 있음에 주의하여야 한다. 이와 달리, 데이터 처리 시스템(10)은 서로 간에 상호접속된 임의의 수의 별도 집적 회로들 또는 별도의 장치들을 포함할 수 있을 것이다. 예컨대, 일 실시예에서 (예를 들어, 메모리 어레이(35) 및 메모리 어레이 제어기(36)과 같은)메모리 및 메모리 제어기는 데이터 처리 시스템(10)의 나머지에서 분리된 하나 이상의 집적 회로들 상에 위치할 수 있을 것이다.

[0017] 일 실시예에서, 버스 마스터(12) 및 버스 마스터(14)는 명령들을 실행할 수 있는, 마이크로프로세서들, 디지털

신호 프로세서들과 같은 프로세서들, 또는 DMA(direct memory access) 회로 또는 디버그(debug) 회로와 같은 임의의 타입의 상호접속 마스터일 수 있을 것이다. 주변장치(18)는 UART(universal asynchronous receiver transmitter), RTC(real time clock), 키보드 제어기 등과 같은 임의의 타입의 주변장치일 수 있을 것이다. 기타 슬레이브들(20)은, 예컨대 마스터(12,14)에 의해서 액세스가능한 메모리뿐만 아니라, 주변장치(18)와 동일한 타입의 주변장치들을 포함하는 동일한 타입의 주변장치들을 포함하는 시스템 버스 상에 상주하는 임의의 타입의 주변장치와 같은 임의의 타입의 상호 접속 슬레이브들을 포함할 수 있음에 주의하여야 한다. I/O 회로(16)는 데이터 처리 시스템(10) 외부에 정보를 수신하거나 제공하는 임의의 타입의 I/O 회로를 포함할 수 있을 것이다.

[0018] 도시된 실시예에서, 메모리 어레이 제어기(36) 및 메모리 어레이(35)는 시스템 상호접속(22)에 결합되는 다른 슬레이브에 대응한다. 다른 실시예들에서, 메모리 어레이(35)는 임의의 수의 어레이들을 포함할 수 있음에 주의하여야 한다. 다른 실시예들에서 메모리 어레이(35)는 저장 회로(35)로 불릴 수 있음에도 주의하여야 한다. 메모리 어레이(35)는 마스터들(12,14)과 동일한 집적 회로 상에 위치하거나, 별도의 집적 회로 상에 위치할 수 있을 것이다. 더욱이, 메모리 어레이(35)는, 예컨대 ROM(read only memory), RAM(random access memory), (예컨대, 플래시와 같은)비휘발성 메모리 등과 같은 임의의 타입의 메모리일 수 있을 것이다. 또한, 메모리 어레이(35)는 다른 주변장치 또는 슬레이브 내에 위치하는 메모리 또는 다른 저장장치일 수 있을 것이다.

[0019] 시스템 상호접속(22)은 마스터(12), 마스터(14), I/O 회로(16), 주변장치(18), 기타 슬레이브들(20) 및 메모리 어레이 제어기(36)를 상호접속한다. 도 1에 도시된 바와 같이, 일 실시예에서 시스템 상호접속(22)은 시스템 버스 프로토콜에 따라 동작하는 시스템 버스로서 구현된다. 이와 달리, 시스템 상호접속(22)은, 예컨대 다양한 장치들 사이의 정보를 라우팅(routing)하는 스위칭 회로와 같은 상호접속 회로를 이용하여 구현될 수 있을 것이다.

[0020] 동작시에, 마스터(12,14)는 기타 슬레이브들(20), 주변장치들(18) 또는 메모리 어레이 제어기(36)를 통한 메모리 어레이(35)로의 액세스를 요청하는 시스템 상호접속(22)의 액세스를 요청한다. 요청 마스터는 시스템 상호접속(22)을 통하여 메모리 어레이 제어기(36)로의 액세스 요청을 제공할 수 있다. 예컨대, 액세스 요청은 데이터 또는 명령에 대한 판독 요청 또는 기록 요청일 수 있다. 메모리 어레이 제어기(36)는 판독 액세스 요청에 응답하여 요청된 정보(데이터 또는 명령들)를 시스템 상호접속(22)을 통하여 요청 마스터에 제공할 수 있다. 요청 마스터로부터의 판독 액세스 요청은 요구(demand) 패치로도 불릴 수 있음에 주의하여야 한다.

[0021] 일 실시예에서, 액세스 요청에 대하여 마스터 식별자(26)가 어느 마스터가 현재 액세스를 요청하고 있는지를 식별하는 메모리 어레이 제어기(36)에 제공된다. 현재 액세스 요청이 판독 또는 기록 타입의 액세스를 위한 것인지를 나타내는 R/W 신호(28) 또한 메모리 어레이 제어기(36)에 제공된다. 현재 액세스 요청이 버스트 또는 비버스트(non-burst) 타입의 액세스인지를 나타내는 버스트 신호(30)가 메모리 어레이 제어기(36)에 제공된다. 현재 액세스 요청이 명령 또는 데이터를 위한 것인지를 나타내는 명령/데이터 신호(32)가 메모리 어레이 제어기(36)에 제공된다. 또한, 메모리 어레이 제어기(36)는 현재 액세스 요청에 대응하는 어드레스 정보를 수신하며, 어드레스/데이터(27)를 통해서 요청된 정보를 제공한다. 메모리 어레이 제어기(36)로부터/로 통신하는 데에 필요한 임의의 다른 신호들이 기타 신호들(34) 내에 제공될 수 있을 것이다. 다른 실시예들에서, 몇몇 또는 모든 마스터 식별자들(26), R/W 신호(28), 버스트 신호(30), 명령/데이터 신호(32) 및 기타 신호들이 존재하지 않을 수 있을 것이다.

[0022] 일 실시예에서, 프리패치 회로(40)는 메모리 어레이(35)에서 버퍼(44) 및 버퍼(46)와 같은 버퍼(42)로의 정보를 프리패치할 수 있을 것이다. 따라서, 요청 마스터로부터의 판독 액세스 요청에 응답하여, 메모리 어레이 제어기(36)는 버퍼(42)에의 액세스 시간과 비교할 때에 통상적으로 보다 긴 액세스 시간을 가지는 메모리 어레이(35)로부터 정보를 패치하지 않고도, 요청된 정보를 (정보가 이미 프리패치된 경우에)버퍼(42)로부터 제공할 수 있을 것이다. 일 실시예에서, 프리패치 회로는 각각의 버퍼들(44,46)에 대응하는 태그부(tag protion)와 현재 액세스 요청에서 요청되는 정보가 이미 버퍼들(44,46) 내에 위치하는지 여부를 판정하기 위한 비교 회로(도시되지 않음)를 포함한다. 예컨대, 프리패치 회로는 어드레스/데이터(27)를 통한 현재 액세스 요청에 대응하는 유효 어드레스를 태그부들과 비교하여 정보가 이미 프리패치되었는지 여부를 판정한다. 정보가 프리패치되지 않은 경우에는 메모리 어레이 제어기(36)는 요청된 정보를 메모리 어레이(35)로부터 제공할 수 있다.

[0023] 도시된 실시예에서, (버퍼(44) 및 버퍼(46)의)2개의 버퍼들이 도시되어 있다. 그러나, 다른 실시예에서, 버퍼(42)는 임의의 수의(하나 이상의) 버퍼들을 포함할 수 있을 것이다. 일 실시예에서, 프리패치 회로는 메모리 어레이(35)로부터 버퍼들(44,46) 중 하나로 정보를 프리패치하고, 버퍼들(44,46) 중 다른 하나로부터 정보를 요

청 마스터에 제공할 수 있을 것이다. 즉, 하나 이상의 버퍼의 이용은 메모리 어레이(35)로의 프리패치가 요청 마스터로부터의 액세스 요청을 서비스하는 것과 적어도 부분적으로 동시에 발생할 수 있도록 한다.

[0024] 버퍼(42)로부터 정보를 제공하는 것은 요청 마스터로부터의 액세스 요청에 응답하여 메모리 어레이(35)에 액세스하는 것과 비교할 때에 감소된 액세스 시간을 가지기 때문에, 뒤이어 요청될 정보를 메모리 어레이(35)로부터 버퍼(42)로 프리패치하는 것이 바람직하다. 그러나, 프리패치 정보가 실제로 마스터에 의해서 요청될지 여부가 불확실하다는 점에서 프리패치는 이론적임에 주의하여야 한다. 예컨대, 프리패치된 정보가 뒤이어 요청되지 않는 경우에는 프리패치는 과도한 전력을 소비하고 성능을 저하시키는 낭비된 프리패치가 된다. 따라서, 본 발명의 일 실시예는 (마스터들(12,14)와 같은)각각의 마스터에 대한 버퍼(42)에서의 미스들 사이의 프리패치들의 수를 제한함으로써 프리패치 계수기들(41) 및 제어 레지스터(38)를 이용하여 이론적인 데이터의 버퍼(42)로의 프리패치를 제어한다. 예컨대, 일 실시예는 각각의 마스터에 대한 프리패치들의 수가 요청 마스터의 속성들에 근거하도록 각각의 마스터에 대한 프리패치 제한을 저장하는 데에 제어 레지스터를 이용한다. 다른 실시예에서, 아래에서 보다 상세히 기술될 바와 같이, 제어 레지스터는 각각의 프리패치동안에 얼마나 많은 라인들이 프리패치되었는지를 결정하는 데에도 이용될 수 있을 것이다.

[0025] 도 2는 각각의 마스터에 대한 프리패치 제한 필드를 포함하는 제어 레지스터(38)의 일 실시예를 도시한다. 예컨대, 도 2에서 도시된 바와 같이 제어 레지스터(38)는 마스터(12) 프리패치 제한 필드(60) 및 마스터(14) 프리패치 제한 필드(62)를 포함한다. 다른 실시예들에서, 제어 레지스터(38)는 원하는 프리패치 제한들을 저장하는 다수의 필드들을 필요한만큼 포함할 수 있을 것이다. 제어 레지스터(38)가 시스템 상호접속(22)에 결합되는 마스터(12) 또는 마스터(14)와 같은 마스터로부터의 명령들을 통해서 프로그램될 수 있음에도 주의하여야 한다. 프리패치 제한 필드 값들은, 예컨대 사용자에 의해서 제공되거나, 설계시에 프로그래밍될 수 있을 것이다.

[0026] 일 실시예에서, 프리패치 회로(40)가 마스터(12) 또는 마스터(14)와 같은 하나 이상의 마스터들로부터의 액세스 요청을 프로파일(profile)하는 요청 모니터(43)에 양방향으로 결합되는데, 이러한 프로파일들은 프리패치 제한을 동적으로 갱신하는 데에 이용된다. 예컨대, 요청 모니터(43)는 연속하는 버퍼 미스들 사이의 버퍼(42)로 이루어지는 액세스의 수를 모니터하고, 이에 따라 제한들을 갱신하거나 설정할 수 있을 것이다. 다른 실시예들에서, 요청 모니터(43)는 데이터 처리 시스템(10)으로부터 배제될 수 있으며, 프리패치 제한은, 예컨대 사용자 프로그래밍가능하거나 하드웨어일 수 있다.

[0027] 도 3은 각각의 마스터에 대응하는 프리패치 계수기를 포함하는 프리패치 계수기들(41)의 일 실시예를 도시한다. 예컨대, 일 실시예에서 프리패치 계수기들(41)은 마스터(12)에 대응하는 프리패치 계수기(64) 및 마스터(14)에 대응하는 프리패치 계수기(66)를 포함한다. 다른 실시예에서, 데이터 처리 시스템(10)은 마스터(12) 또는 마스터(14)와 같은 하나 이상의 마스터들에 의해서 공유되는 (메모리 어레이 제어기(36)와 같은)메모리 어레이 제어기마다 단일 프리패치 계수기를 포함할 수 있을 것이다. 이와 달리, 프리패치 계수기들(41)은 계수기, 계수기들 또는 계수기와 유사하게 동작하는 (소프트웨어 또는 하드웨어의)임의의 다른 장치로 참조될 수 있다.

[0028] 도 4는 도 2의 제어 레지스터(38)의 필드 정의들의 일 실시예를 도시한다. 예컨대, 일 실시예에서 각각의 필드들(60,62)은 각각의 필드가 8개의 값들(000,001,010,011,100,101,110 및 111)을 가질 수 있는 3 비트 필드들이다. 도 4에 도시된 필드 설명들의 일 실시예에서, 프리패치 제한 필드들(60,62)은 프리패치 회로에 의해서 이용되는 프리패치 알고리즘을 제어하는 데에 이용된다. 예컨대, 프리패치 제한 필드들(60,62)은 각각의 대응 마스터에 대한 버퍼 미스들 사이에 시도될 순차적인 프리패치들의 최대 수에 관한 제한을 정의한다. 프리패치 제한 필드들(60,62)은 얼마나 많은 라인들이 매번 프리패치되는지를 정의하는 데에도 이용될 수 있을 것이다.

[0029] 예컨대, 도시된 실시예에서 값 000은 버퍼(42)에서의 미스들을 야기하는 대응 마스터로부터의 액세스 요청들 사이에 어떠한 프리패치도 수행되지 않음을 나타낸다. 즉, 마스터(12) 프리패치 제한 필드(60)가 000으로 설정되는 경우에는 마스터(12)로부터의 액세스 요청들에 의해서 야기되는 버퍼(42)에서의 미스들 사이에 어떠한 프리패치도 발생하지 않는다. 유사하게, 마스터(14) 프리패치 제한 필드(62)가 000으로 설정되는 경우에는 마스터(14)로부터의 액세스 요청들에 의해서 야기되는 버퍼(42)에서의 미스들 사이에 어떠한 프리패치도 발생하지 않는다. 프리패치 제한 필드들(60,62)에 대한 값 001은 단일의 부가적인 라인(메모리 어레이(35) 내의 뒤이은 순차적인 라인)이 버퍼 미스 시에 프리패치됨을 나타낸다. 프리패치 제한 필드들(60,62)에 대한 값 010은 프리패치가 중지되기 전에 2개까지의 부가적인 라인들이 각각의 버퍼 미스에 뒤이어 프리패치될 수 있으며, 단일 부가 라인(메모리 어레이(35)에서 다음의 뒤이은 라인)이 버퍼 미스 시에 프리패치되며 다음 부가적인 순차적인 라인 이 (이미 존재하지 않는 경우에는)버퍼 히트 시에 프리패치됨을 나타낸다.

[0030] 계속하여 도 4를 참조하면, 프리패치 제한 필드들(60,62)에 대한 값 011은 프리패치가 중지되기 전에 3개까지의

부가적인 라인들이 각각의 버퍼 미스에 이어서 프리패치될 수 있음을 나타낸다. 즉, 예컨대 최초 미스 이후에 단일 프리패치가 개시될 수 있을 것이며, 각각의 후속하는 버퍼 히트 이후에(전체 3개의 단일 프리패치들까지) 단일의 부가적인 프리패치가 개시될 수 있을 것이다. 프리패치 제한 필드들(60,62)에 대한 값 100은 프리패치가 중지되기 전에 4개까지의 부가적인 라인들이 각각의 버퍼 미스에 이어서 프리패치될 수 있음을 나타낸다. 즉, 예컨대 최초 미스 이후에 단일의 프리패치가 개시될 수 있을 것이며, 각각의 후속하는 버퍼 히트 이후에(전체 4개의 단일 프리패치들까지) 단일의 부가적인 프리패치가 개시될 수 있을 것이다. 프리패치 제한 필드들(60,62)에 대한 값 101은 프리패치가 중지되기 전에 5개까지의 부가적인 라인들이 각각의 버퍼 미스에 이어서 프리패치될 수 있음을 나타낸다. 즉, 예컨대 최초 미스 이후에 단일의 프리패치가 개시될 수 있을 것이며, 각각의 후속하는 버퍼 히트 이후에(전체 5개의 단일 프리패치들까지) 단일의 부가적인 프리패치가 개시될 수 있을 것이다.

[0031] 계속하여 도 4를 참조하면, 프리패치 제한 필드들(60,62)에 대한 값 110은 무제한의 수의 부가적인 라인들이 각각의 버퍼 미스에 이어서 프리패치될 수 있음을 나타낸다. 즉, 예컨대 각각의 버퍼 히트 또는 미스 이후에 단일의 부가적인 프리패치가 개시된다. (이러한 실시예에서, 값 111은 보류되며, 프리패치 동작을 설정하는 데에 이용되지 않음에 주의하라.) 다른 실시예들에서, 제어 레지스터(38)는 필요한만큼의 다소의 비트들을 이용하는 각각의 마스터에 대한 다소의 필드들을 포함할 수 있음에 주의하여야 한다. 또한, 프리패치 제한 필드들(60,62)의 다른 정의들이 프리패치 회로(40)를 제어하는 데에 필요한만큼 이용될 수 있을 것이다. 프리패치 제한 필드들의 이용 및 정의는 도 5를 참조하여 좀더 기술될 것이다.

[0032] 도 5는 본 발명의 일 실시예에 따른 데이터 처리 시스템의 동작을 흐름도의 형태로 도시한다. 흐름(70)은 개시(72)에서 개시하여 마스터(12) 또는 마스터(14)와 같은 마스터로부터의 액세스 요청이 수신되는 블록(74)으로 진행한다. 이러한 액세스 요청은 판독 요청, 기록 요청, 버스트 요청, 비버스트 요청, 데이터에 대한 요청, 명령들에 대한 요청 등의 많은 상이한 타입의 액세스 요청들일 수 있다. 그러나, 여기서는 설명의 편의를 위하여 액세스 요청이 판독 요청으로 가정될 것이다.

[0033] 그 후에 흐름은, 예컨대 도 1의 마스터 식별자(26)에 의해서 제공되는 마스터 식별자를 이용하여 요청 마스터의 아이덴티티(identity)가 결정되는 블록(76)으로 진행한다. 따라서, 상이한 마스터들은 상이한 마스터 식별자들, 예컨대 마스터(12)는 식별자 0을 가지며, 마스터(14)는 식별자 1을 가질 수 있을 것이다. 따라서, 각각의 마스터에는 특유의 식별자가 할당될 수 있을 것이다. 다른 실시예에서, 몇몇 마스터들은 동일한 식별자를 공유할 수 있을 것이다. 또한, 다른 실시예에서 어느 마스터가 액세스를 요청하고 있는지가 마스터 식별자(26)와 같은 신호를 제공하는 것이 아닌 다른 방식으로 결정될 수 있음에 주의하여야 한다. 일 실시예에서, 올바른 프리패치 계수기 및 대응 프리패치 제한이 마스터 식별자의 아이덴티티에 근거하여 다수의 프리패치 계수기들 및 제한들로부터 선택될 수 있다.

[0034] 다시 도 5를 참조하면, 그 후에 흐름은 판정 다이아몬드(78)로 진행하여, 여기서 액세스 요청이 히트 또는 미스를 야기하는지 여부가 결정된다. 액세스 요청이 미스를 야기하는 경우에는, 흐름은 블록(86)으로 진행하며, 여기서 요청 마스터에 대응하는(프리패치 계수기들(41)의 계수기들 중 하나인)프리패치 계수기가 요청 마스터에 대응하는 프리패치 제한으로 설정된다(예컨대, 제어 레지스터(38) 내의 프리패치 필드들 중 하나에 의해서 지시됨). 이러한 프리패치 제한은 요청 마스터의 버퍼 미스들 사이의 프리패치들의 수를 제어하는 데에 이용된다. 그 후에, 흐름은 블록(88)으로 진행하며, 여기서 현재 액세스 요청에 응답하여 단일 라인 요구 패치가 수행된다. 다른 실시예들에서 부가적인 라인들이 요구 패치 동안에 패치될 수 있음에 주의하여야 한다.

[0035] 그 후에, 흐름은 판정 다이아몬드(94)로 진행하며, 여기서 요청 마스터에 대응하는 프리패치 제한이 "프리패치 없음(No Prefetching)"을 나타내는지 여부가 판정된다. (예컨대, 도 4의 실시예에서 제어 레지스터(38) 내의 대응 프리패치 제한 필드에 대한 값 000에 의해서 어떠한 프리패치도 지시되지 않는다.) 프리패치 없음이 지시되는 경우에는, 흐름은 종료 타원(90)으로 진행한다. 그러나, 프리패치 없음이 지시되지 않는 경우에는, 흐름은 블록(89)으로 진행하며, 여기서 단일 라인 프리패치가 수행되고, 단일 라인이 이미 프리패치 버퍼 내에 존재하지 않는 경우에 요청 마스터에 대응하는 프리패치 계수기가 감소된다. 다른 실시예들에서, 블록(89)이 존재하지 않을 수 있으며, 즉 미스에 응답하여 프리패치가 발생하지 않을 수 있으며, 따라서 대응 프리패치 계수기가 갱신되지 않을 수 있음에 주의하여야 한다.

[0036] 판정 다이아몬드(78)에서의 결과가 히트인 경우에는, 흐름은 판정 다이아몬드(96)로 진행하여, 요청 마스터에 대응하는 프리패치 제한이 "프리패치 없음"을 나타내는지 여부가 판정된다. 프리패치 없음이 지시되는 경우에, 흐름은 종료 타원(90)으로 진행한다. 그렇지 않고서, 프리패치 없음이 지시되지 않는 경우에는, 흐름은 판정

다이아몬드(80)로 진행하여, 요청 마스터에 대응하는 프리패치 계수기가 완료되었는지 여부가 판정된다. 프리패치 계수기가 완료되지 않은 경우에는 흐름은 블록(82)으로 진행한다. 블록(82)에서, 단일 라인 프리패치가 수행되고, 단일 라인이 이미 프리패치 버퍼 내에 존재하지 않는 경우에는 요청 마스터에 대응하는 프리패치 계수기가 감소되어, 마지막 미스 이후에 발생한 프리패치들의 수에 관한 정보를 얻게 된다. 그 후에, 흐름은 종료 타원(90)으로 진행한다.

[0037] 다시 판정 블록(80)을 참조하면, 프리패치 계수기가 완료된 경우에, 흐름은 블록(84)으로 진행하여 부가적인 프리패치가 수행되지 않는다. 따라서, 다른 히트가 발생하는 경우에도 대응 프리패치 계수기가 블록(86)에서의 미스에 응답하여 프리패치 제한으로 다시 설정될 때까지는 더 이상의 프리패치가 발생하지 않는다. 따라서, 이러한 방식으로 프리패치 제한이 대응 요청 마스터에 대한 버퍼 미스들 사이의 프리패치들의 수를 제한하는 데에 이용될 수 있을 것이다.

[0038] 도 5의 실시예에서, 프리패치 계수기가 고정된 값만큼, 예컨대 1 만큼 감소되어 프리패치가 수행되었음을 나타낸다(예컨대, 도 5의 블록(82,89)). 프리패치 계수기의 값이 하위 한계, 본 경우에는 0에 도달하는 경우에는 프리패치 계수기는 완료된 것으로 간주된다. 다른 실시예에서, 프리패치 계수기의 초기값은 (도 5의 블록(86)에서처럼) 0으로 설정될 수 있을 것이며, 따라서 프리패치 계수기는 고정된 값만큼, 예컨대 1 만큼 증가되어 프리패치가 수행되었음을 나타낼 수 있을 것이다(예컨대, 도 5의 블록(82,89)). 이러한 다른 실시예에서, 계수기의 값이 대응하는 프리패치 제한에 도달하는 경우에 프리패치 계수기는 완료된 것으로 간주된다.

[0039] 도 5에서, (블록(82,89)과 같은)각각의 프리패치 동안에 단지 하나의 부가적인 라인만이 도 4의 필드에 의해서 규정된 바에 따라 패치됨에도 주의하여야 한다. 그러나, 다른 실시예에서, (하나 이상의)소정의 수의 라인들이 (도 8의 블록(82,89)과 같은)각각의 프리패치동안에 패치될 수 있음에 주의하여야 한다. 즉, 소정의 수의 라인들이, 이들 라인들이 이미 프리패치 버퍼 내에 존재하지 않는 경우에는 히트, 미스 또는 이들 모두에 응답하여 프리패치될 수 있을 것이다. 또한, 대응 프리패치 계수기는 프리패치들의 수에 대한 정보를 얻기 위하여 적절히 감소(또는 증가)될 수 있을 것이다. 따라서, 제어 레지스터(38) 내의 프리패치 제한 필드들(60,62)과 같은 프리패치 제한 필드들이 각각의 미스 또는 히트 또는 이들 모두 이후에 (대응 계수기가 완료할 때까지) 단지 단일의 부가적인 라인이 아니라, 임의의 소정의 수의 라인들의 프리패치를 정의하는 데에 이용될 수 있음에 주의하여야 한다.

[0040] 전술한 바와 같이, 프리패치 계수기가 각각의 마스터에 대하여 이용될 수 있을 것이지만, 다른 실시예에서는 단일의 계수기가 다수의 마스터들에 의해서 공유될 수 있을 것이다. 이러한 실시예에서, 예컨대 우선순위 체계가 이용될 수 있을 것이며, 예컨대 이러한 우선순위 체계는 어느 마스터가 단일의 계수기를 제어하는 지에 관한 점이 사용자에 의해서 프로그래밍될 수 있을 것이다. 예컨대, 마스터(14)는 마스터(12)에 의해서 현재 이용되는 계수기의 이용을 요구할 수 있을 것이며, 마스터(14)가 마스터(12)에 대하여 우선순위를 가지는 경우에는 마스터(12)는 계수기의 제어를 마스터(14)에 양도할 수 있다. 이러한 방식으로, 다수의 마스터들은 단일의 계수기를 공유할 수 있을 것이다. 이와 달리, 마스터 기반이 아니라, 요청 마스터의 아이덴티티에 관계없이 프리패치 제한이 연속하는 미스들 사이의 프리패치들의 수를 제한하도록 계수기가 공유될 수 있을 것이다. 이러한 다른 실시예에서, 공유된 계수기는 미스가 발생할 때마다 요청 마스터의 아이덴티티에 관계없이 (도 5의 블록(86)과 같이)설정될 것이다. 유사하게, 도 5의 판정 다이아몬드(80) 및 블록들(82,89)은 요청 마스터의 아이덴티티에 관계없이 이러한 공유된 계수기에 대하여 동작할 수 있을 것이다. 또 다른 실시예에서, 다수의 마스터들이 제어 레지스터(38) 내의 프리패치 제한을 공유할 수 있음에도 주의하여야 한다.

[0041] 데이터 처리 시스템 내의 상이한 타입의 마스터들을 처리하는 경우에, 메모리 제어 유닛의 성능을 최적화하는 것이 필요할 것이다. 상이한 타입들의 마스터들은 다양한 방식으로 명령들과 데이터를 실행하고 전달하며, 따라서 마스터들의 상이한 액세스 특성을 고려하며, 미스들 사이의 프리패치의 수를 제한하여 순차적인 프리패치들의 동적인 제어를 가능하게 하는 체계를 이해할 수 있을 것이다. 예컨대, CPU 내의 명령들은 흐름의 변경에 도달될 때까지 전형적으로 순차 수행되며, DMA의 경우에는 대부분의 전달이 전달 종료 또는 채널 스위치가 발생할 때까지 순차 발생된다. 따라서, CPU 및 DMA의 프리패치 제한 필드들은 상이하게, 예컨대 CPU와 비교할 때에 DMA가 미스들 사이에 보다 많은 수의 프리패치들을 허용하도록 설정될 수 있을 것이다. 따라서, 전술한 바와 같이, 프리패치 제한 필드들은 마스터들 사이의 다양한 차이점들을 고려하고 연속하는 미스들 사이에 발생하는 프리패치들의 수를 제어하도록 프로그래밍될 수 있다. 즉, 프리패치 제한에 도달한 경우에, 순차 프리패치의 수가 증가함에 따라 순차 프리패치가 이용될 가능성이 감소하기 때문에 다음 버퍼 미스때까지 더 이상의 프리패치는 발생하지 않는다. 또한, 낭비되는 프리패치들을 더욱 감소시키기 위하여 (프리패치 제한에 도달하기에 앞서)각각의 히트 또는 미스 또는 이들 모두에 응답하여, 라인 프리패치의 수를 제어하는 데에 프리패치 제한 필

드들이 어떻게 이용될지를 알 수 있을 것이다.

[0042] 전술한 바에서, 본 발명은 특정 실시예들을 참조하여 기술되었다. 그러나, 본 기술 분야의 당업자는 아래의 청구의 범위에 기술된 본 발명의 범위를 벗어나지 않고서 다양한 변경들 및 변화들이 이루어질 수 있음을 이해할 것이다. 따라서, 명세서와 도면은 한정적인 의미가 아니라, 예시적으로 간주되어야 할 것이며, 이러한 모든 변형들은 본 발명의 범위 내에 포함되는 것으로 의도된다.

[0043] 이점들, 기타 장점들 및 문제점들에 대한 해결책들이 특정 실시예들과 관련하여 기술되었다. 그러나, 이러한 이점들, 장점들 및 문제점들에 대한 해결책들 및 임의의 이점, 장점 또는 해결책을 발생시키거나 보다 명백히 하는 임의의 요소(들)는 임의의 또는 모든 청구항들의 중대하거나, 필수적이거나 본질적인 특징 또는 요소로 간주되어서는 안된다. 본 명세서에서 사용된 "하나의(a, an)"라는 용어는 하나 이상을 의미하는 것으로 정의된다. 본 명세서에 사용된 "포함하는" 및/또는 "가지는"은 포함하는 것으로 정의된다(즉, 개방 언어). 본 명세서에서 사용된 "포함하다", "포함하는" 또는 이의 임의의 다른 변형은 요소들의 목록을 포함하는 프로세스, 방법, 물건 또는 장치가 단지 이들 요소들만을 포함하는 것이 아니라, 명시적으로 열거되지 않거나, 그러한 프로세스, 방법, 물건 또는 장치에 고유한 다른 요소들을 포함하도록 비배타적인 포함을 커버하도록 의도된다.

도면의 간단한 설명

[0003] 본 발명은 동일한 참조 부호가 유사한 요소들을 나타내는 첨부된 도면에 의해서 한정적으로 기술되는 것이 아니라, 예시적으로 기술된다.

[0004] 도 1은 본 발명의 일 실시예에 따른 데이터 처리 시스템을 도시하는 블록도.

[0005] 도 2는 본 발명의 일 실시예에 따른 도 1의 데이터 처리 시스템의 제어 레지스터를 도시하는 블록도.

[0006] 도 3은 본 발명의 일 실시예에 따른 도 1의 데이터 처리 시스템의 프리패치 계수기들을 도시하는 블록도.

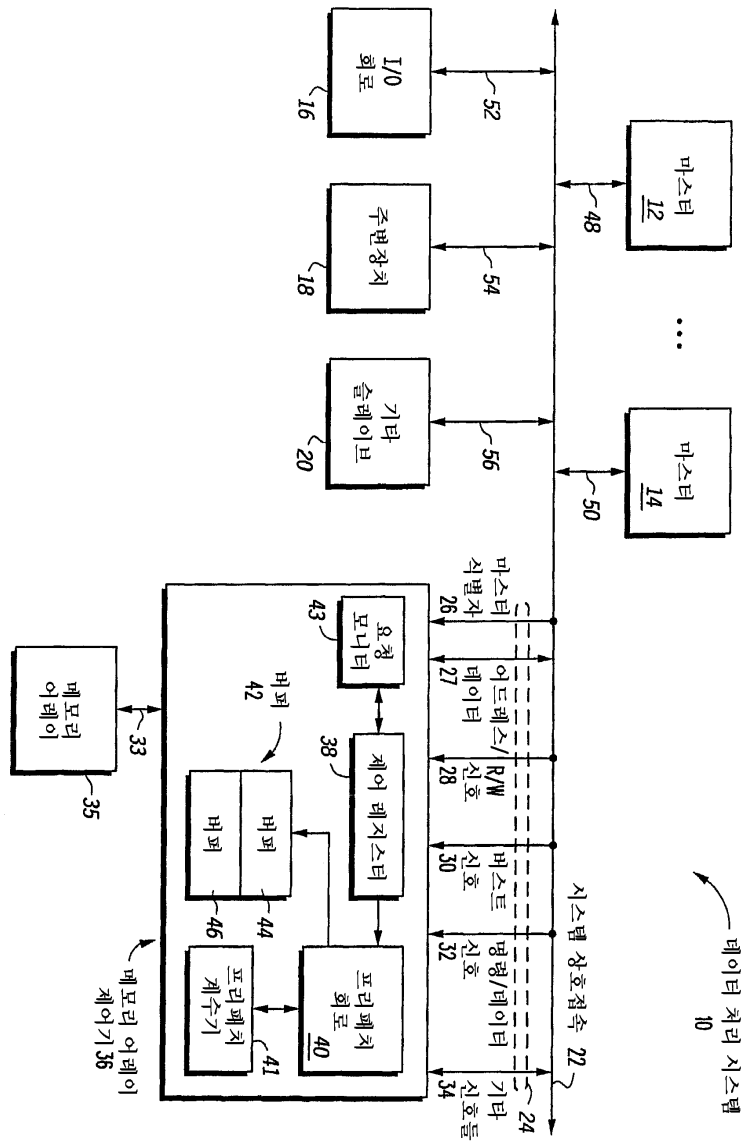
[0007] 도 4는 본 발명의 일 실시예에 따른 도 2의 제어 레지스터의 필드 설명을 나타내는 표.

[0008] 도 5는 본 발명의 일 실시예에 따른 도 1의 데이터 처리 시스템의 동작을 나타내는 흐름도.

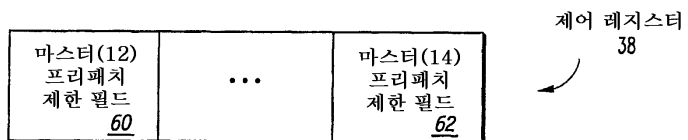
[0009] 본 발명의 기술 분야의 당업자는 간단 명료하게 나타내기 위하여 도면들에서의 요소들이 반드시 실제 크기대로 도시되지 않았음을 이해할 수 있을 것이다. 예컨대, 본 발명의 실시예들의 이해를 향상시키기 위해서 도면에서의 몇몇 요소들의 치수는 다른 요소들에 비해서 과장될 수 있을 것이다.

도면

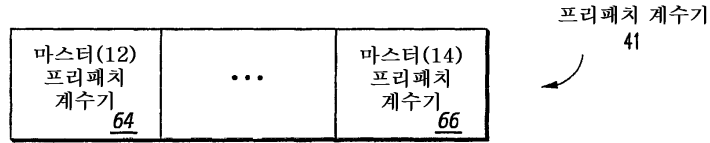
도면1



도면2



도면3



도면4

명칭	설명	설정
프리패치 제한 필드 60 및 62	이들 필드들은 프리패치 회로에 의해서 이용되는 프리패치 알고리즘을 제어함. 이들 필드들은 각각의 대응 마스터에 대한 버퍼 미스(miss)들 사이에 시도될 순차적인 프리패치들의 최대수에 대한 제한을 규정함.	<p>000 - 프리패치가 수행되지 않음.</p> <p>001 - 버퍼 미스 시에 신호 부가 라인 (다음 시퀀스)가 프리패치됨.</p> <p>010 - 프리패치가 중지되기 전에 각각의 버퍼 미스에 이어서 2개까지의 부가적인 라인들이 프리패치될 것임. 단일의 부가적인 라인 (다음 시퀀스)이 버퍼 미스 시에 프리패치되고, 다음 순차 라인이 버퍼 히트(hit)시에 프리패치됨 (이미 존재하지 않은 경우).</p> <p>011 - 프리패치가 중지되기 전에 각각의 버퍼 미스에 이어서 3개까지의 부가적인 라인들이 프리패치될 것임. 각각의 버퍼가 히트 또는 미스 이후에 단일의 부가적인 프리패치만이 개시됨</p> <p>100 - 프리패치가 중지되기 전에 각각의 버퍼 미스에 이어서 4개까지의 부가적인 라인들이 프리패치될 것임. 각각의 버퍼 히트 또는 미스 이후에 단일의 부가적인 프리패치만이 개시됨.</p> <p>101 - 프리패치가 중지되기 전에 각각의 버퍼 미스에 이어서 5개까지의 부가적인 라인들이 프리패치될 것임. 각각의 버퍼 히트 또는 미스 이후에 단일의 부가적인 프리패치만이 개시됨.</p> <p>110 - 각각의 버퍼 미스에 이어서 무제한의 부가적인 라인들이 프리패치될 것임. 각각의 버퍼 히트 또는 미스 이후에 단일의 부가적인 프리패치만이 개시됨.</p> <p>111 - 보류됨.</p>

도면5

