

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 4 月 3 日 (03.04.2025)



(10) 国际公布号
WO 2025/065286 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) **H01L 27/00** (2006.01)
- (21) 国际申请号: PCT/CN2023/121752
- (22) 国际申请日: 2023 年 9 月 26 日 (26.09.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号 100015 (CN)。成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号 611731 (CN)。
- (72) 发明人: 方飞(**FANG, Fei**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。王铸(**WANG, Zhu**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。石领(**SHI, Ling**); 中

国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。周伟峰(**ZHOU, Weifeng**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。杨明坤(**YANG, Mingkun**); 中国北京市大兴区北京经济技术开发区地泽路 9 号 100176 (CN)。

- (74) 代理人: 北京同达信恒知识产权代理有限公司(**TDIP & PARTNERS**); 中国北京市西城区裕民路 18 号北环中心 A 座 2002 100029 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** PIXEL DRIVING CIRCUIT, DISPLAY PANEL AND DRIVING METHOD

(54) 发明名称: 一种像素驱动电路、显示面板及驱动方法

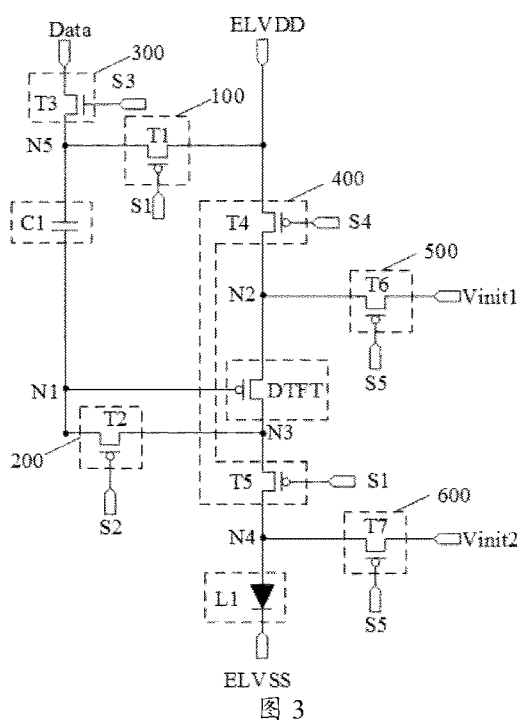


图 3

(57) **Abstract:** A pixel driving circuit, a display panel and a driving method. The pixel driving circuit comprises: a driving transistor (DTFT), a light-emitting device (L1), a compensation capacitor (C1), a threshold compensation sub-circuit (200), a data writing sub-circuit (300), a conduction control sub-circuit (100) and a light-emitting control sub-circuit (400). In response to a signal at a compensation signal end (S1), the threshold compensation sub-circuit (200) provides the threshold voltage of the driving transistor (DTFT) to a first end of the compensation capacitor (C1); in response to a signal at a scanning signal end (S3), the data writing sub-circuit (300) provides the data voltage of a data signal end (Data) to a second end of the compensation capacitor (C1); in response to a signal at a conduction control end (S4), the conduction control sub-circuit (100) connects a power supply signal end (ELVDD) to the second end of the compensation capacitor (C1); in response to a signal at a light-emitting control signal end (S4), the light-emitting control sub-circuit (400) provides a driving current generated by the driving transistor (DTFT) to the light-emitting device (L1). The provision of the compensation capacitor (C1) implements threshold compensation and data writing in a time-sharing manner, thus achieving high-frequency refreshing while satisfying the display of the light-emitting device (L1).



(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种像素驱动电路、显示面板及驱动方法, 该像素驱动电路包括: 驱动晶体管 (DTFT)、发光器件 (L1)、补偿电容 (C1)、阈值补偿子电路 (200)、数据写入子电路 (300)、导通控制子电路 (100) 和发光控制子电路 (400), 阈值补偿子电路 (200) 响应于补偿信号端 (S1) 的信号, 将驱动晶体管 (DTFT) 的阈值电压提供给补偿电容 (C1) 的第一端, 数据写入子电路 (300) 响应于扫描信号端 (S3) 的信号, 将数据信号端 (Data) 的数据电压提供给补偿电容 (C1) 的第二端, 导通控制子电路 (100) 响应于导通控制端 (S4) 的信号, 将电源信号端 (ELVDD) 与补偿电容 (C1) 的第二端导通, 发光控制子电路 (400) 响应于发光控制信号端 (S4) 的信号, 将驱动晶体管 (DTFT) 产生的驱动电流提供给发光器件 (L1), 补偿电容 (C1) 的设置实现了阈值补偿和数据写入的分时进行, 满足发光器件 (L1) 显示的同时实现了高频率刷新。

一种像素驱动电路、显示面板及驱动方法

技术领域

本公开涉及显示技术领域，提供了一种像素驱动电路、显示面板及驱动方法。

5

背景技术

相关技术中的像素驱动电路的驱动过程中，在数据电压写入驱动晶体管的栅极的阶段，会同步完成驱动晶体管的阈值电压的补偿。但由于上述阈值电压补偿所需的时间较长，随着显示屏刷新率的提高，单位时间的补偿时段大大减小，这样就会导致驱动晶体管的阈值电压的补偿不够充分，进而使显示屏的显示效果较差。

10

发明内容

本公开实施例提供一种像素驱动电路、显示面板及驱动方法，用以将阈值电压补偿和数据电压的写入分时段进行，以提升高刷新率下阈值电压的补偿效果。

15

本公开提供的具体技术方案如下：

20

第一方面，本公开实施例提供了一种像素驱动电路，包括：驱动晶体管、发光器件、补偿电容、阈值补偿子电路、数据写入子电路、导通控制子电路和发光控制子电路；

阈值补偿子电路与驱动晶体管的栅极以及补偿电容的第一端相互耦接，被配置为响应于补偿信号端的信号，将驱动晶体管的阈值电压提供给补偿电容的第一端；

25

数据写入子电路与补偿电容的第二端耦接，被配置为响应于扫描信号端的信号，将数据信号端的数据电压提供给补偿电容的第二端；

补偿电容，被配置为稳定第一端和第二端的电压；

导通控制子电路与补偿电容的第二端以及电源信号端耦接，被配置为响应于导通控制端的信号，将电源信号端与补偿电容的第二端导通；

发光控制子电路与驱动晶体管以及发光器件耦接，被配置为响应于发光控制信号端的信号，将驱动晶体管产生的驱动电流提供给发光器件。

5 可选地，导通控制子电路包括：第一晶体管；

第一晶体管的控制端与导通控制端耦接，第一晶体管的第一端与补偿电容的第二端耦接，第一晶体管的第二端与电源信号端耦接。

可选地，数据写入子电路响应于扫描信号端的信号的第一有效电平，将数据信号端的数据电压提供给补偿电容的第二端；

10 阈值补偿子电路响应于补偿信号端的信号的第二有效电平，将驱动晶体管的阈值电压提供给补偿电容的第一端；

其中，第一有效电平处于第二有效电平的时间段内。

可选地，第一有效电平的高电平时长小于第二有效电平的低电平时长。

可选地，阈值补偿子电路包括：第二晶体管；

15 第二晶体管的控制端与补偿信号端耦接，第二晶体管的第一端与补偿电容的第一端耦接，第二晶体管的第二端与驱动晶体管的第二端耦接。

可选地，数据写入子电路包括：第三晶体管；

第三晶体管的控制端与扫描信号端耦接，第三晶体管的第一端与数据信号端耦接，第三晶体管的第二端与补偿电容的第二端耦接。

20 可选地，发光控制子电路包括：第四晶体管和第五晶体管；

第四晶体管的控制端与发光控制信号端耦接，第四晶体管的第一端与电源信号端耦接，第四晶体管的第二端与驱动晶体管的第一端耦接；

第五晶体管的控制端与导通控制端耦接，第五晶体管的第一端与驱动晶体管的第二端耦接，第五晶体管的第二端与发光器件的阳极耦接。

25 可选地，还包括第一初始化子电路，第一初始化子电路与驱动晶体管的第一端耦接，被配置为响应于第一复位信号端的信号，将第一初始化信号端的信号提供给驱动晶体管的第一端。

可选地，第一初始化子电路包括：第六晶体管；

第六晶体管的控制端与第一复位信号端耦接，第六晶体管的第一端与驱动晶体管的第一端耦接，第六晶体管的第二端与第一初始化信号端耦接。

5 可选地，还包括第二初始化子电路，第二初始化子电路与发光器件的阳极耦接，被配置为响应于第二复位信号端的信号，将第二初始化信号端的信号提供给发光器件的阳极。

可选地，第二初始化子电路包括：第七晶体管；

第七晶体管的控制端与第二复位信号端耦接，第七晶体管的第一端与发光器件的阳极耦接，第七晶体管的第二端与第二初始化信号端耦接。

10 可选地，还包括第三初始化子电路，第三初始化子电路与补偿电容的第一端耦接，被配置为响应于第三复位信号端的信号，将第三初始化信号端的信号提供给补偿电容的第一端。

可选地，第三初始化子电路包括：第八晶体管；

15 第八晶体管的控制端与第三复位信号端耦接，第八晶体管的第一端与补偿电容的第一端耦接，第八晶体管的第二端与第三初始化信号端耦接。

第二方面，本公开实施例还提供了一种显示面板，包括：

衬底基板，包括多个子像素，子像素包括上述任一项的像素驱动电路；

20 像素驱动电路包括：驱动晶体管、第一晶体管、第三晶体管以及补偿电容，第一晶体管的第一端与补偿电容的第二端耦接，第三晶体管的第二端与补偿电容的第二端耦接，驱动晶体管的栅极与补偿电容的第一端耦接；

第三晶体管的有源层在衬底基板的正投影位于驱动晶体管的有源层在衬底基板的正投影和第一晶体管的有源层在衬底基板的正投影之间。

可选地，显示面板包括：第一半导体层、第一导电层、第二导电层、第二半导体层；

25 第一半导体层，位于衬底基板上，且第一半导体层包括第一晶体管的有源层和驱动晶体管的有源层；

第一导电层，位于衬底基板背离第一半导体层的一侧，且第一导电层包

括第一晶体管的栅极、驱动晶体管的栅极、第一信号线;

第二导电层,位于衬底基板背离第一导电层的一侧,且第二导电层包括补偿电容的第二端、第三晶体管的栅极和第五信号线;

5 第二半导体层,位于衬底基板背离第二导电层的一侧,且第二半导体层包括第三晶体管的有源层。

可选地,第一信号线在衬底基板上的正投影与第一晶体管的有源层在衬底基板上的正投影具有交叠区域,交叠区域中的第一信号线为第一晶体管的栅极。

10 可选地,第一晶体管的有源层包括第一有源部和第二有源部,第一有源部沿第一方向延伸,第二有源部沿第二方向延伸,第一信号线在衬底基板上的正投影与第一有源部在衬底基板上的正投影存在交叠区域。

可选地,还包括第三导电层,第三导电层位于衬底基板背离第二半导体层的一侧,第三导电层包括与电源信号端连接的电源信号线,电源信号线覆盖交叠区域。

15 可选地,第三导电层包括第一连接部,第二导电层包括第二连接部,第三导电层与第二导电层之间具有第一绝缘层,第二导电层与第一导电层之间具有第二绝缘层;

电源信号线通过贯穿第一绝缘层的第一过孔与第二连接部连接;

第二连接部通过贯穿第二绝缘层的第二过孔与第一晶体管的有源层连接。

20 第三方面,本公开实施例还提供了一种上述任一项的像素驱动电路的驱动方法,包括:

阈值补偿子电路响应于补偿信号端的信号,将驱动晶体管的阈值电压提供给补偿电容的第一端;

25 数据写入子电路响应于扫描信号端的信号,将数据信号端的数据电压提供给补偿电容的第二端;

补偿电容稳定第一端和第二端的电压;

导通控制子电路响应于导通控制端的信号,将电源信号端与补偿电容的

第二端导通；

发光控制子电路响应于发光控制信号端的信号，将驱动晶体管产生的驱动电流提供给发光器件。

本公开有益效果如下：

5 综上所述，本公开实施例中提供了一种像素驱动电路、显示面板及驱动方法，该像素驱动电路包括：驱动晶体管、发光器件、补偿电容、阈值补偿子电路、数据写入子电路、导通控制子电路和发光控制子电路，阈值补偿子电路响应于补偿信号端的信号，将驱动晶体管的阈值电压提供给补偿电容的第一端，数据写入子电路响应于扫描信号端的信号，将数据信号端的数据电
10 压提供给补偿电容的第二端，导通控制子电路响应于导通控制端的信号，将电源信号端与补偿电容的第二端导通，发光控制子电路响应于发光控制信号端的信号，将驱动晶体管产生的驱动电流提供给发光器件，补偿电容的设置实现了阈值补偿和数据写入的分时进行，满足发光器件显示的同时实现了高频率刷新。

15 本公开的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本公开而了解。本公开的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

20 附图说明

此处所说明的附图用来提供对本公开的进一步理解，构成本公开的一部分，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 为相关技术中的像素驱动电路的连接示意图；

25 图 2 为本公开实施例中一种像素驱动电路的连接示意图；

图 3 为本公开实施例中一种像素驱动电路的电路连接图；

图 4 为本公开实施例中另一种像素驱动电路的连接示意图；

图 5 为本公开实施例中另一种像素驱动电路的电路连接图；

图 6 为本公开实施例中一种像素驱动电路的时序图；

图 7 为本公开实施例中的一种显示面板的布局结构示意图；

图 8 为本公开实施例中的一种显示面板中的第一半导体层的布局结构示意图；

图 9 为本公开实施例中的一种显示面板中的第一导电层的布局结构示意图；

图 10 为本公开实施例中的一种显示面板中的第二导电层的布局结构示意图；

图 11 为本公开实施例中的一种显示面板中的第二半导体层的布局结构示意图；

图 12 为本公开实施例中的一种显示面板中的第三导电层的布局结构示意图；

图 13 为本公开实施例中的一种显示面板中的电源信号端所在的膜层的布局结构示意图；

图 14 为本公开实施例中的一种显示面板中的各连接线所在的膜层的布局结构示意图；

图 15 为本公开实施例中的另一种显示面板中的各连接线所在的膜层的布局结构示意图；

图 16 为本公开实施例中一种像素驱动电路的驱动方法的流程图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开技术方案的一部分实施例，而不是全部的实施例。基于本公开文件中记载的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本公开技术方案保护的范围。

本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本发明的实施例能够使用除了在这里图示或描述的那些以外的顺序实施。

5 相关技术中，像素驱动电路的驱动过程中，在数据电压写入驱动晶体管的栅极的阶段，会同步完成驱动晶体管的阈值电压的补偿。但由于上述阈值电压补偿所需的时间较长，随着显示屏刷新率的提高，单位时间的补偿时段大大减小，这样就会导致驱动晶体管的阈值电压的补偿不够充分，进而使显示屏的显示效果较差。

10 参阅图 1 所示，以图 1 所示的像素驱动电路来进行详细说明，图 1 中的晶体管 M3 为驱动晶体管，在驱动晶体管的工作过程中，驱动晶体管 M3 的阈值电压经导通的晶体管 M2 写入驱动晶体管的栅极，与此同时，数据电压经导通的晶体管 T4 也写入驱动晶体管的栅极，当上述驱动晶体管所在的显示屏的刷新率较高时，常常会出现补偿时段结束时，阈值电压的补偿仍不充分，从而影响显示屏的显示效果。

下面结合附图对本公开优选的实施方式进行详细说明。

参阅图 2 所示，本申请实施例中提出的一种像素驱动电路，包括：驱动晶体管 DTFT、发光器件 L1、补偿电容 C1、阈值补偿子电路 200、数据写入子电路 300、导通控制子电路 100 和发光控制子电路 400。

20 实施过程中，上述导通控制子电路 100 与补偿电容 C1 的第二端以及电源信号端 ELVDD 耦接，被配置为响应于导通控制端 S4 的信号，将电源信号端 ELVDD 与补偿电容 C1 的第二端导通

参阅图 3 所示，上述导通控制子电路 100 包括：第一晶体管 T1。

25 第一晶体管 T1 与图 3 中其他元器件之间的连接关系为：第一晶体管 T1 的控制端与导通控制端 S4 耦接，第一晶体管 T1 的第一端与补偿电容 C1 的第二端耦接，第一晶体管 T1 的第二端与电源信号端 ELVDD 耦接。

实施过程中，当导通控制端 S4 的信号为低电平时，第一晶体管 T1 的控

制端导通，电源信号端 ELVDD 的电平经导通的第一晶体管 T1 提供给补偿电容 C1 的第二端。

实施过程中，上述阈值补偿子电路 200 与驱动晶体管 DTFT 的栅极以及补偿电容 C1 的第一端相互耦接，被配置为响应于补偿信号端 S1 的信号，将驱动晶体管 DTFT 的阈值电压提供给补偿电容 C1 的第一端。

参阅图 3 所示，上述阈值补偿子电路 200 包括：第二晶体管 T2。

第二晶体管 T2 与图 3 中其他元器件之间的连接关系为：第二晶体管 T2 的控制端与补偿信号端 S1 耦接，第二晶体管 T2 的第一端与补偿电容 C1 的第一端耦接，第二晶体管 T2 的第二端与驱动晶体管 DTFT 的第二端耦接。

需要说明的是，由于，第二晶体管 T2 直接与补偿电容 C1 的第一端即驱动晶体管 DTFT 的栅极相连，因此，实施过程中，可将上述第二晶体管 T2 更换成 IGZO 管，这样能够保证不会因为第二晶体管 T2 的漏电造成驱动晶体管 DTFT 的栅极的电位发生变化。

实施过程中，当补偿信号端 S1 的信号为低电平时，第二晶体管 T2 的控制端为低电平，第二晶体管 T2 导通，驱动晶体管 DTFT 的阈值电压经导通的第二晶体管 T2 提供给补偿电容 C1 的第一端。

上述数据写入子电路 300 与补偿电容 C1 的第二端耦接，被配置为响应于扫描信号端 S3 的信号，将数据信号端 Data 的数据电压提供给补偿电容 C1 的第二端。

参阅图 3 所示，数据写入子电路 300 包括：第三晶体管 T3。

第三晶体管 T3 与图 3 中其他元器件之间的连接关系为：第三晶体管 T3 的控制端与扫描信号端 S3 耦接，第三晶体管 T3 的第一端与数据信号端 Data 耦接，第三晶体管 T3 的第二端与补偿电容 C1 的第二端耦接。

示例性的，本申请实施例中，上述第三晶体管 T3 为 N 型晶体管，第三晶体管的有源层的材料为金属氧化物半导体材料，例如 IGZO。当第三晶体管 T3 为 N 型晶体管时，其他的晶体管为 P 型晶体管，其他的晶体管的有源层的材料还可以是低温多晶硅（Low Temperature Poly-Silicon, LTPS）等，这里不

做具体的限定。

实施过程中，当扫描信号端 S3 为高电平时，第三晶体管 T3 的控制端为高电平，第三晶体管 T3 导通，数据信号端 Data 的数据电压经导通的第三晶体管 T3 提供给补偿电容 C1 的第二端。

5 需要补充说明的是，本申请实施例中，为了将阈值补偿和数据写入的过程分别设置在不同的时段进行，将数据写入子电路 300 和阈值补偿子电路 200 的有效电平的有效时段进行了如下设置：

具体实施过程中，数据写入子电路 300 响应于扫描信号端 S3 的信号的第一有效电平，将数据信号端 Data 的数据电压提供给补偿电容 C1 的第二端。

10 即数据电压写入补偿电容 C1 的第二端的时长为上述第一有效电平对应的时长。

相应的，阈值补偿子电路 200 响应于补偿信号端 S1 的信号的第二有效电平，将驱动晶体管 DTFT 的阈值电压提供给补偿电容 C1 的第一端。

15 即阈值电压写入补偿电容 C1 的第一端的时长为上述第二有效电平对应的时长。

由于，第三晶体管的类型与其他的晶体管的类型不一样，在一些实施例中，上述第一有效电平可以为高电平，相应的，上述第二有效电平为低电平。在另一些实施例中，上述第一有效电平可以为低电平，相应的，上述第二有效电平为高电平。

20 需要注意的是，上述第一有效电平处于第二有效电平的时间段内。

即实施过程中，将第一有效电平对应的时间段设置的时长短于第二有效电平对应的时间段设置的时长，从而保证了阈值电压写入电路的时长大于数据电压写入电路的时长。

进一步的，第一有效电平的高电平时长小于第二有效电平的低电平时长。

25 参阅图 3 所示，第二晶体管 T2 为 N 型晶体管，第三晶体管 T3 为 P 型晶体管时，上述第一有效电平为高电平有效，上述第二有效电平为低电平有效，为了保证阈值电压写入的时长足够充分，上述第一有效电平的高电平时长小

于第二有效电平的低电平时长。

上述补偿电容 C1，被配置为稳定第一端和第二端的电压。

参阅图 3 所示，实施过程中，在将驱动晶体管 DTFT 的阈值电压经导通的第二晶体管 T2 提供给补偿电容 C1 的第一端之后，数据电压经导通的第三晶体管 T3 写入到补偿电容 C1 的第二端后，第一晶体管 T1 在导通控制端 S4 的控制下导通，补偿电容 C1 的第一端的电压由数据电压跳变为电源信号端 ELVDD 的电压，为了维持上述补偿电容 C1 的第一端和第二端的电压的平衡，补偿电容 C1 的自举作用将上述第一端的电压的跳变量耦合至补偿电容 C1 的第二端。

实施过程中，驱动晶体管 DTFT 根据上述阈值电压和数据电压生成驱动电流。

上述发光控制子电路与驱动晶体管 DTFT 以及发光器件 L1 耦接，被配置为响应于发光控制信号端 S4 的信号，将驱动晶体管 DTFT 产生的驱动电流提供给发光器件 L1。

参阅图 3 所示，发光控制子电路包括：第四晶体管 T4 和第五晶体管 T5。

第四晶体管 T4 与图 3 中其他元器件之间的连接关系为：第四晶体管 T4 的控制端与发光控制信号端 S4 耦接，第四晶体管 T4 的第一端与电源信号端 ELVDD 耦接，第四晶体管 T4 的第二端与驱动晶体管 DTFT 的第一端耦接。

实施过程中，当发光控制信号端 S4 为低电平时，第四晶体管 T4 导通，电源信号端 ELVDD 中的信号经导通的第四晶体管 T4 提供给驱动晶体管 DTFT。

第五晶体管 T5 与图 3 中其他元器件之间的连接关系为：第五晶体管 T5 的控制端与导通控制端 S4 耦接，第五晶体管 T5 的第一端与驱动晶体管 DTFT 的第二端耦接，第五晶体管 T5 的第二端与发光器件 L1 的阳极耦接。

实施过程中，当导通控制端 S4 的信号为低电平时，第五晶体管 T5 导通，驱动晶体管 DTFT 产生的驱动电流经导通的第五晶体管 T5 提供给发光器件 L1 的阳极，以使发光器件 L1 发光。

此外，参阅图 4 所示，上述像素驱动电路还包括第一初始化子电路 500，上述第一初始化子电路 500 与驱动晶体管 DTFT 的第一端耦接，被配置为响应于第一复位信号端 S5 的信号，将第一初始化信号端 Vinit1 的信号提供给驱动晶体管 DTFT 的第一端。

5 参阅图 5 所示，上述第一初始化子电路 500 包括：第六晶体管 T6。

第六晶体管 T6 与图 5 中其他元器件之间的连接关系为：第六晶体管 T6 的控制端与第一复位信号端 S5 耦接，第六晶体管 T6 的第一端与驱动晶体管 DTFT 的第一端耦接，第六晶体管 T6 的第二端与第一初始化信号端 Vinit1 耦接。

10 实施过程中，当第一复位信号端 S5 的信号为低电平时，第六晶体管 T6 导通，第一初始化信号端 Vinit1 的第一初始化信号经导通的第六晶体管 T6 提供给驱动晶体管 DTFT 的第一端，以对驱动晶体管 DTFT 的第一端进行复位。

此外，上述像素驱动电路还包括第二初始化子电路 600，第二初始化子电路 600 与发光器件 L1 的阳极耦接，被配置为响应于第二复位信号端 S5 的信号，将第二初始化信号端 Vinit2 的信号提供给发光器件 L1 的阳极。

15 参阅图 5 所示，上述第二初始化子电路 600 包括：第七晶体管 T7。

第七晶体管 T7 与图 5 中其他元器件之间的连接关系为：第七晶体管 T7 的控制端与第二复位信号端 S5 耦接，第七晶体管 T7 的第一端与发光器件 L1 的阳极耦接，第七晶体管 T7 的第二端与第二初始化信号端 Vinit2 耦接。

20 实施过程中，当第二复位信号端 S5 的信号为低电平时，第七晶体管 T7 导通，第二初始化信号端 Vinit2 的第二初始化信号经导通的第七晶体管 T7 提供给发光器件 L1 的阳极，以对发光器件 L1 的阳极进行复位。

此外，上述像素驱动电路还包括第三初始化子电路 700，第三初始化子电路 700 与补偿电容 C1 的第一端耦接，被配置为响应于第三复位信号端 S6 的信号，将第三初始化信号端 Vinit3 的信号提供给补偿电容 C1 的第一端。

25 参阅图 5 所示，上述第三初始化子电路 700 包括：第八晶体管 T8。

第八晶体管 T8 与图 5 中其他元器件之间的连接关系为：第八晶体管 T8

的控制端与第三复位信号端 S6 耦接, 第八晶体管 T8 的第一端与补偿电容 C1 的第一端耦接, 第八晶体管 T8 的第二端与第三初始化信号端 Vinit3 耦接。

实施过程中, 当第三复位信号端 S6 的信号为低电平时, 第八晶体管 T8 导通, 第三初始化信号端 Vinit3 的第三初始化信号经导通的第八晶体管 T8 提
5 供给补偿电容 C1 的第一端, 以对补偿电容 C1 的第一端进行复位。

需要补充说明的是, 上述发光器件的阴极与阴极电源端 ELVSS 耦接, 上述阴极电源端 ELVSS 的电压小于上述电源信号端 ELVDD 的电压, 通过阴极电源端 ELVSS 和电源信号端 ELVDD 的设置, 能够保障发光器件 L1 以及外围电路的正常工作。

10 下面结合时序图 6 和图 3 对本申请实施例中的像素驱动电路的工作过程进行详细描述。

时序 T1 复位阶段: S3=1, S1=0, S4=1, S5=0, S2=0

当 S1 为低电平信号时, 第一晶体管 T1 导通, 电源信号端 ELVDD 的信号提供给第五节点 N5, 上述第五节点 N5 与补偿电容 C1 的第二端耦接, 同时,
15 当 S1 为低电平信号时, 第五晶体管 T5 导通。当 S5 为低电平信号时, 第六晶体管 T6 导通, 第一初始化信号端 Vinit1 的信号提供给第二节点 N2, 上述第二节点 N2 与第六晶体管的第一端耦接, 同时, 当 S5 为低电平信号时, 第七晶体管 T7 导通, 第二初始化信号端 Vinit2 的信号提供给 N4 节点, 并且, 该第二初始化信号端 Vinit2 的信号经第四节点 N4 和导通的第五晶体管 T5 提供
20 给第三节点 N3, 上述第四节点 N4 与发光器件的阳极耦接, 上述第三节点 N3 与驱动晶体管的第二端耦接, 由于, 当 S2 为低电平信号时, 第二晶体管 T2 导通, 第二初始化信号端 Vinit2 的信号经第三节点 N3 和导通的第二晶体管 T2 提供给第一节点 N1, 上述第一节点 N1 与驱动晶体管的栅极耦接。当 S2 为低电平信号时, 第二晶体管 T2 导通, 第一初始化信号端 Vinit1 的信号提供
25 给第二节点 N2。

时序 T2 补偿阶段: S3=0, S1=1, S4=0, S5=1, S2=0

当 S2 为低电平信号时, 第二晶体管 T2 导通, 驱动晶体管 DTFT 在第一

节点 N1 的第二初始化信号端 Vinit2 的信号的作用下导通。当 S4 为低电平信号时，第四晶体管 T4 导通，电源信号端 ELVDD 的信号经导通的第四晶体管 T4 提供给驱动晶体管 DTFT，使驱动晶体管 DTFT 的栅极的电压变化为 $V_{th} + VELVDD$ ，其中， V_{th} 为驱动晶体管 DTFT 的阈值电压，VELVDD 为电源信号端 ELVDD 的电压，也就是补偿电容 C1 的第一端。由于，数据写入子电路 300 的第一有效电平处于阈值补偿子电路 200 的第二有效电平的时间段内，即 S3 的低电平的起始时间晚于 S2 和 S4 的低电平的起始时间，即上述补偿快要结束时，S3 为低电平信号，第三晶体管 T3 导通，数据信号端 Data 的数据电压经导通的第三晶体管 T3 提供给 N5 节点，也就是补偿电容 C1 的第二端。

时序 T3 写入阶段：S3=1，S1=0，S4=0，S5=1，S2=1

当 S1 为低电平信号时，第一晶体管 T1 导通，电源信号端 ELVDD 的信号经导通的第一晶体管 T1 和 N5 节点写入补偿电容 C1 的第二端，补偿电容 C1 的第二端的电压从数据信号端 Data 的数据电压跳变到 VELVDD，电压的变化量为 $ELVDD - Data$ ，通过上述补偿电容 C1 的自举作用，将电压的变化量耦合到补偿电容 C1 的第一端，补偿电容 C1 的第一端的电压的变化量为 $V_{th} + VELVDD + VELVDD - Data$ ，即 $V_{th} - Data$ ，从而将数据信号端 Data 的数据电压写入第一节点 N1，也就是驱动晶体管 DTFT 的栅极。

时序 T4 发光阶段：S3=1，S1=0，S4=0，S5=1，S2=1

当 S1 为低电平信号时，第五晶体管 T5 导通，当 S4 为低电平信号时，第四晶体管 T4 导通，驱动晶体管 DTFT 产生驱动电流，示例性的，驱动电流 $I_d = K * (VELVDD - Data)^2$ ，K 为常数，驱动电流输入发光器件 L1，进而驱动发光器件 L1 发光。

参阅图 7 所示，基于同一发明构思，本公开实施例中提供了一种显示面板，包括衬底基板，上述衬底基板包括多个子像素，子像素包括上述任一项的像素驱动电路；像素驱动电路包括：驱动晶体管、第一晶体管、第三晶体管以及补偿电容，第一晶体管的第一端与补偿电容的第二端耦接，第三晶体

管的第二端与补偿电容的第二端耦接，驱动晶体管的栅极与补偿电容的第一端耦接，第三晶体管的有源层在衬底基板的正投影位于驱动晶体管的有源层在衬底基板的正投影和第一晶体管的有源层在衬底基板的正投影之间。即本申请新加入的第一晶体管的有源层和与补偿电容的第二端相耦接的第三晶体管的有源层在同一层中。

图 7 为本公开一些实施例提供的像素驱动电路的布局 (Layout) 结构示意图。图 8 至图 15 为本公开一些实施例提供的像素驱动电路的各层的示意图。其中，图 7 至图 15 所示的示例以一个子像素的像素驱动电路为例。其中，图 7 至图 15 还示出了电连接到像素驱动电路的第一信号线 S1、第五信号线 S5 和电源信号线。其中，电源信号线被配置为向电源信号端 ELVDD 输入电压 VELVDD。示例性地，可以使多条信号线沿第一方向 F1 排列。

示例性地，如图 7 至图 8 所示，示出了该像素驱动电路的第一半导体层。第一半导体层可采用非晶硅、低温多晶硅 (Low Temperature Poly-Silicon, LTPS) 材料图案化形成。第一半导体层可用于制作上述的第一晶体管 T1 的有源层、第二晶体管 T2 的有源层、第三晶体管 T3 的有源层、第五晶体管 T5 的有源层、第六晶体管 T6 的有源层、第七晶体管 T7 的有源层和驱动晶体管 DTFT 的有源层。并且，各有源层可包括第一区、第二区以及位于第一区和第二区之间的第一沟道区。需要说明的是，上述的第一区和第二区可为第一半导体层中掺杂有 n 型杂质或 p 型杂质的区域，以形成的导体化区，从而可以使第一区和第二区作为有源层的源极区和漏极区，以进行电连接。

示例性地，如图 7 与图 8 所示，可以使第五晶体管 T5 的有源层沿第二方向 F2 大致延伸呈一条直线。例如，第五晶体管 T5 的有源层的延伸方向与第二方向 F2 大致平行。需要说明的是，在实际工艺中，由于工艺条件的限制或其他因素，第五晶体管 T5 的有源层的延伸方向与第二方向并不能完全平行，可能会有一些偏差，因此上述第五晶体管 T5 的有源层的延伸方向与第二方向只要大致满足平行条件即可，均属于本发明的保护范围。例如，上述相同可以是在误差允许范围之内所允许的平行。

示例性地，在上述的第一半导体层上形成有绝缘层，用于保护上述的第一半导体层。如图 9 和图 10 所示，示出了该像素驱动电路的第一导电层。第一导电层设置在衬底基板背离第一半导体层的一侧，从而与第一半导体层绝缘。第一导电层可以包括：第一晶体管 T1 的栅极、第二晶体管 T2 的栅极、第三晶体管 T3 的栅极、第五晶体管 T5 的栅极、第六晶体管 T6 的栅极、第七晶体管 T7 的栅极、驱动晶体管 DTFT 的栅极、第一信号线 S1、第二信号线 S2、第三信号线 S3 和第五信号线 S5。示例性的，第一晶体管 T1 的栅极可以为第一信号线 S1 与第一半导体层交叠的部分。驱动晶体管 DTFT 的栅极可以为补偿电容 C1 的第一端与第一半导体层交叠的部分。

如图 10 所示，示出了该像素驱动电路的第二导电层，第二导电层设置在衬底基板背离第一导电层的一侧，并且，第一导电层与第二导电层之间设置有绝缘层。上述第二导电层可以包括：补偿电容 C1 的第二端、第三晶体管的栅极和第五信号线 S5。示例性的，第三晶体管 T3 的栅极可以为第五信号线 S5 与第一半导体层交叠的部分。

如图 11 所示，示出了该像素驱动电路的第二半导体层，第二半导体层设置于衬底基板背离第二导电层的一侧，第二半导体层可采用金属氧化物半导体材料。第二半导体层可用于制作上述的第三晶体管 T3 的有源层。

并且，第一信号线 S1 在衬底基板的正投影与第一晶体管 T1 的有源层在衬底基板上的正投影具有交叠区域，即第一晶体管 T1 的栅极可以为第一信号线 S1 与第一半导体层交叠的部分，第二复位晶体管 T7 的栅极 T7-G 可以为第四扫描线 GA4 与第一半导体层交叠的部分。

参阅图 11 所示，上述第一晶体管 T1 的有源层包括第一有源部 11 和第二有源部 12，第一有源部 11 沿第一方向 F1 延伸，第二有源部 12 沿第二方向 F2 延伸，第一信号线 S1 在衬底基板上的正投影与第一有源部 11 在衬底基板上的正投影存在交叠区域。即上述第一晶体管的第一有源部 11 和第二有源部 12 存在交点，并且，上述第一有源部 11 和第二有源部 12 分别沿两个不同的方向排列。并且，第一晶体管 T1 的有源层的第一有源部 11 可以为第一信号

线 S1 与第一半导体层交叠的部分。

示例性地，如图 12 所示，衬底基板还包括第三导电层，在第三导电层中，电源信号线 ELVDD、第四信号线 S4 以及第五信号线（图 12 中的 Vinit2 和 Vinit1）沿第一方向 F1 延伸。并且，如图 13 所示，电源信号线 ELVDD 还会沿第二方向 F2 排列。其中，同一子像素中，电源信号线 ELVDD 为网状连接结构。上述设置方式可以根据实际应用的需求进行设计确定，在此不作限定。

示例性地，第三导电层包括第一连接部 13，第二导电层包括第二连接部 14，第三导电层与第二导电层之间具有第一绝缘层，第二导电层与第一导电层之间具有第二绝缘层，即为了保证各个导电层的正常工作，上述第一导电层、第二导电层和第三导电层之间分别设置有绝缘层。这样，电源信号线通过贯穿第一绝缘层的第一过孔与第二连接部 14 连接，第二连接部通过贯穿第二绝缘层的第二过孔与第一晶体管 T2 的有源层连接，即实现了电源信号线在不同导电层之间的传导。

示例性地，如图 14 所示，电源信号线 ELVDD 和第一信号线 S1 沿第二方向 F2 延伸。第三信号线 S3 的第一部分沿第二方向 F2 延伸，第三信号线 S3 的第二部分沿与第二方向 F2 向左下呈 45 度角的方向延伸。第四信号线 S4 的一部分沿第二方向 F2 延伸，第四信号线 S4 的另一部分沿与第二方向 F2 向左上呈 45 度角的方向延伸。示例性地，如图 15 所示，与发光器件的阳极相连接的信号线沿第二方向 F2 的方向延伸，数据信号端 Data 的信号线大致沿第二方向 F2 的方向延伸。

基于同一发明构思，本公开实施例中提供了一种像素驱动电路的驱动方法，参阅图 16 所示，包括：

步骤 201：阈值补偿子电路响应于补偿信号端的信号，将驱动晶体管的阈值电压提供给补偿电容的第一端。

实施过程中，在补偿信号端的信号为低电平时，第二晶体管导通，上述驱动晶体管的阈值电压被写入补偿电容的第一端。

步骤 202：数据写入子电路响应于扫描信号端的信号，将数据信号端的数

据电压提供给补偿电容的第二端。

实施过程中，当扫描信号端的信号为低电平时，第三晶体管导通，数据信号端的数据电压被写入补偿电容的第二端。

步骤 203：补偿电容稳定第一端和第二端的电压。

5 实施过程中，上述补偿电容主要用来稳定其第一端和第二端的电压，由于，补偿电容的稳压作用，进而将上述驱动晶体管的阈值电压和数据信号端的数据电压写入驱动晶体管的栅极。

步骤 204：导通控制子电路响应于导通控制端的信号，将电源信号端与补偿电容的第二端导通。

10 实施过程中，当导通控制端的信号为低电平时，与发光器件相连接的回路导通，即电源信号端与补偿电容的第二端导通，驱动晶体管根据上述阈值电压和数据电压生成驱动电流。

步骤 205：发光控制子电路响应于发光控制信号端的信号，将驱动晶体管产生的驱动电流提供给发光器件。

15 实施过程中，当发光控制信号端的信号为低电平时，发光控制子电路导通，即驱动晶体管 DTFT 产生的驱动电流提供给发光器件 L1 的阳极，以使发光器件 L1 发光。

需要补充说明的是，本申请实施例像素驱动电路中的第三晶体管为 N 型晶体管，其他晶体管为 P 型晶体管，在另一些实施例中，上述第三晶体管为 P
20 型晶体管，相应的其他晶体管为 N 型晶体管。

综上所述，本公开实施例中，提供一种像素驱动电路、显示面板及驱动方法，该像素驱动电路包括：驱动晶体管、发光器件、补偿电容、阈值补偿子电路、数据写入子电路、导通控制子电路和发光控制子电路，阈值补偿子电路响应于补偿信号端的信号，将驱动晶体管的阈值电压提供给补偿电容
25 的第一端，数据写入子电路响应于扫描信号端的信号，将数据信号端的数据电压提供给补偿电容的第二端，导通控制子电路响应于导通控制端的信号，将电源信号端与补偿电容的第二端导通，发光控制子电路响应于发光控制信

号端的信号，将驱动晶体管产生的驱动电流提供给发光器件，补偿电容的设置实现了阈值补偿和数据写入的分时进行，满足发光器件显示的同时实现了高频率刷新。

本领域内的技术人员应明白，本公开的实施例可提供为方法、系统、或
5 计算机程序产品系统。因此，本公开可采用完全硬件实施例、完全软件实施
例、或结合软件和硬件方面的实施例的形式。而且，本公开可采用在一个或
多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于
磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品系统的形
式。

10 本公开是参照根据本公开的方法、设备（系统）、和计算机程序产品系统
的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和
/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和
/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、
嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通
15 过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流
程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的
装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设
备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器
20 中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或
多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，
使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的
处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图
25 一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本
公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要

求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种像素驱动电路，其中，包括：驱动晶体管、发光器件、补偿电容、阈值补偿子电路、数据写入子电路、导通控制子电路和发光控制子电路；

5 所述阈值补偿子电路与所述驱动晶体管的栅极以及补偿电容的第一端相互耦接，被配置为响应于补偿信号端的信号，将所述驱动晶体管的阈值电压提供给所述补偿电容的第一端；

所述数据写入子电路与所述补偿电容的第二端耦接，被配置为响应于扫描信号端的信号，将数据信号端的数据电压提供给所述补偿电容的第二端；

所述补偿电容，被配置为稳定所述第一端和所述第二端的电压；

10 所述导通控制子电路与所述补偿电容的第二端以及电源信号端耦接，被配置为响应于导通控制端的信号，将电源信号端与所述补偿电容的第二端导通；

15 所述发光控制子电路与所述驱动晶体管以及发光器件耦接，被配置为响应于发光控制信号端的信号，将所述驱动晶体管产生的驱动电流提供给所述发光器件。

2、如权利要求 1 所述的像素驱动电路，其中，所述导通控制子电路包括：第一晶体管；

20 所述第一晶体管的控制端与所述导通控制端耦接，所述第一晶体管的第一端与所述补偿电容的第二端耦接，所述第一晶体管的第二端与电源信号端耦接。

3、如权利要求 1 所述的像素驱动电路，其中，所述数据写入子电路响应于扫描信号端的信号的第一有效电平，将数据信号端的数据电压提供给所述补偿电容的第二端；

25 所述阈值补偿子电路响应于补偿信号端的信号的第二有效电平，将所述驱动晶体管的阈值电压提供给所述补偿电容的第一端；

其中，所述第一有效电平处于第二有效电平的时间段内。

4、如权利要求 3 所述的像素驱动电路，其中，所述第一有效电平的高电平时长小于所述第二有效电平的低电平时长。

5、如权利要求 1~4 任一项所述的像素驱动电路，其中，所述阈值补偿子电路包括：第二晶体管；

5 所述第二晶体管的控制端与补偿信号端耦接，所述第二晶体管的第一端与所述补偿电容的第一端耦接，所述第二晶体管的第二端与驱动晶体管的第二端耦接。

6、如权利要求 1~5 任一项所述的像素驱动电路，其中，所述数据写入子电路包括：第三晶体管；

10 所述第三晶体管的控制端与所述扫描信号端耦接，所述第三晶体管的第一端与所述数据信号端耦接，所述第三晶体管的第二端与所述补偿电容的第二端耦接。

7、如权利要求 1~6 任一项所述的像素驱动电路，其中，所述发光控制子电路包括：第四晶体管和第五晶体管；

15 所述第四晶体管的控制端与发光控制信号端耦接，所述第四晶体管的第一端与电源信号端耦接，所述第四晶体管的第二端与驱动晶体管的第一端耦接；

20 所述第五晶体管的控制端与导通控制端耦接，所述第五晶体管的第一端与驱动晶体管的第二端耦接，所述第五晶体管的第二端与所述发光器件的阳极耦接。

8、如权利要求 1~7 任一项所述的像素驱动电路，其中，还包括第一初始化子电路，所述第一初始化子电路与所述驱动晶体管的第一端耦接，被配置为响应于第一复位信号端的信号，将第一初始化信号端的信号提供给所述驱动晶体管的第一端。

25 9、如权利要求 8 所述的像素驱动电路，其中，所述第一初始化子电路包括：第六晶体管；

所述第六晶体管的控制端与第一复位信号端耦接，所述第六晶体管的第

一端与驱动晶体管的第一端耦接，所述第六晶体管的第二端与所述第一初始化信号端耦接。

10、如权利要求 1~9 任一项所述的像素驱动电路，其中，还包括第二初始化子电路，所述第二初始化子电路与所述发光器件的阳极耦接，被配置为响应于第二复位信号端的信号，将第二初始化信号端的信号提供给所述发光器件的阳极。

11、如权利要求 10 所述的像素驱动电路，其中，所述第二初始化子电路包括：第七晶体管；

所述第七晶体管的控制端与第二复位信号端耦接，所述第七晶体管的第一端与所述发光器件的阳极耦接，所述第七晶体管的第二端与所述第二初始化信号端耦接。

12、如权利要求 1~11 任一项所述的像素驱动电路，其中，还包括第三初始化子电路，所述第三初始化子电路与所述补偿电容的第一端耦接，被配置为响应于第三复位信号端的信号，将第三初始化信号端的信号提供给所述补偿电容的第一端。

13、如权利要求 12 所述的像素驱动电路，其中，所述第三初始化子电路包括：第八晶体管；

所述第八晶体管的控制端与第三复位信号端耦接，所述第八晶体管的第一端与所述补偿电容的第一端耦接，所述第八晶体管的第二端与所述第三初始化信号端耦接。

14、一种显示面板，其中，包括：

衬底基板，包括多个子像素，所述子像素包括如权利要求 1-13 任一项所述的像素驱动电路；

所述像素驱动电路包括：驱动晶体管、第一晶体管、第三晶体管以及补偿电容，所述第一晶体管的第一端与所述补偿电容的第二端耦接，所述第三晶体管的第二端与所述补偿电容的第二端耦接，所述驱动晶体管的栅极与所述补偿电容的第一端耦接；

所述第三晶体管的有源层在所述衬底基板上的正投影位于所述驱动晶体管的有源层在所述衬底基板上的正投影和所述第一晶体管的有源层在所述衬底基板上的正投影之间。

15、如权利要求 14 所述的显示面板，其中，所述显示面板包括：第一半导体层、第一导电层、第二导电层、第二半导体层；

所述第一半导体层，位于所述衬底基板上，且所述第一半导体层包括第一晶体管的有源层和驱动晶体管的有源层；

所述第一导电层，位于衬底基板背离所述第一半导体层的一侧，且所述第一导电层包括第一晶体管的栅极、驱动晶体管的栅极、第一信号线；

10 所述第二导电层，位于所述衬底基板背离所述第一导电层的一侧，且所述第二导电层包括补偿电容的第二端、第三晶体管的栅极和第五信号线；

所述第二半导体层，位于所述衬底基板背离所述第二导电层的一侧，且所述第二半导体层包括第三晶体管的有源层。

16、如权利要求 14 所述的显示面板，其中，所述第一信号线在所述衬底基板上的正投影与第一晶体管的有源层在所述衬底基板上的正投影具有交叠区域，所述交叠区域中的第一信号线为第一晶体管的栅极。

17、如权利要求 16 所述的显示面板，其中，所述第一晶体管的有源层包括第一有源部和第二有源部，所述第一有源部沿第一方向延伸，所述第二有源部沿第二方向延伸，所述第一信号线在所述衬底基板上的正投影与所述第一有源部在所述衬底基板上的正投影存在所述交叠区域。

18、如权利要求 14 所述的显示面板，其中，还包括第三导电层，所述第三导电层位于所述衬底基板背离所述第二半导体层的一侧，所述第三导电层包括与电源信号端连接的电源信号线，所述电源信号线覆盖所述交叠区域。

19、如权利要求 14 所述的显示面板，其中，所述第三导电层包括第一连接部，所述第二导电层包括第二连接部，所述第三导电层与所述第二导电层之间具有第一绝缘层，所述第二导电层与所述第一导电层之间具有第二绝缘层；

所述电源信号线通过贯穿第一绝缘层的第一过孔与所述第二连接部连接;

所述第二连接部通过贯穿第二绝缘层的第二过孔与所述第一晶体管的有源层连接。

20、一种如权利要求 1-13 任一项所述的像素驱动电路的驱动方法,其中,

5 包括:

阈值补偿子电路响应于补偿信号端的信号,将所述驱动晶体管的阈值电压提供给所述补偿电容的第一端;

数据写入子电路响应于扫描信号端的信号,将数据信号端的数据电压提供给所述补偿电容的第二端;

10 补偿电容稳定所述第一端和所述第二端的电压;

导通控制子电路响应于导通控制端的信号,将电源信号端与所述补偿电容的第二端导通;

发光控制子电路响应于发光控制信号端的信号,将所述驱动晶体管产生的驱动电流提供给所述发光器件。

15

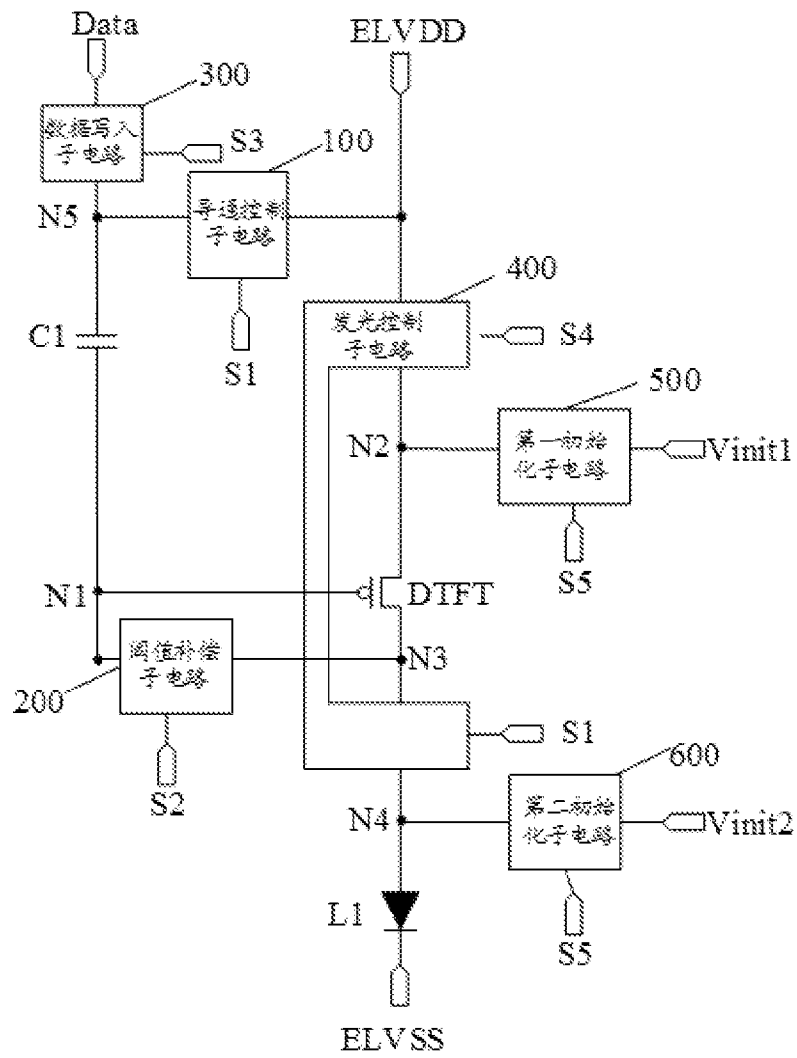


图 2

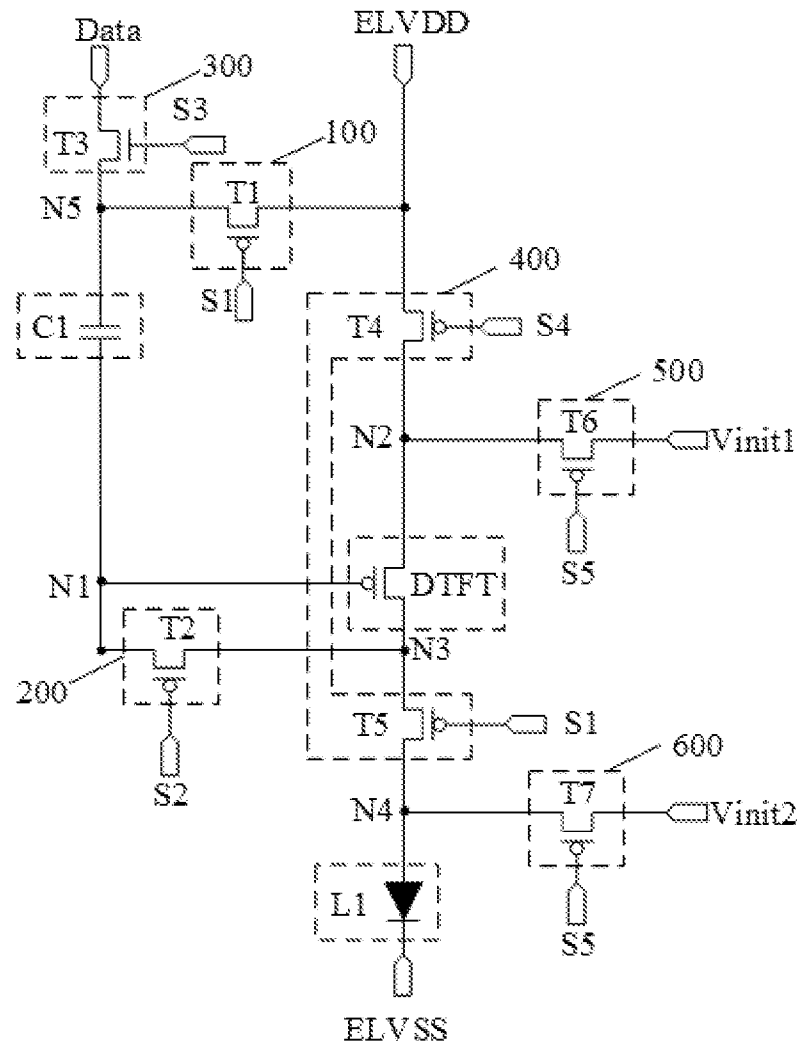


图 3

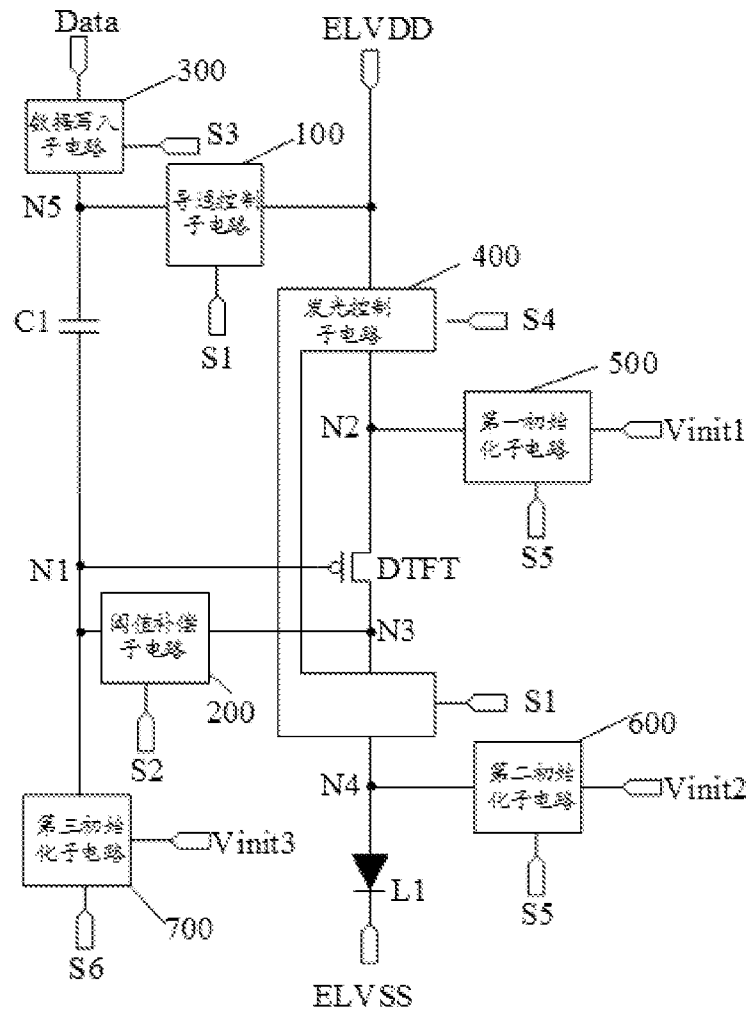


图 4

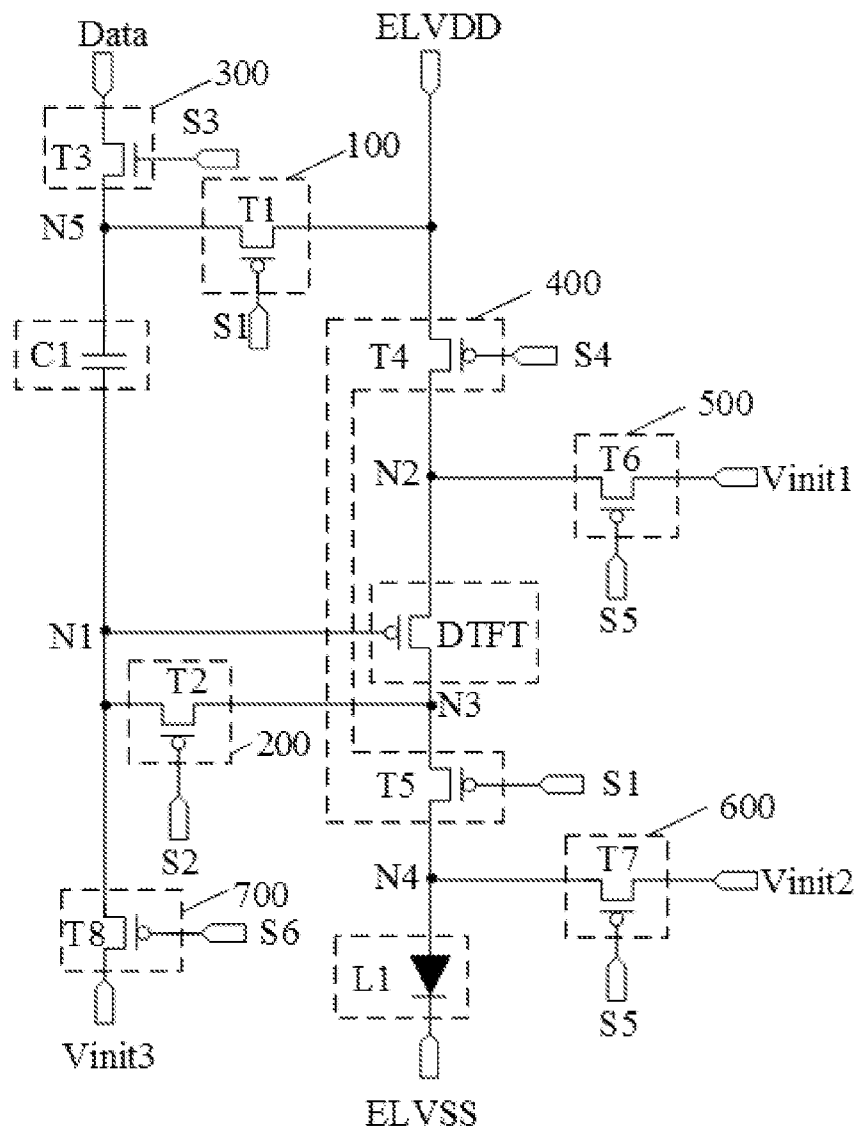


图 5

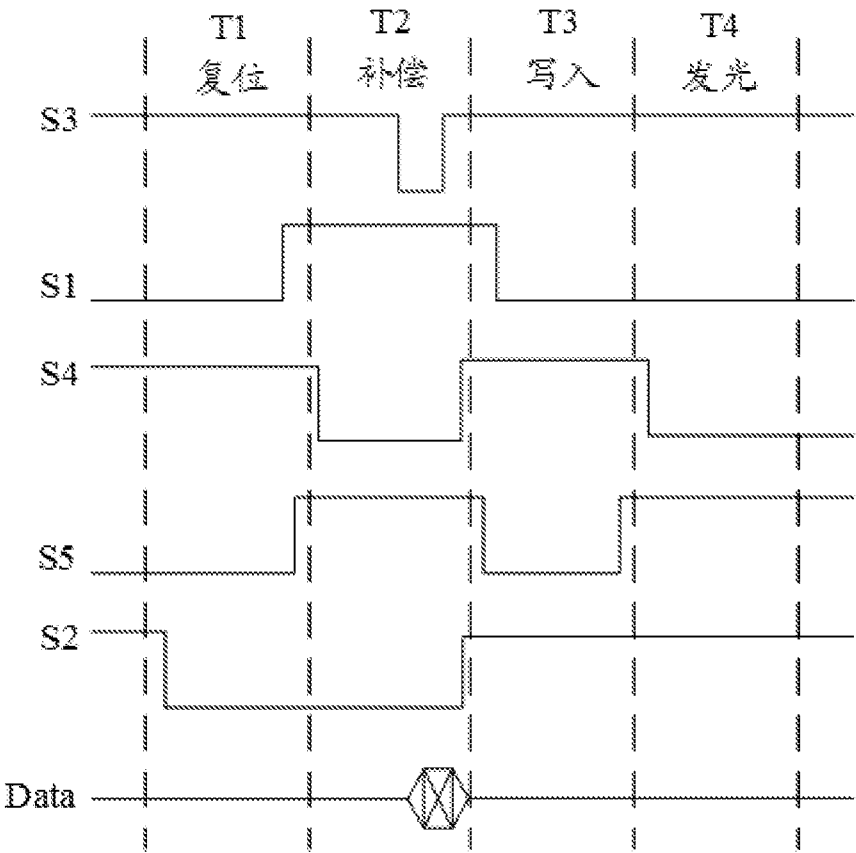


图 6

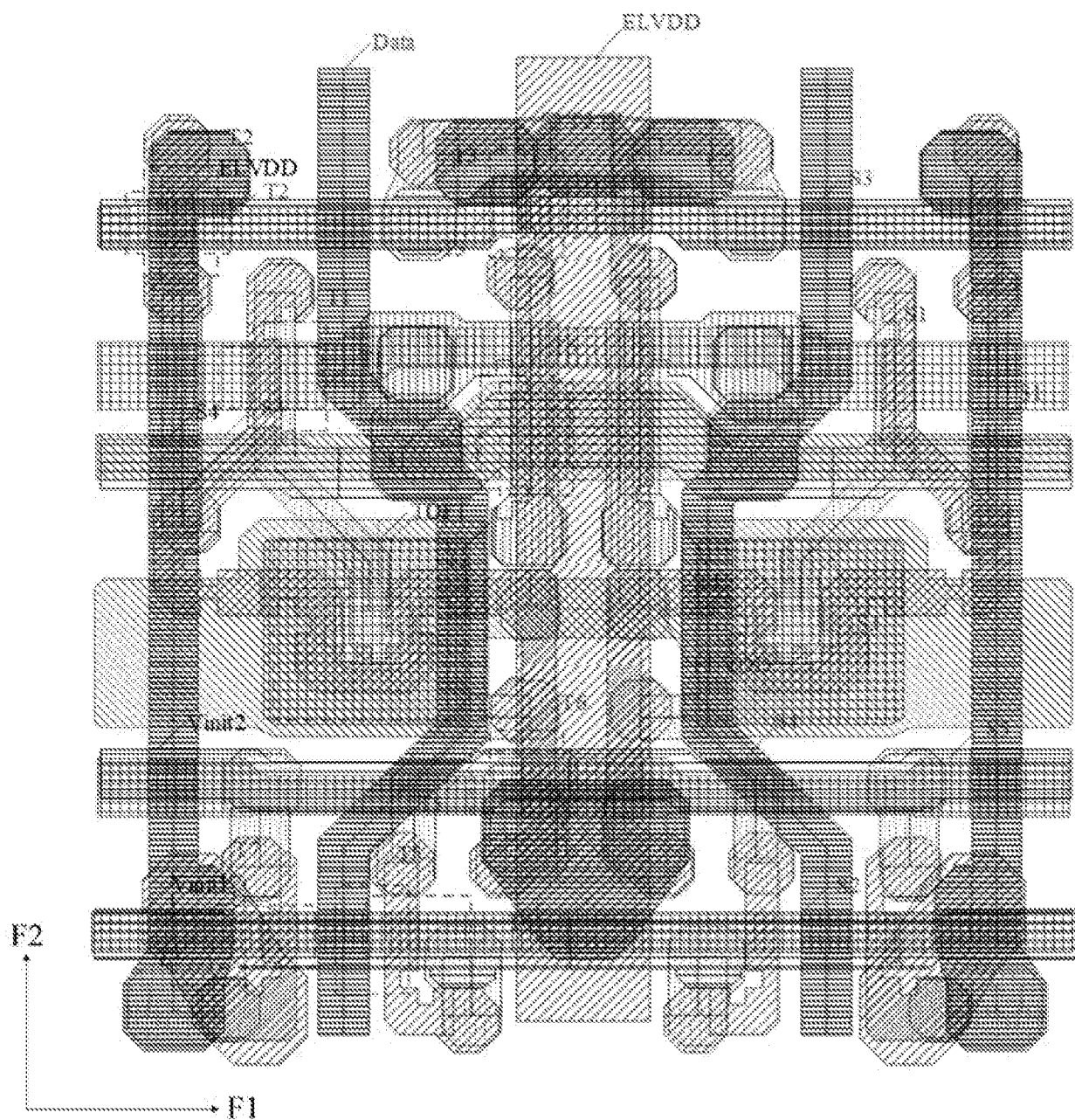


图 7

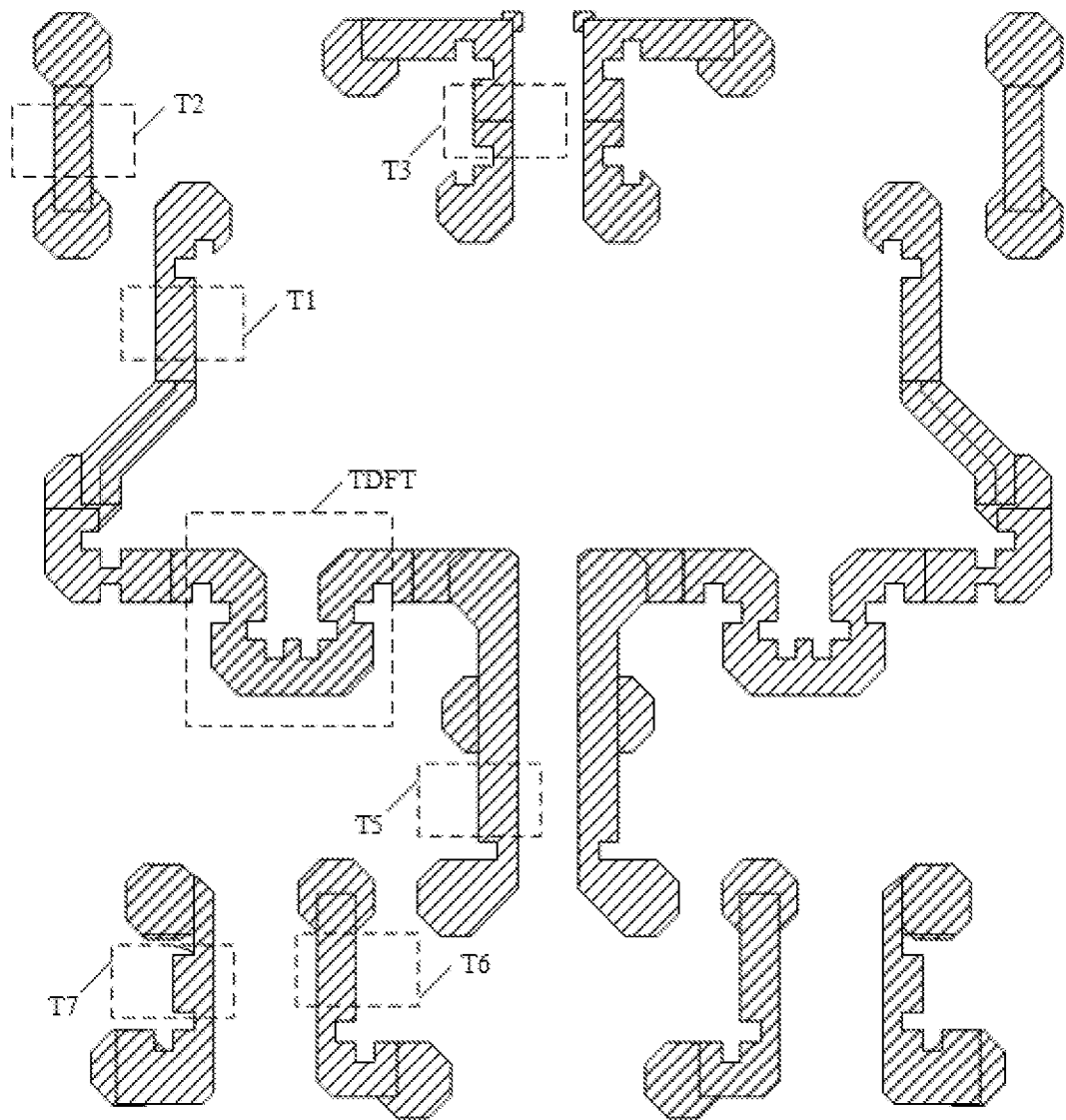


图 8

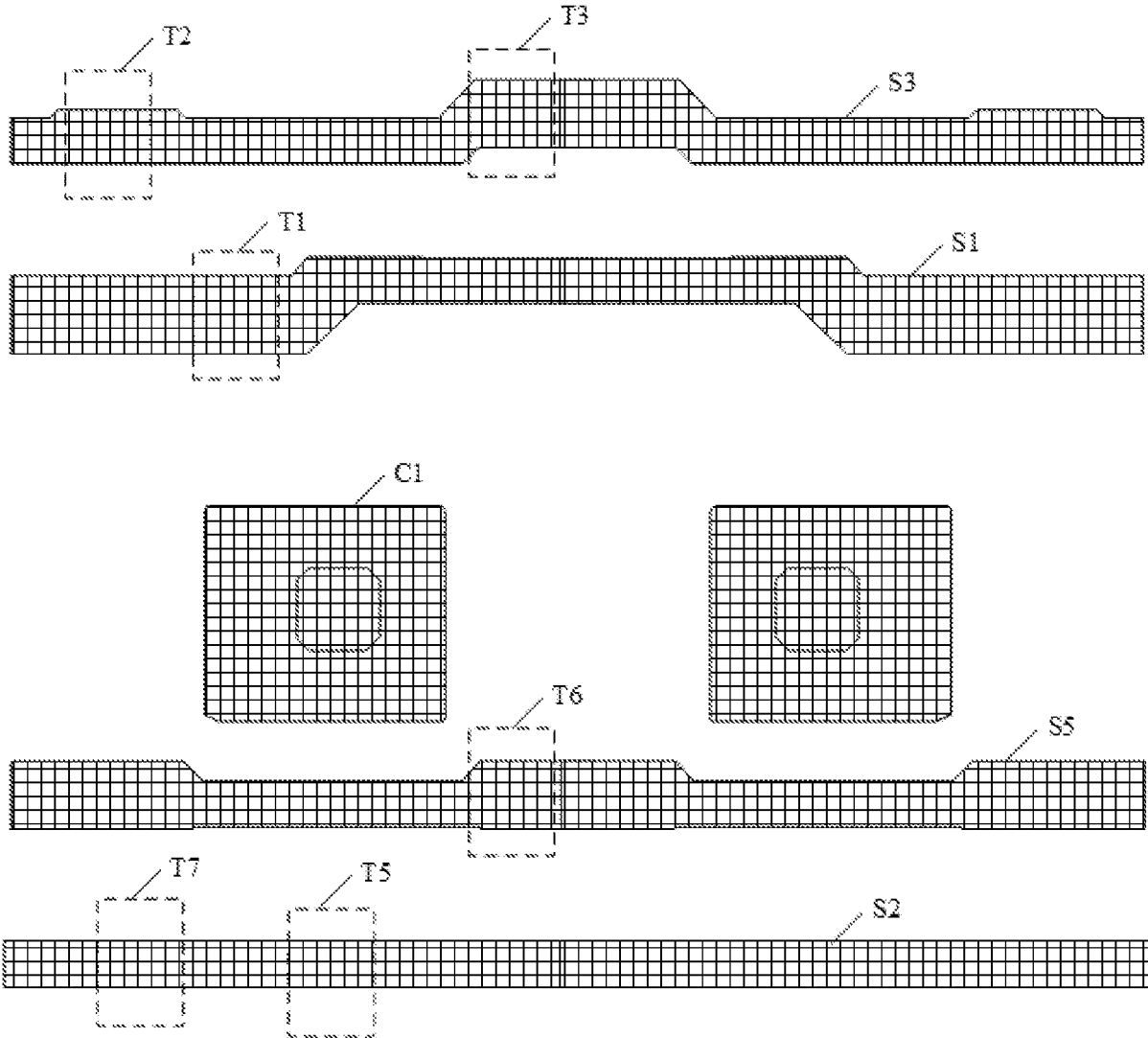


图 9

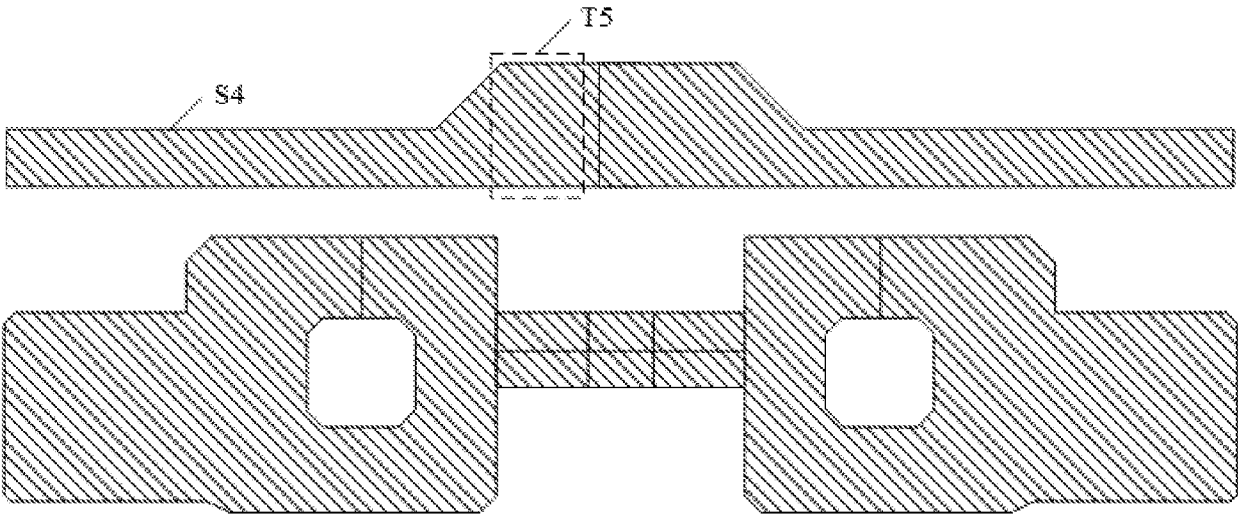


图 10

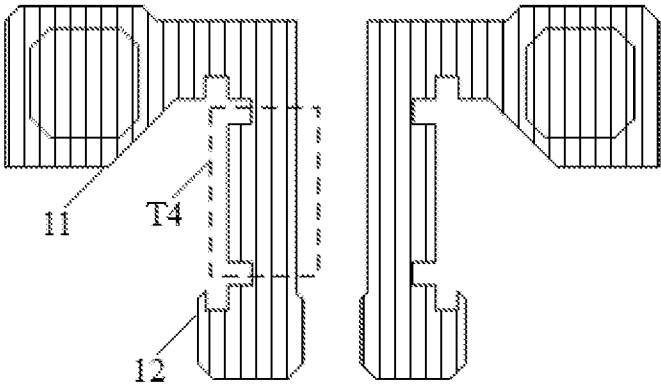


图 11

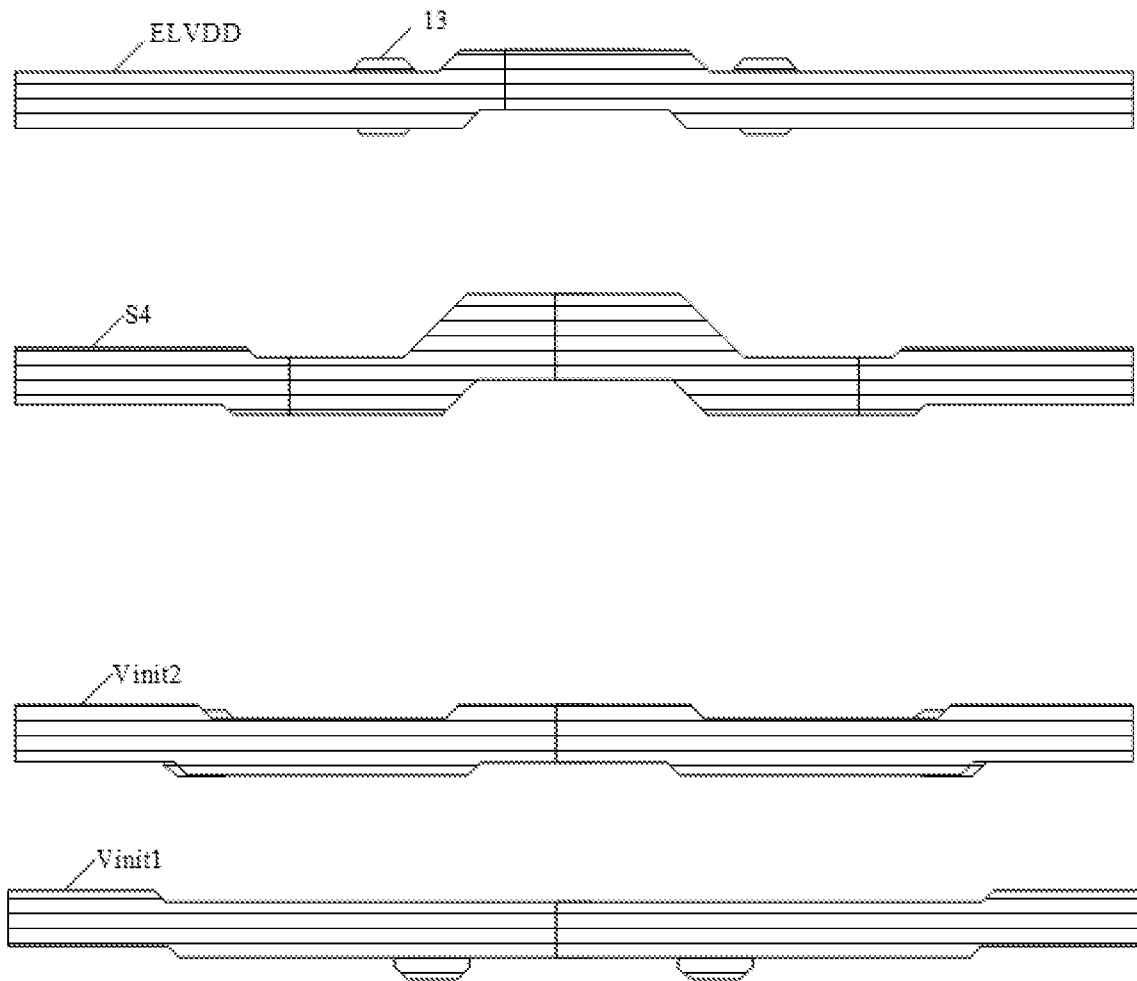


图 12

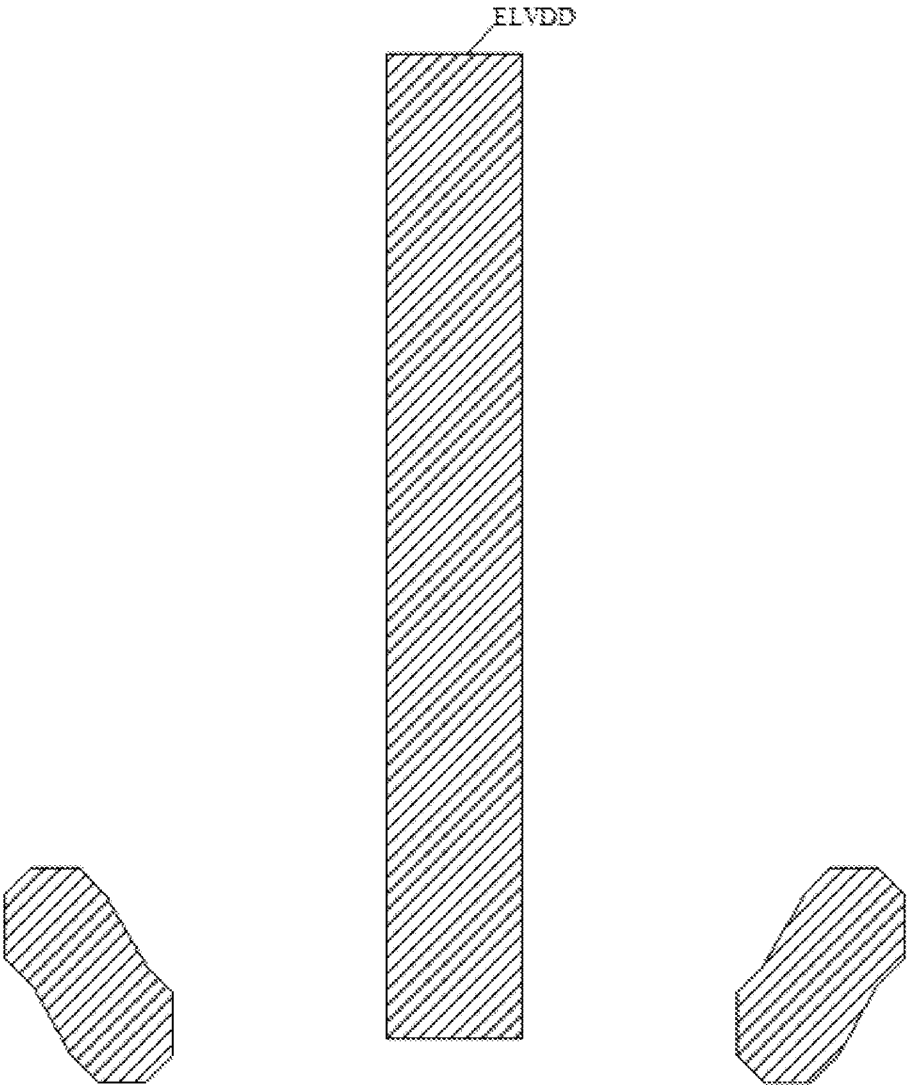


图 13

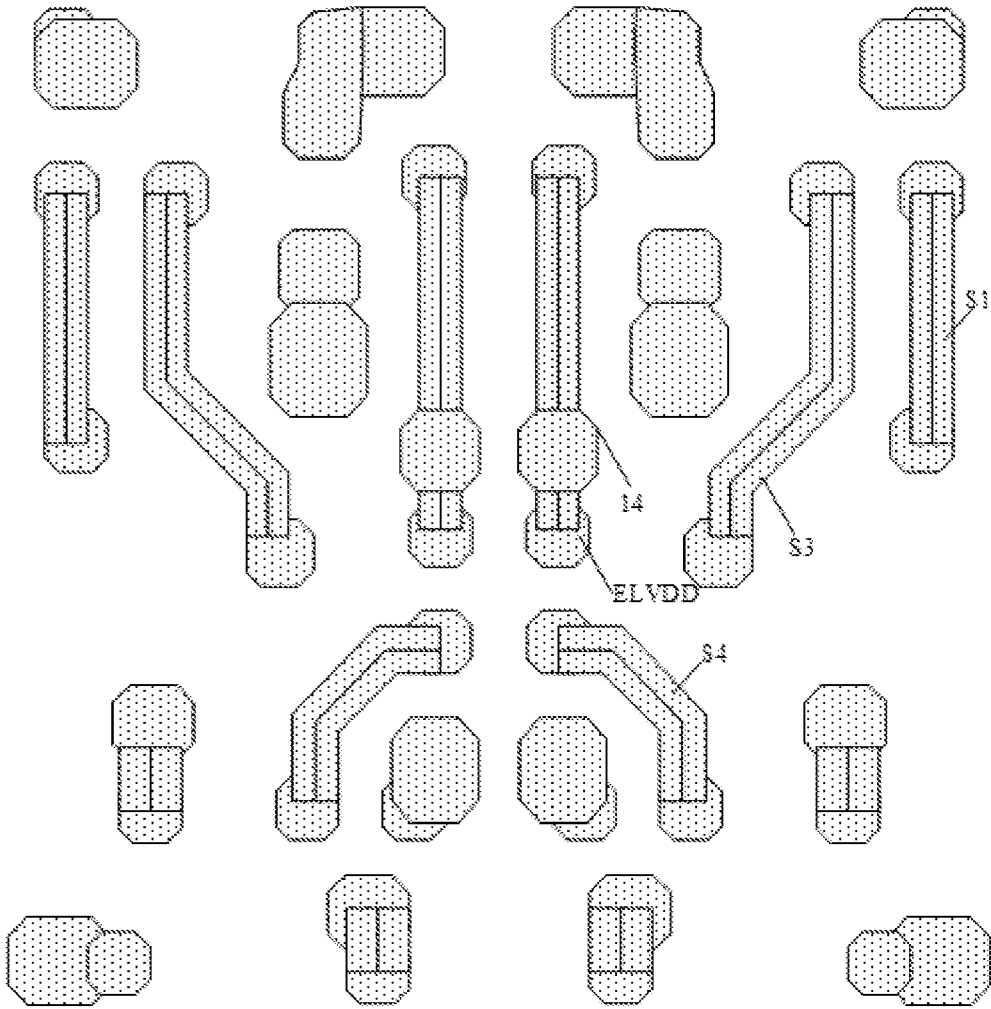


图 14

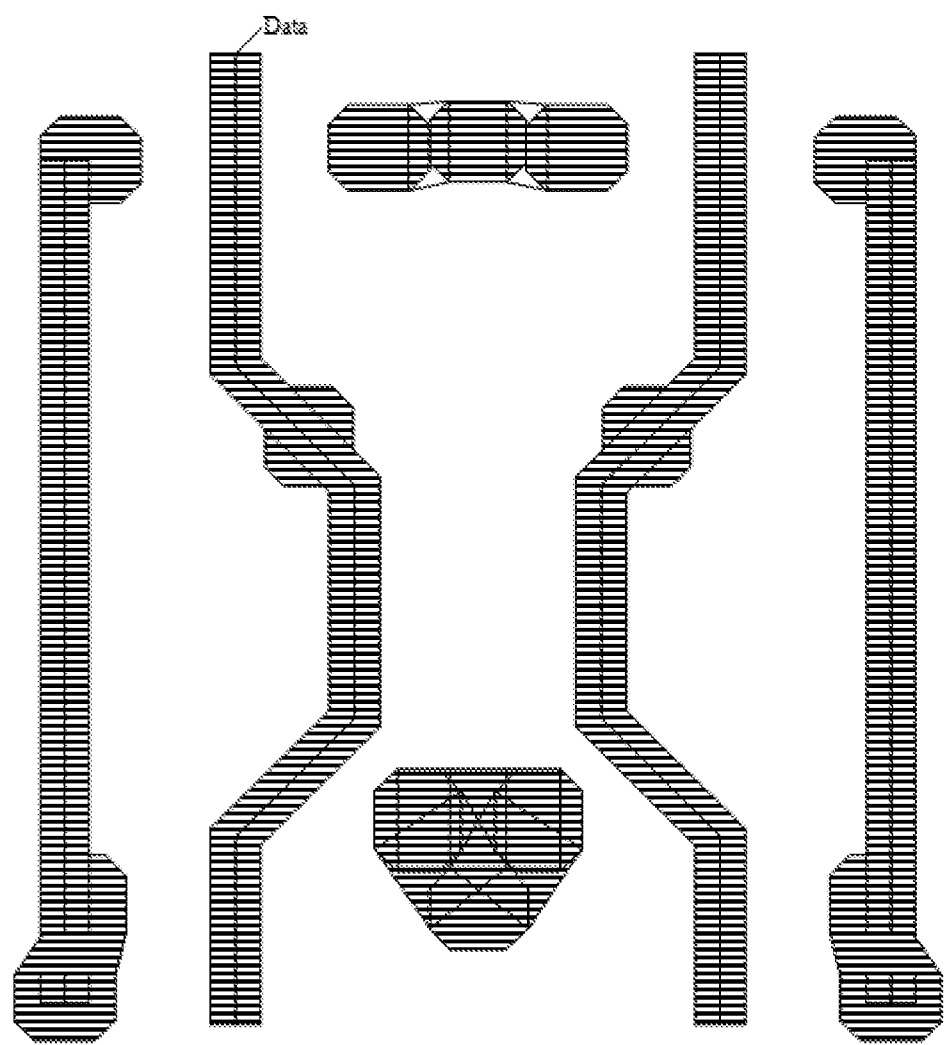


图 15

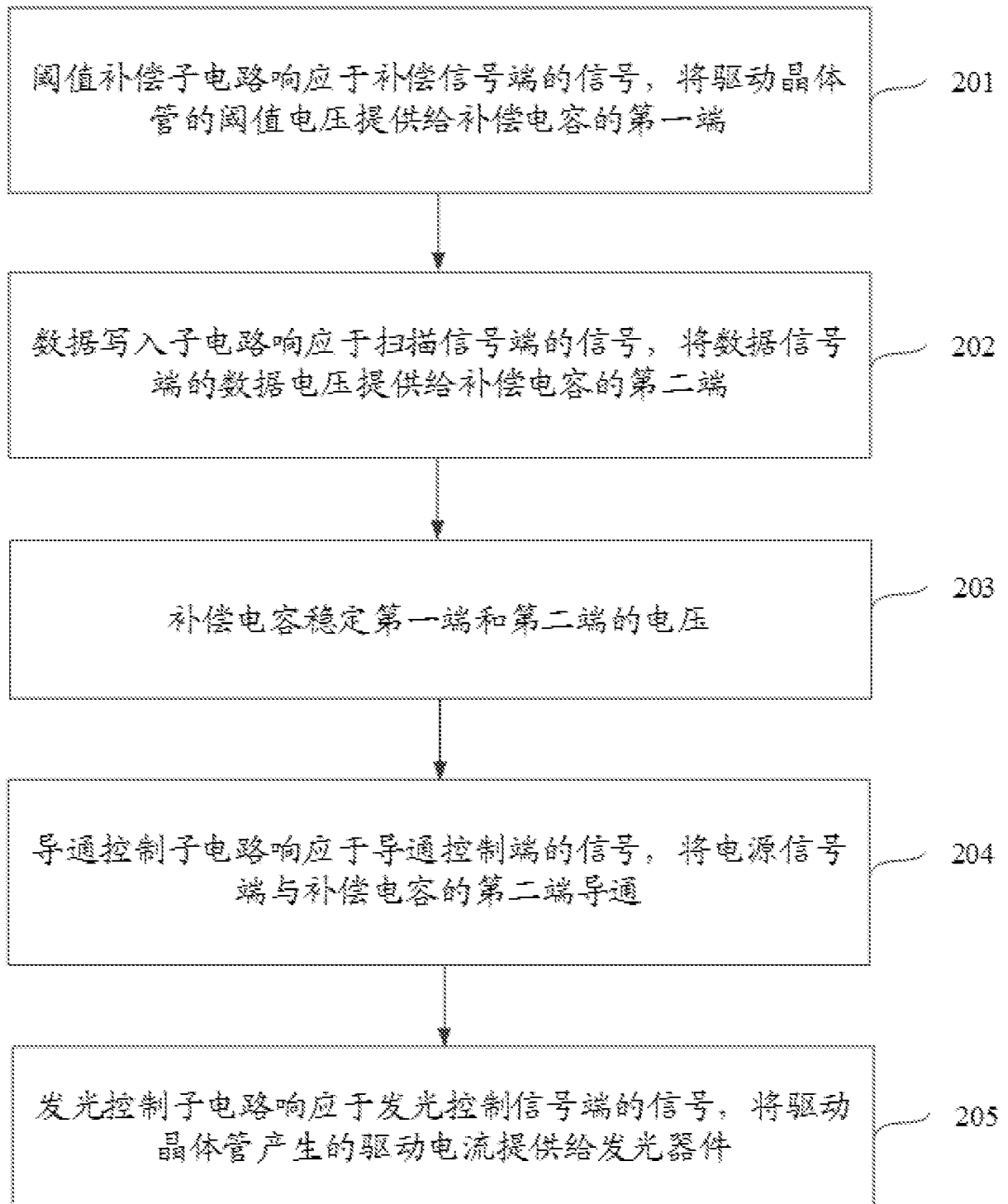


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/121752

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20(2006.01)i; H01L27/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
G09G, G09F, H01L, H10K

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNABS, WPABSC, ENTXTC, VEN, CNKI: 像素, 象素, 驱动电路, 驱动单元, 驱动晶体管, 晶体管, 补偿, 电容, 阈值, 数据, 写入, 发光控制, 初始化, 电平, 半导体层, 导电层, 有源层, pixel?, driving circuit, driving unit, driving transistor, transistor, compensation, capacitance, threshold, data, writing, light emitting control, initialization, level, semiconductor layer, conductive layer, active layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 107274825 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 20 October 2017 (2017-10-20) description, paragraphs 0048-0074, and figures 3-8	1-11, 20
Y	CN 107274825 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 20 October 2017 (2017-10-20) description, paragraphs 0048-0074, and figures 3-8	12-19
Y	CN 114175257 A (BOE TECHNOLOGY GROUP CO., LTD.) 11 March 2022 (2022-03-11) description, paragraphs 0005-0220, and figures 2-3 and 5-14	12-19
X	CN 103839513 A (LG DISPLAY CO., LTD.) 04 June 2014 (2014-06-04) description, paragraphs 0023-0093, and figures 2-4	1-11, 20
X	CN 104658484 A (EVERDISPLAY OPTRONICS (SHANGHAI) CO., LTD.) 27 May 2015 (2015-05-27) description, paragraphs 0094-0117, and figures 2-4	1-2, 5-13, 20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

24 June 2024

Date of mailing of the international search report

25 June 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/121752

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111402808 A (AUO CORPORATION) 10 July 2020 (2020-07-10) description, paragraphs 0054-0092, and figure 4	1-2, 5-13, 20
X	CN 108877672 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 23 November 2018 (2018-11-23) description, paragraphs 0044-0085, and figures 2-5	1-2, 5-13, 20
X	CN 104157240 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 November 2014 (2014-11-19) description, paragraphs 0051-0077, and figure 1	1-2, 5-13, 20
X	US 2008169754 A1 (YANG SUN A et al.) 17 July 2008 (2008-07-17) description, paragraphs 0212-0248, and figures 15-18	1-2, 5-13, 20
Y	CN 114550653 A (BOE TECHNOLOGY GROUP CO., LTD.) 27 May 2022 (2022-05-27) description, paragraphs 0033-0080, and figures 1-8	12-19
Y	CN 115623881 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 January 2023 (2023-01-17) description, paragraphs 0042-0189, figures 2A-5B	14-19
A	CN 105489167 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) 13 April 2016 (2016-04-13) entire document	1-20
A	CN 108806605 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 November 2018 (2018-11-13) entire document	1-20
A	CN 111179854 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 May 2020 (2020-05-19) entire document	1-20
A	CN 113838415 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 December 2021 (2021-12-24) entire document	1-20
A	CN 113871420 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 December 2021 (2021-12-31) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/121752

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107274825	A	20 October 2017	US	2018130411	A1	10 May 2018
				US	10453387	B2	22 October 2019
CN	114175257	A	11 March 2022	WO	2022170661	A1	18 August 2022
				WO	2022170661	A9	22 December 2022
CN	103839513	A	04 June 2014	KR	20140067583	A	05 June 2014
				US	2014145917	A1	29 May 2014
				US	9111488	B2	18 August 2015
				EP	2736036	A2	28 May 2014
				EP	2736036	A3	18 June 2014
CN	104658484	A	27 May 2015	US	2016275854	A1	22 September 2016
CN	111402808	A	10 July 2020	US	2021134211	A1	06 May 2021
				US	11120736	B2	14 September 2021
				TW	202119801	A	16 May 2021
				TWI	731462	B	21 June 2021
CN	108877672	A	23 November 2018	WO	2020019398	A1	30 January 2020
CN	104157240	A	19 November 2014	WO	2016011719	A1	28 January 2016
				US	2016372049	A1	22 December 2016
				US	10140928	B2	27 November 2018
US	2008169754	A1	17 July 2008	US	8773406	B2	08 July 2014
				KR	100833756	B1	29 May 2008
CN	114550653	A	27 May 2022	None			
CN	115623881	A	17 January 2023	None			
CN	105489167	A	13 April 2016	None			
CN	108806605	A	13 November 2018	US	2021335248	A1	28 October 2021
				US	11341912	B2	24 May 2022
				WO	2019237756	A1	19 December 2019
CN	111179854	A	19 May 2020	None			
CN	113838415	A	24 December 2021	None			
CN	113871420	A	31 December 2021	None			

A. 主题的分类 G09G3/20(2006.01)i; H01L27/00(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) 包含在检索领域中的除最低限度文献以外的检索文献 G09G,G09F,H01L,H10K 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTEXT;CNABS;WPABSC;ENTXTC;VEN;CNKI: 像素, 象素, 驱动电路, 驱动单元, 驱动晶体管, 晶体管, 补偿, 电容, 阈值, 数据, 写入, 发光控制, 初始化, 电平, 半导体层, 导电层, 有源层, pixel?, driving circuit, driving unit, driving transistor, transistor, compensation, capacitance, threshold, data, writing, light emitting control, initialization, level, semi-conductor layer, conductive layer, active layer																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8</td> <td>1-11,20</td> </tr> <tr> <td>Y</td> <td>CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8</td> <td>12-19</td> </tr> <tr> <td>Y</td> <td>CN 114175257 A (京东方科技集团股份有限公司) 2022年3月11日 (2022 - 03 - 11) 说明书第0005-0220段, 图2-3,5-14</td> <td>12-19</td> </tr> <tr> <td>X</td> <td>CN 103839513 A (乐金显示有限公司) 2014年6月4日 (2014 - 06 - 04) 说明书第0023-0093段, 图2-4</td> <td>1-11,20</td> </tr> <tr> <td>X</td> <td>CN 104658484 A (上海和辉光电有限公司) 2015年5月27日 (2015 - 05 - 27) 说明书第0094-0117段, 图2-4</td> <td>1-2,5-13,20</td> </tr> <tr> <td>X</td> <td>CN 111402808 A (友达光电股份有限公司) 2020年7月10日 (2020 - 07 - 10) 说明书第0054-0092段, 图4</td> <td>1-2,5-13,20</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8	1-11,20	Y	CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8	12-19	Y	CN 114175257 A (京东方科技集团股份有限公司) 2022年3月11日 (2022 - 03 - 11) 说明书第0005-0220段, 图2-3,5-14	12-19	X	CN 103839513 A (乐金显示有限公司) 2014年6月4日 (2014 - 06 - 04) 说明书第0023-0093段, 图2-4	1-11,20	X	CN 104658484 A (上海和辉光电有限公司) 2015年5月27日 (2015 - 05 - 27) 说明书第0094-0117段, 图2-4	1-2,5-13,20	X	CN 111402808 A (友达光电股份有限公司) 2020年7月10日 (2020 - 07 - 10) 说明书第0054-0092段, 图4	1-2,5-13,20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8	1-11,20																					
Y	CN 107274825 A (上海天马微电子有限公司) 2017年10月20日 (2017 - 10 - 20) 说明书第0048-0074段, 图3-8	12-19																					
Y	CN 114175257 A (京东方科技集团股份有限公司) 2022年3月11日 (2022 - 03 - 11) 说明书第0005-0220段, 图2-3,5-14	12-19																					
X	CN 103839513 A (乐金显示有限公司) 2014年6月4日 (2014 - 06 - 04) 说明书第0023-0093段, 图2-4	1-11,20																					
X	CN 104658484 A (上海和辉光电有限公司) 2015年5月27日 (2015 - 05 - 27) 说明书第0094-0117段, 图2-4	1-2,5-13,20																					
X	CN 111402808 A (友达光电股份有限公司) 2020年7月10日 (2020 - 07 - 10) 说明书第0054-0092段, 图4	1-2,5-13,20																					
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2024年6月24日		国际检索报告邮寄日期 2024年6月25日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 申丽娟 电话号码 (+86) 62089905																					

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 108877672 A (武汉华星光电半导体显示技术有限公司) 2018年11月23日 (2018 - 11 - 23) 说明书第0044-0085段，图2-5	1-2,5-13,20
X	CN 104157240 A (京东方科技集团股份有限公司) 2014年11月19日 (2014 - 11 - 19) 说明书第0051-0077段，图1	1-2,5-13,20
X	US 2008169754 A1 (YANG SUN A等) 2008年7月17日 (2008 - 07 - 17) 说明书第0212-0248段，图15-18	1-2,5-13,20
Y	CN 114550653 A (京东方科技集团股份有限公司) 2022年5月27日 (2022 - 05 - 27) 说明书第0033-0080段，图1-8	12-19
Y	CN 115623881 A (京东方科技集团股份有限公司等) 2023年1月17日 (2023 - 01 - 17) 说明书第0042-0189段，图2A-5B	14-19
A	CN 105489167 A (北京大学深圳研究生院) 2016年4月13日 (2016 - 04 - 13) 全文	1-20
A	CN 108806605 A (京东方科技集团股份有限公司等) 2018年11月13日 (2018 - 11 - 13) 全文	1-20
A	CN 111179854 A (京东方科技集团股份有限公司等) 2020年5月19日 (2020 - 05 - 19) 全文	1-20
A	CN 113838415 A (京东方科技集团股份有限公司) 2021年12月24日 (2021 - 12 - 24) 全文	1-20
A	CN 113871420 A (京东方科技集团股份有限公司等) 2021年12月31日 (2021 - 12 - 31) 全文	1-20

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/121752

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107274825	A	2017年10月20日	US	2018130411	A1	2018年5月10日
				US	10453387	B2	2019年10月22日
CN	114175257	A	2022年3月11日	WO	2022170661	A1	2022年8月18日
				WO	2022170661	A9	2022年12月22日
CN	103839513	A	2014年6月4日	KR	20140067583	A	2014年6月5日
				US	2014145917	A1	2014年5月29日
				US	9111488	B2	2015年8月18日
				EP	2736036	A2	2014年5月28日
				EP	2736036	A3	2014年6月18日
CN	104658484	A	2015年5月27日	US	2016275854	A1	2016年9月22日
CN	111402808	A	2020年7月10日	US	2021134211	A1	2021年5月6日
				US	11120736	B2	2021年9月14日
				TW	202119801	A	2021年5月16日
				TWI	731462	B	2021年6月21日
CN	108877672	A	2018年11月23日	WO	2020019398	A1	2020年1月30日
CN	104157240	A	2014年11月19日	WO	2016011719	A1	2016年1月28日
				US	2016372049	A1	2016年12月22日
				US	10140928	B2	2018年11月27日
US	2008169754	A1	2008年7月17日	US	8773406	B2	2014年7月8日
				KR	100833756	B1	2008年5月29日
CN	114550653	A	2022年5月27日	无			
CN	115623881	A	2023年1月17日	无			
CN	105489167	A	2016年4月13日	无			
CN	108806605	A	2018年11月13日	US	2021335248	A1	2021年10月28日
				US	11341912	B2	2022年5月24日
				WO	2019237756	A1	2019年12月19日
CN	111179854	A	2020年5月19日	无			
CN	113838415	A	2021年12月24日	无			
CN	113871420	A	2021年12月31日	无			