

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4815509号
(P4815509)

(45) 発行日 平成23年11月16日(2011.11.16)

(24) 登録日 平成23年9月2日(2011.9.2)

(51) Int.Cl.		F I			
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO3F	3/08	(2006.01)	HO3F	3/08	
GO2F	1/133	(2006.01)	GO2F	1/133	550

請求項の数 19 (全 17 頁)

(21) 出願番号	特願2009-138502 (P2009-138502)	(73) 特許権者	501358079
(22) 出願日	平成21年6月9日(2009.6.9)		友達光電股▲ふん▼有限公司
(65) 公開番号	特開2010-98714 (P2010-98714A)		AU Optronics Corporation
(43) 公開日	平成22年4月30日(2010.4.30)		台湾新竹科学工業園區新竹市力行二路一号
審査請求日	平成21年6月9日(2009.6.9)		No. 1, Lt-Hsin Rd, 11,
(31) 優先権主張番号	12/252, 039		Science-Based Industrial Park, Hsinchu,
(32) 優先日	平成20年10月15日(2008.10.15)		Taiwan, R. O. C.
(33) 優先権主張国	米国 (US)	(74) 代理人	110000383
			特許業務法人 エビス国際特許事務所
		(72) 発明者	莊 銘宏
			台湾新竹市科学工業園區力行二路1号 友
			達光電股▲ふん▼有限公司内

最終頁に続く

(54) 【発明の名称】 アクティブピクセルセンサ回路およびその操作方法

(57) 【特許請求の範囲】

【請求項1】

アクティブピクセルセンサ回路であって、
リセット信号 (R E S E T) を提供するリセットラインと、
列選択信号 (R O W S E L E C T) を提供する列選択ラインと、
第1供給電圧を提供する第1供給電圧ラインと、
第2供給電圧を提供する第2供給電圧ラインと、
光電信号を出力する行読み出しラインと、
前記リセットラインに電氣的結合されるゲート、ソース、および前記第1供給電圧ラインに電氣的結合されるドレインを有するリセットトランジスタと、
前記列選択ラインに電氣的結合される陽極、および前記リセットトランジスタのソースに電氣的結合される陰極を有するフォトダイオード (photodiode) と、
前記列選択ラインに電氣的結合される第1末端、および前記リセットトランジスタのソースに電氣的結合される節点 N 1 に電氣的結合される第2末端を有する積分コンデンサと、
前記節点 N 1 に電氣的結合されるゲート、節点 N 2 で前記列読み出しラインに電氣的結合されるソース、および前記第2供給電圧ラインに電氣的結合されるドレインを有する読み出しトランジスタと、
を含むことを特徴とするアクティブピクセルセンサ回路。

【請求項2】

前記リセットトランジスタと前記読み出しトランジスタは、NチャネルMOS薄膜トランジスタであることを特徴とする請求項1に記載のアクティブピクセルセンサ回路。

【請求項3】

前記第1供給電圧を受ける第1端末と、前記行読み出しラインに電氣的結合される第2端末とを有するバイアス電流源を更に含むことを特徴とする請求項1に記載のアクティブピクセルセンサ回路。

【請求項4】

制御信号Vbを受信するゲートと、前記第1供給電圧を受けるソースと、前記行読み出しラインに電氣的結合されるドレインとを有するNチャネルMOSトランジスタを更に含むことを特徴とする請求項1に記載のアクティブピクセルセンサ回路。

10

【請求項5】

制御信号を受信するゲート、前記第1供給電圧を受けるソース、および前記行読み出しラインに電氣的結合されるドレインを有するNチャネルMOSトランジスタと、

前記NチャネルMOSトランジスタのソースおよびドレインにそれぞれ電氣的結合される第1端末および第2端末を有するコンデンサと、

を更に含むことを特徴とする請求項1に記載のアクティブピクセルセンサ回路。

【請求項6】

前記リセット信号と前記列選択信号はパルスであって、前記パルスは低電圧と高電圧を有し、前記列選択信号のパルスは、前記リセット信号のパルスが1時間周期シフトしたものであることを特徴とする請求項1に記載のアクティブピクセルセンサ回路。

20

【請求項7】

ゲート、ソースおよびドレインを有するリセットトランジスタと、
陽極および前記リセットトランジスタのソースに電氣的結合される陰極を有するフォトダイオードと、

第1端末および第2端末を有し、前記第2端末が前記リセットトランジスタのソースに電氣的結合される節点N1に電氣的結合する積分コンデンサと、

ソース、ドレインおよび前記節点N1に電氣的結合されるゲートを有する読み出しトランジスタと、

前記リセットトランジスタのゲートに電氣的結合され、リセット信号(RESET)の提供に用いられるリセットラインと、

30

前記フォトダイオードの陽極と前記積分コンデンサの第1端末に電氣的結合され、列選択信号(ROW SELECT)の提供に用いられる列選択ラインと、

前記リセットトランジスタのドレインに電氣的結合され、第1供給電圧の提供に用いられる第1供給電圧ラインと、

前記読み出しトランジスタのドレインに電氣的結合され、第2供給電圧の提供に用いられる第2供給電圧ラインと、

前記読み出しトランジスタのソースに電氣的結合され、前記フォトダイオードが光照射を受けて生成した光起電信号(photovoltaic signal)を出力する行読み出しラインと、

を含むことを特徴とするアクティブピクセルセンサ回路。

【請求項8】

40

前記リセット信号と前記列選択信号は、それぞれパルスであって、前記パルスは低電圧と高電圧を有し、且つ、前記列選択信号のパルスは、前記リセット信号のパルスが1時間周期シフトしたものであることを特徴とする請求項7に記載のアクティブピクセルセンサ回路。

【請求項9】

ゲート、ソースおよびドレインを有するリセットトランジスタと、陽極および前記リセットトランジスタのソースに電氣的結合される陰極を有するフォトダイオードと、第1端末および第2端末を有し、前記第2端末が前記リセットトランジスタのソースに電氣的結合される節点N1に電氣的結合する積分コンデンサと、ソース、ドレインおよび前記節点N1に電氣的結合されるゲートを有する読み出しトランジスタとを含むアクティブピクセルセ

50

ンサ回路を操作する操作方法であって、

第1供給電圧および第2供給電圧をそれぞれ前記リセットトランジスタのドレインおよび前記読み出しトランジスタのドレインに印加するステップと、

リセット信号および列選択信号をそれぞれ前記リセットトランジスタのゲートおよび前記フォトダイオードの陽極に印加するステップと、

読み出し段階において、前記読み出しトランジスタのソースから光照射を受けた前記フォトダイオードによって生成する光電子に相応する信号を読み出すステップと、

を含み、

前記リセット信号および前記列選択信号は、それぞれパルスであって、前記パルスは低電圧および高電圧を有し、且つ、前記列選択信号のパルスは、前記リセット信号のパルスが時間周期Tシフトされるものであることを特徴とする操作方法。

10

【請求項10】

前記読み出し段階は、前記列選択信号が前記高電圧にあった時間周期に対応していることを特徴とする請求項9に記載の操作方法。

【請求項11】

アクティブピクセルセンサ回路であって、

ゲート、ソースおよびドレインを有するリセットトランジスタと、

陽極および前記リセットトランジスタのソースに電気的結合される陰極を有するSR0 (silicon rich oxide) 光検出器と、

ソース、ドレインおよび前記SR0光検出器の陰極に電気的結合されるゲートを有する読み出しトランジスタと、

を含むことを特徴とするアクティブピクセルセンサ回路。

20

【請求項12】

前記リセットトランジスタのゲートに電気的結合され、リセット信号 (RESET) の提供に用いられるリセットラインと、

前記SR0光検出器の陽極に電気的結合され、列選択信号 (ROW SELECT) の提供に用いられる列選択ラインと、

前記リセットトランジスタのドレインに電気的結合され、第1供給電圧の提供に用いられる第1供給電圧ラインと、

前記読み出しトランジスタのドレインに電気的結合され、第2供給電圧の提供に用いられる第2供給電圧ラインと、

前記読み出しトランジスタのソースに電気的結合され、光照射を受ける前記SR0光検出器によって生成する光起電信号 (photovoltaic signal) を出力する行読み出しラインと、

を更に含むことを特徴とする請求項11に記載のアクティブピクセルセンサ回路。

30

【請求項13】

前記第1供給電圧を受ける第1端末、および前記行読み出しラインに電気的結合される第2端末を有するバイアス電流源を更に含むことを特徴とする請求項12に記載のアクティブピクセルセンサ回路。

【請求項14】

制御信号Vbを受信するゲートと、前記第1供給電圧を受けるソースと、前記行読み出しラインに電気的結合されるドレインとを有するNチャネルMOSトランジスタを更に含むことを特徴とする請求項12に記載のアクティブピクセルセンサ回路。

40

【請求項15】

制御信号 (RESET2) を受信するゲート、第1供給電圧を受けるソース、および前記行読み出しラインに電気的結合されるドレインを有するNチャネルMOSトランジスタと、

前記NチャネルMOSトランジスタのソース及びドレインにそれぞれ電気的結合される第1端末および第2端末を有するコンデンサと、

を更に含むことを特徴とする請求項12に記載のアクティブピクセルセンサ回路。

50

【請求項 16】

前記リセット信号と列選択信号はパルスであって、前記パルスが低電圧と高電圧を有し、且つ、前記列選択信号のパルスは、前記リセット信号のパルスより1時間周期シフトされることを特徴とする請求項 12 に記載のアクティブピクセルセンサ回路。

【請求項 17】

前記リセットトランジスタと前記読み出しトランジスタが、NチャネルMOS薄膜トランジスタ(N-channel Metal Oxide Semiconductor Thin Film transistor)であることを特徴とする請求項 11 に記載のアクティブピクセルセンサ回路。

【請求項 18】

請求項 11 に記載のアクティブピクセルセンサ回路を操作する操作方法であって、
第1供給電圧および第2供給電圧をそれぞれ前記リセットトランジスタのドレインおよび前記読み出しトランジスタのドレインに印加するステップと、
リセット信号(RESET)および列選択信号(ROW SELECT)を前記リセットトランジスタのゲートおよび前記SRO光検出器の陽極にそれぞれ印加するステップと、

読み出し段階において、光照射を受けた前記SRO光検出器によって生成した光電荷に相応する信号を、前記読み出しトランジスタのソースから読み出すステップと、

を含み、

前記リセット信号および前記行選択信号はそれぞれパルスであり、前記パルスは低電圧と高電圧を有し、且つ、前記列選択信号のパルスは、前記リセット信号のパルスより時間周期Tシフトされていることを特徴とする操作方法。

【請求項 19】

前記読み出し段階は、前記列選択信号が前記高電圧にあった時間周期に対応することを特徴とする請求項 18 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブピクセルセンサに関し、特に、一つの2トランジスタの設計を利用して口径比および感度を改善するアクティブピクセルセンサ回路に関する。

【背景技術】

【0002】

一般に、CMOSアクティブピクセルセンサは、ピクセル毎に内蔵された増幅器を利用して、光検出器が光照射に応じて生成する光電信号(または光起電信号、photovoltaic signal)を増幅し、かつ、該光電信号は、各ピクセルのX-Yアドレスに応じて選択的に読み出されることが出来る。このCMOSアクティブピクセルセンサにおいて、光電信号が外部制御回路に伝送される前に内蔵された増幅器により増幅されることによって、これらの信号の伝送過程におけるノイズを低減させる。

【0003】

アクティブピクセルセンサの感度は、通常、少なくとも三つの要素により定められる。1番目の要素は、光子を電子に変換するアクティブピクセルセンサ内の面積に関連しており、この面積を増やすと、生成される電荷量も増える。2番目の要素は、アクティブピクセルセンサの感知電荷の集積により生成される容量に関連する。理論的に、所定の容量を持つコンデンサ上の電圧は、コンデンサの容量値に反比例する。そのため、電荷量が同じの場合、容量値が増加されると、電圧が下がる。3番目の要素は、読み出し増幅器の電荷が電圧利得に対する影響である。内蔵式ピクセルセンサを有するディスプレイにおいて、ソースフォロアー(source follower)は、基本的に電荷として電圧増幅器に届く。ただし、ソースフォロアーの利得は実質上1より小さく、または、等しい。

【0004】

図10は、三つのNチャネルMOSトランジスタ1、4および5を備える従来のCMOSアクティブピクセルセンサ10を示す。該アクティブピクセルセンサ10において、光

10

20

30

40

50

検出器としてのフォトダイオード2は、接地と接続される陽極を有しており、且つ、同時にリセットトランジスタ1のソースおよび読み出しトランジスタ4のゲートに接続されている。積分コンデンサ3は、フォトダイオード2の陽極と陰極の間に接続される。リセットトランジスタ1のゲートはリセットラインに接続される。リセットトランジスタ1のドレインと読み出しトランジスタ4のドレインは、全て供給電圧VDDに接続される。読み出しトランジスタ4のソースは、列選択トランジスタ5のドレインに接続される。トランジスタ5のゲートとソースは、それぞれ列選択ラインと行出力ラインに接続される。行出力ラインの一端は電流源6の端末に接続し、もう一端は前記接地に接続される。

【0005】

図11は、アクティブピクセルセンサ10の稼働タイミング図である。アクティブピクセルセンサ10は、リセット段階において、RESET信号により先にリセットし、リセットトランジスタ1を起動して供給電圧VDDをフォトダイオード2の陰極にかける。RESET信号がHIGHからLOWに変換される時、積分段階がスタートされ、光により生成された電子をフォトダイオード2上に収集されて、リセット段階におけるフォトダイオード2の陰極上の電圧をVDD値から下げる。列選択(ROW SELECT)信号がLOWよりHIGHに変換される時、アクティブピクセルセンサ10は読み出し状態に入る。読み出し状態の期間において、列選択信号が有効にされて、選択トランジスタ5を起動し、行出力ライン上の電圧が読み出しトランジスタ4のソースの電圧と等しくさせて、検出を行う。読み出しトランジスタ4のソース上の電圧は読み出しトランジスタ4のゲート上の電圧に従い、トランジスタ4のゲート上の電圧はフォトダイオード2の陰極上に集積された電荷により形成される。

【0006】

このアクティブピクセルセンサ10に対して、その感度はフォトダイオード2および/或いは読み出しトランジスタ4の大きさを増えることにより改善することができる。ただし、フォトダイオード2および/或いは読み出しトランジスタ4の大きさを増加させると、ディスプレイの口径比およびセルの光線透過率が下がることになる。従って、ディスプレイの輝度を一定に維持させるために、ディスプレイに照射するバックライトの輝度を増やす必要があるので、ディスプレイの消費電力が増加される。

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の目的は、アクティブピクセルセンサを提供して、感度、及びディスプレイの口径比、光線透過率を改善し、且つディスプレイの電力消費を低下させることにある。

【課題を解決するための手段】

【0008】

本発明の実施例によれば、アクティブピクセルセンサ回路は、リセットラインと、列選択ラインと、第1供給電圧ラインと、第2供給電圧ラインと、行読み出しラインと、リセットトランジスタと、フォトダイオード(photo diode)と、積分コンデンサと、読み出しトランジスタとを有する。リセットラインはリセット信号を提供するのに用いられ、列選択ラインは列選択信号(ROW SELECT)を提供するのに用いられ、第1供給電圧ラインは第1供給電圧を提供するのに用いられ、第2供給電圧ラインは第2供給電圧を提供するのに用いられ、行読み出しラインは光電信号の出力に用いられ、リセットトランジスタは、ゲート、ソースおよびドレインを有し、ゲートはリセットラインに電氣的結合し、ドレインは第1供給電圧ラインに電氣的結合されており、フォトダイオードは、陽極および陰極を有し、陽極は列選択ラインに電氣的結合され、陰極はリセットトランジスタのソースに電氣的結合される。また、積分コンデンサは、第1端末および第2端末を有し、第1端末は列選択ラインに電氣的結合され、第2端末は節点N1に電氣的結合され、かつ節点N1はリセットトランジスタのソースに電氣的結合される。読み出しトランジスタは、ゲート、ソースおよびドレインを有し、ゲートは節点N1に電氣的結合され、ソースは行読み出しラインと節点N2で電氣的結合され、ドレインは第2供給電圧ライ

ンに電氣的結合される。

【 0 0 0 9 】

本発明のもう一つの態様は、アクティブピクセルセンサを提供して、感度、及びディスプレイの口径比、光線透過率を改善し、且つディスプレイの電力消費を低減させることができる。

【 0 0 1 0 】

本発明のもう一つの実施例によれば、アクティブピクセルセンサ回路は、リセットトランジスタと、フォトダイオードと、積分コンデンサと、読み出しトランジスタと、リセットラインと、列選択ラインと、第1供給電圧ラインと、第2供給電圧ラインと、行読み出しラインとを有する。

リセットトランジスタはゲート、ソースおよびドレインを有する。フォトダイオードは陽極および陰極を有し、該陰極はリセットトランジスタのソースに電氣的結合される。積分コンデンサは、第1端末および第2端末を有し、第1端末および第2端末は、節点N1に電氣的結合され、この節点N1がリセットトランジスタのソースに電氣的結合される。読み出しトランジスタは、ソース、ドレインおよびゲートを有し、該ゲートが節点N1に電氣的結合される。リセットラインは、リセットトランジスタのゲートに電氣的結合され、リセット信号 (RESET) の提供に用いられる。列選択ラインは、フォトダイオードの陽極と積分コンデンサの第1端末に電氣的結合され、列選択信号 (ROW SELECT) の提供に用いられる。第1供給電圧ラインは、リセットトランジスタのドレインに電氣的結合され、第1供給電圧の提供に用いられる。第2供給電圧ラインは、読み出しトランジスタのドレインに電氣的結合され、第2供給電圧の提供に用いられる。行読み出しラインは、読み出しトランジスタのソースに電氣的結合され、フォトダイオードが光照射を受けて生成した光起電信号 (photovoltaic signal) を出力する。

【 0 0 1 1 】

本発明は、更に、アクティブピクセルセンサ回路の操作方法を提供し、感度、ディスプレイの口径比および光線透過率を改善し、且つディスプレイの電力消費を低減させることを可能にする。

【 0 0 1 2 】

本発明のさらなる実施例によれば、アクティブピクセルセンサ回路の操作方は、第1供給電圧および第2供給電圧をそれぞれリセットトランジスタのドレインおよび読み出しトランジスタのドレインに印加し、また、それぞれリセット信号および列選択信号をリセットトランジスタのゲートおよびフォトダイオードの陽極に印加し、そのうち、リセット信号および列選択信号はそれぞれパルスであり、該パルスが低電圧および高電圧を有し、且つ、列選択信号のパルスは、リセット信号のパルスが時間周期Tシフトしたものである。そして、読み出し段階において、読み出しトランジスタのソースから信号を読み出し、なお、該信号は光照射を受けるフォトダイオードにより生成される。

【 0 0 1 3 】

本発明は、また、アクティブピクセルセンサ回路を提供し、感度、及びディスプレイの口径比、光線透過率を改善し、且つディスプレイの電力消費を低減させることを可能にする。

【 0 0 1 4 】

本発明のもう一つの実施例によれば、アクティブピクセルセンサ回路はリセットトランジスタ、SRO (silicon rich oxide) 光検出器および読み出しトランジスタを有する。リセットトランジスタは、ゲート、ソースおよびドレインを有する。SRO光検出器は、陽極および陰極を有し、この陰極はリセットトランジスタのソースに電氣的結合される。読み出しトランジスタは、ソース、ドレインおよびゲートを有し、このゲートはSRO光検出器の陰極に電氣的結合される。

【 0 0 1 5 】

本発明は、更に、アクティブピクセルセンサ回路の操作方法を提供し、感度、及びディスプレイの口径比、光線透過率を改善し、且つ、ディスプレイの電力消費を低減させるこ

10

20

30

40

50

とを可能にする。

【0016】

本発明のさらなる実施例によれば、アクティブピクセルセンサ回路の操作方法は、それぞれ第1供給電圧および第2供給電圧をリセットトランジスタのドレインおよび読み出しトランジスタのドレインに印加し、また、それぞれリセット信号(RESET)および列選択信号(ROW SELECT)をリセットトランジスタのゲートおよびSRO光検出器の陽極に印加し、そのうち、リセット信号および列選択信号がそれぞれパルスであり、該パルスが低電圧および高電圧を備え、且つ、列選択信号のパルスはリセット信号のパルスが時間周期Tシフトしたものである。続いて、読み出し段階において、読み出しトランジスタのソースより信号を読み出し、この信号が光照射を受けるSRO光検出器により生成された光電荷である。

10

【0017】

上述の実施例によれば、アクティブピクセルセンサ回路およびその操作方法は、感度、及びディスプレイの口径比、光線透過率を改善し、且つディスプレイの電力消費を低減させることを可能にする。

【0018】

本発明の上述およびその他の目的、特徴、利点と実施例がより一層明確に判るよう、図面を参照しながら、詳細に説明する。

【図面の簡単な説明】

【0019】

20

【図1】本発明の一つの実施例におけるアクティブピクセルセンサ回路を示す図である。

【図2】本発明の一つの実施例におけるアクティブピクセルセンサ回路の運行を示すタイミング図である。

【図3】本発明のもう一つの実施例におけるアクティブピクセルセンサ回路を示す図である。

【図4】本発明のその他の実施例におけるアクティブピクセルセンサ回路を示す図である。

【図5】図4のアクティブピクセルセンサ回路の操作を示すタイミング図である。

【図6】本発明の一つの実施例におけるアクティブピクセルセンサ回路を示す図である。

【図7】本発明のもう一つの実施例におけるアクティブピクセルセンサ回路を示す図である。

30

【図8】本発明のその他の実施例におけるアクティブピクセルセンサ回路を示す図である。

【図9】本発明の一つの実施例におけるアクティブピクセルセンサ回路を有する表示パネルを示す構成図である。

【図10】従来のアクティブピクセルセンサ回路を示す図である。

【図11】図10の従来のアクティブピクセルセンサ回路の運行を示すタイミング図である。

【発明を実施するための形態】

【0020】

40

図1は、本発明の一つの実施例におけるアクティブピクセルセンサ回路100の略図である。この実施例において、アクティブピクセルセンサ回路100は、リセット信号RESETを提供するためのリセットライン111と、列選択信号ROW SELECTを提供するための列選択ライン113と、第1供給電圧VREFを提供するための第1供給電圧ライン115と、第2供給電圧VDDを提供するための第2供給電圧ライン117と、光電信号を出力するための行読み出しライン119と、を備える。

【0021】

アクティブピクセルセンサ回路は、更に、リセットトランジスタ120を含み、リセットトランジスタ120はリセットライン111に電気的結合されるゲート122と、第1供給電圧ライン115に電気的結合されるソース124およびドレイン126とを有する

50

。フォトダイオード140は、列選択ライン113に電氣的結合される陽極142と、リセットトランジスタ120のソース124に電氣的結合される陰極とを有し；積分コンデンサ150は、列選択ライン113に電氣的結合される第1端末152と、節点N1に電氣的結合される第2端末154とを有し、節点N1はリセットトランジスタ120のソース124に電氣的結合される。また、読み出しトランジスタ130は、節点N1に電氣的結合されるゲート132と、節点N2で行読み出しライン119に電氣的結合されるソース134と、および、第2供給電圧ライン117に電氣的結合されるドレイン136とを有する。フォトダイオード140は、光の照射を受けて電荷（光電信号）を生成する。各リセットトランジスタと読み出しトランジスタは、NチャンネルMOS薄膜トランジスタである。また、その他の種類のトランジスタを利用して本発明を実施することも可能である。

10

【0022】

さらに、アクティブピクセルセンサ回路100は、バイアス電流源170を含み、前記バイアス電流源170は、第1供給電圧VREFを受けるように配置される第1端末172と、行読み出しライン119に電氣的結合される第2端末174とを有する。読み出しトランジスタ130およびバイアス電流源170は、ソースフォロアを構成して、フォトダイオード140が光照射を受けて生成した電荷（光電信号）の増幅に用いられる。増幅された光電信号は、節点N2を介して行読み出しライン119から読み出され、外部回路に拡張される。

【0023】

アクティブピクセルセンサ回路100の運行手順には、それぞれ第1供給電圧VREFおよび第2供給電圧VDDをリセットトランジスタ120のドレイン126と読み出しトランジスタ130のドレイン136に印加するステップと、それぞれリセット信号RESETおよび列選択信号ROW SELECTをリセットトランジスタ120のゲート122とフォトダイオード140の陽極142に印加するステップと、その後、読み出し周期において、読み出しトランジスタ130のソース134から信号を読み出すステップとを含み、且つ、前記読み出しトランジスタ130のソース134から信号はフォトダイオードが光照射を受けて生成される電荷に対応している。

20

【0024】

図2は、本発明の一つの実施例におけるアクティブピクセルセンサ回路100の操作タイミング図である。この実施例において、リセット信号RESETは、幅が t_1 から t_0 のパルス、低電圧VSSおよび高電圧VDDを有し、高電圧VDDは、読み出しトランジスタ130のドレイン136の第2供給電圧VDDと同じである。列選択信号ROW SELECTは、幅が t_3 から t_2 のパルス、低電圧VSSおよび高電圧VREFを有し、そのうち、高電圧VREFはリセットトランジスタ120のドレイン126の第1供給電圧VREFと同じである。リセット信号RESETのパルスより時間周期 $T = (t_2 - t_0)$ シフトするように列選択信号ROW SELECTのパルスを設定する。

30

【0025】

運行において、アクティブピクセルセンサ回路100は、リセット段階、積分段階および読み出し段階の三つの段階を経る。

40

【0026】

運行開始時、リセット信号RESETの電圧が低電圧VSSであり、リセットトランジスタ120がオフであって、節点N1の電位が浮動電位である。リセット信号RESETが時間 t_0 において、低電圧VSSより高電圧VDDに変換される時、リセットトランジスタ120がオンにされ、第1供給電圧VREFがフォトダイオード140の陰極144に印加され、なお、アクティブピクセルセンサ回路100はリセット段階において、1時間周期 $(t_1 - t_0)$ を運行し、そのうち、リセット信号RESETが高電圧VDDである。

【0027】

リセット信号RESETが時間 t_1 において、高電圧VDDより低電圧VSSに変換さ

50

れる時、リセットトランジスタ120はオフにされる。そのため、フォトダイオード140の陰極144と陽極142は、電圧差($V_{REF} - V_{SS}$)を有し、該電圧差は、積分コンデンサ150の第2端末154と第1端末152の間の電圧差でもある。フォトダイオード140は、逆バイアス電圧を有し、すなわち、陰極144の電位が陽極142より高い。この時、節点N1の電位が浮動電位である。アクティブピクセルセンサ回路100が積分段階で運転を始める。

【0028】

アクティブピクセルセンサ回路100が積分段階において運行する時、節点N1の電位は、フォトダイオード140を照射する光線強度によって変化する。光線の照射を受けて、フォトダイオード140は光電荷を生成する。生成された光電荷は、改めて積分コンデンサ150中の電荷と結合されて、積分コンデンサ150の第2端末154と第1端末152との間の電圧差を低減させる。従って、節点N1の電位が($t_2 - t_1$)の時間周期における積分段階の時間につれて低下される。光線の照射が強ければ強いほど、節点N1における電位低下の傾きが大きい。図2に示すように、破線は強度が Lux_B である光線がN1で生成した電位を表し、その傾きは、強度が Lux_A である光線がN1で生成する電位の傾きより大きい。そのうち、 $Lux_A < Lux_B$ である。

10

【0029】

t_2 より t_1 の時間周期内の積分段階において、リセットトランジスタ120がオフにされ、節点N1の電位が浮動電位である。列選択信号ROW SELECTが時間 t_2 で低電圧 V_{SS} から高電圧 V_{REF} に変換される時、節点N1の電位が積分コンデンサ150によって($V_{REF} - V_{SS}$)の電位差ほど引き上げられ、該電位差は読み出しトランジスタ130をオンにするのに充分である。

20

【0030】

積分コンデンサ150を介して節点N1の電位を($V_{REF} - V_{SS}$)の電位差ほど増加させる時、ソースフォロアーの読み出しトランジスタ130はオンにされる。

【0031】

ソースフォロアーの読み出しトランジスタ130がオンにされた時、読み出しトランジスタ130のソース134に接続される節点N2が、電圧($V_A - V_{th}$)を行読み出しライン119に出力して、読み取りを行う。節点N1が Lux_A の強度の光線の照射を受ける時、節点N2が電圧 V_A を生成する。従って、アクティブピクセルセンサ回路100は時間周期($t_3 - t_2$)の読み出し段階内で運行を行い、そのうち、列選択信号ROW SELECTは高電圧 V_{REF} である。

30

【0032】

図1に示すアクティブピクセルセンサ回路100において、ソースフォロアーは読み出しトランジスタ130およびバイアス電流源170を含む。

【0033】

ソースフォロアーは、読み出しトランジスタ130およびその他の部品により形成されても良い。例えば、図3に示すように、ソースフォロアーは読み出しトランジスタ130およびNチャネルMOSトランジスタ180を備えることができる。前記NチャネルMOSトランジスタは、制御信号 V_b を受信するためのゲート182と、第1供給電圧 V_{REF} を受けるためのソース184と、行読み出しライン119に電氣的結合されるドレイン186とを有する。図3に示すアクティブピクセルセンサ回路100の運行は、図1に示すアクティブピクセルセンサ回路の運行と同じである。

40

【0034】

図4はアクティブピクセルセンサ回路のもう一つの実施例を示し、そのうち、ソースフォロアーは、読み出しトランジスタ130と、制御信号RESET2を受信するためのゲート191、前記第1供給電圧 V_{REF} を受けるためのソース192、及び行読み出しライン119に電氣的結合されるドレイン193を有するNチャネルMOSトランジスタ190と、それぞれNチャネルMOSトランジスタ190のソース192及びドレイン193に電氣的結合される第1端末196および第2端末197を有するコンデンサ195と

50

、を含む。アクティブピクセルセンサ回路の運行は、図 1 に示すアクティブピクセルセンサ回路の運行と同じである。さらに、次の列の光電信号を正しく読み出せるために、制御信号 R E S E T 2 は正パルスを有し、当該パルスが読み出し段階の直後に N チャンネル M O S トランジスタ 1 9 0 のゲート 1 9 1 に印加されて、行読み出しライン 1 1 9 の電圧を除去する。当該アクティブピクセルセンサ回路の運行を示すタイミング図は図 5 である。

【 0 0 3 5 】

図 6 は、本発明の一つの実施例におけるアクティブピクセルセンサ回路 2 0 0 を示す図である。この実施例において、アクティブピクセルセンサ回路 2 0 0 は、ゲート 2 2 2、ソース 2 2 4 およびドレイン 2 2 6 を有するリセットトランジスタ 2 2 0 と、陽極 2 4 2 及び節点 N 1 でリセットトランジスタ 2 2 0 のソース 2 2 4 に電氣的結合される陰極 2 4 4 を有する S R O 光検出器 2 4 0 と、ソース 2 3 4、ドレイン 2 3 6 および S R O 光検出器 2 4 0 の陰極 2 4 4 に電氣的結合されるゲート 2 3 2 を有する読み出しトランジスタ 2 3 0 と、を含む。S R O 光検出器 2 4 0 は、光線の照射を受けて電荷（光電信号）を生成し、各リセットトランジスタ 2 2 0 と読み出しトランジスタ 2 3 0 は、N チャンネル M O S トランジスタである。また、その他の種類のトランジスタを利用して本発明を実施することが可能である。

【 0 0 3 6 】

アクティブピクセルセンサ回路 2 0 0 は、リセットトランジスタ 2 2 0 のゲート 2 2 2 に電氣的結合され、リセット信号 R E S E T を提供するリセットライン 2 1 1 と、S R O 光検出器 2 4 0 の陽極 2 4 2 に電氣的結合され、列選択信号 R O W S E L E C T を提供する列選択ライン 1 1 3 と、リセットトランジスタ 2 2 0 のドレイン 2 2 6 に電氣的結合され、第 1 供給電圧 V R E F を提供するための第 1 供給電圧ライン 2 1 5 と、読み出しトランジスタ 2 3 0 のドレイン 2 3 6 に電氣的結合され、第 2 供給電圧 V D D を提供するための第 2 供給電圧ライン 2 1 7 と、節点 N 2 の処で読み出しトランジスタ 2 3 0 のソース 2 3 4 に電氣的結合され、S R O 光検出器 2 4 0 が光線の照射を受けて生成する光電信号を出力するための行出力ライン 2 1 9 と、を含む。

【 0 0 3 7 】

さらに、アクティブピクセルセンサ回路 2 0 0 は、第 1 供給電圧 V R E F を受ける第 1 端末 2 7 2、および行出力ライン 2 1 9 に電氣的結合される第 2 端末 2 7 4 を有するバイアス電流源 2 7 0 を含む。ソースフォロアは、読み出しトランジスタ 2 3 0 およびバイアス電流源 2 7 0 を含み、S R O 光検出器 2 4 0 が光線の照射を受けて生成した電荷（光電信号）の増幅に用いられる。増幅された光電信号は、節点 N 2 を介して行出力ライン 2 1 9 から読み出されて、外部回路に拡張される。

【 0 0 3 8 】

アクティブピクセルセンサ回路 2 0 0 の運行は、下記のステップが含まれている。第 1 供給電圧 V R E F および第 2 供給電圧 V D D を、それぞれリセットトランジスタ 2 2 0 のドレイン 2 2 6 及び読み出しトランジスタ 2 3 0 のドレイン 2 3 6 に印加し、且つ、リセット信号 R E S E T および列選択信号 R O W S E L E C T を、それぞれリセットトランジスタ 2 2 0 のゲート及び S R O 光検出器 2 4 0 の陽極 2 4 2 に印加し、なお、一読み出し周期期間において読み出しトランジスタ 2 3 0 のソース 2 3 4 から信号を読み出す。当該信号は、フォトダイオードが光線の照射に応じて生成された電荷に対応している。

【 0 0 3 9 】

上記のように、図 2 はアクティブピクセルセンサ回路の運行を示すタイミング図である。この例示の具体的な実施例において、リセット信号 R E S E T は、幅が $(t_1 - t_0)$ のパルス、低電圧 V S S、および高電圧 V D D を有するように配置され、且つ、当該高電圧 V D D は読み出しトランジスタ 2 3 0 のドレイン 2 3 6 に印加された第 2 供給電圧 V D D と同じである。列選択信号 R O W S E L E C T は、幅が $(t_3 - t_2)$ のパルス、低電圧 V S S および高電圧 V R E F を有し、且つ、当該高電圧 V R E F はリセットトランジスタ 2 2 0 のドレイン 2 2 6 に印加された第 1 供給電圧 V R E F と同じである。列選択信号 R O W S E L E C T がリセット信号 R E S E T のパルスより 1 時間周期 $T = (t_2 -$

10

20

30

40

50

t 0) シフトするように設計する。

【 0 0 4 0 】

運行において、アクティブピクセルセンサ回路 2 0 0 は、リセット段階、積分段階および読み出し段階の三つの段階を経る。

【 0 0 4 1 】

運行開始時、リセット信号 R E S E T が低電圧 V S S であり、リセットトランジスタ 2 2 0 がオフであって、節点 N 1 の電位が浮動電位である。リセット信号 R E S E T が時間 t 0 で低電圧 V S S から高電圧 V D D に変換される場合、リセットトランジスタ 2 2 0 がオンにされ、第 1 供給電圧 V R E F を S R O 光検出器 2 4 0 の陰極 2 4 4 に印加し、なお、アクティブピクセルセンサ回路 2 0 0 はリセット段階において 1 時間周期 (t 1 - t 0) 運行し、そのうち、リセット信号 R E S E T は高電圧 V D D である。

10

【 0 0 4 2 】

リセット信号 R E S E T が時間 t 1 で高電圧 V D D から低電圧 V S S に変換される時、リセットトランジスタ 2 2 0 がオフにされる。そのため、S R O 光検出器 2 4 0 の陰極 2 4 4 と陽極 2 4 2 は電圧差 (V R E F - V S S) を有する。S R O 光検出器 2 4 0 は逆バイアス電圧 (r e v e r s e d b i a s) を有し、すなわち、陰極 2 4 4 における電位が陽極 2 4 2 より高い。この時、節点 N 1 の電位は浮動電位である。アクティブピクセルセンサ回路 2 0 0 は前記積分段階で運転を始める。

【 0 0 4 3 】

アクティブピクセルセンサ回路 2 0 0 が積分段階において運行する時、節点 N 1 の電位は、S R O 光検出器 2 4 0 を照射する光線強度によって変化する。光線の照射を受けて、S R O 光検出器 2 4 0 は光電荷を生成する。生成された光電荷は、S R O 光検出器 2 4 0 の陰極 2 4 4 と陽極 2 4 2 の間の電圧差を低下させる。従って、節点 N 1 の電位が (t 2 - t 1) の時間周期の積分段階において時間の進みにつれて低下する。光線の照射が強ければ強いほど、節点 N 1 における電位低下の傾きが大きい。例えば、図 2 に示すように、破線で表示される強度が L u x B である光線によって N 1 で生成される電位の傾きが、強度が L u x A である光線によって生成される電位の傾きより大きい。そのうち、L u x A < L u x B である。

20

【 0 0 4 4 】

(t 2 - t 1) の時間周期内の積分段階において、リセットトランジスタ 2 2 0 がオフにされ、節点 N 1 の電位が浮動電位である。列選択信号 R O W S E L E C T が時間 t 2 で、低電圧 V S S より高電圧 V R E F に変換される場合、節点 N 1 の電位が S R O 光検出器 2 4 0 の容量値によって (V R E F - V S S) の電位差ほど引き上げられ、その電位差は読み出しトランジスタ 2 3 0 をオンにするのに充分である。

30

【 0 0 4 5 】

節点 N 1 の電位が S R O 光検出器 2 4 0 に含まれる容量値によって (V R E F - V S S) の電位差ほど増加される場合、ソースフォロアーの読み出しトランジスタ 2 3 0 がオンにされる。

【 0 0 4 6 】

ソースフォロアーの読み出しトランジスタ 2 3 0 がオンにされる時、読み出しトランジスタ 2 3 0 のソース 2 3 4 に接続される節点 N 2 が、電圧 (V A - V t h) を行出力ライン 2 1 9 に出力して読み取りを行う。V A は、強度が L u x A の光線によって節点 N 1 の電位が上がった後、節点 N 2 が生成する電圧である。従って、アクティブピクセルセンサ回路 2 0 0 は、時間周期 (t 3 - t 2) における読み出し段階内で運行を行い、そのうち、列選択信号 R O W S E L E C T は高電圧 V R E F である。

40

【 0 0 4 7 】

図 6 に示すアクティブピクセルセンサ回路 2 0 0 において、ソースフォロアーは、読み出しトランジスタ 2 3 0 およびバイアス電流源 2 7 0 を有する。

【 0 0 4 8 】

図 7 はアクティブピクセルセンサ回路 2 0 0 を示し、図 6 に示すアクティブピクセルセ

50

ンサ回路と関連している。ソースフォロアーは、読み出しトランジスタ230およびその他の部品により形成されることも可能である。例えば、図7に示すように、ソースフォロアーは、読み出しトランジスタ230と、制御信号Vbを受信するゲート282、第1供給電圧VREFを受けるソース284、および行読み出しラインに電氣的結合されるドレイン286を有するNチャンネルMOSトランジスタ280とを含んでいる。

【0049】

図8は、前記アクティブピクセルセンサ回路のもう一つの具体的な実施例を示している。そのうち、該ソースフォロアーは、読み出しトランジスタ230と、制御信号RESET2を受信するゲート291、第1供給電圧VREFを受けるソース292、および行出力ライン219に電氣的結合されるドレイン293を有するNチャンネルMOSトランジスタ290と、NチャンネルMOSトランジスタ290のソース292及びドレイン293にそれぞれ電氣的結合される第1端末296および第2端末297を有するコンデンサ295と、を含む。アクティブピクセルセンサ回路の運行は、図5に示すアクティブピクセルセンサ回路と同じである。さらに、次の列の光電信号を正しく読み出せるために、制御信号RESET2は正パルスを含み、且つ、該正パルスが読み出し段階の直後にNチャンネルMOSトランジスタ290のゲート291に印加されて、行出力ライン219の電圧を除去する。アクティブピクセルセンサ回路の運行のタイミングを示すのが図5である。

【0050】

図9は、本発明の具体的な実施例によるアクティブピクセルセンサ回路を有する表示パネルである。当該表示パネルはマトリクス方式に配列された複数のピクセルを含む。各ピクセルに、アクティブピクセルセンサ回路300がある。図9において、一つのピクセル301のみを表示する。アクティブピクセルセンサ回路300は、リセット信号RESETを提供するためのリセットライン311と、列選択信号ROW SELECTを提供するための列選択ライン313と、第1供給電圧VREFを提供するための第1供給電圧ライン315と、第2供給電圧VDDを提供するための第2供給電圧ライン317と、光電信号を出力するための行読み出しライン319と、を含む。アクティブピクセルセンサ回路300は、また、リセットライン311に電氣的結合されるゲート、第1供給電圧ライン315に電氣的結合されるドレイン及びソースを有するリセットトランジスタ320と、列選択ライン313に電氣的結合される陽極、及びリセットトランジスタ320のソースに電氣的結合される陰極を有するSRO光検出器340と、SRO光検出器340の陽極に電氣的結合されるゲート、行読み出しライン319に電氣的結合されるソース、および第2供給電圧ライン317に電氣的結合されるドレインを有する読み出しトランジスタ330と、を含む。

【0051】

SRO光検出器(SRO)が光線例えばバックライトおよび/または周辺光の照射により光電荷を生成する。生成された光電荷は外部回路に拡張された行読み出しライン319を介して読み出すことができる。

【0052】

また、本発明はアクティブピクセルセンサ回路およびその操作方法を開示する。一つの具体的な実施例において、前記アクティブピクセルセンサ回路は、リセットトランジスタ、読み出しトランジスタおよびSRO光検出器を備える。SRO光検出器は容量を備えるだけでなく、前記の昇圧レベルを引き上げるのにも利用することができ、それによって、前記ソースフォロアーをオンにする。本発明によると、ディスプレイの口径比および感度を改善することができる。

【0053】

以上、本発明の好適な実施例をあげ説明したが、本発明はこれらの実施例に限定されるものではない。当業者であれば、本発明の精神及び範囲を逸脱しない限り、多少の変動や潤色を加えることができる。従って、本発明の保護範囲は、特許請求の範囲の記載を基準とする。

【符号の説明】

10

20

30

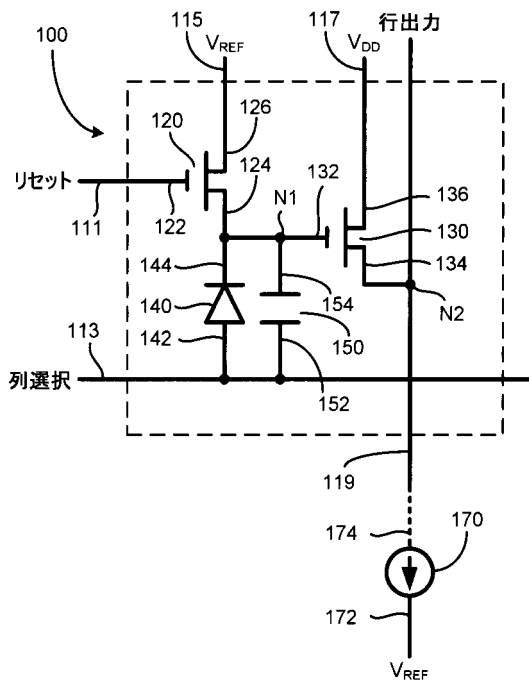
40

50

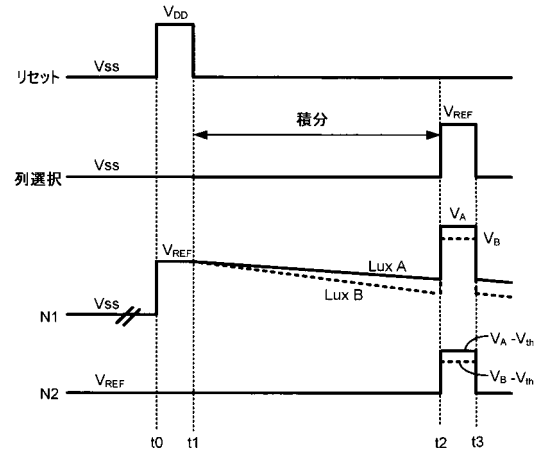
【 0 0 5 4 】

1	リセットトランジスタ	2	フォトダイオード	
3	積分コンデンサ	4	読み出しトランジスタ	
5	列選択トランジスタ	6	電流源	
1 0	従来のCMOSアクティブピクセルセンサ			
1 0 0	アクティブピクセルセンサ回路	1 1 1	リセットライン	
1 1 3	列選択ライン	1 1 5	第1供給電圧ライン	
1 1 7	第2供給電圧ライン			
1 1 9	行読み出しライン			
1 2 0	リセットトランジスタ	1 2 2	ゲート	10
1 2 4	ソース	1 2 6	ドレイン	
1 3 0	読み出しトランジスタ	1 3 2	ゲート	
1 3 4	ソース	1 3 6	ドレイン	
1 4 0	フォトダイオード	1 4 2	陽極	
1 4 4	陰極	1 5 0	積分コンデンサ	
1 5 2	第1端末	1 5 4	第2端末	
1 7 0	バイアス電流源	1 7 2	第1端末	
1 7 4	第2端末			
1 8 0	NチャネルMOSトランジスタ			
1 8 2	ゲート	1 8 4	ソース	20
1 8 6	ドレイン			
1 9 0	NチャネルMOSトランジスタ	1 9 1	ゲート	
1 9 2	ソース	1 9 3	ドレイン	
1 9 5	コンデンサ	1 9 6	第1端末	
1 9 7	第2端末			
2 0 0	アクティブピクセルセンサ回路	2 1 1	リセットライン	
2 1 3	列選択ライン	2 1 5	第1供給電圧ライン	
2 1 7	第2供給電圧ライン	2 1 9	行出力ライン	
2 2 0	リセットトランジスタ	2 2 2	ゲート	
2 2 4	ソース	2 2 6	ドレイン	30
2 3 0	読み出しトランジスタ	2 3 2	ゲート	
2 3 4	ソース	2 3 6	ドレイン	
2 4 0	SRO光検出器	2 4 2	陽極	
2 4 4	陰極	2 7 0	バイアス電流源	
2 7 2	第1端末	2 7 4	第2端末	
2 8 0	NチャネルMOSトランジスタ	2 8 2	ゲート	
2 8 4	ソース	2 8 6	ドレイン	
2 9 0	NチャネルMOSトランジスタ	2 9 1	ゲート	
2 9 2	ソース	2 9 3	ドレイン	
2 9 5	コンデンサ	2 9 6	第1端末	40
2 9 7	第2端末			
3 0 0	アクティブピクセルセンサ回路			
3 0 1	ピクセル	3 1 1	リセットライン	
3 1 3	列選択ライン	3 1 5	第1供給電圧ライン	
3 1 7	第2供給電圧ライン			
3 1 9	行読み出しライン			
3 2 0	リセットトランジスタ	3 2 4	ソース	
3 3 0	読み出しトランジスタ	3 4 0	SRO光検出器	

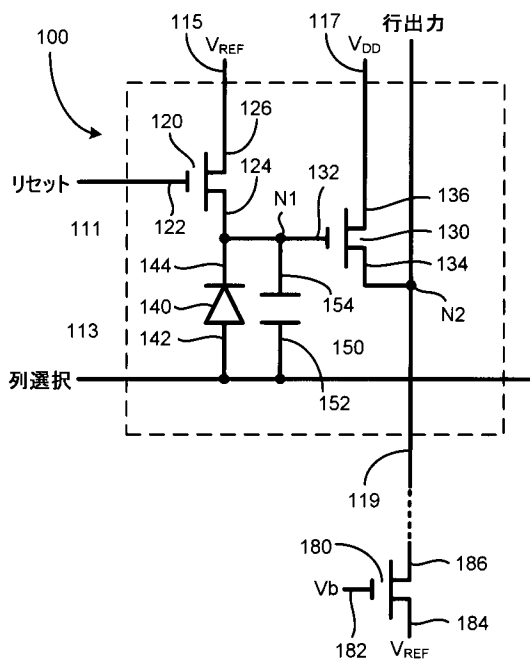
【図1】



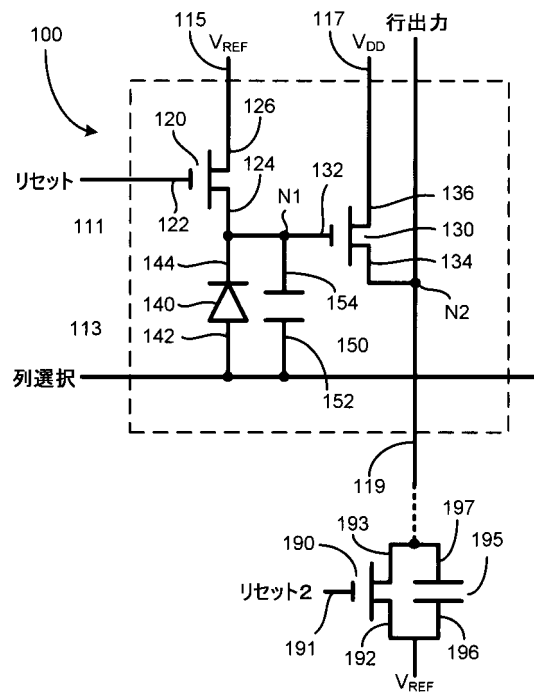
【図2】



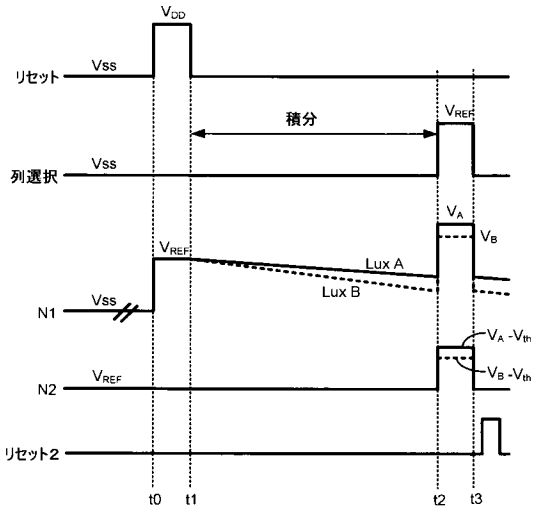
【図3】



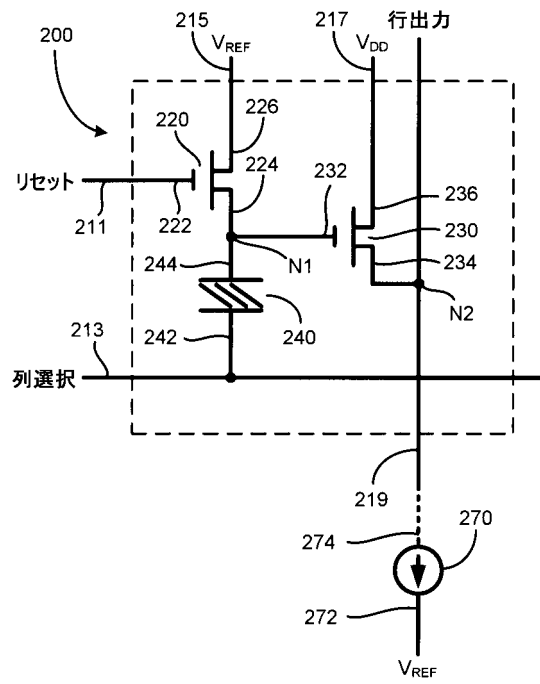
【図4】



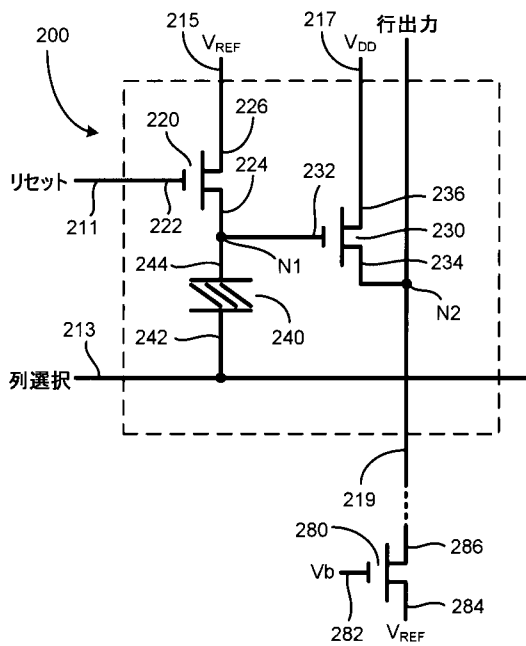
【図5】



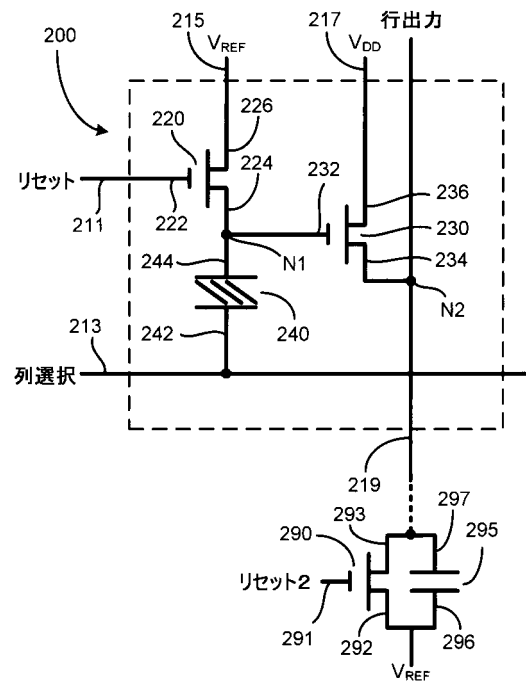
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 卓 恩宗

台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内

審査官 若林 治男

(56)参考文献 特開2007-011233(JP,A)

特開2005-300630(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/374

G02F 1/133

H03F 3/08