



(12)发明专利

(10)授权公告号 CN 103346228 B

(45)授权公告日 2017.06.13

(21)申请号 201310253258.8

(22)申请日 2010.07.09

(65)同一申请的已公布的文献号

申请公布号 CN 103346228 A

(43)申请公布日 2013.10.09

(30)优先权数据

12/732,537 2010.03.26 US

(62)分案原申请数据

201010221717.0 2010.07.09

(73)专利权人 晶元光电股份有限公司

地址 中国台湾新竹市

(72)发明人 程志青 童敬文

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51)Int.Cl.

H01L 33/20(2010.01)

审查员 黎欣

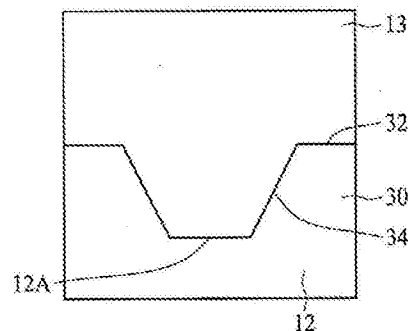
权利要求书1页 说明书5页 附图10页

(54)发明名称

半导体元件

(57)摘要

在本发明的一实施例中,半导体元件包含一基板及设置于该基板上方的一外延层。该基板包含一上表面以及多个设置于该上表面的凸块,该凸块包含一顶面及多个壁面,该顶面实质上平行于该上表面,该壁面夹置于该顶面与该上表面之间。在本发明的一实施例中,该外延层在该上表面上方的晶格方向与在该壁面上方的晶格方向实质相同。



1. 一种半导体元件制造方法, 包含:

提供一基板, 该基板包含一上表面以及多个设置于该上表面的凸块, 该每一凸块包含一顶面及多个壁面, 该多个壁面夹置于该顶面与该上表面之间;

对该基板进行一热处理工艺; 以及

在该热处理工艺后, 成长一外延层在该基板上方, 该热处理工艺使得该上表面及该顶面适合外延层成长而该上表面及该顶面以外的其他面不适合外延层成长。

2. 根据权利要求1所述的半导体元件制造方法, 其中该外延层在该上表面上方的晶格方向与在该壁面上方的晶格方向实质相同。

3. 根据权利要求1所述的半导体元件制造方法, 其中该外延层的成长工艺起始于该上表面及该顶面, 再延伸至该多个壁面。

4. 根据权利要求1所述的半导体元件制造方法, 其中该外延层在该壁面上方的衍射图与在该基板的衍射图相符。

5. 根据权利要求1所述的半导体元件制造方法, 其中该每一凸块包含至少一斜面, 该斜面夹置于该顶面与该多个壁面之间。

6. 根据权利要求1所述的半导体元件制造方法, 其中该热处理工艺之实施温度介于1030°C至1050°C之间。

7. 根据权利要求1所述的半导体元件制造方法, 其中该热处理工艺之实施温度不高于1050°C。

半导体元件

[0001] 本发明是中国发明专利申请(申请号:201010221717.0,申请日:2010年7月9日,发明名称:半导体元件)的分案申请。

技术领域

[0002] 本发明涉及一种半导体元件,特别涉及一种半导体元件,其在图案化基板的凸块(具有多个晶格方向)上的外延层实质上具有单一晶格方向,以便降低缺陷密度并提升静电放电(ESD)防护能力。

背景技术

[0003] 半导体元件(例如发光二极管),已经被广泛地应用在各种交通号志、车用电子、液晶显示器背光模块以及一般照明等。发光二极管基本上是在基板上依序形成n型半导体层、发光区域、p型半导体层,并采用在p型半导体层及n型半导体层上形成电极,通过自半导体层注入的电洞与电子再结合,在发光区域上产生光束,其经由p型半导体层上的透光性电极或基板射出发光二极管。用于制造可见光发光二极管的常用材料包括各种III-V族化合物,包括用于制造绿、黄、橙或红光发光二极管的磷化铝镓铟(AlGaInP)以及用于制造蓝光或紫外光发光二极管的氮化镓(GaN),其中氮化镓发光二极管是成长在蓝宝石基板上。然而,在现有的发光二极管结构中,蓝宝石基板与氮化镓外延层之间的晶格系数差异(lattice mismatch)很大,因而难以降低发光层的缺陷密度。

[0004] 中国台湾专利公告第561632号揭示一种高外部量子效率的发光元件,其在基板的表面部分形成使发光区域产生的光散射或衍射的至少一个凹部及/或凸块。凹部及/或凸块的形状可避免结晶缺陷形成于半导体层内部。

[0005] 中国台湾专利公告第I236773号揭示一种发光元件,其包含一基板及一形成在该基板上的外延体。该基板具有一基面及多个相间隔地由该基板的基面凹陷的凹槽。该外延体具有一基面及多个由该外延体的基面凸伸而出的凸柱。该外延体的凸柱是分别设置于该基板的凹槽内。该基板的每一凹槽与该外延体的每一凸柱相配合界定出多个封闭孔。

[0006] 中国台湾专利公告第I253771号揭示一种发光二极管结构,包括基板、第一型掺杂半导体层、第一电极、发光层、第二型掺杂半导体层与第二电极。其中,基板具有一表面以及多个位于表面上的圆柱状光子晶体,而第一型掺杂半导体层是配置于基板上以覆盖这些光子晶体。发光层、第二型掺杂半导体层与第二电极是依序配置于部分的第一型掺杂半导体层上,而第一电极则是配置于未覆盖有发光层的部分第一型掺杂半导体层上。由于具有光子晶体的基板能够改善第一型掺杂半导体层的外延质量,并增加正向出射发光二极管结构的光能量,因此可有效提高发光二极管结构的发光效率。

[0007] 武东星等人揭示一种近紫外光氮化物发光二极管,其发光波长约为410奈米(参见:“成长在图案化蓝宝石基板上的近紫外光氮化镓-氮化镓发光二极管的加强输出功率,”IEEE电子技术快报,第17卷,2005年2月2日,“Enhanced Output Power of Near-Ultraviolet InGaN-GaN LEDs Grown on Patterned Sapphire Substrates,”IEEE

PHOTONICS TECHNOLOGY LETTERS, VOL. 17, NO. 2, FEBRUARY 2005)。相较于现有的发光二极管,使用图案化蓝宝石基板的发光二极管的发光强度提升约63%。使用图案化蓝宝石基板的发光二极管操作在20mA的正向电流下的输出功率及外部量子效率分别为10.4mW及14.1%。发光强度的提升主要归因于使用图案化基板而降低螺纹状差排(threading dislocations)及增加在横向的取光效率。

发明内容

[0008] 本发明的目的在于提供一种半导体元件,其在图案化基板上的外延层实质上具有单一晶格方向,以便降低缺陷密度并提升静电放电(ESD)防护能力。

[0009] 本发明的半导体元件的一实施例包含一基板及设置于该基板上方的外延层。该基板包含一上表面以及多个设置于该上表面的凸块,该凸块包含一顶面及多个壁面,该顶面实质上平行于该上表面,该壁面夹置于该顶面与该上表面之间。该外延层在该上表面上方的晶格方向与在该壁面上方的晶格方向实质相同。

[0010] 本发明的半导体元件的另一实施例包含一基板及设置于该基板上方的外延层。该基板包含一上表面以及多个设置于该上表面的凸块,该凸块包含一顶面及多个壁面,该顶面实质上平行于该上表面,该壁面夹置于该顶面与该上表面之间。该外延层具有单一晶格方向且实质上覆盖该基板及该凸块的壁面,该外延层实质上没有空洞。

[0011] 上文已相当广泛地概述本发明的技术特征及优点,以使下文的本发明详细描述得以获得较佳了解。构成本发明的保护范围标的其它技术特征及优点将描述于下文。本发明所属技术领域中具有通常知识的人员应了解,可相当容易地利用下文揭示的概念与特定实施例可作为修改或设计其它结构或工艺而实现与本发明相同的目的。本发明所属技术领域中具有通常知识的人员亦应了解,这类等效建构无法脱离所附的权利要求书所界定的本发明的精神和范围。

[0012] 通过参照前述说明及下列附图,本发明的技术特征及优点得以获得完全了解。

附图说明

[0013] 图1为本发明第一实施例的半导体元件的俯视图;

[0014] 图2为沿图1的剖面线1-1线的剖视图;

[0015] 图3为本发明第一实施例的基板的俯视图;

[0016] 图4为本发明第一实施例的基板的扫描式电子影像;

[0017] 图5为本发明第一实施例的半导体元件的局部扫描式电子影像;

[0018] 图6示出了图5的扫描区域;

[0019] 图7至图10为本发明第一实施例的半导体元件的不同区域的纳米电子束衍射图;

[0020] 图11为本发明比较例的半导体元件的局部扫描式电子影像;

[0021] 图12至图15为本发明比较例的半导体元件的不同区域的纳米电子束衍射图;

[0022] 图16及图17为现有技术制备的外延层的表面形貌影像;以及

[0023] 图18及图19为本发明制备的外延层的表面形貌影像。

[0024] 其中,附图标记说明如下:

[0025] 10 半导体元件

- [0026] 12基板
- [0027] 12A 上表面
- [0028] 13缓冲层
- [0029] 14N型半导体层
- [0030] 16发光结构
- [0031] 18P型半导体层
- [0032] 20接触层
- [0033] 22导电透明层
- [0034] 24第一电极
- [0035] 26第二电极
- [0036] 30凸块
- [0037] 32顶面
- [0038] 34壁面
- [0039] 36斜面
- [0040] 38底面

具体实施方式

[0041] 为了解决现有技术的问题并提升发光效率,本案发明人提出使用图案化蓝宝石基板作为发光二极管的外延基板,通过图案化蓝宝石基板的凸块的顶面、斜面及壁面以不同角度反射/衍射发光结构产生的光束,以便大幅地降低发光结构产生的光束在该半导体发光元件的内部重复进行反射,因而得以避免该光束被该发光结构本身吸收而衰减消灭,以便提升取光效率(详参美国专利申请案号12/327,367;发明名称为半导体发光元件「SEMICONDUCTOR LIGHT-EMITTING DEVICE」),其全文以引用方式并入本文中。

[0042] 然而,图案化蓝宝石基板的凸块的顶面、斜面及壁面的晶向(orientation)不同且均可供外延成长,导致从不同晶向成长的晶粒在接触形成膜层时,因晶向不同而无可避免地会形成孔洞状缺陷(如图16所示)。因此,后续外延成长的发光结构内部也形成孔洞状缺陷(如图17所示),亦即发光结构内部的缺陷密度增加而导致半导体元件对静电放电(ESD)的防护能力降低。为了解决此一使用图案化基板(具有多个晶格方向)所衍生的缺陷密度增加问题,本案发明人通过在外延工艺之前,先行在图案化基板上实施一热处理工艺,使得后续的外延工艺仅在一特定面向成长外延层,其它的面向并不会成长外延层,如此外延层实质上具有单一晶格方向,解决了不同晶向成长的晶粒形成缺陷的问题,详如下文所述。

[0043] 图1为本发明第一实施例的半导体元件10的俯视图,图2为沿图1的剖面线1-1线的剖示图。在本发明的一实施例中,该半导体元件10包含一基板12、设置于该基板12上方的一缓冲层13、设置于该缓冲层13上方的一N型半导体层14、设置于该N型半导体层14上方的一发光结构16、设置于该发光结构16上方的一P型半导体层18、设置于该P型半导体层18上方的一接触层20、设置于该接触层20上方的一导电透明层22、设置于该N型半导体层14上的一第一电极24、以及设置于该导电透明层22上方的一第二电极26。

[0044] 图3为本发明第一实施例的基板12的俯视图,图4为本发明第一实施例的基板12的扫描式电子影像。在本发明的一实施例中,该基板12包含一上表面12A以及多个以周期方式

设置于该上表面12A的凸块30,该凸块30排列成多个奇数列及多个偶数列,且在偶数列的各凸块30位于邻近奇数列的两个凸块30之间。在本发明的一实施例中,该凸块30的高度介于0.5至5微米之间,间隔介于0.5至10微米之间,宽度介于0.5至5微米之间。

[0045] 在本发明的一实施例中,该凸块30包含一顶面32、三个壁面34以及三个斜面36,其中该斜面36夹置于该顶面32与该壁面34之间。在本发明的一实施例中,该壁面34与该斜面36的倾斜度不同(即与该基板12的上表面12A的夹角不同),两者相连且夹角介于90至180度之间。该凸块30包含一底面38,该底面38具有三个转角,且该转角的连线呈弧状,亦即该壁面34呈弧状。

[0046] 图5为本发明第一实施例的半导体元件10的局部扫描式电子影像,图6为图5的扫描区域,图7至图10为本发明第一实施例的半导体元件10的不同区域的纳米电子束衍射图(Nano Beam Diffraction,NBD)。在本发明的一实施例中,该基板12为一蓝宝石基板,该N型半导体外延层14为一氮化镓层,且在进行外延工艺以成长该缓冲层13之前,先在一预定温度下进行一热处理工艺,使得该壁面34实质上不适合外延成长。在本发明的一实施例中,该处理工艺较佳地在1030℃至1050℃之间,200torrs的压力,进行约3分钟,以便选择性地移除在该上表面12A及该顶面32的悬键(dangling bonds),使得该上表面12A及该顶面32适合外延成长;相对地,该凸块30的壁面34则仍由悬键占据而不适合外延成长。本发明所属技术领域中具有通常知识的人员应了解,在不背离所附权利要求书所界定的本发明精神和范围内,该处理工艺可通过改变温度、压力或处理时间,抑或添加可改变表面环境的物种,而达成选择性地移除悬键的目的。

[0047] 在该处理工艺之后,该外延层13的成长工艺起始于该上表面12A及该顶面32,再延伸至该凸块30的壁面34,因此该外延层13在该上表面12上方的晶格方向与在该壁面34上方的晶格方向实质相同,如图8及图9所示。在本发明的一实施例中,该外延层13具有单一晶格方向且实质上覆盖该基板的上表面12A及该凸块30的壁面34,且该外延层13内部实质上没有空洞。特而言之,该外延层13在该壁面34上方的衍射图与在该基板12的衍射图相符,如图10所示。如此,该外延层13及其上方的膜层内部的缺陷密度大幅地降低,亦即该半导体元件10的内部缺陷密度降低,因而对静电放电(ESD)具有较佳的防护能力。

[0048] 图11为本发明比较例的半导体元件的局部扫描式电子影像,图12至图15为本发明比较例的半导体元件的不同区域的纳米电子束衍射图,其中在该缓冲层13的外延成长工艺前,在高于1050℃的温度下进行热处理工艺。该热处理工艺不仅移除了在该上表面12A及该顶面32的悬键,亦一并移除该凸块30的壁面34的悬键,使得该上表面12A、该顶面32及该壁面32均适合外延成长,而该外延层13的成长工艺可起始于该基板12的上表面12A或起始于该凸块30的壁面34。因此,该外延层13在该基板12的上表面12A的晶格方向不同于该凸块30的壁面34的晶格方向,如图13及图14所示。

[0049] 特而言之,该外延层13在该壁面34上方的衍射图与在该基板12的衍射图不相符,如图15所示。如此,该外延层13及其上方的膜层内部的缺陷密度增加,亦即该半导体元件10的内部缺陷密度增加,因而对静电放电(ESD)的防护能力降低。

[0050] 在本发明的一实施例中,该基板12包含绝缘透光材料,例如蓝宝石(Sapphire)、硅或碳化硅;该N型半导体层14、该发光结构16及该P型半导体层18包含III-V族材料,例如氮化铝镓、氮化镓、氮化铟镓、氮化铝镓铟、磷化镓或磷砷化镓;该接触层20包含III-V族材料,

例如氮化铝镓、氮化镓、氮化铟镓、氮化铝镓铟、磷化镓或磷砷化镓；该导电透明层22包含氧化铟、氧化锡或氧化铟锡；该发光结构16可以是量子阱 (quantum well) 或是多重量子阱 (multi-quantum well)，夹置于P型披覆层与N型披覆层之间。此外，该N型半导体层14、该发光结构16及该P型半导体层18的材料亦可II-VI，其可选自硒化锌镉 (ZnCdSe)、硒化锌镁 (ZnMgSe)、硒化锌钡 (ZnBaSe)、硒化锌铍 (ZnBeSe)、硒化锌钙 (ZnCaSe)、硒化锌锶 (ZnSrSe)、碲硫化锌镉 (ZnCdSSe)、碲硫化锌镁 (ZnMgSSe)、碲化锌镉 (ZnCdTe)、碲化锌镁 (ZnMgTe)、碲化锌钡 (ZnBaTe)、碲化锌铍 (ZnBeTe)、碲化锌钙 (ZnCaTe)、碲化锌锶 (ZnSrTe)、碲硫化锌镉 (ZnCdSTe) 及碲硫化锌镁 (ZnMgSTe) 组成的群。特而言之，该基板12上的膜层可采用外延机台予以制备。

[0051] 在本发明的一实施例中，该顶面32为C面 (0,0,1)，实质上平行于该基板12的上表面12A。该凸块30的工艺主要包含：形成一屏蔽，其具有局部覆盖该基板的图案；进行蚀刻工艺以局部去除未被该图案覆盖的基板，而于该图案下方形成该凸块30。在本发明的一实施例中，该蚀刻工艺为一湿蚀刻工艺，其蚀刻液包含磷酸。

[0052] 图16及图17为现有技艺制备的外延层的表面形貌影像。现有技艺使用图4的基板，在进行外延工艺以成长该缓冲层13的前，并未先行在一预定温度下进行一热处理工艺使得该壁面34实质上不适合外延成长，因此除了在C面 (0,0,1) 会成长外延层外，在其它的面向也会成长外延层，如图16所示的缓冲层13的表面形貌影像。现有技艺容许外延工艺在多个个长晶方向成长外延层，使得完成外延工艺的半导体元件的表面形貌在放大倍率为5,000倍即呈现明显的孔洞缺陷，如图17所示的P型半导体层18的表面形貌影像。

[0053] 图18及图19为本发明制备的外延层的表面形貌影像。本发明同样使用图4的基板，但在进行外延工艺以成长该缓冲层13的前，先行在一预定温度下进行一热处理工艺使得该壁面34实质上不适合外延成长，因此外延工艺仅在C面 (0,0,1) 成长外延层，其它的面向并不会成长外延层，如图18所示的缓冲层13的表面形貌影像。本发明控制外延工艺仅得在单一长晶方向成长外延层，有效地降低缺陷的产生，即使将表面形貌影像的放大倍率为50,000倍时，仍无法观察到明显孔洞缺陷，如图19所示的P型半导体层18的表面形貌影像。

[0054] 本发明的技术内容及技术特点已揭示如上，然而本发明所属技术领域中具有通常知识的人员应了解，在不背离后附申请专利范围所界定的本发明精神和范围内，本发明的教示及揭示可作种种的替换及修饰。例如，上文揭示的许多工艺可以不同的方法实施或以其它工艺予以取代，或者采用上述二种方式的组合。

[0055] 此外，本案的权利范围并不局限于上文揭示的特定实施例的工艺、机台、制造、物质的成份、装置、方法或步骤。本发明所属技术领域中具有通常知识者应了解，基于本发明教示及揭示工艺、机台、制造、物质的成份、装置、方法或步骤，无论现在已存在或日后开发者，其与本案实施例揭示者以实质相同的方式执行实质相同的功能，而达到实质相同的结果，亦可使用于本发明。因此，所附的权利要求书的范围用以涵盖用以此类工艺、机台、制造、物质的成份、装置、方法或步骤。

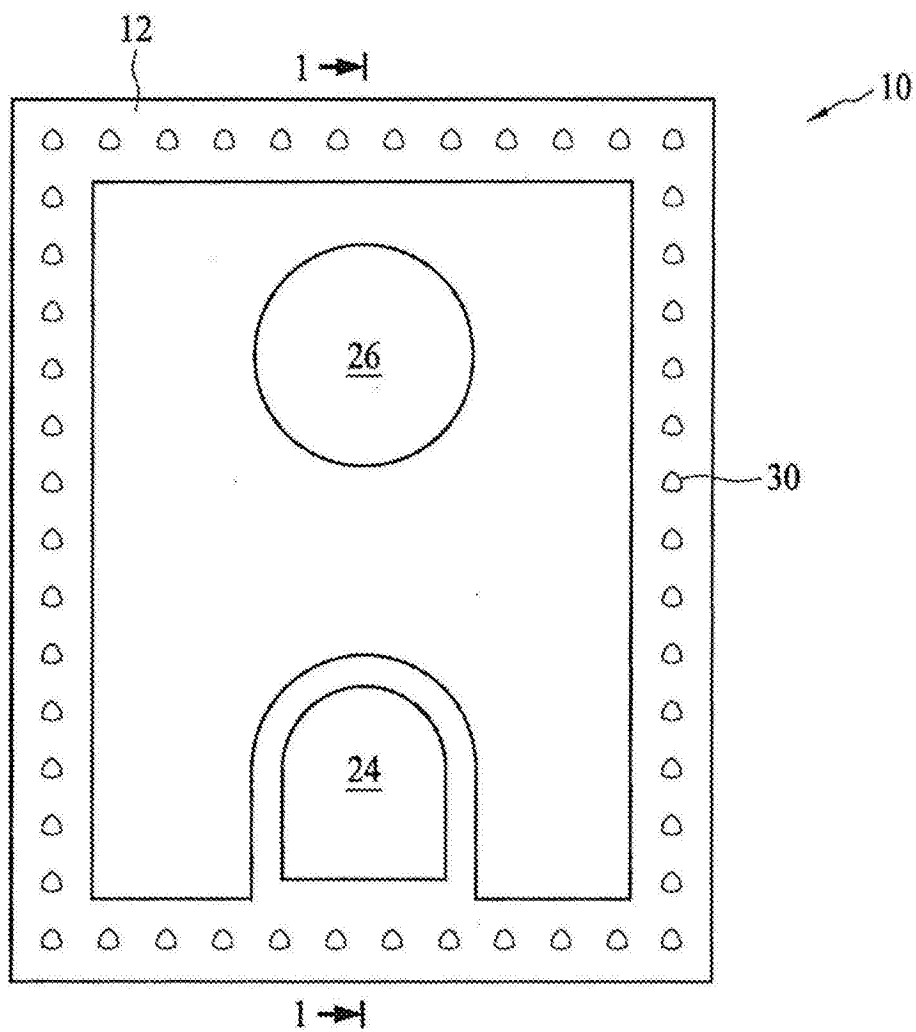


图1

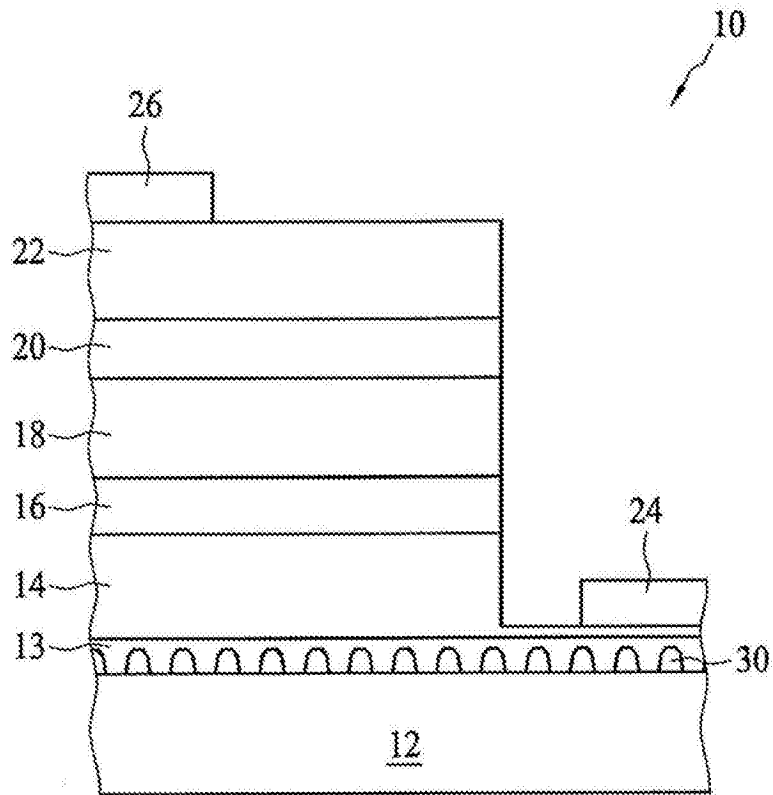


图2

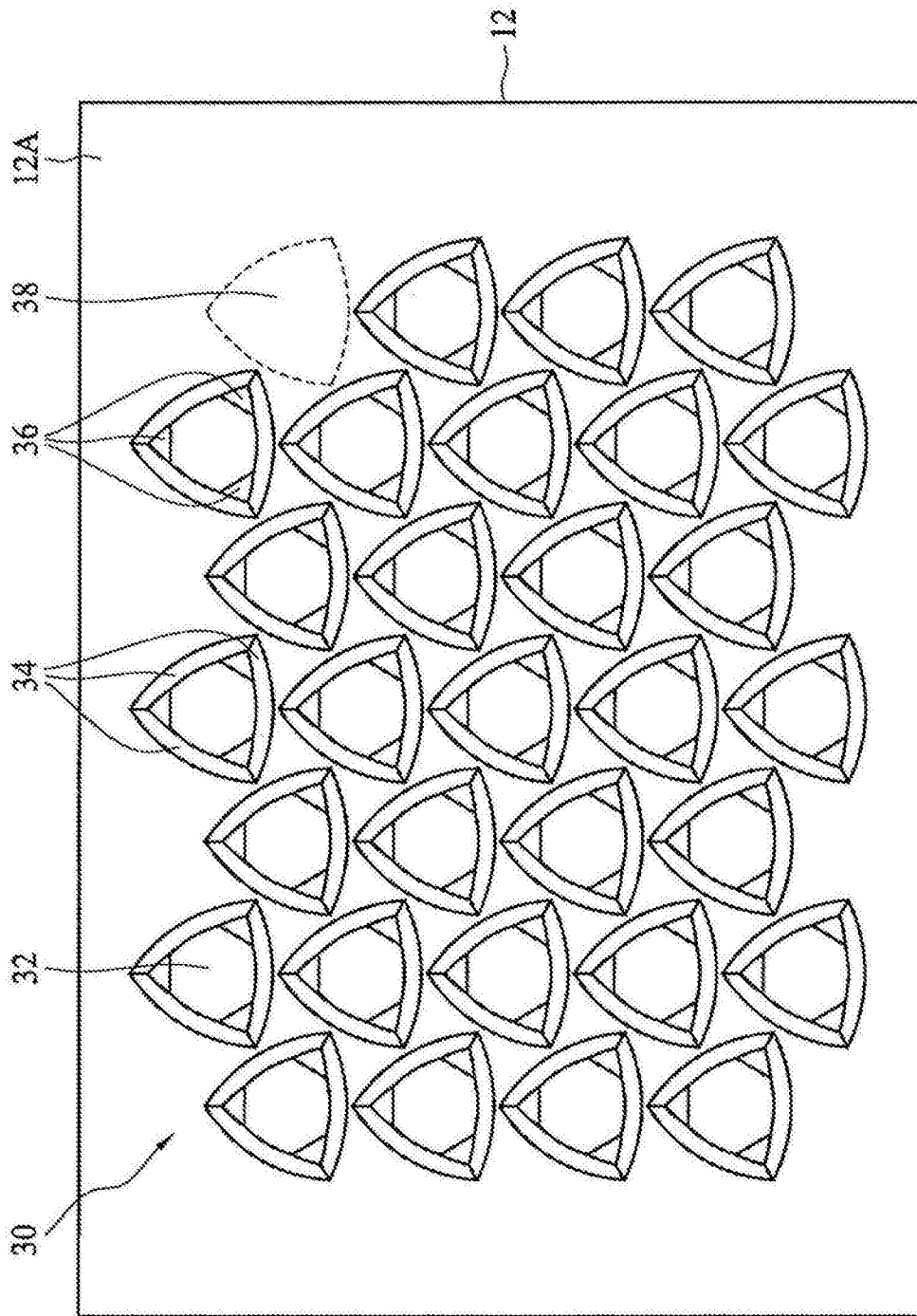


图3

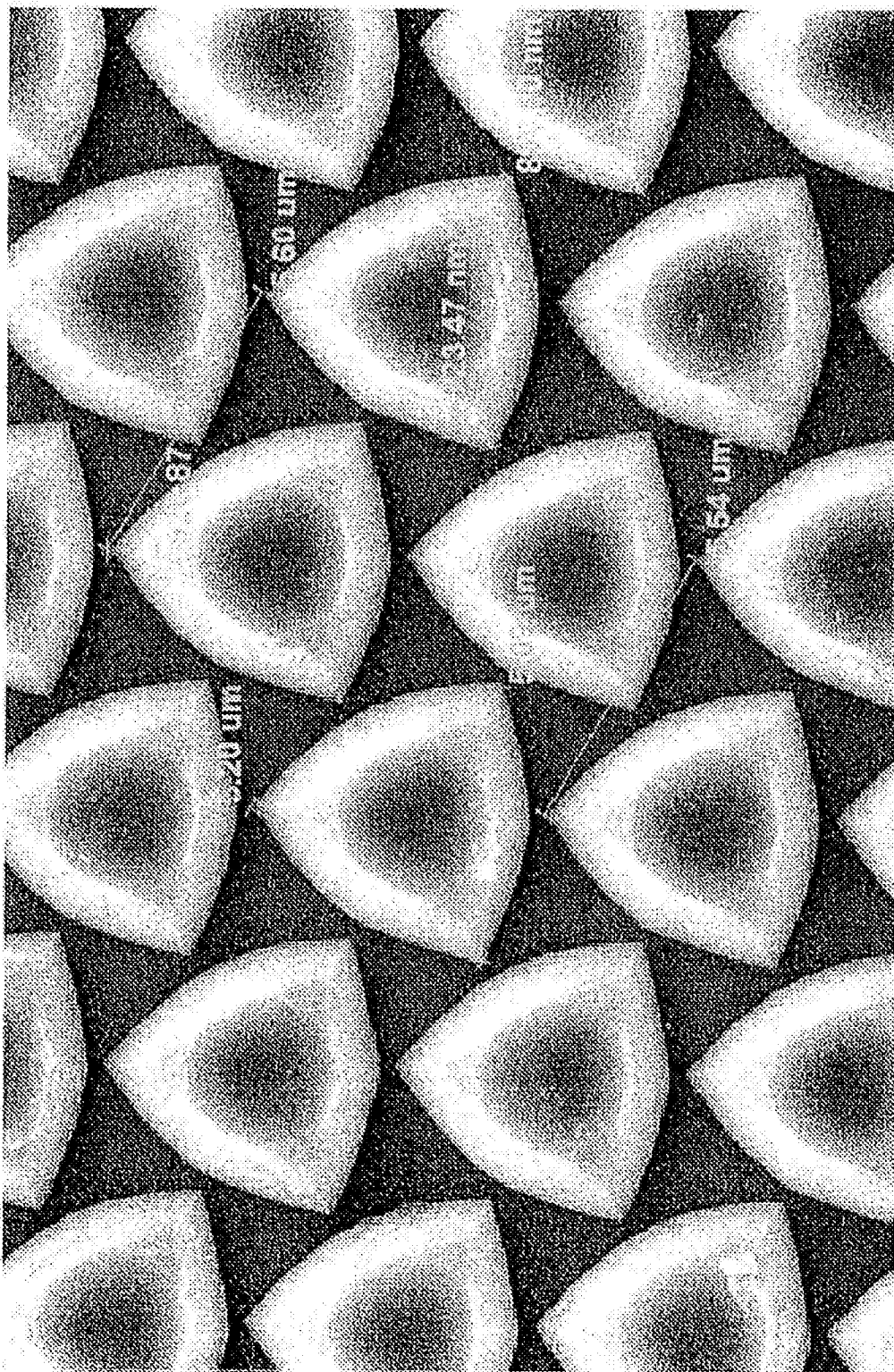
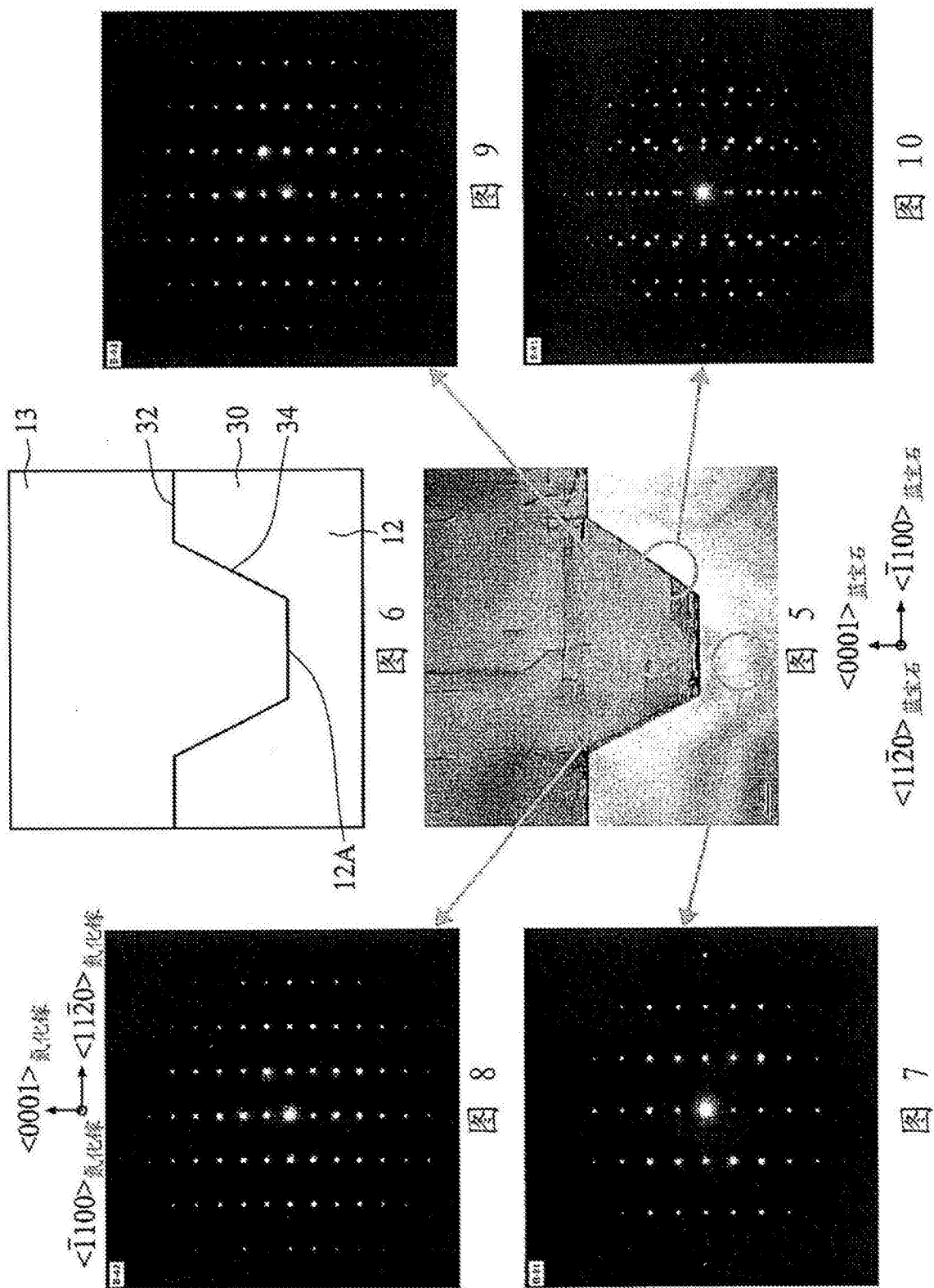


图4



$\langle 0001 \rangle$
 $\langle \bar{1}100 \rangle$
 $\langle 11\bar{2}0 \rangle$

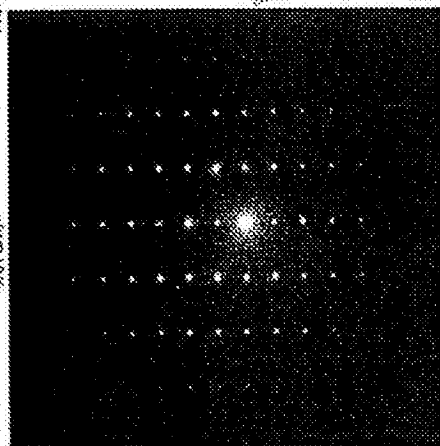


图 13

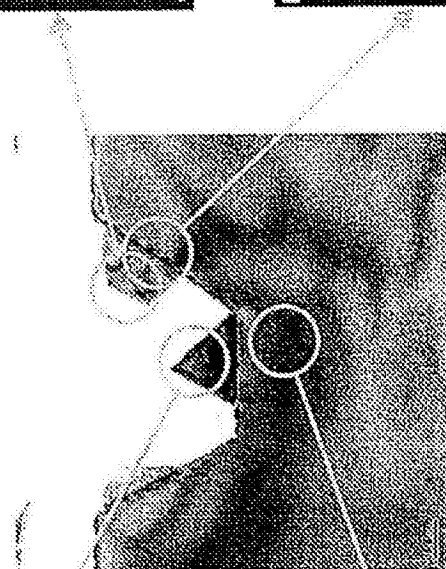


图 11

$\langle 0001 \rangle$
 $\langle \bar{1}100 \rangle$
 $\langle 11\bar{2}0 \rangle$

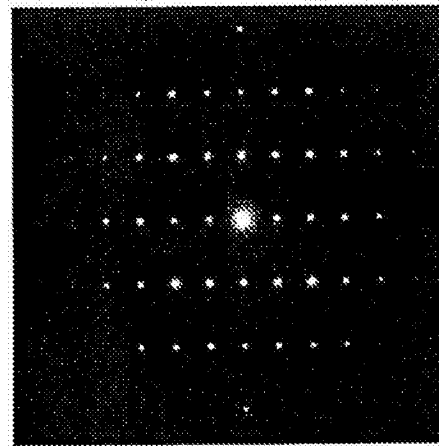


图 12

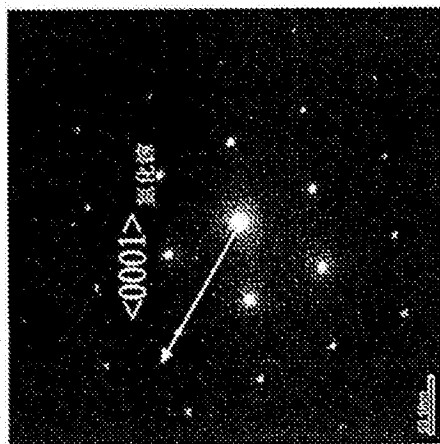


图 14

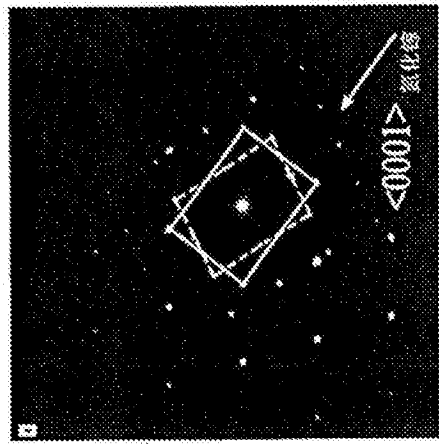


图 15

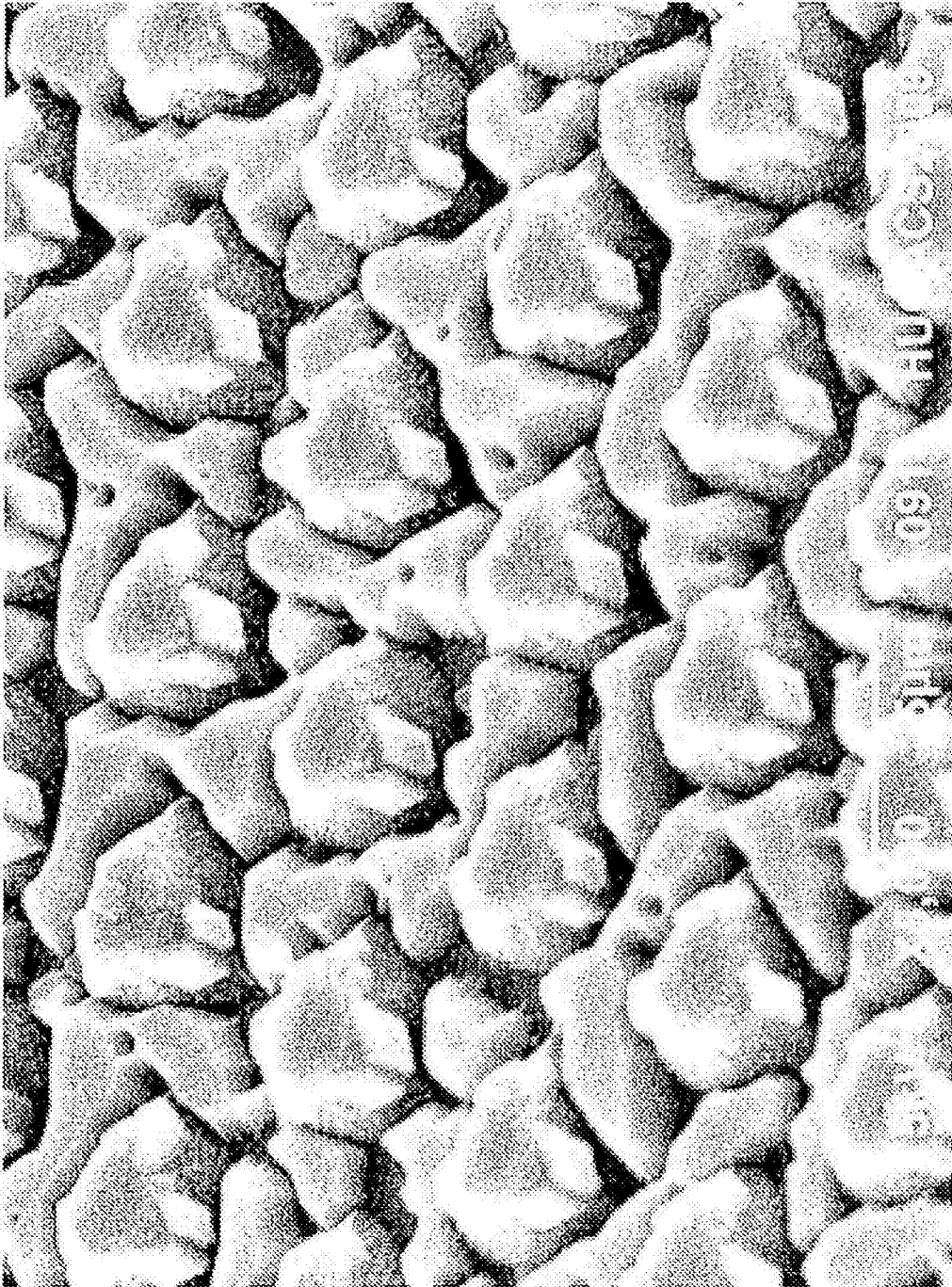


图16

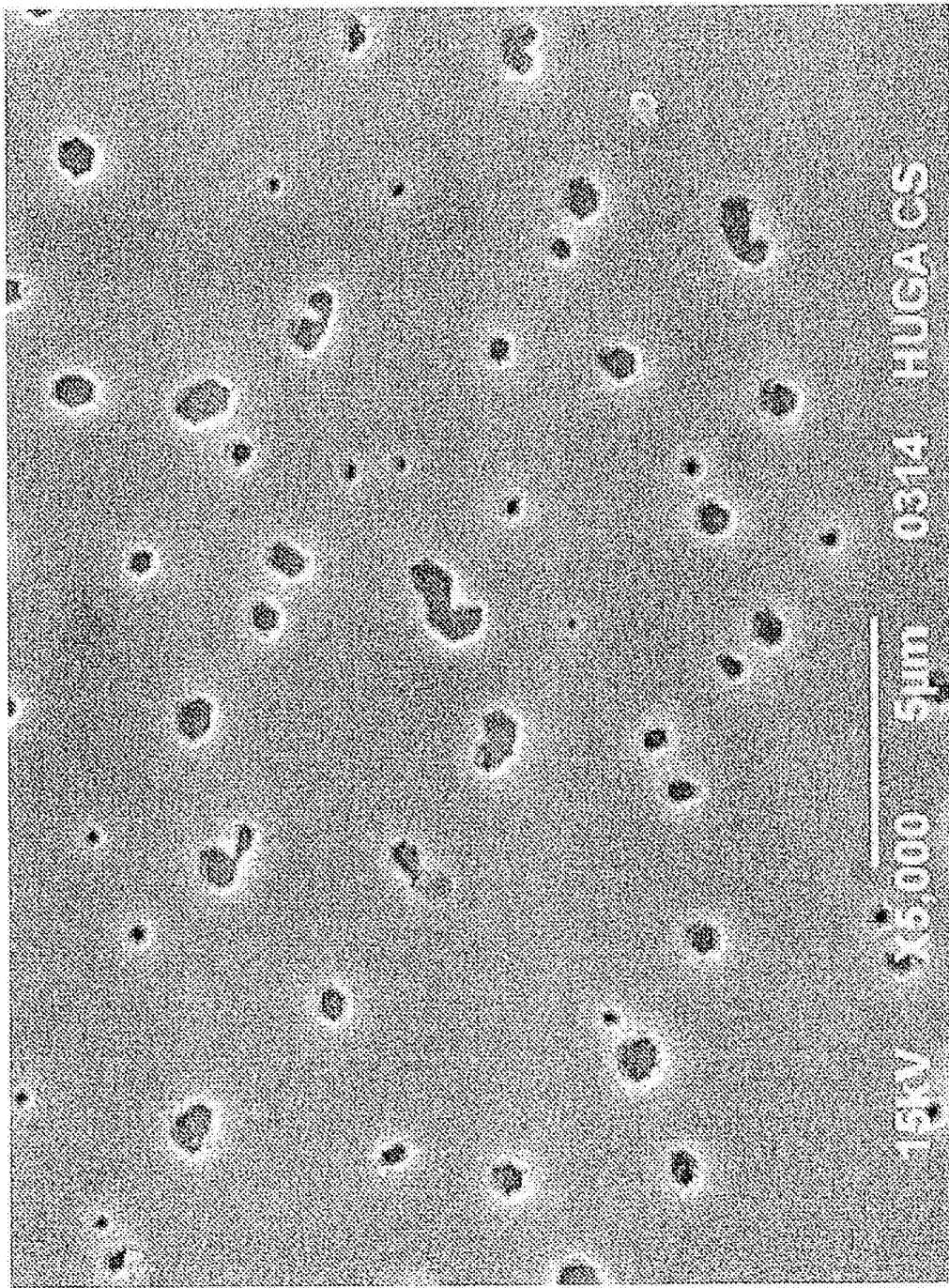


图17

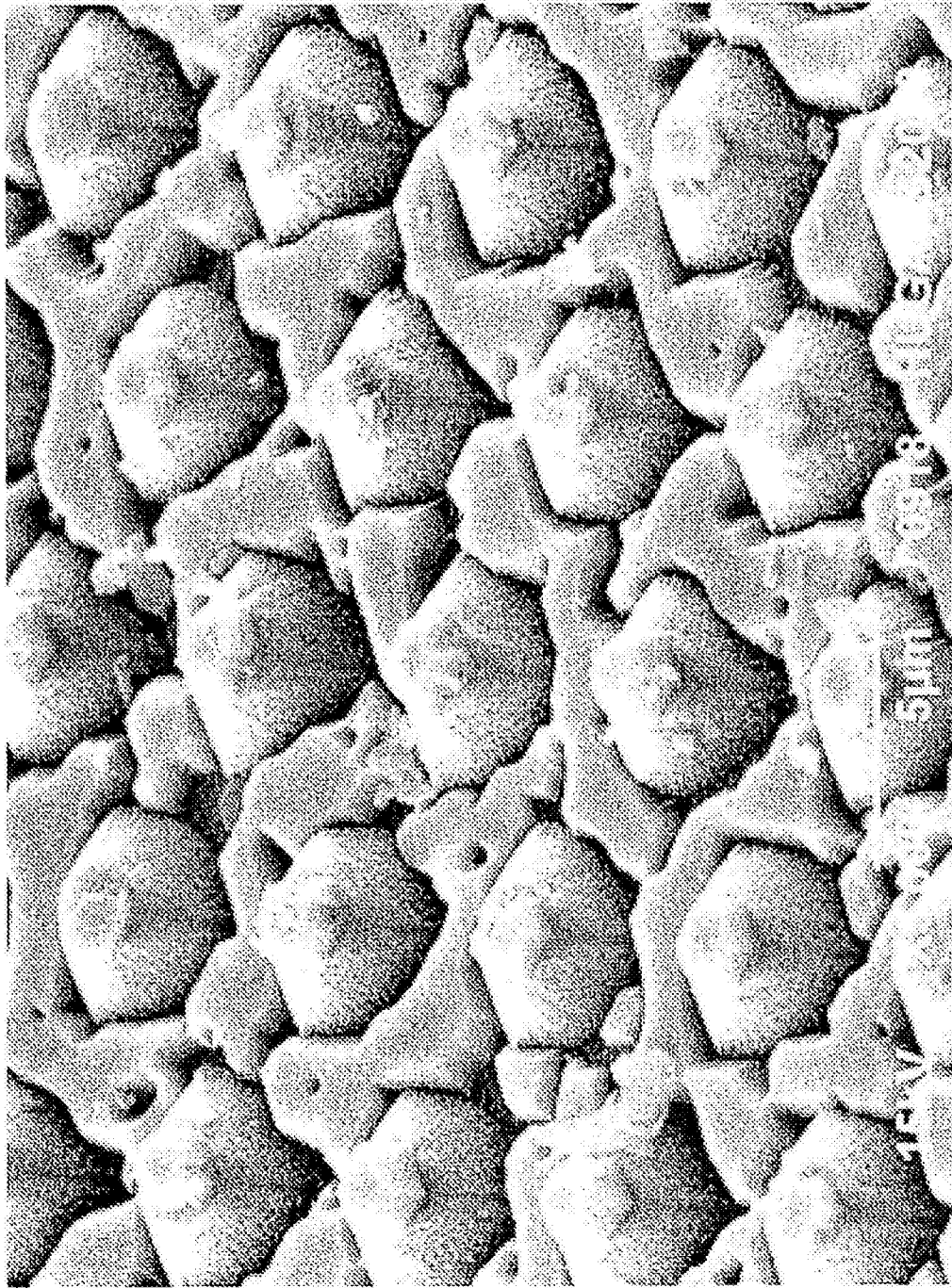


图18

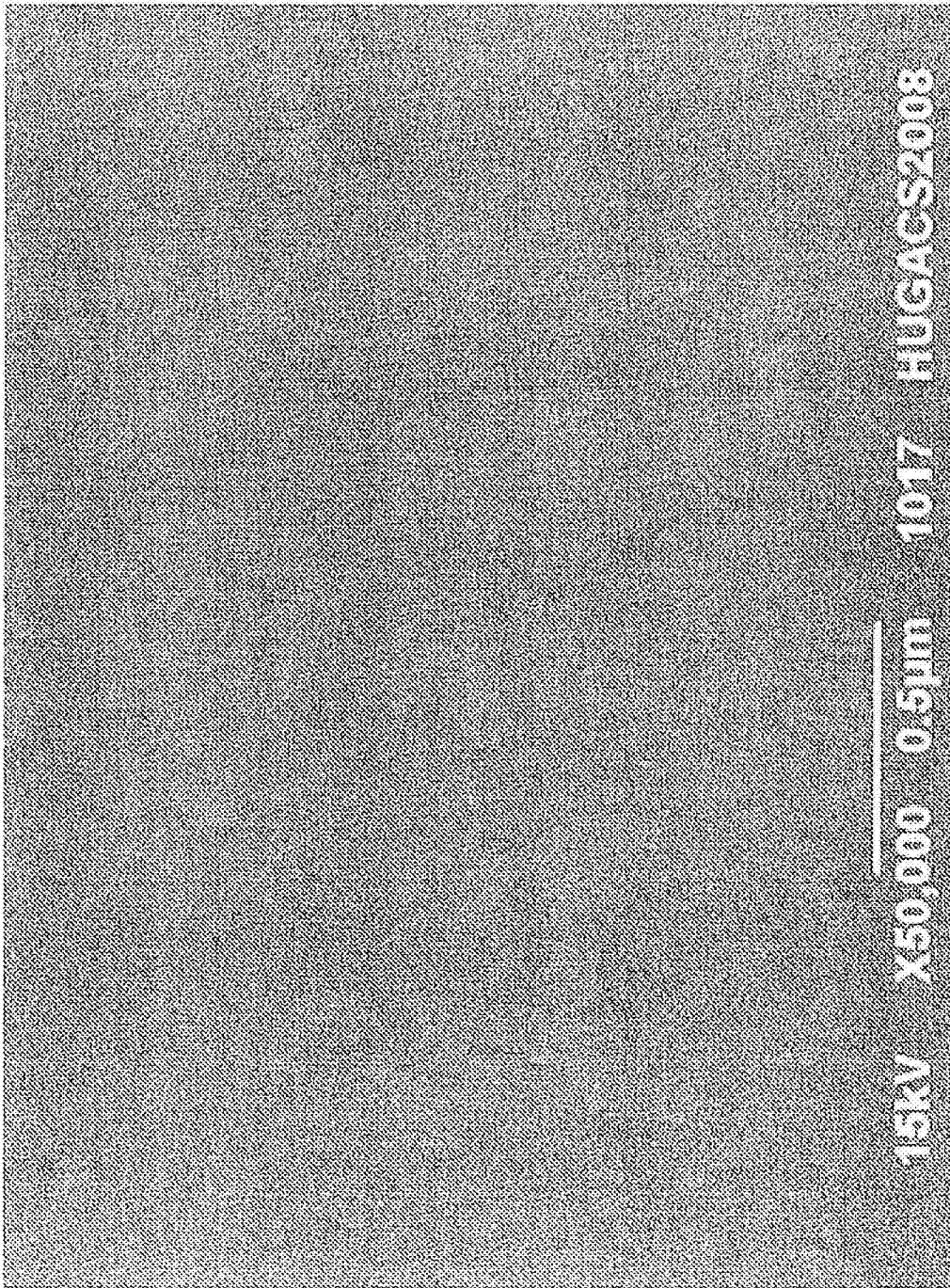


图19