

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3817327号
(P3817327)

(45) 発行日 平成18年9月6日(2006.9.6)

(24) 登録日 平成18年6月16日(2006.6.16)

(51) Int.C1.

F 1

G06F	13/16	(2006.01)	G06F	13/16	520A
G06F	12/00	(2006.01)	G06F	12/00	564A
G06F	12/02	(2006.01)	G06F	13/16	510F

G06F 12/02 (2006.01) G06F 12/02 590A

請求項の数 2 (全 37 頁)

(21) 出願番号 特願平9-90124

(22) 出願日 平成9年3月24日(1997.3.24)

(65) 公開番号 特開平10-91568

(43) 公開日 平成10年4月10日(1998.4.10)

審査請求日 平成16年3月19日(2004.3.19)

(31) 優先権主張番号 08/623,482

(32) 優先日 平成8年3月28日(1996.3.28)

(33) 優先権主張国 米国(US)

(73) 特許権者 504199127

フリースケール セミコンダクター イン
コーポレイテッド
アメリカ合衆国テキサス州78729, オ
ースティン, ウエスト・パーマー・レーン
7700

(74) 代理人 100083574

弁理士 池内 義明

(74) 代理人 100116322

弁理士 桑垣 衛

(72) 発明者 ナンシー・ジー・ウッドブリッジ
アメリカ合衆国テキサス州78734, オ
ースティン, エル・ノート 106

最終頁に続く

(54) 【発明の名称】データ処理システムにおいてチップ選択可能な装置をアクセスする方法および装置

(57) 【特許請求の範囲】

【請求項 1】

データプロセッサ(3)であって、複数の内部アドレス信号、複数の内部データ信号、および複数の内部制御信号を内部バスに提供するための中央処理ユニット(2)、

前記内部バスと前記データプロセッサ(3)の外部の少なくとも1つの装置(207)との間で複数の外部制御信号および複数の外部アドレス信号を通信するための外部バスコントローラ、

前記データプロセッサ(3)が転送アクノレッジ信号を発生すべきことを選択的に指示する外部アクノレッジビットを格納するための制御レジスタ(810)、そして

前記内部バスに結合され前記外部アクノレッジビットが第1の論理状態にある場合に外部バスマスターによって開始されるアクセスに応じて前記転送アクノレッジ信号を肯定し、かつ前記外部アクノレッジビットが第2の論理状態にある場合に前記外部バスマスターによって開始されるアクセスに応じて前記転送アクノレッジ信号をインアクティブ状態に保つためのメモリコントローラ(804)であって、該メモリコントローラ(804)は前記制御レジスタ(810)に結合されて前記外部アクノレッジビットを受信しかつ前記外部バスコントローラに結合されて前記転送アクノレッジ信号を提供し、該メモリコントローラ(804)は前記転送アクノレッジ信号が肯定された時および前記転送アクノレッジ信号がインアクティブ状態である時の双方に前記少なくとも1つの装置に書き込むための書き込みイネーブル信号を提供するもの、

を具備することを特徴とするデータプロセッサ(3)。

【請求項 2】

データプロセッサ(3)を使用して外部装置(207)にアクセスする方法であって、複数の集積回路ピンの内の第1の部分から外部バスマスター(205)からのバス承認信号および外部アドレス値を受信する段階、

前記バス承認信号が所定の論理状態にあることを指示するためにバス調停回路(806)を使用して外部マスター制御信号を選択的に肯定する段階、

前記外部マスター制御信号が肯定されたときにデコードおよびアドレス発生回路(808)を使用して前記外部アドレス値をデコードする段階、

制御レジスタ(810)からの制御ビットにアクセスする段階であって、前記制御ビットは前記データプロセッサ(3)が転送アクノレッジ信号を発生すべきことを示すもの、

前記制御ビットが第1の論理状態にありかつ前記外部マスター制御信号が肯定されたときに、前記デコードおよびアドレス発生回路(808)が前記外部アドレス値が所定の範囲内にあることを判定したことに応じて前記転送アクノレッジ信号を発生する段階、

前記制御ビットが前記第1の論理状態と反対の第2の論理状態にありかつ前記外部マスター制御信号が肯定された時に、前記デコードおよびアドレス発生回路(808)が前記外部アドレス値が前記所定の範囲内にあることを判定したことに応じて前記転送アクノレッジ信号をインアクティブに保つ段階、そして

前記転送アクノレッジ信号が肯定された時および前記転送アクノレッジ信号がインアクティブ状態である時の双方に前記外部装置に書き込むための書き込み不可信号を提供する段階、

を具備することを特徴とするデータプロセッサ(3)を使用して外部装置(207)にアクセスする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般的には、外部マスターおよび外部メモリの間で情報を通信するデータプロセッサに関し、かつ、より特定的には、外部ダイナミック・ランダムアクセスメモリ(DRAM)、外部のチップ選択可能な装置、および外部マスターの間で情報を通信するデータプロセッサに関する。

【0002】

【従来の技術】

ダイナミック・ランダムアクセスメモリ(DRAM)回路は一般的には半導体データ処理システムにおいて使用され無数のデータ処理動作の間に使用するための費用のかからないメモリを提供する。共通のDRAM回路にアクセスする複数のデータプロセッサを使用した現在のデータ処理システムは典型的には適切なアドレス多重化を提供するために外部マルチプレクサを必要とする。そのようなアドレス多重化はメモリアクセス動作の間にDRAM回路に適切なアドレスを提供するために必要とされる。DRAM回路のピン数は典型的には制限されているから、前記複数のデータプロセッサの内の1つによって適切な制御が提供される場合にDRAM回路の同じ予め選択された部分の集積回路ピンにロードレスまたはコラムアドレスを提供するためにマルチプレクサが必要とされる。データプロセッサはRAS(ロードレスストローブ)またはCAS(コラムアドレスストローブ)信号をDRAM回路に提供して前記DRAM回路の予め選択された部分の集積回路ピンに関して現在ロードレスが提供されているあるいはコラムアドレスが提供されているかを指示する。さらに、DRAM回路に読み出しありまたは書き込みアクセスを指示するためにDRAMW信号が提供される。典型的なDRAM回路においては、前記RAS信号はDRAM回路の予め選択された部分の集積回路ピンがロードレス値を受信していることを指示しつつCASバスはDRAM回路の予め選択された部分の集積回路ピンがコラムアドレスを受信していることを示す。前記RAS、CASおよびDRAMW信号に加えて、データプロセッサはまた一般に前記マルチプレクサに対して制御を提供するために少なくとも1つの

10

20

30

40

50

集積回路ピンを指定しなければならない。集積回路ピンの数が制限されている技術領域においては、マルチプレクサの制御を提供するために単一のピンを使用することはデータ処理システムの設計者にとって面倒なことであろう。

【0003】

さらに、従来技術の構成においてマルチプレクサを実施するために必要とされる外部ロジックはしばしば外部マスタを含めてデータ処理システムに対しかなりの量のオーバヘッドコストを加える。アドバンスド・マイクロ・デバイセス (Advanced Micro Devices) 社によって製造されたAM29200およびインターナショナル・ビジネス・マシンズ (International Business Machines) 社によって製造されたPPC403GAを使用したデータ処理システムにおいては、上に述べたような外部多重化が必要とされる。これらのシステムの各々は図1に示されるような構成を必要とする。したがって、現在のDRAMコントローラの構成は適切に機能するが、上に述べたマルチプレクサを使用することを必要とせずあるいはそのマイクロプロセッサを制御するために余分の外部集積回路ピンを必要としないデータ処理システムの必要性が存在する。10

【0004】

データ処理システムの設計者の関心を引き起こす他の領域は内部および外部マスタ装置が共にデータプロセッサにおいてチップ選択および書込みイネーブル発生ロジックを使用する場合に生じる。外部マスタが内部チップ選択発生を使用してバス転送を開始する場合、しばしば、外部マスタはチップ選択されたメモリをアクセスするのに内部マスタとは異なる量の時間を必要とする。これは外部マスタアドレスおよびバス属性が内部マスタアドレスおよびバス属性と同じ時間量で内部コントローラに得られないからである。もしこのような場合が生じかつ外部マスタが内部チップ選択発生ロジックを使用することを希望すれば、従来技術の解決方法は外部マスタのアクセスに整合するために内部マスタのアクセスを変更することを要求するかあるいは内部マスタアクセスが外部マスタアクセスよりも1クロック短くできるようにすることである。20

【0005】

【発明が解決しようとする課題】

しかしながら、もしユーザが上の解決方法のいずれかを使用することができなければ、ユーザは内部チップ選択および書込みイネーブル発生ロジックを使用することができないであろう。このような状況では、ユーザは外部マスタのアクセスのためにそのようなロジックを外部システムに加えなければならない。したがって、外部マスタが外部メモリをアクセスしたときに、外部マスタアクセスのタイミングが内部マスタアクセスのものに等しいかあるいは1サイクル遅くなることを要求することなく、ユーザが内部的に構成されたチップ選択および書込みイネーブル発生ロジックを活用できるようにするデータプロセッサの必要性も存在する。30

【0006】

【課題を解決するための手段】

本発明はデータプロセッサ、外部メモリまたは装置、および外部マスタの間で情報を通信するための装置および方法を提供する。本発明の装置および方法はデータプロセッサが外部マスタによるアクセスの間に外部メモリまたは装置を適切に制御できるようにし、外部インターフェース回路の必要量を低減しつつデータ処理システムに関連するオーバヘッドコストを低減できるようにする。40

【0007】

本発明においては、DRAM回路のアクセスの間に多重化機能を行なうために何らの外部回路も必要とすることなく、データ処理システムにおける外部メモリを制御するための回路および動作方法が提供される。さらに、本発明は外部マスタ装置によるダイナミック・ランダムアクセスメモリ (DRAM) アクセスのためにデータプロセッサにおいて外部マルチプレクサおよび専用の集積回路ピンの必要性を除去する。本発明は図1に示されるような従来技術のデータ処理システムによって必要とされるような専用の集積回路ピンを必50

要とすることなくDRAM回路をアクセスするために必要とされるマルチプレクス機能を実施する。本発明のデータプロセッサによる増大した柔軟性および低減された集積回路ピンの要求はより低いシステムコストを有しあつ半導体市場における最新の進歩を活用するため容易に更新できるデータ処理システムを実現する。

【0008】

本発明の第2の観点においては、ユーザは外部マスタのチップ選択アクセスが内部マスタのアクセスと同じ数のサイクルとすることができますか、あるいは外部転送アクノレッジ終了を使用しあつ任意の数のサイクルとすることができますように本発明のデータプロセッサをプログラムすることができる。ユーザは内部および外部マスタチップ選択アクセスのために、独立にかつチップ選択のベースで、一方依然として内部チップ選択および書き込みイネーブル発生ロジックを使用して、外部転送アクノレッジ終了を使用するようプログラムできる。本発明のこの観点によって与えられる柔軟性はユーザが外部チップ選択および書き込みイネーブル発生ロジックを必要とすることなく異なる外部マスタサイクルのタイミングを補償できるようにする。したがって、本発明のこの実施形態においてはオーバヘッドが節約されかつ効率が増大する。

【0009】

【発明の実施の形態】

以下の説明では、本発明を実施したデータ処理システムの一実施形態の接続および動作につきより詳細に説明する。

【0010】

本発明の接続構成

本発明の接続構成に関する以下の説明においては、用語「バス」は、データ、アドレス、制御またはステータスのような、1つまたはそれ以上の種々の形式の情報を転送するために使用できる複数の信号または導体に言及するために使用される。用語「肯定する」および「否定する」は信号、ステータスピット、または同様の装置を、それぞれ、その論理的に真のまたは論理的に偽の状態にすることに言及する場合に使用される。もし論理的に真の状態が論理レベル“1”であれば、論理的に偽の状態は論理レベル“0”である。また、もし論理的に真の状態が論理レベル“0”であれば、論理的に偽の状態は論理レベル“1”である。

【0011】

さらに、数字に先行する記号“\$”はその数字が16進でまたは16をベースとした形式で表わされることを示す。ある数字に先行する記号“%”はその数字がその2進または2をベースとした形式で表わされることを示している。また、本明細書では記号“*”は信号の論理的反転または否定を示すものとし、いわゆる上線に対応する。

【0012】

本発明の以下の説明においては、用語フィールドおよびビットは相互交換可能に使用されることがあることに注目すべきである。

【0013】

図2は、本発明の一実施形態に係わるデータ処理システム202を示す。データ処理システム202はデータプロセッサ3、外部バスマスター205、メモリ206、およびDRAM207を含む。データプロセッサ3は外部バスマスター205、メモリ206およびDRAM207にEバス(外部バス: External Bus)を介して接続されている。該Eバスはバス調停バス、読み出し/*書き込み(R/*W)信号、転送開始(TS)信号、転送アクノレッジ(TA)信号、および「サイズ(size)」バスをデータプロセッサ3と外部バスマスター205との間で結合している。「アドレスバス」と「データバス」もまたデータプロセッサ3と外部バスマスター205、メモリ206およびDRAM207の各々の間でEバスによって結合されている。さらに、データプロセッサ3はEバスを介してDRAM207に結合され、「ロードアドレスストローブ(RAS)」信号、「コラムアドレスストローブ(CAS)」バス、およびDRAM書き込み(DRAMW)信号を提供する。データプロセッサ3はEバスを介してメモリ206に結合され「チップ選択(CS)

10

20

30

40

50

)」信号および「書き込みイネーブル(WE)」バスを提供する。前記「バス調停」バスは本発明のこの実施形態では「バス要求(BR)」、「バス承認(BG)」および「バス駆動(Bus Driven:BD)」信号の寄せ集め(compilation)である。しかし、バス調停およびそれに関連する信号はデータ処理技術においてはよく知られており他の信号を含む他の構成もここで使用することができる。

【0014】

次に図3を参照すると、図3は本発明の一実施形態に係わるデータプロセッサ3を示している。データプロセッサ3はシステムバスコントローラ8、コア9、スレイブモジュール12、スレイブモジュール13、マスタモジュール14、およびデバッグモジュール10を含む。システムバスコントローラ8はEバスを介して外部装置(ここでは図示されていない)に結合されている。システムバスコントローラ8はSバスを介してスレイブモジュール12およびスレイブモジュール13に結合されている。Sバスはスレイブモジュールバスである。システムバスコントローラ8はMバス23を介してコア9およびマスタモジュール14に結合されている。Mバス23はマスタモジュールバスである。図3は本発明の一実施形態を示していることを理解すべきである。したがって、複数のスレイブモジュールおよび複数のマスタモジュールをデータプロセッサ3の別の実施形態において実施することができる。

【0015】

コア9は中央処理ユニット(CPU)2、メモリ管理ユニット(MMU)/コントローラ4、およびメモリ6を具備する。中央処理ユニット2、MMU/コントローラ4、メモリ6およびデバッグモジュール10は各々Kバス25を介してお互いに結合されている。中央処理ユニット2およびメモリ6の双方はまた直接MMU/コントローラ4に接続されている。MMU/コントローラ4はMバス23を介してデータプロセッサ3の残りの部分に情報を提供する。CPU2は外部装置から「リセット」信号を受信する。デバッグモジュール10はデータプロセッサ3の外部の装置(ここでは図示されていない)と複数のデバッガ情報と通信する。

【0016】

図4は、システムバスコントローラ8の一部を示す。システムバスコントローラ8はデータバス(data path)回路802、メモリコントローラ804、バス調停回路806、デコードおよびアドレス発生回路808、そして制御レジスタ810を具備する。

【0017】

Eバスは双方向的に外部「データ」バスをデータバス(data path)制御回路802と結合する。Mバス23はまた双方向的に「マスタデータ(MData)」バスをデータバス(data path)回路802と結合する。データバス(data path)回路802はまた「レジスタデータ」信号を受信するためにメモリコントローラ804に結合されている。

【0018】

メモリコントローラ804はMバス23に結合されて「マスタ転送アクノレッジ(MTA)」信号を提供する。メモリコントローラ804はEバスに結合されて「書き込みイネーブル(WE)」バス、「チップ選択(CS)」信号、「DRAM書き込み(DRAMW)」信号、「ローアドレスストローブ(RAS)」信号、「コラムアドレスストローブ(CAS)」バス、および「転送アクノレッジ(TA)」信号を提供する。

【0019】

メモリコントローラ804はまた制御レジスタ810に結合されて複数の制御情報を受信する。メモリコントローラ804はデコードおよびアドレス発生回路808に結合されてDRAM_ヒット(DRAM_hit)信号およびCS_ヒット(CS_hit)信号を受信する。メモリコントローラ804はバス調停回路806に結合されて*int_ext_マスタ(*int_ext_master)(内部ではなく、外部マスタ)信号を受信する。

【0020】

10

20

30

40

50

バス調停回路 806 は E バスに結合されて「バス承認 (B G)」信号を受信しつつ「バス要求 (B R)」信号および「バス駆動 (B D)」信号を提供する。バス調停回路はデコードおよびアドレス発生回路 808 に結合されて前記 *int_ext_マスタ信号を提供する。

【0021】

デコードおよびアドレス発生回路 808 は双方向的に E バスに結合されてアドレス値、「転送開始 (T S)」信号、「読み出し / *書き込み (R / *W)」信号、および「サイズ」バスを通信する。デコードおよびアドレス発生回路 808 はまたは制御レジスタ 810 に結合されて前記複数の制御情報を受信する。デコードおよびアドレス発生回路 808 はまた M バス 23 に結合されて「マスタアドレス (M A D D R)」値、「マスタ転送開始 (M T S)」信号、「マスタサイズ (M S I Z E)」バス、および「マスタ読み出し / *書き込み (M R / *W)」信号を受信する。10

【0022】

レジスタの説明

本発明の一実施形態を構成するシステムバスコントローラ 8 の一部は複数の制御レジスタ 810 を含む。本発明を実施する上で使用される各々のレジスタにつき引き続きより詳細に説明する。さらに、本発明の動作の間ににおける制御レジスタ 810 の使用につき後により詳細に説明する。

【0023】

前記複数の制御レジスタ 810 は図 12 (a) ~ 図 12 (c) および図 13 (a) ~ 図 13 (e) により詳細に示されている。複数の制御レジスタ 810 はチップ選択アドレスレジスタ (C S A R 0 - 7)、チップ選択マスクレジスタ (C S M R 0 - C S M R 7)、そしてチップ選択制御レジスタ (C S C R 0 - C S C R 7) を含む。20

【0024】

前記複数のチップ選択アドレスレジスタ (C S A R) の内の代表的な 1 つが図 12 (a) に示されている。各チップ選択アドレスレジスタはチップ選択ピンのベースアドレスを決定する。ビット B A 31 ~ B A 16 の各々は各チップ選択に専用のものであるメモリのベースアドレスロケーションを規定する。これらのビットは内部アドレスバスの上位ビットと比較されてチップ選択メモリがアクセスされているか否かを決定する。

【0025】

前記複数のチップ選択マスクレジスタ (C S M R) の内の代表的な 1 つが図 12 (b) に示されている。各々の C S M R は各々のチップ選択に対するアドレスマスクを決定する。さらに、各々の C S M R はチップ選択信号に対して許容されるアクセスのタイプの定義を決定する。30

【0026】

図 12 (b) においては、B A M 31 ~ B A M 16 と名付けられた格納ロケーションがベースアドレスマスクを示す。このフィールドはアドレスマスクビットの使用を通して各々のチップ選択に専用のものとされるメモリのブロックを規定する。前記ベースアドレスマスクビットは論理的に反転されかつ前に述べた C S A R に格納されたベースアドレスの上位ビットおよび内部アドレスバスの上位ビットと“AND”操作される。これら 2 つの値は次に比較されてチップ選択アドレス空間がアクセスされているか否かを判定する。前記ベースアドレスマスクビットの内の 1 つが論理“1”である場合は、このビットはチップ選択アドレスのデコード操作からディスエーブルされる。前記ベースアドレスマスクビットの内の 1 つが論理“0”である場合は、前記内部アドレスバスからの対応するアドレスビットが C S A R における対応するビットと比較されて適切なデコードアドレスを決定する。C P U , S C , S D , U C および U D と名付けられた C S M R ビットは特定のアドレス空間をマスクしつつチップ選択を特定のアドレス空間（単数または複数）に与える。ディスエーブルされたアドレス空間において、そのアドレス空間におけるロケーションへのアクセスは通常の外部バスアクセスとなりかつチップ選択はアクティブにされない。前記アドレス空間マスクビットは C P U 空間マスク、スーパバイザコードアドレス空間マスク4050

(S C)、スーパバイザデータアドレス空間マスク(S D)、ユーザコードアドレス空間マスク(U C)、およびユーザデータアドレス空間マスク(U D)を含む。CSMRにおけるアドレス空間マスクビットの1つが論理“1”の値である場合は、対応するアドレス空間がチップ選択のアクティベイションおよび動作からディスエーブルされる。もし該アドレス空間が対応するアドレス空間マスクビットが肯定されている場合にアクセスされれば、何らのチップ選択のアクティベイションも生じずかつノンチップ選択(non-chip select)外部サイクルが発生される。CSMRにおけるアドレスビットの内の1つが論理“0”の値である場合は、そのチップ選択動作に対して対応するアドレス空間がイネーブルされる。該チップ選択を使用するアクセスはこのアドレス空間に対して行なうことができる。

10

【0027】

図12(c)はチップ選択制御レジスタ(CSCR)を示す。各々のCSCRは内部自動アクノレッジ終了を制御し、外部マスター自動アクノレッジ終了を制御し、ポートサイズを指示するためにチップ選択および書き込みイネーブル肯定およびタイミングを制御し、かつチップ選択の各々のバースト能力を指示するために使用される。

【0028】

動作の間に、チップ選択ゼロ(CS0)信号はグローバル(global)、またはブート(boot)、チップ選択を外部集積回路ピンに提供する。グローバルチップ選択として、CS0はシステムの初期化が行なわれる前にブートROMに対するアドレスコードを許容する。さらに、前記CS0信号の出力は本データプロセッサに関して実施されるいずれの他のチップ選択集積回路ピンとも異なっている。システムリセット動作の後に、CS0集積回路ピンはそれぞれのアドレスに対して肯定される。この能力はブートROMが外部アドレス空間における任意のアドレスに配置できるようにする。CS0集積回路ピンは対応するCSMR(CSMR0)が書き込まれた状態でこのようにして動作する。そのポイントまで、CS0のポートサイズおよび内部自動アクノレッジ機能はリセット否定においてサンプルされた複数の集積回路ピンによって提供される値により決定される。以下の表、表1、はCS0に対応するチップ選択のためのポートサイズを選択するために使用される値を示す。

20

【0029】

【表1】

集積回路ピンA	集積回路ピンB	ブートCS0ポートサイズ
0	0	32ビットポート
0	1	8ビットポート
1	0	16ビットポート
1	1	16ビットポート

30

【0030】

また、以下の表2はデータプロセッサ3における内部自動アクノレッジ機能をイネーブルしましたはディスエーブルするための値を示す。CS0に対しては、システムリセットに応じて、読み出しおよび書き込み転送動作の双方がイネーブルされかつバースト動作がディスエーブルされる。

40

【0031】

【表2】

集積回路ピンC プートC S 0 内部自動アクノレッジ

 0 ディスエーブル
 1 15の待機状態と共にイネーブル

【0032】

図12(c)においては、待機状態、WS[3:0]はAA(自動アクノレッジ)フィールドまたはEMA A(外部マスタ自動アクノレッジ)フィールドが論理“1”的値に等しい場合に有効である。有効である場合、WS[3:0]フィールドは転送アクノレッジが発生される前に挿入される待機状態の数を規定する。内部マスタ開始サイクルに対しては、もし外部転送アクノレッジが指示された数の待機状態が発生される前に受信されれば、外部転送アクノレッジはサイクルを終了することになる。10

【0033】

前記EMA Aフィールドは対応するチップ選択アドレス空間と「ヒット(hit)」する外部マスタ開始サイクルの間に転送アクノレッジのドライブおよび肯定を制御する。もしEMA Aフィールドが論理“1”的値であれば、メモリコントローラ804からの転送アクノレッジは出力へとセットされかつ前記値WS[3:0]で決定される時間に肯定される。外部バスマスター205からの外部転送アクノレッジ(TA)終了はディスエーブルされなければならないことに注意を要する。前記EMA Aが論理“0”的値である場合は、メモリコントローラ804からの外部転送アクノレッジは外部マスタ開始バスサイクルの間ドライブされずかつ外部バスマスター205からの外部TA終了が提供されなければならない。20

【0034】

前記AAフィールドは対応するチップ選択アドレス空間においてヒットする内部的に開始されたバスサイクルの間に前記内部TAの肯定を制御する。もし前記AAフィールドが論理“1”的値にセットされれば、内部TAは前記WS[3:0]フィールドによって決定される時間に肯定される。メモリコントローラ804からの転送アクノレッジ信号は内部的に開始されたサイクルの間にパッケージ集積回路ピンが入力にセットされるときに転送される。前記AAフィールドが論理“0”的値を格納している場合、前記内部転送アクノレッジは前記転送アクノレッジ終了が外部バスマスター205から受信されるまで発生されない。30

【0035】

前記PS[1:0](ポートサイズ)フィールドは各々のチップ選択に関連するデータの幅を特定する。前記PSフィールドは書き込みサイクルの間にどこにデータがドライブされるかおよび読み出しサイクルの間にどこでデータがサンプルされるかを決定する。たとえば、もしPSフィールドが00の2進値を有していれば、前記プログラムされたポートサイズは32ビットでありかつデータはデータ[31:0]と名付けられた複数の集積回路ピンにおいてサンプルされかつドライブされる。もし前記PSフィールドが01の2進値を有していれば、プログラムされたポートサイズは8ビットでありかつデータはデータ[31:24]と名付けられた複数の集積回路ピンにおいてのみサンプルされかつドライブされる。もし前記PSフィールドが10の2進値を有していれば、プログラムされたポートサイズは16ビットでありかつデータはデータ[31:16]と名付けられた複数の集積回路ピンにおいてのみサンプルされかつドライブされる。もし前記PSフィールドが11の2進値を有していれば、プログラムされたポートサイズは16ビットでありかつデータはデータ[31:16]と名付けられた複数の集積回路ピンにおいてサンプルされかつドライブされることになる。40

【0036】

前記BURST(バーストイネーブル)フィールドは各々のチップ選択に関連するメモリの「バースト可能性(burstability)」を示す。もし前記BURSTフィールド50

が論理“1”の値にセットされれば、要求された転送サイズより小さなポートサイズへのかつ該ポートサイズからの全ての転送は「バースト化される(b u r s t e d)」ことになる。たとえば、8および16ビットポートに対するロングワード転送、8ビットポートへのワード転送、および8, 16および32ビットポートへのライン転送は全て「バースト化される」ことになる。前記B R S Tフィールドが論理“0”的値を有する場合、特定されたポートサイズより大きな全ての転送は前記特定されたポートサイズより大きくない個々のノンバースト転送へと分離される。

【0037】

前記A S E T(アドレスセットアップイネーブル)フィールドはアドレスの有効性の指示子に関してチップ選択の肯定を制御する。前記A S E Tフィールドが論理“0”的値である場合は、チップ選択は前記アドレスバス上のアドレスが有効である場合に肯定される。前記A S E Tフィールドが論理“1”的値である場合は、チップ選択はアドレスバス上のアドレスが有効になった後に1サイクル肯定される。10

【0038】

W R A H(書き込みアドレスホールドイネーブル: W r i t e A d d r e s s H o l d E n a b l e)フィールドはチップ選択書き込みサイクルの間にチップ選択および書き込みイネーブルが否定された後のアドレスホールド時間を制御する。W R A H値が論理“0”的値である場合、アドレスは書き込み動作の実行の間に何らの余分のサイクルにつき保持されることはない。前記W R A Hフィールドが論理“1”的値である場合は、書き込み動作の実行の間に転送アクノレッジが肯定された後にアドレスが1サイクルの間保持される。20

【0039】

前記R D A H(読み出しアドレスホールドイネーブル: R e a d A d d r e s s H o l d E n a b l e)フィールドはチップ選択読み出しサイクルの間にチップ選択信号が肯定された後のアドレスホールド時間を制御する。該R D A H値が論理“0”的値である場合は、読み出し動作の実行の間にアドレスは何らの余分のサイクルにつき保持されることはない。該R D A Hフィールドが論理“1”的値である場合は、アドレスは読み出し動作の実行の間に転送アクノレッジが肯定された後に1サイクルの間保持される。

【0040】

W R(書き込みイネーブル: W r i t e E n a b l e)フィールドは書き込みサイクルに際してチップ選択および書き込みイネーブル信号の肯定を制御する。W Rフィールドが論理“0”的値である場合は、チップ選択信号は書き込み動作の実行の間にアクティベイトされない。W Rフィールドが論理“1”的値である場合は、チップ選択信号は書き込み動作の実行の間にアクティベイトされる。30

【0041】

R D(読み出しイネーブル: R e a d E n a b l e)フィールドは読み出しサイクルに際してチップ選択信号の肯定を制御する。R Dフィールドが論理“0”的値である場合は、チップ選択信号は読み出し動作の実行の間にアクティベイトされない。R Dフィールドが論理“1”的値である場合は、チップ選択信号は読み出し動作の実行の間にアクティベイトされる。

【0042】

前記複数の制御レジスタ810はまたD R A Mコントローラリフレッシュレジスタ(D C R R)、D R A Mコントローラタイミングレジスタ(D C T R)、複数のD R A Mコントローラアドレスレジスタ(D C A R 0 - D C A R 1)、複数のD R A M制御マスクレジスタ(D C M R 0 - D C M R 1)、そして複数のD R A Mコントローラ制御レジスタ(D C C R 0 - D C C R 1)を含む。40

【0043】

前記D C R Rは図13(a)により詳細に示されている。D R A Mコントローラリフレッシュカウンタレジスタはリフレッシュサイクルの間のシステムクロックの数を制御する。図13(a)において、「リフレッシュカウント」フィールド、R C 1 1 - R C 0、はメモリコントローラ804によるリフレッシュ要求の頻度を制御する。「リフレッシュカウ

ント」フィールドに格納された値は 16 のシステムクロックにより乗算されてリフレッシュ期間または周期を決定する。

【0044】

図 13 (b) により詳細に示された、DCTR は DRAM の複数のバンクに対する DRA M アクセスのためのタイミングを制御する。このレジスタにおける各フィールドはメモリコントローラ 804 によって提供されるすべての形式の DRAM アクセスのために「ロー アドレスストローブ (RAS)」および「コラムアドレスストローブ (CAS)」バスを変更する。DCTRにおいては、「外部マスタ DRAM アクセスの間のドライブアドレス (DAEM)」フィールドは外部マスタによる DRAM のアクセスの間にすべてのアドレスラインに関してメモリコントローラ 804 の出力ドライバを制御する。アドレス信号を出力するよう構成されたアドレスバスの部分をドライブして外部マスタに対するローおよびコラムアドレスの多重化 (multiplexing) を提供することができる。DAEM フィールドは DRAM への内部的に開始されるアクセスの間にアドレスのドライブに影響を与えない。動作の間ににおいて、DAEM フィールドが論理 “0” の値である場合は、外部マスタ DRAM アクセスの間にアドレス信号はドライブされない。逆に、DAEM フィールドが論理 “1” の値である場合は、外部マスタの DRAM アクセスの間にアドレス信号がドライブされてローおよびコラムアドレス多重化を提供する。10

【0045】

EDO フィールド (拡張データ出力 : Extended Data Out) は DRAM バンクに EDO DRAM が所在するか否かを特定しあつメモリコントローラ 804 にページモードアクセスの間に EDO 時間の間 CAS を肯定するよう指令する。そのような手順はメモリコントローラ 804 が EDO DRAM によって許容される特別の CAS タイミングを活用できるようにする。20

【0046】

RCD (RAS-CAS 遅延 : RAS to CAS Delay) フィールドは RAS 信号の肯定と CAS バスの肯定との間のシステムクロックの数を制御する。このフィールドはページおよびノンページモードのアクセスに対してのみ有効である。それはリフレッシュサイクルを制御しない。RCD フィールドが “0” の論理レベルを有する場合は、RAS 信号は CAS バスの肯定の前に 1 システムクロック肯定する。RCD フィールドが “1” の論理レベルを有する場合、RAS 信号は CAS バスの肯定の前に 2 システムクロック肯定する。30

【0047】

RSH1 - RSH0 (ノンページモード RAS ホールド時間 : Non-Page Mode RAS Hold Time) フィールドは CAS バスの肯定の後に RAS 信号が肯定された状態に留っているシステムクロックの数を制御する。このフィールドはノンページモードの読み出しおよび書き込みサイクルの間における RAS 信号のタイミングを制御する。このフィールドが 00 の 2 進値を有する場合、RAS 信号は CAS バスの肯定の後に 1.5 (one and a half) システムクロック否定する。同様に、このフィールドが 01 の 2 進値を有する場合、RAS 信号は CAS バスの肯定の後に 2.5 (two and a half) システムクロック否定する。さらに、このフィールドが 10 の 2 進値を有する場合、RAS 信号は CAS バスの肯定の後に 3.5 (three and a half) システムクロック否定する。40

【0048】

CPR1 - CPR0 (ノンページモード CAS-RAS プリチャージ時間 : Non-Page Mode CAS to RAS Precharge Time) フィールドはバスマスタがバックツウバック (back-to-back) の DRAM アクセスを要求する際に CAS バスの否定の後に RAS 信号が否定された状態に留っているシステムクロックの数を制御する。CRP フィールドが 00 の 2 進値を有する場合、RAS 信号は CAS バスの否定の後に 1.5 システムクロックを肯定する。同様に、CRP フィールドが 01 の 2 進値を有する場合、RAS 信号は CAS バスの否定の後に 2.5 システムクロック50

を肯定する。さらに、C R P フィールドが 1 0 の 2 進値を有する場合、R A S 信号は C A S バスの否定の後に 3 . 5 システムクロックを肯定する。

【 0 0 4 9 】

C A S (ページモード・コラムアドレスストローブタイミング : P a g e M o d e C o l u m n A d d r e s s S t r o b e T i m i n g) フィールドは、前記 E D O フィールドとともに、ページモードの D R A M アクセスの間に C A S がアクティブに保持されるシステムクロックの最少数を制御する。以下の表 3 は C A S および E D O フィールドの間の関係を示す。

【 0 0 5 0 】

【表 3】

C A S	E D O	C A S アクティブ時間 (システムクロックの数)
0	0	1. 5
0	1	1. 0
1	0	2. 5
1	1	2. 0

10

【 0 0 5 1 】

C P (C A S プリチャージタイミング : C A S P r e c h a r g e T i m i n g) フィールドは、前記 E D O フィールドとともに、D R A M アクセスの後に C A S バスがインアクティブに保持されるシステムクロックの数を制御する。このフィールドはページモードの読み出しおよび書き込みサイクルの後にのみ C A S バスのインアクティブタイミングを制御する。表 4 は C P および E D O フィールドの間の関係を示す。

【 0 0 5 2 】

【表 4】

C P	E D O	C A S インアクティブ時間 (システムクロックの数)
0	0	0. 5
0	1	1. 0
1	0	1. 5
1	1	2. 0

30

【 0 0 5 3 】

C S R (R A S リフレッシュの前の C A S に対する C A S セットアップ時間 : C A S S e t u p T i m e f o r C A S B e f o r e R A S R e f r e s h) フィールドは C A S バスの肯定とリフレッシュサイクルのみの間ににおける R A S サイクルの肯定の間のシステムクロックの数を制御する。C S R フィールドが論理 “ 0 ” の値である場合は、C A S バスは R A S 信号の肯定の前に 1 システムクロックを肯定する。C S R フィールドが論理 “ 1 ” の値である場合は、C A S バスは R A S 信号の肯定の前に 2 システムクロックを肯定する。

【 0 0 5 4 】

前記複数の D R A M コントローラのアドレスレジスタ (D C A R) の代表的な 1 つが図 1

40

50

3(c)に示されている。おのののDRAMコントローラのアドレスレジスタはおのののDRAMバンクに専用のメモリのベースアドレスを格納する。これらのビットは内部アドレスバスの上位ビットと比較されてDRAMバンクがアクセスされているかを判定する。

【0055】

複数のDRAMコントローラのマスクレジスタ(DCMR)の内の代表的な1つが図13(d)に示されている。おのののDCMRは前記DRAMバンクのおののに対するアドレスマスクを決定する。さらに、おのののDCMRはこれらの信号に対して許容されるアクセスのタイプの定義を定める。

【0056】

図13(d)においては、BAM31～BAM17と名付けられた格納ロケーションはベースアドレスマスクを示す。このフィールドはアドレスマスクビットの使用によりおのののDRAMバンクに専用のメモリのブロックを規定する。ベースアドレスマスクビットは論理的に反転されかつ上に述べたDCARに格納されたベースアドレスの上位ビットおよび内部アドレスバスの上位ビットと“AND”操作される。2つの値は次に比較されてDRAMバンクアドレス空間がアクセスされているかを判定する。ベースアドレスマスクビットの内の1つが論理“1”である場合は、このビットはDRAMバンクアドレスのデコード操作からディスエーブルされる。ベースアドレスマスクビットの内の1つが論理“0”である場合は、内部アドレスバスからの対応するアドレスビットは前記DCARにおける対応するビットと比較されて適切なデコードアドレスを決定する。SC, SD, UCおよびUDと名付けられたDCMRビットは特定のアドレス空間をマスクしかつDRAMバンクを特定のアドレス空間(单数または複数)にする。ディスエーブルされたアドレス空間において、そのアドレス空間におけるロケーションへのアクセスはノンDRAM外部バスアクセスとなりかつDRAMはアクティベイトされない。前記アドレス空間マスクビットはスーパバイザコード・アドレス空間マスク(SC)、スーパバイザデータ・アドレス空間マスク(SD)、ユーザコード・アドレス空間マスク(UC)、およびユーザデータ・アドレス空間マスク(UD)を含む。DCMRにおけるアドレス空間マスクビットの内の1つが論理“1”的値である場合は、対応するアドレス空間はDRAMアクティベイションおよび動作からディスエーブルされる。対応するアドレス空間マスクビットが肯定されている場合に該アドレス空間がアクセスされれば、何らのDRAMアクティベイションも行われずかつ外部ノンDRAMサイクルが発生される。DCMRにおけるアドレスマスクビットの内の1つが論理“0”的値である場合は、対応するアドレス空間はDRAM動作に対してイネーブルされる。DRAMを使用したアクセスがこのアドレス空間に対して生じ得る。

【0057】

図13(e)はDRAMコントローラ制御レジスタ(DCCR)を示す。おのののDCCRはポートサイズ、ページサイズ、ページモードおよびデータ処理システムにおいて実施されるDRAMバンクのおのののアクティベイションを制御するために使用される。DCCRにおいては、PS[1:0](ポートサイズ)フィールドはDRAMアドレス空間に関連するデータ幅を特定する。PSフィールドが00の2進値を有する場合、プログラムされるポートサイズは32ビットでありかつデータは「データ[31:0]」と名付けられた複数の集積回路ピンに関してサンプルされかつドライブされる。もしPSフィールドが01の2進値を有すれば、プログラムされたポートサイズは8ビットでありかつデータは「データ[31:24]」と名付けられた複数の集積回路ピンに関してのみサンプルされかつドライブされる。もしPSフィールドが10の2進値を有していれば、プログラムされたポートサイズは16ビットでありかつデータは「データ[31:16]」と名付けられた複数の集積回路ピンに関してのみサンプルされかつドライブされる。もしPSフィールドが11の2進値を有していれば、プログラムされたポートサイズは16ビットでありかつデータは「データ[31:16]」と名付けられた複数の集積回路ピンに関してのみサンプルされかつドライブされる。

10

20

30

40

50

【0058】

BPS[1:0] バンクページサイズ (BPS[1:0] Bank Page Size) フィールドはページモードのDRAMが使用される場合におおののDRAMバンクに対するページサイズを規定する。BPSフィールドが00の2進値を有する場合、ページサイズは512バイトのページとして定義される。BPSフィールドが01の2進値を有する場合、ページサイズは1キロバイトのページとして規定される。同様に、BPSフィールドが10の2進値を有する場合、ページサイズは2キロバイトのページとして規定される。

【0059】

前記ポートサイズ (PS[1:0]) およびバンクページサイズ (BPS[1:0]) は 10 いっしょに使用されてDRAMサイクルのコラムアドレスフェーズの間にアドレスバスの多重化を決定する。ポートサイズおよびバンクページサイズのすべての組合せに対するアドレスバスの多重化は図14～図16に示されている。

【0060】

PM[1:0] (ページモード選択 : Page Mode Select) フィールドはおおののDRAMバンクに対して許容されるページモードアクセスのタイプを選択する。PMフィールドが00の2進値を有する場合、何らのページモードのアクセスも許容されない。PMフィールドが01の2進値を有する場合、ページモードアクセスはバーストアクセスに関して許容される。さらに、PMフィールドが11の2進値を有する場合、通常のページモードの動作が許容される。 20

【0061】

WR (書き込みイネーブル : Write Enable) フィールドは書き込みサイクルに際してDRAM制御信号の肯定を制御する。WRフィールドが論理“0”の値を有する場合、DRAM制御信号は書き込み動作の間はアクティベイトされない。WRフィールドが論理“1”の値を有する場合、DRAM制御信号は書き込み動作の間にアクティベイトされる。

【0062】

RD (読み出しイネーブル : Read Enable) フィールドは読み出しサイクルに際してDRAM制御信号の肯定を制御する。RDフィールドが論理“0”の値を有する場合、DRAM制御信号は読み出し動作の間にアクティベイトされない。RDフィールドが論理“1”の値を有する場合、DRAM制御信号は読み出し動作の間にアクティベイトされる。 30

【0063】

<動作の説明>

図2に示されるように、本発明の動作の間に、外部バスマスター205は外部マルチプレクサまたは従来技術のデータ処理システムによって必要とされた何らかの他の外部回路を使用することなくデータプロセッサ3の内部のメモリコントローラを使用してDRAM207にアクセスすることができる。本発明はデータプロセッサ3内部のDRAMのローおよびコラムアドレスを多重化するために独自の回路および技術を実施することにより外部マルチプレクサおよび外部マスターが開始するDRAMアクセスの間に外部多重化制御を提供するための専用の集積回路ピンの必要性を除去する。

【0064】

そのような外部アクセスの間に、外部バスマスター205は本発明のデータプロセッサ3に対し転送開始 (TS) 信号、「サイズ」バス、および読み出し/書き込み (R/*W) 信号を肯定することによりデータ転送動作を開始する。外部バスマスター205はまたデータプロセッサ3にアドレス値を提供する。初期タイミングサイクルの間に、前記TS、R/*W、サイズ、およびアドレス信号を含むアクセス情報は本発明のデータプロセッサ3内に実施されるメモリコントローラ(図2には示されていない)により記憶される。前記TS信号の肯定に続く次のタイミングサイクルの間に、外部バスマスター205はアドレスバスをトライステート化する。同じタイミングサイクルの間に、データプロセッサ3において実施されるメモリコントローラは上述のアドレス値を外部アドレスバス上に送り始めかつRAS(ローアドレスストローブ)信号を肯定する。複数のプログラム可能な制御ビットに 40

より決定される適切な時点に、メモリコントローラは次にコラムアドレスを提供しかつC A S (コラムアドレスストローブ)信号を肯定する。本発明の動作のこの点に関しては添付の図面を参照して後により詳細に説明する。

【0065】

さらに、本発明は外部バスマスター205がデータプロセッサ3の内部のメモリコントローラによって発生される内部チップ選択および書込みイネーブル信号を使用する場合にチップ選択および書込みイネーブル信号の外部的な発生を提供する必要性を除去する。ユーザは外部マスタチップ選択アクセスが内部マスタアクセスと同じになるようにすることができるようデータプロセッサ3をプログラムするか、あるいは外部的に発生された転送アクノレッジを使用するために内部または外部マスタアクセスをプログラムすることができる。従って、ユーザは内部転送アクノレッジ論理をターンオフしかつ依然として内部チップ選択および書込みイネーブル発生論理を使用しながら外部転送アクノレッジ論理を加えることができる。内部転送アクノレッジ論理は、他のマスタによる使用と独立に、内部または外部マスタ開始サイクルに対しターンオフすることができる。この特徴はチップ選択のベースでユーザがプログラム可能である。本発明のこの観点によって与えられる柔軟性はユーザが外部チップ選択および書込みイネーブル論理を必要とすることなく外部マスタアクセスの異なるタイミングを補償できるようにする。従って、本発明のこの実施形態においてはオーバヘッドが節約されかつ効率が増大する。

【0066】

また、本発明の回路および方法は外部バスマスター205が外部制御回路を加えることなく内部マスター(データプロセッサ3)と異なる数の待機状態を使用してチップ選択可能な装置にアクセスできるようにする。内部マスターと異なる数の待機状態を使用して、外部マスターがデータプロセッサ3の内部のチップ選択回路を使用してメモリにアクセスできるようになるため、本発明はレジスタビットが、内部チップ選択回路が外部アクセスに際して転送アクノレッジ信号を肯定しないように、プログラムできるようにする。従って、外部アクセスの間に、データプロセッサ3のチップ選択論理は内部的に発生されたチップ選択および書込みイネーブル信号を否定する前に外部的に発生された転送アクノレッジ信号を待機することになる。本発明のこの観点は内部および外部マスターの間で待機状態の数が異なる場合に必要とされる外部論理の量を低減する。

【0067】

本発明によって実施される独自の回路および技術は後により詳細に説明するが、次に本発明の動作の概略的な説明を行う。

【0068】

図3は、データプロセッサ3をより詳細に示す。データプロセッサ3の動作の間に、コア9はKバス25を使用してCPU2、MMU/コントローラ4、およびメモリ6を接続する。本発明のこの実施形態においては、Kバス25は高速の、単一サイクルのアクセスバスである。メモリ6はランダムアクセスメモリ(RAM)、リードオンリメモリ(ROM)、キャッシュブロック、フラッシュ(FLASH)メモリ、内部DRAM、およびそれらの任意の組合せを含むことができる。すべての他のシステムモジュールおよびペリフェラルはMバス23を介してコア9に結合されている。Mバス23は複数のバスマスターの内の1つによって開始されるデータ転送を行うために使用される内部マルチマスターバスである。システムバスコントローラ8は複数の機能を提供する。システムバスコントローラ8は内部Mバス23および外部Eバスとの間のインターフェースを提供する。さらに、システムバスコントローラ8はSバス上のすべてのデータ転送を制御するための焦点(focal point)として作用する。Sバスはタイマおよびシリアル通信チャネルのようなスレイブ周辺モジュール(12および13)をデータプロセッサ3内へ接続するために使用される。

【0069】

本発明においては、コア9は性能を最大にするため高速の、単一サイクルのKバス25と相互接続されている。この高速バスに直接結合されていない転送に対して、Mバス23は

10

20

30

40

50

コア 9 およびマスタモジュール 1 4 のような内部バスマスターの内の任意のものから帯域幅を提供する。システムバスコントローラ 8 は内部 M バス 2 3 および外部 E バスとの間での接続を提供し、また一方でスレイプモジュール 1 2 および 1 3 のようなスレイプ周辺モジュールに対して低価格の、より低い帯域幅の S バスによるすべてのデータ転送のための制御機能を提供する。

【 0 0 7 0 】

図 2 の要素 2 0 5 のような、外部バスマスターがデータプロセッサ 3 の内部制御メカニズムを通して外部メモリを制御できるようにする D R A M コントローラはシステムバスコントローラ 8 において実施される。システムバスコントローラ 8 の一部が図 4 により詳細に示されている。

10

【 0 0 7 1 】

データ処理システム 2 0 2 のチップ選択可能な装置のアクセス動作の間に、外部バスマスター 2 0 5 (図 2 に示されている) は T S (転送開始) 信号を肯定し、所望のデータに対応する適切なアドレス値を提供し、前記データ値が読出されるべきかあるいは書き込まれるべきかを示す R / * W 信号を提供し、かつ「サイズ」バスを提供することによりデータ転送を開始する。本発明を実施するために使用される回路およびフローのより詳細な説明については図 4 および図 5 を参照。

【 0 0 7 2 】

前記 T S 信号、アドレス値、R / * W 信号、および「サイズ」バスが外部バスマスター 2 0 5 によって出力されたとき、それらはデコードおよびアドレス発生回路 8 0 8 (図 4 に示されている) に格納される。バス調停回路 8 0 6 (図 4 に示されている) はデータプロセッサ 3 がいつ E バスを制御できるかを決定する。B G および B D 信号が否定されたとき、外部装置が E バスを制御することができかつバス調停回路 8 0 6 は * i n t _ e x t _ マスター (* i n t _ e x t _ m a s t e r) 信号を肯定する。B D はバス調停回路 8 0 6 によって否定されて内部マスターが E バスをドライブしていないことを示す。B R は内部バスマスターが E バスの支配 (m a s t e r s h i p) を要求している場合に肯定される。従つて、外部バスマスター 2 0 5 が適切な制御信号を肯定して D R A M 2 0 7 またはメモリ 2 0 6 へのアクセスが望まれることを示した場合、バス調停回路 8 0 6 は B G 信号の値を調べかつそれが否定されていることを判定し、次にバス調停回路 8 0 6 は前記 * i n t _ e x t _ マスター信号を肯定する。前に述べたように、前記 * i n t _ e x t _ マスター信号はメモリコントローラ 8 0 4 およびデコードおよびアドレス発生回路 8 0 8 の双方に提供される。

20

【 0 0 7 3 】

その後、デコードおよびアドレス発生回路 8 0 8 は外部バスマスター 2 0 5 によって前記転送開始 (T S) 信号が肯定されているか否かを判定する。もし T S 信号が肯定されていれば、デコードおよびアドレス発生回路 8 0 8 はアドレス値、R / * W 信号、および「サイズ」バスをデコードしデータ処理システム 2 0 2 におけるどの装置がアクセスされるべきかを決定する。デコードおよびアドレス発生回路 8 0 8 は D R A M _ ヒット (D R A M _ h i t) 信号を肯定しそこに提供されたアドレスが D R A M 2 0 7 内のメモリロケーションをアクセスすることを示す。同様に、デコードおよびアドレス発生回路 8 0 8 は C S _ ヒット (C S _ h i t) 信号を肯定してそこに提供されるアドレスがメモリ 2 0 6 のようなチップ選択可能な外部装置にアクセスすることを示す。本発明のこの実施形態ではメモリ 2 0 6 のみが示されているが、メモリ 2 0 6 に代えてまたは加えて他のチップ選択可能な装置も実施できる。複数のチップ選択可能な装置を含むシステムにおいては、C S _ ヒット信号はこれらの装置の内のいずれかがアクセスされる場合にデコードおよびアドレス発生回路 8 0 8 にアドレスが提供されることを示すために肯定される。さらに、メモリ 2 0 6 は S R A M , R O M , E E P R O M , E P R O M およびフラッシュメモリのような任意の形式の外部メモリ、あるいはシリアルインタフェースまたはタイマのような任意のチップ選択可能な装置として実施できることに注目すべきである。

30

【 0 0 7 4 】

40

50

<外部マスタによるDRAMアクセス>

外部バスマスター205によるDRAM207のアクセスの以下の説明は図5を参照すべきである。

【0075】

もしDRAM_ヒット信号が肯定されてDRAM207におけるあるメモリロケーションがアクセスされていることを示せば、メモリコントローラ804は次に制御レジスタ810のDCTRレジスタ(図13(b)に示されている)におけるDAEM(外部マスターDRAMアクセスの間のドライブアドレス)ビットが外部ユーザにプログラムされて外部バスマスター205によるDRAM207のアクセスの間にすべてのアドレスラインにおけるメモリコントローラ804の出力ドライバをイネーブルするかを判定する。もしDAEMフィールドがセットされていれば(本発明のこの実施形態では論理“1”)、メモリコントローラ804はデコードおよびアドレス発生回路808をイネーブルしEバスのアドレスバス部分からのロードアドレスを反映するアドレスをドライブする。2分の1タイミングサイクル後に、前記RAS信号はメモリコントローラ804によって肯定される。その後、DCTRにおけるRCDFィールドによって決定される期間の後に、デコードおよびアドレス発生回路808は前記Eバスのアドレス部分からの、図14～図16において述べたようなデコードおよびアドレス発生回路808によって形成される、コラムアドレスを反映する新しいアドレスをドライブする。2分の1タイミングサイクル後に、CASバスがメモリコントローラ804によって肯定される。さらに、もしそれがDRAM207の書き込みアクセスであれば、DRAMW信号が肯定されかつもしそれがDRAM207の読み出しアクセスであれば、DRAMW信号が否定される。さらに、メモリコントローラ804はDRAM207のアクセスが完了したとき外部バスマスター205へのTA(転送アノレッジ)信号を肯定する。

【0076】

図6～図9は本発明のいくつかの実施形態においてメモリコントローラ804によって実施されるタイミングを示すタイミング図を与える。

【0077】

図6は、DRAM207が始めに書き込まれかつ次に読み出され、そして制御レジスタ810のDCTRにおけるDAEMフィールドが肯定されて提供されるアドレス値がドライブされることを示す、本発明の第1の実施形態を示している。図6においては、CLK(クロック)信号が提供されている。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図6に示されるように、外部バスマスター205は第1のタイミングサイクルの間にアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスをデータプロセッサ3に提供する。このタイミング例の第1の部分においては、前記R/*W信号はデータプロセッサ3があるデータ値をDRAM207に書き込んでいることを示すために否定される。

【0078】

外部バスマスター205がアドレス値を転送してから1タイミングサイクル後に、外部バスマスター205は前記TS信号を否定し、アドレスをトライステート化し、かつ書き込まれるべきデータをドライブする。

【0079】

TS信号が否定されてから1タイミングサイクル後に、システムバスコントローラ8の一部のデコードおよびアドレス発生回路808は外部バスマスター205によって前にドライブされたアドレスをDRAM207におけるメモリロケーションをアクセスするために必要なロードアドレスとして出力する。デコードおよびアドレス発生回路808が該アドレスをDRAM207に提供したとき、メモリコントローラ804はまたDRAMW信号を肯定して書き込み動作が実行されていることを示す。2分の1タイミングサイクル後に、メモリコントローラ808はRAS信号を肯定してDRAM207にそこに提供されているアドレスがロードアドレスであることを示す。

【0080】

前記アドレスが1タイミングサイクルの間提供された後に、デコードおよびアドレス発生回路808は新しいアドレス値を提供し、その一部はローアドレスをDRAM207に提供した同じ集積回路ピンを介してDRAM207に提供されるコラムアドレスである。2分の1タイミングサイクル後に、デコードおよびアドレス発生回路808が新しいアドレス値を提供した後に、メモリコントローラ804はCASバスを肯定してDRAM207にそこに提供されているアドレスがコラムアドレスであることを示す。

【0081】

2分の1タイミングサイクル後に、メモリコントローラ804は外部バスマスター205へのTA信号を肯定してバスアクセスの終りを示す。

10

【0082】

TA信号が肯定されてから1タイミングサイクル後に、メモリコントローラ805はRAS信号、CASバス、およびTA信号を否定する。さらに、DRAM207に提供されるアドレスおよびデータ値がトライステート化される。

【0083】

その後、DRAMの読み出し動作が実行されかつそのタイミングは図6に示されている。図6に示されるように、外部バスマスター205は第1のタイミングサイクルの間にデータプロセッサ3にアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、R/*W信号はデータプロセッサ3がDRAM207からデータ値を読み出していることを示すために肯定されることに注意を要する。

20

【0084】

外部バスマスター205が前記アドレス値を転送してから1タイミングサイクル後に、前記TS信号が否定されかつアドレスバスが外部バスマスター205によってトライステート化される。

【0085】

TS信号が否定されてから1タイミングサイクル後に、システムバスコントローラ8の一部のデコードおよびアドレス発生回路808は外部バスマスター205によって前にドライブされたアドレス値をDRAM207のメモリロケーションにアクセスするのに必要なローアドレスとして出力する。デコードおよびアドレス発生回路808がアドレスをDRAM207に提供したとき、メモリコントローラ804は読み出し動作が実行されていることを示すためにDRAMW信号を否定する。

30

【0086】

デコードおよびアドレス発生回路808が前記アドレスを提供してから2分の1タイミングサイクル後に、メモリコントローラ804はRAS信号を肯定してDRAM207に対しそこに提供されているアドレスがローアドレスであることを示す。

【0087】

1タイミングサイクルの間アドレスが提供された後に、デコードおよびアドレス発生回路808は、その一部がコラムアドレスである、新しいアドレス値をローアドレスをDRAM207に提供した同じ集積回路ピンを介してDRAM207に提供する。

40

【0088】

デコードおよびアドレス発生回路808が新しいアドレスを提供してから2分の1タイミングサイクル後に、メモリコントローラ804はCASバスを肯定してDRAM207に対しそこに提供されているアドレスがコラムアドレスであることを示す。

【0089】

2分の1タイミングサイクル後に、メモリコントローラ804はTA信号を肯定してバスアクセスの終りを示す。TA信号が最初に否定されたとき、DRAM207によってEバスを介して提供されるデータは有効でありかつ外部バスマスター205によってエラーなしに使用することができる。

【0090】

50

T A 信号が 1 クロックサイクル後に肯定されたとき、R A S 信号、C A S バス、およびT A 信号が否定される。さらに、メモリコントローラ 8 0 4 によって提供されるアドレス、およびD R A M 2 0 7 によって提供されるデータがトライステート化される。

【 0 0 9 1 】

図 7 は、本発明の第 2 の実施形態を示し、この場合はD R A M 2 0 7 が始めに書き込まれかつ次に読み出され、そして制御レジスタ 8 1 0 のD C T R におけるD A E M フィールドが提供されるアドレス値がドライブされることを示すために肯定される。図 7 において、C l k (クロック) 信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図 7 に示されるように、外部バスマスター 2 0 5 は第 1 のタイミングサイクルの間にデータプロセッサ 3 にアドレス値、転送開始 (T S) 信号、R / * W 信号、および「サイズ」バスを提供する。このタイミング例の第 1 の部分においては、前記 R / * W 信号はデータプロセッサ 3 があるデータ値をD R A M 2 0 7 に書き込んでいることを示すために否定されることに注目すべきである。
10

【 0 0 9 2 】

外部バスマスター 2 0 5 が前記アドレス値を転送してから 1 タイミングサイクル後に、外部バスマスター 2 0 5 はT S 信号を否定し、アドレスをトライステート化し、かつ書き込まれるべきデータをドライブする。

【 0 0 9 3 】

T S 信号が否定されてから 1 タイミングサイクル後に、システムバスコントローラ 8 の一部のデコードおよびアドレス発生回路 8 0 8 は外部バスマスター 2 0 5 によって前にドライブされたアドレスをD R A M 2 0 7 におけるメモリロケーションをアクセスするのに必要なローアドレスとして出力する。デコードおよびアドレス発生回路 8 0 8 がアドレスをD R A M 2 0 7 に提供したとき、メモリコントローラ 8 0 4 はまたD R A M W 信号を肯定して書き込み動作が実行されていることを示す。2 分の 1 タイミングサイクル後に、メモリコントローラ 8 0 4 はR A S 信号を肯定してD R A M 2 0 7 にそこに提供されているアドレスがローアドレスであることを示す。
20

【 0 0 9 4 】

アドレスが 1 タイミングサイクルの間提供された後、デコードおよびアドレス発生回路 8 0 8 は、その一部がD R A M 2 0 7 へのコラムアドレスである、新しいアドレス値をD R A M 2 0 7 にローアドレスを提供した同じ集積回路ピンを介して提供する。2 分の 1 タイミングサイクル遅れて、デコードおよびアドレス発生回路 8 0 8 が新しいアドレス値を提供した後、メモリコントローラ 8 0 4 はC A S バスを肯定してD R A M 2 0 7 に対しそこに提供されているアドレスがコラムアドレスであることを示す。
30

【 0 0 9 5 】

2 分の 1 タイミングサイクル遅れて、メモリコントローラ 8 0 4 は外部バスマスター 2 0 5 へのT A 信号を肯定しバスアクセスの終りを示す。

【 0 0 9 6 】

T A 信号が肯定されてから 1 タイミングサイクル後に、メモリコントローラ 8 0 4 はC A S バスおよびT A 信号を否定する。さらに、D R A M 2 0 7 に提供されるアドレスおよびデータ値がトライステート化される。ページの引き続くアドレスがアクセスされる間にR A S 信号は肯定された状態に留まっていることに注意を要する。R A S 信号は、
(1) 現在のD R A M バンクに対するアドレスが同じページまたはローになくなるか、
(2) 他のD R A M バンクへのアクセスが発生するか、あるいは
(3) リフレッシュ動作が行われるか、
するまで肯定された状態に留まっている。
40

【 0 0 9 7 】

その後、D R A M 読出し動作が実行されかつそのタイミングは図 7 に示されている。図 7 に示されるように、外部バスマスター 2 0 5 は第 1 のタイミングサイクルの間にデータプロセッサ 3 に対しアドレス値、転送開始 (T S) 信号、R / * W 信号、および「サイズ」バ
50

スを提供する。このタイミング例の第1の部分においては、前記R/*W信号はデータプロセッサがDRAM207からデータ値を読み出していることを示すために肯定されることに注意を要する。

【0098】

外部バスマスター205が前記アドレス値を転送してから1タイミングサイクル後に、TS信号が否定されかつアドレスバスが外部バスコントローラ205によってトライステート化される。

【0099】

TS信号が否定されてから1タイミングサイクル後に、デコードおよびアドレス発生回路808は、その一部がコラムアドレスである、新しいアドレス値をローアドレスをDRAM207に提供した同じ集積回路ピンを介してDRAM207に提供する。10

【0100】

デコードおよびアドレス発生回路808が新しいアドレスを提供してから2分の1タイミングサイクル後に、メモリコントローラ804はCASバスを肯定してDRAM207に対しそこに提供されているアドレスがコラムアドレスであることを示す。

【0101】

2分の1タイミングサイクル遅れて、メモリコントローラ804はTA信号を肯定してバスアクセスの終りを示す。TA信号が最初に否定されたとき、Eバスを介してDRAM207によって提供されるデータは有効でありかつ外部バスマスター205によってエラーなしに使用できる。1クロックサイクル後にTA信号が肯定されたとき、CASバスおよびTA信号は否定される。さらに、メモリコントローラ804によって提供される、アドレスおよびDRAM207によって提供されるデータはトライステート化される。20

【0102】

図8は、本発明の第3の実施形態を示し、この場合はDRAM207が最初に書き込まれかつ次に読み出され、そして制御レジスタ810のDCTRにおけるDAEMフィールドが肯定されて提供されるアドレス値がドライブされるべきことを示す。図8において、C1k(クロック)信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図8に示されるように、外部バスマスター205は第1のタイミングサイクルの間にデータプロセッサ3にアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、R/*W信号はデータプロセッサ3があるデータ値をDRAM207に書き込んでいることを示すために否定されることに注目すべきである。30

【0103】

外部バスマスター205がアドレス値を転送した1タイミングサイクル後に、外部バスマスター205はTS信号を否定し、アドレスをトライステート化し、かつ書き込まれるべきデータをドライブする。TS信号が否定されたとき、システムバスコントローラ8の一部のデコードおよびアドレス発生回路808は外部バスマスター205によってドライブされるアドレスをDRAM207のメモリロケーションにアクセスするのに必要なローアドレスとして強化する。デコードおよびアドレス発生回路808がアドレスをDRAM207に提供したとき、メモリコントローラ804はまたDRAMW信号を肯定して書き込み動作が実行されていることを示す。2分の1タイミングサイクル遅れて、メモリコントローラ804はRAS信号を肯定してDRAM207にそこに提供されているアドレスがローアドレスであることを示す。40

【0104】

アドレスが1タイミングサイクル提供された後に、デコードおよびアドレス発生回路808は、その一部がコラムアドレスである、新しいアドレス値をDRAM207にローアドレスを提供した同じ集積回路ピンを介してDRAM207に提供する。2分の1タイミングサイクル遅れて、デコードおよびアドレス発生回路808が新しいアドレス値を提供した後に、メモリコントローラ804はCASバスを肯定してDRAM207にそこに提供50

されているアドレスがコラムアドレスであることを示す。

【0105】

2分の1タイミングサイクル遅れて、メモリコントローラ804は外部バスマスター205へのTA信号を肯定してバスアクセスの終りを示す。

【0106】

TA信号が肯定されて1タイミングサイクル後に、メモリコントローラ805はRAS信号、CASバス、およびTA信号を否定する。さらに、DRAM207に提供されるアドレスおよびデータ値がトライステート化される。

【0107】

その後、DRAM読み出し動作が実行されかつそのタイミングは図8に示されている。図8に示されるように、外部バスマスター205は第1のタイミングサイクルの間にデータプロセッサ3に対しアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、前記R/*W信号は肯定されてデータプロセッサ3があるデータ値をDRAM207から読み取っていることを示す。

【0108】

外部バスマスター205がアドレス値を転送して1タイミングサイクル後に、前記TS信号およびアドレスバスが否定される。TS信号が否定されたとき、システムバスコントローラ8の一部のデコードおよびアドレス発生回路808は外部バスマスター205によってドライブされるアドレス値をDRAM207におけるメモリロケーションにアクセスするのに必要なローアドレスとして補強または強化する。デコードおよびアドレス発生回路808がDRAM207にアドレスを提供したとき、メモリコントローラ804はDRAMW信号を否定して読み出し動作が実行されていることを示す。

【0109】

デコードおよびアドレス発生回路808がアドレスを提供した2分の1タイミングサイクル後に、メモリコントローラ804はRAS信号を肯定してDRAM207に対しそこに提供されているアドレスがローアドレスであることを示す。

【0110】

アドレスが1タイミングサイクルの間提供された後、デコードおよびアドレス発生回路808は、その一部がコラムアドレスである、新しいアドレス値をDRAM207にローアドレスを提供した同じ集積回路ピンを介してDRAM207に提供する。

【0111】

デコードおよびアドレス発生回路808が新しいアドレスを提供して2分の1タイミングサイクル後に、メモリコントローラ804はCASバスを肯定しDRAM207に対してそこに提供されているアドレスがコラムアドレスであることを示す。

【0112】

2分の1タイミングサイクル遅れて、メモリコントローラ804はTA信号を肯定しバスアクセスの終りを示す。TA信号が始めに否定されたとき、Eバスを介してDRAM207によって提供されるデータは有効でありかつ外部バスマスター205によってエラーなしに使用できる。TA信号が1クロックサイクル後に肯定されたとき、RAS信号、CASバスおよびTA信号が否定される。さらに、メモリコントローラ804によって提供されるアドレスおよびDRAM207によって提供されるデータがトライステート化される。

【0113】

図9は制御レジスタ810におけるDCTRのDAEMフィールドが肯定されない場合を示す。DAEMフィールドが肯定されない場合、データ処理システム202の設計者は従来技術のシステムにおいて要求されたようなマルチブレクサを実施することを要求される。設計者が外部マルチブレクサを実施するか否かを選択できるようにすることにより、本発明はより大きな柔軟性を与える。

【0114】

図9は本発明の第4の実施形態を示し、この場合はDRAM207が始めに書き込まれかつ次に読み出され、そして制御レジスタ810のDCTRにおけるDAEMフィールドが

10

20

20

30

40

50

否定されてアドレスがデコードおよびアドレス発生回路 808 によってドライブされるべきでないことを示す。図 9において、C1k(クロック)信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図 9に示されるように、外部バスマスター 205 は第 1 のタイミングサイクルの間にデータプロセッサ 3 に対しアドレス値、転送開始(TS)信号、R/*W 信号、および「サイズ」バスを提供する。このタイミング例の第 1 の部分においては、R/*W 信号は否定されてデータプロセッサ 3 があるデータ値をDRAM 207 に書き込んでいることを示すことに注意を要する。

【0115】

外部バスマスター 205 がアドレス値を転送して 1 タイミングサイクル後に、外部バスマスター 205 は TS 信号を否定しあつ書き込まれるべきデータをドライブする。2 分の 1 タイミングサイクル遅れて、メモリコントローラ 804 は RAS 信号を肯定し DRAM 207 に対しそこに提供されているアドレスがロードアドレスであることを示す。

【0116】

1 タイミングサイクル遅れて、メモリコントローラ 804 は CAS バスを肯定し DRAM 207 に対しそこに提供されているアドレスがコラムアドレスであることを示す。

【0117】

2 分の 1 タイミングサイクル遅れて、メモリコントローラ 804 は外部バスマスター 205 への TA 信号を肯定しバスアクセスの終りを示す。

【0118】

TA 信号が肯定されて 1 タイミングサイクル後に、メモリコントローラ 805 は RAS 信号、CAS バス、および TA 信号を否定する。さらに、DRAM 207 に提供されるアドレスおよびデータ値がトライステート化される。

【0119】

その後、DRAM 読出し動作が実行されかつそのタイミングが図 9 に示されている。図 9 に示されるように、外部バスマスター 205 は第 1 のタイミングサイクルの間にデータプロセッサ 3 に対しアドレス値、転送開始(TS)信号、R/*W 信号、および「サイズ」バスを提供する。このタイミング例の第 1 の部分においては、前記 R/*W 信号は肯定されてデータプロセッサ 3 があるデータ値を DRAM 207 から読み出していることを示すことに注目すべきである。

【0120】

外部バスマスター 205 がアドレス値を転送して 1 タイミングサイクル後に、TS 信号が否定される。

【0121】

2 分の 1 タイミングサイクル後に、メモリコントローラ 804 は RAS 信号を肯定し DRAM 207 にそこに提供されているアドレスがロードアドレスであることを示す。

【0122】

1 タイミングサイクル遅れて、メモリコントローラ 804 は CAS バスを肯定し DRAM 207 に対しそこに提供されているアドレスがコラムアドレスであることを示す。

【0123】

2 分の 1 タイミングサイクル遅れて、メモリコントローラ 804 は TA 信号を肯定してバスアクセスの終りを示す。TA 信号が最初に否定されたとき、E バスを介して DRAM 207 によって提供されるデータは有効でありかつ外部バスマスター 205 によってエラーなしに使用できる。1 クロックサイクル後に TA 信号が肯定されたとき、RAS 信号、CAS バス、および TA 信号が否定される。さらに、DRAM 207 によって提供されるデータがトライステート化される。

【0124】

図 6～図 9 のおのおのにおいて、コラムアドレスは CAS バスが肯定されたときに DRAM 207 に提供される。本発明の動作から生じるアドレス値の例が図 14～図 16 に示されている。これらの図面のおおののは本発明において開示された回路および方法の動作の

10

20

30

40

50

間にアクセスされるD R A Mにおいて異なるポートサイズが実施される場合に必要な多重化(m u l t i p l e x i n g)を示している。

【0125】

ロック図、フローチャート、およびタイミング図によって外部バスマスタによるD R A Mのアクセスの実行についての前の説明から、データプロセッサ、外部メモリ、および外部マスタの間で情報を通信するための装置および方法が説明された。本発明のこの部分の要約として、D R A M回路のアクセスの間に多重化機能を行うために外部回路が必要とされないようにデータ処理システムにおける外部メモリを制御するための回路および動作が提供されている。さらに、データプロセッサ3における内部多重化の使用およびC A Sバスの使用により、本発明は外部マスタ装置によるダイナミックランダムアクセスメモリ(D R A M)のアクセスのためのデータプロセッサにおける専用の集積回路ピンおよび外部マルチプレクサの必要性を除去する。本発明はD R A M回路にアクセスするのに必要な多重化機能を図1に示される従来技術のデータ処理システムによって必要とされるような専用の集積回路ピンを必要とすることなく実施できるようにする。本発明のデータプロセッサの増大した柔軟性および集積回路ピンの要求の低減はより低いシステムコストを有しつつ半導体市場の最近の進歩を活用するために容易に更新できるデータ処理システムを生じさせる。

【0126】

<外部マスタによるチップ選択可能なアクセス>

図5に戻って、本発明の別の観点につきより詳細に説明する。もしC S _ ヒット信号が肯定されて、メモリ206のような、チップ選択可能な装置内のあるロケーションがアクセスされることを示せば、メモリコントローラ804は次に制御レジスタ810のC S C Rレジスタ(図12(c)に示されている)におけるE M A A(外部マスタ自動アクリエイジ: E x t e r n a l M a s t e r A u t o m a t i c A c k n o w l e d g e)フィールドが、外部ユーザによって、他のメモリ装置への外部バスマスタ205によって開始されたアクセス動作の間に転送アクリエイジの出力および肯定を制御するためにプログラムされているか否かを判定する。もしE M A Aフィールドが肯定されれば(本発明のこの実施形態では論理“1”)、メモリコントローラ804は図12(c)のC S C Rレジスタにおいてプログラムされた待機状態の値(W S [3:0])によって決定される時間の長さの間転送アクリエイジ(T A)信号を否定し、かつ次に1クロックサイクルの間T A信号を肯定する。C S C Rのような、チップ選択レジスタはあるアドレス空間に対応する。チップ選択レジスタの実施および使用はデータ処理技術においてよく知られておりかつこれ以上詳細には説明しない。

【0127】

前記E M A Aフィールドが肯定された場合、メモリコントローラ804はC S(チップ選択)信号、W E(書き込みイネーブル)バス、およびT A(転送アクリエイジ)信号をメモリ206のための制御を与えるために提供する。これらの信号を使用することにより、データプロセッサ3は外部バスマスタ205のためのメモリ206の制御を効果的に提供している。逆に、前記E M A Aフィールドが否定された場合には、メモリコントローラ804はC S(チップ選択)信号およびW E(書き込みイネーブル)バスのみを提供する。メモリ206のための制御を提供するためにT A(転送アクリエイジ)信号を提供するよりはむしろ、メモリコントローラ804は外部バスマスタ205または他の外部回路(ここでは図示されていない)によって外部的に提供されるT A信号をサンプルする。

【0128】

図10、図11、図17および図18は、本発明のいくつかの実施形態においてメモリコントローラ804によって実施されるタイミングを示すタイミング図を与えている。

【0129】

図10は、本発明の第1の実施形態を示し、この場合メモリ206は最初に書き込まれかつ次に読み出され、そして制御レジスタ810のC S C RにおけるE M A Aフィールドが肯定されてメモリコントローラ804が転送アクリエイジ(T A)信号を提供すべきこと

10

20

30

40

50

を示す。図10において、CLK(クロック)信号が提供されている。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細に説明しない。図10に示されるように、外部バスマスター205は最初のタイミングサイクルの間にデータプロセッサ3に対してアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、前記R/*W信号は否定されて外部マスター205があるデータ値をメモリ206に書き込んでいることを示すことに注目すべきである。次のタイミングサイクルの間に、前記TS信号は否定されかつ外部バスマスター205はメモリ206に書き込まれるべきデータをドライブし始める。これらのタイミングサイクルの間に、前記転送アクノレッジ(TA)信号はトライステート化された状態に留まっている。

10

【0130】

TS信号が否定されて1タイミングサイクル後に、システムバスコントローラ8の一部のメモリコントローラ804はチップ選択(CS)信号を肯定してメモリ206、または任意の他の選択された装置、が外部バスマスター205によってアクセスされたことを示す。さらに、メモリコントローラ804は同じタイミングサイクルの間に転送アクノレッジ(TA)信号を否定する。

【0131】

次のタイミングサイクルの間に、メモリコントローラ804は書込みイネーブル(WE)バスを肯定してアドレスバスを介して転送されるアドレスロケーションメモリ206が外部バスマスター205によって提供されるデータによって書き込まれるようイネーブルする。さらに、メモリコントローラ804はこの次のタイミングサイクルの間に転送アクノレッジ(TA)信号を肯定する。

20

【0132】

その後のタイミングサイクルにおいて、TA信号は再び否定され、一方CS信号およびWEバスは否定されかつデータ値はトライステート化される。

【0133】

その後、メモリ読出し動作が実行されかつそのタイミングは図10に示されている。図10に示されるように、外部バスマスター205は最初のタイミングサイクルの間にデータプロセッサ3に対して他のアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分において、前記R/*W信号が肯定されて外部バスマスター205がメモリ206からあるデータ値を読み出していることを示すことに注意を要する。これらのタイミングサイクルの間に、メモリコントローラ804によって出力される転送アクノレッジ(TA)信号はトライステート化された状態に留まっている。

30

【0134】

TS信号が否定されて1タイミングサイクル後に、システムバスコントローラ8の部分のメモリコントローラ804はチップ選択(CS)信号を肯定してメモリ206、または任意の他の選択された装置、が外部バスマスター205によってアクセスされていることを示す。さらに、メモリコントローラ804は同じタイミングサイクルの間に転送アクノレッジ(TA)信号を肯定する。その時点で、メモリ206は有効なデータ値を外部バスマスター205に提供する。

40

【0135】

次のタイミングサイクルの間に、メモリコントローラ804は転送アクノレッジ(TA)信号およびCS信号を否定する。この次のタイミングサイクルの間に、メモリ206は外部バスマスター205によってそこから読み出されたデータ値を転送するために前に使用された集積回路ピンをトライステート化する。

【0136】

その後のまたは引き続くタイミングサイクルにおいて、メモリコントローラ804から出力されるTA信号は再びトライステート化される。

【0137】

50

図17は本発明の第2の実施形態を示し、この場合はメモリ206は最初に書き込まれかつ次に読み出され、そして制御レジスタ810のCSRにおけるEAAAフィールドが否定されてメモリコントローラ804が転送アクノレッジ(TA)信号を提供すべきでないことを示す。この場合、メモリコントローラ804から出力されるTAはトライステート化されかつTA信号は外部バスマスター205または他の外部回路(ここでは図示されていない)によって外部的に提供されなければならない。

【0138】

図17において、Clk(クロック)信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図17に示されるように、外部バスマスター205は第1のタイミングサイクルの間にデータプロセッサ3に対しアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、前記R/*W信号は外部マスター205があるデータ値をメモリ206に書き込んでいることを示すために否定されることに注意を要する。次のタイミングサイクルの間に、TS信号は否定されかつ外部バスマスター205はメモリ206に書き込まれるべきデータをドライブし始める。この全タイミングシーケンスの間にメモリコントローラ804から出力される転送アクノレッジ(TA)信号はトライステート化された状態に留まっている。

【0139】

TS信号が否定されてから1タイミングサイクル後に、システムバスコントローラ8の部分のメモリコントローラ8はチップ選択(CS)信号を肯定してメモリ206、または任意の他の選択された装置、が外部バスマスター205によってアクセスされたことを示す。これらのタイミングサイクルの間に、外部バス205または他の外部回路(ここでは図示されていない)から出力されるTA信号は否定された状態に留まっている。

【0140】

次のタイミングサイクルの間に、メモリコントローラ804は書き込みイネーブル(WE)バスを肯定して外部バスマスター205によって提供されるデータにより書き込まれるべきアドレスバスを介して転送されるアドレスロケーションメモリ206をイネーブルする。さらに、外部バスマスター205または他の外部回路(ここでは図示されていない)はこの次のタイミングサイクルの間に転送アクノレッジ(TA)信号を肯定する。

【0141】

その後のタイミングサイクルにおいて、TA信号は再び否定され、一方前記CS信号およびWEバスは否定されかつデータ値はトライステート化される。TA信号は外部バスマスター205または他の外部回路によって要求される数の待機状態の後に肯定される。TA信号を肯定している外部バスマスター205または他の外部回路はCS信号およびWEバスの肯定を、制御レジスタ810のCSRのWS[3:0]ビットによって指示される待機状態の数にかかわりなく、任意の数のサイクルまで延長することができることに注目すべきである。

【0142】

その後、メモリ読出し動作が実行されかつそのタイミングが図17に示されている。図17に示されるように、外部バスマスター205は第1のタイミングサイクルの間にデータプロセッサ3に対して他のアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分においては、前記R/*W信号は肯定されて外部バスマスター205がメモリ206からあるデータ値を読み出していることを示すことに注意を要する。これらのタイミングサイクルの間に、メモリコントローラ804から出力される前記転送アクノレッジ(TA)信号はトライステート化された状態に留まっている。

【0143】

TS信号が否定されてから1タイミングサイクル後に、システムバスコントローラ8の一部のメモリコントローラ804はチップ選択(CS)信号を肯定してメモリ206、または任意の他の選択された装置、が外部バスマスター205によってアクセスされていること

10

20

30

40

50

を示す。これらのタイミングサイクルの間に、外部バスマスター205または他の外部回路から出力されるTA信号は否定された状態に留まっている。

【0144】

次のタイミングサイクルの間に、メモリ206は有効なデータ値を外部バスマスター205に提供する。外部バスマスター205または他の外部回路はTA信号を肯定してバスサイクルの終りを示す。

【0145】

その後のタイミングサイクルにおいて、前記TA信号は再び否定され、一方前記CS信号は否定されかつデータ値はトライステート化される。TA信号は外部バスマスター205によって必要とされかつ外部バスマスター205または他の外部回路によって決定される数の待機状態の後に肯定される。外部バスマスター205またはTA信号を肯定している他の外部回路は、制御レジスタ810のCSCRのWS[3:0]ビットによって示される数の待機状態にかかわりなく、CS信号の肯定を任意の数のサイクルまで延長できることに注意を要する。10

【0146】

図11は、本発明の第3の実施形態を示し、この場合はメモリ206は始めに書き込まれかつ次に読み出され、そして制御レジスタ810のCSCRにおけるEMAAフィールドは肯定されてメモリコントローラ804が転送アクノレッジ(TA)信号を提供すべきことを示す。図11において、CLK(クロック)信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上詳細には説明しない。図11に示されるように、外部バスマスター205は最初のタイミングサイクルの間にデータプロセッサ3に対しアドレス値、転送開始(TS)信号、R/*W信号、および「サイズ」バスを提供する。このタイミング例の第1の部分において、R/*W信号は否定されて外部バスマスター205があるデータ値をメモリ206に書き込んでいることを示すことに注意を要する。次のタイミングサイクルの間に、TS信号は否定されかつ外部バスマスター205はメモリ206に書き込まれるべきデータ値の有効なサイズ値をドライブし始める。これらのタイミングサイクルの間に、転送アクノレッジ(TA)信号はトライステート化された(tristated)状態に留まっている。20

【0147】

TS信号が否定されて後の次のタイミングサイクルにおいて、システムバスコントローラ8の部分のメモリコントローラ804はチップ選択(CS)信号を肯定してメモリ206、または任意の他の選択された装置、が外部バスマスター205によってアクセスされたことを示す。さらに、メモリコントローラ804は同じタイミングサイクルの間に転送アクノレッジ(TA)信号を否定する。同時に、外部バスマスター205はメモリ206に書き込まれるべきデータを提供する。30

【0148】

次のタイミングサイクルの間に、メモリコントローラ804は書込みイネーブル(WE)バスを肯定して外部バスマスター205によって提供されるデータによって書き込まれるべきアドレスバスを介して転送されるアドレスロケーションメモリ206をイネーブルする。さらに、メモリコントローラ804はこの次のタイミングサイクルの間に転送アクノレッジ(TA)信号を肯定する。40

【0149】

その後のタイミングサイクルにおいて、TA信号は再び否定され、一方CS信号およびWEバスは否定されかつデータ値はトライステート化される。

【0150】

その後、メモリ読み出し動作が実行されかつそのタイミングは図11に示されている。図11に示されるように、外部バスマスター205は最初のまたは第1のタイミングサイクルの間にデータプロセッサ3に対し他のアドレス値、転送開始(TS)信号、R/*W信号、および他の「サイズ」バスを提供する。このタイミング例の第1の部分においては、R/50

* W 信号は肯定されてデータプロセッサ 3 がメモリ 206 からあるデータ値を読み出していることを示すことに注意を要する。これらのタイミングサイクルの間に、前記転送アクノレッジ (TA) 信号はトライステート化された状態に留まっている。

【0151】

TS 信号が否定された同じタイミングサイクルにおいて、システムバスコントローラ 8 の一部のメモリコントローラ 804 はチップ選択 (CS) 信号を肯定してメモリ 206、または任意の他の選択された装置、が外部バスマスター 205 によってアクセスされたことを示す。さらに、メモリコントローラ 804 は同じタイミングサイクルの間に転送アクノレッジ (TA) 信号を肯定する。その時点で、メモリ 206 はシステムバスコントローラ 8 の前記部分のデータバス 802 に対して有効なデータ値を提供する。 10

【0152】

次のタイミングサイクルの間に、メモリコントローラ 804 は転送アクノレッジ (TA) 信号および CS 信号を否定する。この次のタイミングサイクルの間に、メモリ 206 は前に外部バスマスター 205 によってそこから読み出されたデータ値を転送するために使用された集積回路ピンをトライステート化する。

【0153】

その後のタイミングサイクルにおいて、TA 信号は再びトライステート化される。

【0154】

図 18 は本発明の第 4 の実施形態を示し、この場合はメモリ 206 は始めに書き込まれかつ次に読み出され、そして制御レジスタ 810 の CSCR における EMAA フィールドが否定されてメモリコントローラ 804 が転送アクノレッジ (TA) 信号を提供すべきでないことを示す。この場合、メモリコントローラ 804 から出力される TA 信号はトライステート化されかつ TA 信号は外部バスマスター 205 または他の外部回路（ここでは図示されていない）によって外部的に提供されなければならない。 20

【0155】

図 18 においては、Clk (クロック) 信号が提供される。データ処理システムにおけるクロック信号の発生、使用、およびルーティングは技術的によく知られておりかつこれ以上は説明しない。図 18 に示されるように、外部バスマスター 205 は最初のタイミングサイクルの間にデータプロセッサ 3 に対しアドレス値、転送開始 (TS) 信号、R/*W 信号、および「サイズ」バスを提供する。このタイミング例の第 1 の部分において、前記 R/*W 信号は否定されて外部バスマスター 205 があるデータ値をメモリ 206 に書き込んでいることを示すことに注目すべきである。次のタイミングサイクルの間に、TS 信号は否定されかつ外部バスマスター 205 はメモリ 206 に書き込まれるべきデータをドライブし始める。この全タイミングシーケンスの間、メモリコントローラ 804 によって出力される転送アクノレッジ (TA) 信号はトライステート化された状態に留まっている。 30

【0156】

TS 信号が否定された後の次のタイミングサイクルにおいて、システムバスコントローラ 8 の一部のメモリコントローラ 804 はチップ選択 (CS) 信号を肯定してメモリ 206、または任意の他の選択された装置、が外部バスマスター 205 によってアクセスされたことを示す。これらのタイミングサイクルの間に、外部バスマスター 205 または他の外部回路（ここでは図示されていない）から出力される TA 信号は否定された状態に留まっている。 40

【0157】

次のタイミングサイクルの間に、メモリコントローラ 804 は書込みイネーブル (WE) バスを肯定してアドレスバスを介して転送されるアドレスロケーションメモリ 206 が外部バスマスター 205 によって提供されるデータによって書き込まれるようイネーブルする。さらに、外部バスマスター 205 または他の外部回路（ここでは図示されていない）はこの次のタイミングサイクルの間に TA 信号を肯定してバスサイクルの終りを示す。

【0158】

その後のタイミングサイクルにおいて、TA 信号は再び否定され、一方 CS 信号および W

E バスは否定されかつデータ値はトライステート化される。TA 信号は外部バスマスター 205 によって要求されかつ外部バスマスターまたは他の外部回路によって決定される数の待機状態の後に肯定される。TA 信号を肯定している外部バスマスター 205 または他の回路は、制御レジスタ 810 の CSCR の WS [3:0] ビットによって指示される待機状態の数にかかわりなく、CS 信号およびWE バスの肯定を任意の数のタイミングサイクルまで延長することができることに注意を要する。

【0159】

その後、メモリ読み出し動作が実行されかつそのタイミングは図 18 に示されている。図 18 に示されるように、外部バスマスター 205 は最初のタイミングサイクルの間にデータプロセッサ 3 に対し他のアドレス値、転送開始 (TS) 信号、R/*W 信号、および他の「サイズ」バスを提供する。このタイミング例の第 1 の部分においては、R/*W 信号はデータプロセッサ 3 がメモリ 206 からあるデータ値を読み出していることを示すために肯定されることに注意を要する。これらのタイミングサイクルの間に、メモリコントローラ 804 によって出力される転送アクノレッジ (TA) 信号はトライステート化された状態に留まっている。

【0160】

TS 信号が否定された後の次のタイミングサイクルの間に、システムバスコントローラ 8 の部分のメモリコントローラ 804 はチップ選択 (CS) 信号を肯定してメモリ 206、または任意の他の選択された装置、が外部バスマスター 205 によってアクセスされたことを示す。これらのタイミングサイクルの間、外部バスマスター 205 または他の外部回路から出力される TA 信号は否定された状態に留まっている。

【0161】

次のタイミングサイクルの間に、メモリ 206 は有効なデータ値を外部バスマスター 205 に提供する。外部バスマスター 205 または他の外部回路は TA 信号を肯定してバスサイクルの終りを示す。

【0162】

その後のタイミングサイクルにおいて、TA 信号は再び否定され、一方 CS 信号は否定されかつデータ値はトライステート化される。TA 信号は外部バスマスター 205 によって要求されかつ外部バスマスター 205 または他の外部回路によって決定される待機状態の数の後に肯定される。外部バスマスター 205 または TA 信号を肯定している他の外部回路は、制御レジスタ 810 の CSCR の WS [3:0] ビットによって指示される数の待機状態にかかわりなく、CS 信号の肯定を任意の数のサイクルまで延長できることに注意を要する。

【0163】

ここに与えられたブロック図、流れ図、およびタイミング図から、本発明は外部バスマスター 205 がデータプロセッサ 3 のメモリコントローラ 804 によって発生される内部チップ選択を使用する場合に転送アクノレッジ信号の外部的な発生を提供する必要性を除去することがわかる。ユーザはデータプロセッサ 3 を、アドレスおよび属性が記憶された後に、外部マスターのチップ選択アクセスが内部マスターのアクセスと同じにできるようにプログラムすることができる。さらに、ユーザは内部転送アクノレッジ論理をターンオフしかつ内部チップ選択および書き込みイネーブル発生論理を依然として使用しながら外部転送アクノレッジ論理を加えることができる。この特徴はチップ選択のベースでユーザによってプログラム可能である。本発明のこの観点によって与えられる柔軟性はユーザが外部チップ選択および書き込みイネーブル発生論理を要求することなく外部マスターのアクセスの異なるタイミングを補償できるようにする。したがって、本発明のこの実施形態においてはオーバヘッドが節約されかつ効率が増大する。

【0164】

また、本発明の回路および方法は外部メモリ制御回路を加えることなく外部バスマスター 205 が内部マスター (データプロセッサ 3) と異なる数の待機状態を使用してチップ選択可能なメモリにアクセスできるようにする。外部バスマスター 205 がデータプロセッサ 3、

10

20

30

40

50

内部マスタ、の内部のチップ選択回路を使用し、かつ内部マスタと異なる数の待機状態を使用してメモリ206にアクセスできるようにするため、本発明はレジスタビットが内部チップ選択回路が外部アクセスに際して転送アクノレッジ信号を肯定しないようにプログラムできるようにする。したがって、外部アクセスの間に、データプロセッサ3のチップ選択論理は内部的に発生されたチップ選択信号および書き込みイネーブルバスを否定する前に外部的に発生された転送アクノレッジ信号を待機することになる。本発明のこの観点は待機状態の数が内部および外部マスタの間で異なる場合に必要とされる外部論理の量を低減する。

【0165】

外部メモリの内部アクセス

再び図5を参照すると、もし`*int_ext_mastr`(`*int_ext_master`)信号が否定されれば、デコードおよびアドレス発生ブロック808は外部マスタが外部メモリをアクセスしていないことを判定しかつデータプロセッサ3がMTS(マスタ転送開始)信号の使用により外部メモリをアクセスしようと試みているか否かを評価する。もしMTS信号が肯定されれば、データプロセッサ3は外部メモリの内部マスタアクセスを試みている。

【0166】

もしMTS信号が肯定されていれば、デコードおよびアドレス発生回路808はマスターIDレス(MADDR)値、MR/*W信号、およびMサイズ(Msize)バスをデコードしてデータ処理システム202におけるどの装置がアクセスされているかを決定する。デコードおよびアドレス発生回路808は次にDRAMヒット(DRAM_hit)信号を肯定してそこに提供されるアドレスがDRAM207内のメモリロケーションをアクセスすることを示す。同様に、デコードおよびアドレス発生回路808はCSヒット(CS_hit)信号を肯定してそこに提供されるアドレスがメモリ206のような他の外部装置をアクセスすることを示す。メモリ206のみが本発明のこの実施形態において示されているが、メモリ206に代えてまたはメモリ206に加えて他のチップ選択可能な装置も実施できることを理解すべきである。他のチップ選択可能な装置が実施されれば、CSヒット信号はデコードおよびアドレス発生回路808に提供されるアドレスはこれらの装置の内の1つをアクセスすることになる。さらに、メモリ206は、SRAM、ROM、EEPROM、フラッシュまたはシリアルインターフェースまたはタイマのようなチップ選択可能な周辺装置などの、任意の形式の外部メモリとして実施できることに注目すべきである。

【0167】

もし前記DRAMヒット信号が肯定されてDRAM207内のメモリロケーションがアクセスされていることを示せば、メモリコントローラ804は次にデコードおよびアドレス発生回路808がTS、R/*W、サイズ、およびアドレス値をEバスにドライブするようイネーブルする。メモリコントローラ804はまたバス調停回路をイネーブルしてバス要求(BR)信号およびバス駆動(Bus_Driven:BD)信号をEバスを介して外部メモリにドライブする。さらに、メモリコントローラ804はEバスを介して外部メモリにRAS、CASおよびDRAMW信号を提供する。データバス802はまたR/*W信号が否定されたときにデータをドライブしかつこの動作モードの間にR/*Wが肯定された場合にデータをサンプルする。メモリコントローラ804はその後TA信号をドライブしてバスサイクルの終りを示す。

【0168】

もしDRAMヒット信号が否定されてDRAM207内のメモリロケーションがアクセスされていることを示せば、メモリコントローラ804は次にデコードおよびアドレス発生回路808をイネーブルしてTS、R/*W、サイズ、およびアドレス値をEバスを介して外部メモリにドライブする。さらに、メモリコントローラ804はCS信号およびWEバスをEバスを介して外部メモリに提供する。データバス802はまたR/*W信号が否定されたときにデータをドライブしかつこの動作モードの間にR/*Wが肯定されたと

10

20

30

40

50

きにデータをサンプルする。もし A A が肯定されれば、メモリコントローラ 804 は前記数の待機状態の後にあるいは外部 T A 信号が肯定されれば T A 信号を肯定する。T A 信号が外部装置によって肯定されてバスサイクルの終りを示せば、メモリコントローラ 804 はマスタ転送アクノレッジ (M T A) 信号を肯定する。データバス 802 はまた読み出し動作が実行された場合に M バス 23 を介してデータプロセッサ 3 の他の部分にデータをドライブする。

【 0169 】

【発明の効果】

本発明はデータプロセッサ、外部メモリ、および外部マスターの間で情報を通信するための独自のかつ有用な装置および方法を提供する。本発明の装置および方法はデータプロセッサが外部マスターによるアクセスの間に適切に外部メモリを制御できるようにするために、より少ない外部インターフェース回路を必要とするのみでありかつデータ処理システムに関連するオーバヘッドコストが低減される。10

【 0170 】

ここに説明された本発明の構成は実例として与えられているのみである。しかしながら、ここに説明した機能を実行するために数多くの他の構成が存在し得る。たとえば、本発明は数多くの形式の外部装置のアクセスに適用されかつ D R A M に制限されない。さらに、図 12 (a) ~ 図 12 (c) および図 13 (a) ~ 図 13 (e) に示された制御レジスタ 810 は増加し、減少させ、かついくつかの場合には削除も可能である。また、D R A M コントローラは本発明のチップ選択機能と一緒にまたは分離して構成できることが理解されるべきである。本発明が特定の実施形態に関して図示されかつ説明されたが、当業者にはさらに他の修正および改善を行なうことができる。したがって、この発明は示された特定の形式に制限されるものではなくかつ添付の特許請求の範囲がこの発明の範囲から離れることのない全ての変更をカバーすることが理解されるべきである。20

【 0171 】

前記データプロセッサ (3) が前記データプロセッサ (3) の外部に実施された外部バスマスター (205) に転送アクノレッジ信号を提供することは本発明の 1 つの態様である。

【 0172 】

前記データプロセッサがバス調停回路 (806) およびデコード回路 (808) を具備することは本発明の他の態様である。前記バス調停回路 (806) はバス承認信号をデコードしてデータプロセッサ (3) がいつ外部メモリアクセスを実行しているかを選択的に指示する。前記バス調停回路はまたデータプロセッサ (3) の外部の装置 (207) がいつ外部アクセスを実行しているかを選択的に指示し、かつ外部マスター制御信号を提供する。前記バス調停回路 (806) は前記入力手段に結合されかつバス承認信号を前記複数の外部制御信号の内の第 1 の 1 つとして受信する。前記デコード回路 (808) は内部転送開始信号および外部転送開始信号、前記複数の外部アドレス信号の内の第 1 の 1 つ、複数の内部アドレス信号の内の第 1 の 1 つ、外部アクノレッジビット、および外部マスター制御信号を受信しかつデコードして外部装置アクセス信号を発生する。前記デコード回路 (808) は前記中央処理ユニット (2) に結合されかつ前記内部転送開始信号を前記複数の外部制御信号の内の第 1 の 1 つとして受信する。前記デコード回路 (808) はまた前記第 1 の手段に結合されて前記複数の外部アドレス信号の内の第 1 の 1 つを受信し、前記バス調停回路 (806) に結合されて外部マスター制御信号を受信し、かつ前記制御レジスタ (810) に結合されて前記外部アクノレッジビットを受信する。30

【 0173 】

本発明の別の態様は、前記メモリコントローラ (804) が外部アクノレッジビットが第 1 の論理状態にあり、外部転送開始信号が第 2 の論理状態にあり、かつ外部装置アクセス信号が第 3 の論理状態にあるときに選択的に転送アクノレッジ信号を肯定することである。40

【 0174 】

前記外部アクノレッジビットが前記第 1 の論理状態にない場合に前記外部転送アクノレッ50

ジ信号が受信されかつサンプルされることは本発明のさらに別の態様である。

【0175】

前記外部転送アクノレッジ信号がデータプロセッサ(3)の外部に実施または構成された外部バスマスター(205)によって提供されることは本発明のさらに他の態様である。

【0176】

前記転送アクノレッジ信号がデータ処理動作が完了したことを示すことは本発明のさらに別の態様である。

【0177】

前記制御レジスタ(810)が前記メモリコントローラ(804)が前記転送アクノレッジ信号を肯定する前に経過すべき時間の長さを指示するための待機状態値を格納することは本発明のさらに他の態様である。 10

【0178】

前記メモリコントローラ(804)がチップ選択信号を肯定して前記データプロセッサ(3)の外部の少なくとも1つの装置を選択することは本発明のさらに別の態様である。

【図面の簡単な説明】

【図1】外部メモリコントローラを実施するデータ処理システムの従来技術の構成を示すブロック図である。

【図2】本発明の一実施形態に係わる外部メモリコントローラを実施するデータ処理システムの構成を示すブロック図である。

【図3】本発明の一実施形態に係わるデータプロセッサを示すブロック図である。 20

【図4】図3のデータプロセッサのシステムバスコントローラを示すブロック図である。

【図5】図4のシステムバスコントローラによって行なわれる機能を示すフローチャートである。

【図6】本発明に係わるDRAM回路の外部マスター開始アクセスの第1の例を示すタイミング図である。

【図7】本発明に係わるDRAM回路の外部マスター開始フルページアクセスの第2の例を示すタイミング図である。

【図8】本発明に係わるDRAM回路の外部マスター開始アクセスの第3の例を示すタイミング図である。

【図9】本発明に係わるDRAM回路の外部マスター開始アクセスの第4の例を示すタイミング図である。 30

【図10】本発明に係わるチップ選択可能な回路の外部マスター開始アクセスの第1の例を示すタイミング図である。

【図11】本発明に係わるチップ選択可能な回路の外部マスター開始アクセスの第3の例を示すタイミング図である。

【図12】(a)は図4のシステムバスコントローラの複数のチップ選択レジスタに含まれるチップ選択アドレスレジスタを示す説明図であり、(b)は図4のシステムバスコントローラの複数のチップ選択レジスタに含まれるチップ選択マスクレジスタを示す説明図であり、(c)は図4のシステムバスコントローラの複数のチップ選択レジスタに含まれるチップ選択制御レジスタを示す説明図である。 40

【図13】(a)は図4のシステムバスコントローラの複数のDRAM制御レジスタに含まれるDRAMコントローラリフレッシュレジスタを示す説明図であり、(b)は図4のシステムバスコントローラの複数のDRAM制御レジスタに含まれるDRAMコントローラタイミングレジスタを示す説明図であり、(c)は図4のシステムバスコントローラの複数のDRAM制御レジスタに含まれるDRAMコントローラアドレスレジスタを示す説明図であり、(d)は図4のシステムバスコントローラの複数のDRAM制御レジスタに含まれるDRAMコントローラマスクレジスタを示す説明図であり、(e)は図4のシステムバスコントローラの複数のDRAM制御レジスタに含まれるDRAMコントローラ制御レジスタを示す説明図である。

【図14】本発明の一実施形態において実施される8ビットデータポートサイズ・アドレ 50

スマルチプレクス構成を示す説明図である。

【図15】本発明の一実施形態において実施される16ビットデータポートサイズ・アドレススマルチプレクス構成を示す説明図である。

【図16】本発明の一実施形態において実施される32ビットデータポートサイズ・アドレススマルチプレクス構成を示す説明図である。

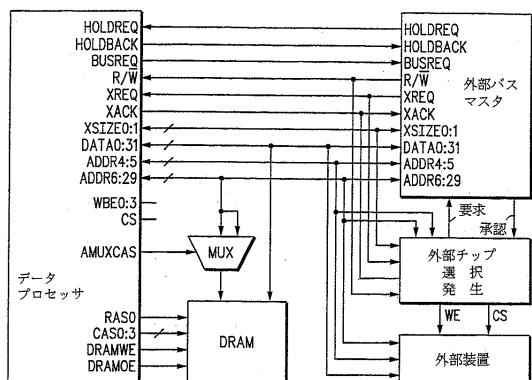
【図17】本発明に係わるチップ選択可能な回路の外部マスタ開始アクセスの第2の例を示すタイミング図である。

【図18】本発明に係わるチップ選択可能な回路の外部マスタ開始アクセスの第4の例を示すタイミング図である。

【符号の説明】

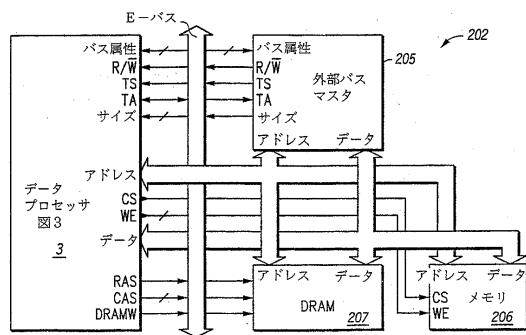
2	中央処理ユニット(C P U)	10
3	データプロセッサ	
4	メモリ管理ユニット／コントローラ	
6	メモリ	
8	システムバスコントローラ	
9	コア	
10	デバッグモジュール	
12, 13	スレイブモジュール	
14	マスタモジュール	
23	Mバス	20
25	Kバス	
202	データ処理システム	
205	外部バスマスター	
206	メモリ	
207	D R A M	
802	データバス回路	
804	メモリコントローラ	
806	バス調停回路	
808	デコードおよびアドレス発生回路	
810	制御レジスタ	30

【図1】

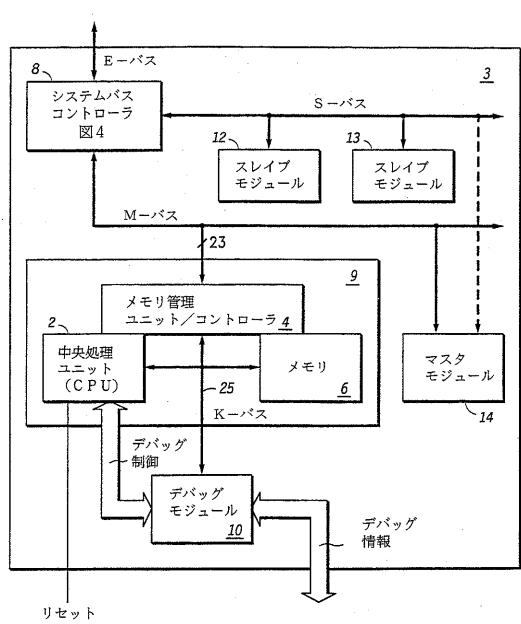


-従来技術-

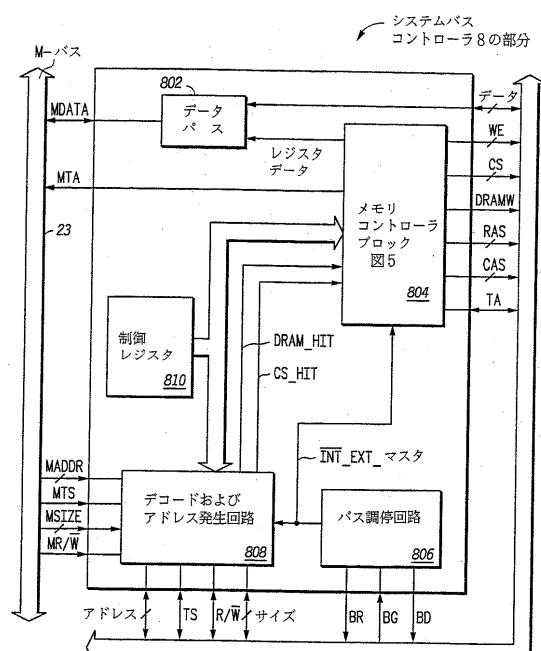
【図2】



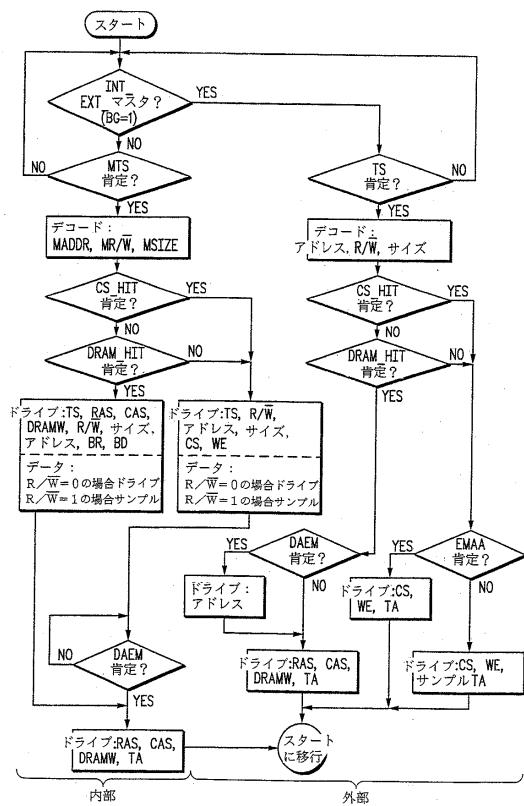
【図3】



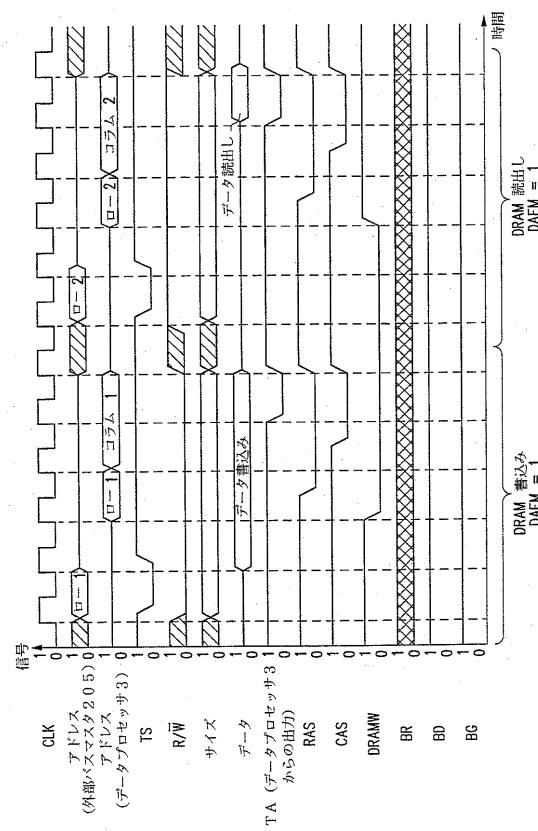
【図4】



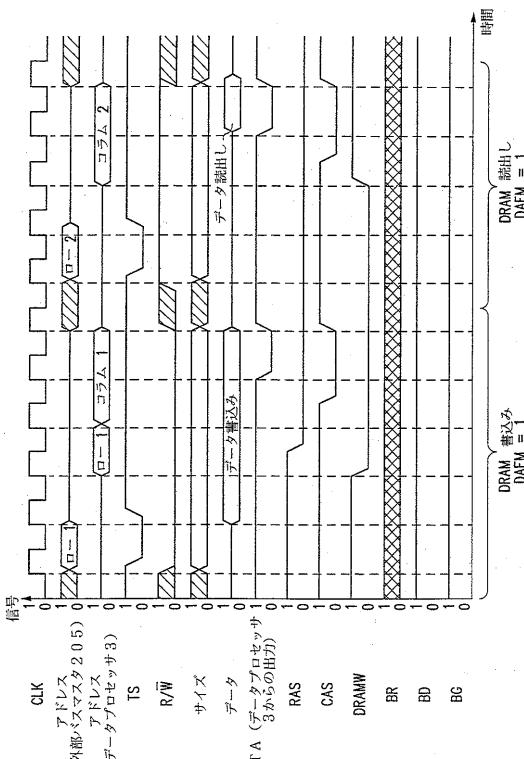
【図5】



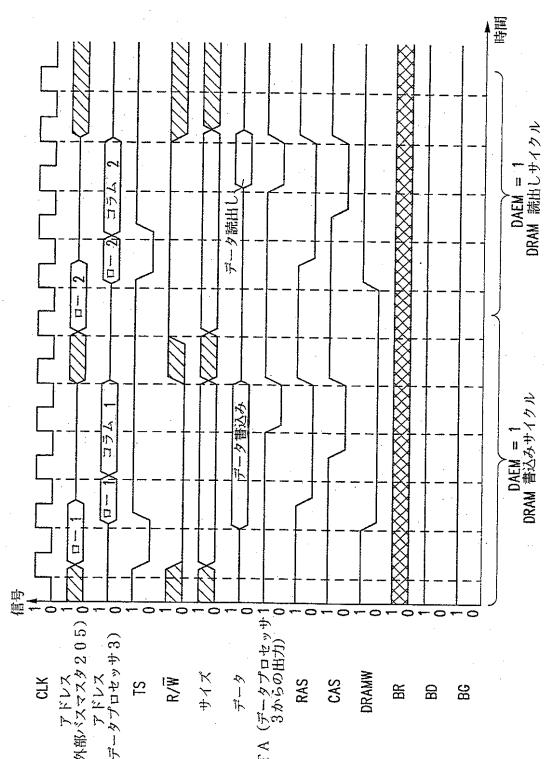
【 四 6 】



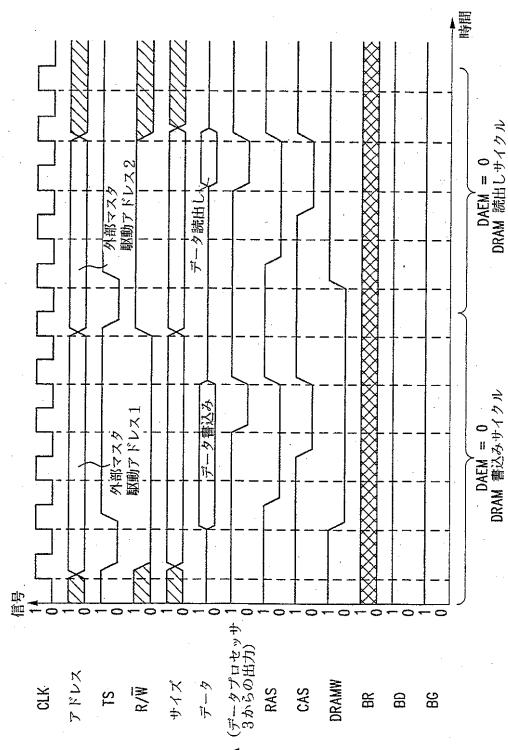
【 図 7 】



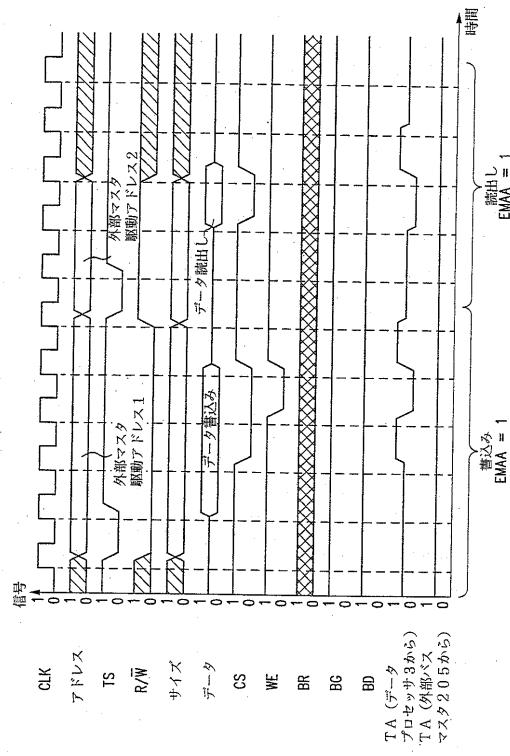
【 四 8 】



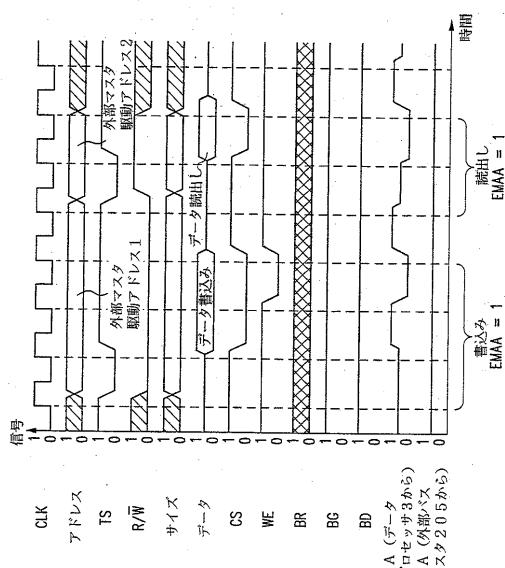
【図9】



【図10】



【図11】



【図12】

(a) チップ選択アドレス レジスタ (CSAR 0-7)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16

(b) チップ選択マスク レジスタ (CSMR 0-7)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16

(c) チップ選択制御 レジスタ (CSCR 0-7)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WS3	WS2	WS1	WS0	-	-	EMAA	AA	PSI	PSO	BRST	ASET	WRAH	RDAH	WR	RD

【図13】

(a)

DRAMコントローラ リフレッシュ レジスタ (DCRR)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	RC11	RC10	RC9	RC8	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0

(b)

DRAMコントローラ タイミング レジスタ (DCTR)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAE	EDO	-	RCD	-	RSH	RSHD	-	-	CRP1	CRP0	-	CAS	-	CP	CSR

(c)

DRAMコントローラ アドレス レジスタ (DCAR 0-1)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	-

(d)

DRAMコントローラ マスク レジスタ (DCMR 0-1)															
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BA01	BA00	BA02	BA01	BA02	-										
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	SC	SD	UC	UD	-	-

(e)

DRAMコントローラ 制御レジスタ (DCCR 0-1)							
7	6	5	4	3	2	1	0
PS1	PS0	BPS1	BPS0	PM1	PM0	WR	RD

【図14】

8ビット ポートサイズアドレス
多重化構成

アドレス ピン	512 バイトページ		1K バイトページ		2K バイトページ	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	27	27	27	27	27
26	26	25	26	25	26	25
25	25	25	25	25	25	25
24	24	23	24	23	24	23
23	23	23	23	23	23	23
22	22	21	22	21	22	21
21	21	21	21	21	21	21
20	20	19	20	19	20	10
19	19	19	19	19	19	9
18	18	17	18	9	18	8
17	17	17	17	8	17	7
16	16	8	16	7	16	6
15	15	7	15	6	15	5
14	14	6	14	5	14	4
13	13	5	13	4	13	3
12	12	4	12	3	12	2
11	11	3	11	2	11	1
10	10	2	10	1	10	10
9	9	1	9	9	9	9

【図15】

16ビット ポートサイズアドレス
多重化構成

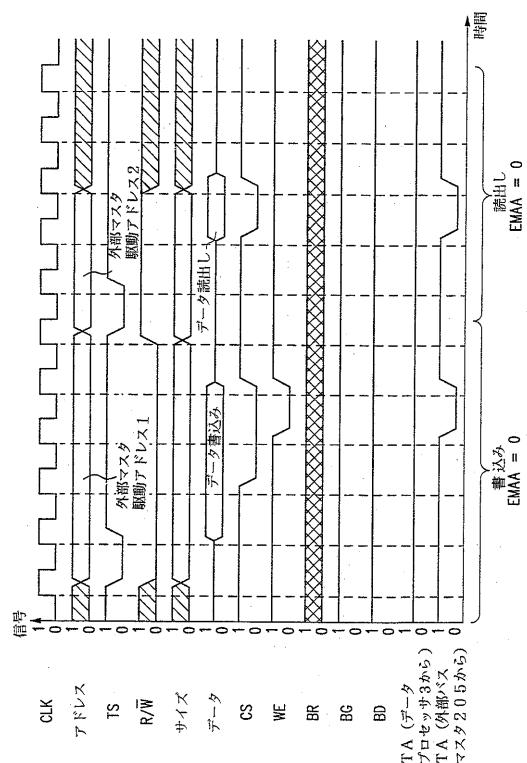
アドレス ピン	512 バイトページ		1K バイトページ		2K バイトページ	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	27	27	27	27	27
26	26	25	26	25	26	25
25	25	25	25	25	25	25
24	24	23	24	23	24	23
23	23	23	23	23	23	23
22	22	21	22	21	22	21
21	21	21	21	21	21	21
20	20	19	20	19	20	10
19	19	19	19	19	19	9
18	18	17	18	9	18	8
17	17	17	17	8	17	7
16	16	8	16	7	16	6
15	15	7	15	6	15	5
14	14	6	14	5	14	4
13	13	5	13	4	13	3
12	12	4	12	3	12	2
11	11	3	11	2	11	1
10	10	2	10	1	10	10
9	9	1	9	9	9	9

【図16】

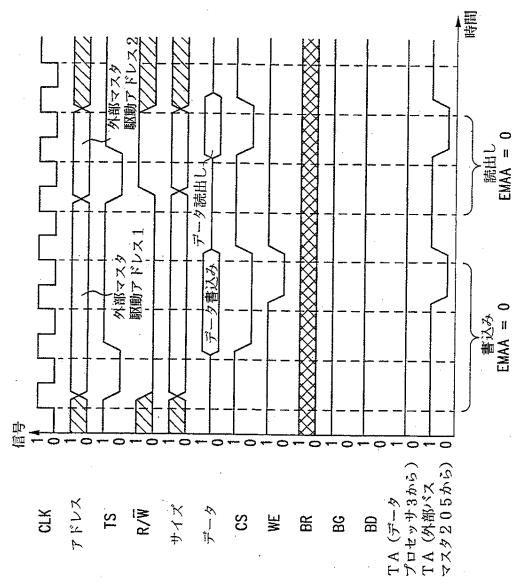
32ビット ポートサイズアドレス
多重化構成

アドレス ピン	512 バイトページ		1K バイトページ		2K バイトページ	
	RAS	CAS	RAS	CAS	RAS	CAS
27	27	26	27	26	27	26
26	26	26	26	26	26	26
25	25	24	25	24	25	24
24	24	24	24	24	24	24
23	23	23	23	22	23	22
22	22	22	22	22	22	22
21	21	20	21	20	21	20
20	20	20	20	20	20	20
19	19	18	19	18	19	10
18	18	18	18	18	18	9
17	17	16	17	9	17	8
16	16	16	16	8	16	7
15	15	8	15	7	15	6
14	14	7	14	6	14	5
13	13	6	13	5	13	4
12	12	5	12	4	12	3
11	11	4	11	3	11	2
10	10	3	10	2	10	10
9	9	2	9	9	9	9

【図17】



【図18】



フロントページの続き

(72)発明者 トーマス・エイ・ウォルプ

アメリカ合衆国テキサス州78745、オースティン、プロダイ・レーン 7806-エイ

(72)発明者 ジェイムズ・ジー・ゲイ

アメリカ合衆国テキサス州78660、オースティン、スプリット・オーク・コーブ 1103

(72)発明者 マイケル・アール・ミラー

アメリカ合衆国テキサス州78748、オースティン、ビルブルック・プレイス 10559

審査官 多賀 実

(56)参考文献 石川知雄 編, 図解16ビットマイクロコンピュータ H16の使い方, 日本, 株式会社オーム社, 1989年 7月 7日, 第1版, p. 8-11, 68-73, 194-195

安藤正晴, 前島英雄, H16の特徴・機能・動作とその応用, インターフェース, 日本, CQ出版社, 1987年 9月 1日, 第13巻, 第9号, p. 305-321

畔津明仁, バス・インターフェースの仕組みと設計の基礎, インターフェース, 日本, CQ出版社, 1992年 1月 1日, 第18巻, 第1号, p. 120-142

早貸由起, 周辺LSIをドッキングした68HC000 68000便利チップ 68301の研究, トランジスタ, 日本, CQ出版社, 1990年 7月 1日, 第27巻, 第7号, p. 459-479

(58)調査した分野(Int.Cl., DB名)

G06F13/16,

G06F13/42,

G06F15/78