



Patent dodatkowy
do patentu nr _____

Zgłoszono: 24.06.76 (P. 190732)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 02.01.78

Opis patentowy opublikowano: 31.08.1979

Int. Cl.²
G08G 1/097

Twórcy wynalazku: Janusz Frycz, Włodzimierz Juras, Tadeusz Krawczuk

Uprawniony z patentu: Przedsiębiorstwo Wdrażania i Upowszechniania
Postępu Technicznego i Organizacyjnego „Posteor”, Wrocław (Polska)

Układ wykrywania niepożądanych koincydencji stanów logicznych

1

Przedmiotem wynalazku jest układ wykrywania niepożądanych koincydencji stanów logicznych układów elektronicznych przeznaczony szczególnie do stosowania w elektronicznych sterownikach sygnalizacji świetlnej celem wykrycia niepożądanych koincydencji stanów logicznych układów sterujących poszczególnymi sygnalizatorami dla wyeliminowania na przykład stanu zielonych świateł na dwóch poprzecznych kierunkach w przypadku awarii sterownika i natychmiastowego włączenia żółtych świateł migających. Nie są znane z publikacji układy realizujące ten cel.

Istota wynalazku. Układ wykrywania niepożądanych koincydencji stanów logicznych posiadający „n” wejść ma matrycę utworzoną z „n-1” wzdłużnych przewodów krzyżujących się z „n-1” poprzecznymi przewodami, przy czym każdy ze wzdłużnych przewodów jest połączony z jednej strony poprzez układ negacji „nie” ze współpracującym, jednym z wejść poza pierwszym wejściem, zaś z drugiej strony, każdy poza ostatnim z omawianych wzdłużnych przewodów jest połączony poprzez drugi układ negacji „nie” z jednym wejściem układu zanegowanego iloczynu logicznego, natomiast każdy z poprzecznych przewodów poprzez współpracujący z nim układ negacji „nie” z odtwarzaniem poziomu sygnału jest połączony z drugim wejściem wymienionego układu zanegowanego iloczynu logicznego według zasady „n-ty” z „n-tym”, podczas gdy wyjście każdego układu zanegowanego iloczynu lo-

2

gicznego jest połączone poprzez wspólny układ negacji „nie” z wyjściem całego układu wykrywania, a pierwsze wejście jest połączone bezpośrednio z pierwszym wejściem współpracującego z nim układu zanegowanego iloczynu logicznego. Matryca jest zaopatrzona w diody włączone między wzdłużne przewody a poprzeczne przewody w obszarze ich krzyżowania się w zależności od żądania między którymi parami wejść spośród „n” wejść niedopuszczalną jest koincydencja stanów logicznych układów zewnętrznych połączonych z tymi wejściami.

Objaśnienie rysunku. Wynalazek jest bliżej objaśniony w przykładzie wykonania przedstawionym na załączonym rysunku, który pokazuje schemat elektryczny układu.

Przykład realizacji wynalazku. Układ według wynalazku ma matrycę 1 utworzoną z „n-1” wzdłużnych przewodów $Pw1 \div Pwn-1$ krzyżujących się z „n-1” poprzecznymi przewodami $Pp1 \div Ppn-1$, gdzie wskaźnik „n” oznacza w ogólnym przypadku ilość wejść układu według wynalazku.

Ilość wejść $We1 \div Wen$, równa ogólnie liczbie „n” jest ograniczona wyłącznie parametrami użytych w konstrukcji elementów struktur logicznych i przy aktualnym poziomie techniki $n \leq 16$. Każdy ze wzdłużnych przewodów $Pw1 \div Pwn$ jest połączony z jednej strony poprzez współpracujący z

nim układ 2 negacji „nie” z jednym z wejść $We_2 \div Wen$, poza pierwszym wejściem We_1 .

Każdy z omawianych wzdłużnych przewodów $Pw_1 \div Pw_2$, poza ostatnim wzdłużnym przewodem Pw_n-1 , jest połączony poprzez współpracujący z nim drugi układ 3 negacji „nie” z jednym wejściem przynależnego mu układu 4 zanegowanego iloczynu logicznego z otwartym kolektorem.

Każdy z poprzecznych przewodów $Pp_1 \div Pp_n-1$ jest połączony z drugim wejściem wymiennego układu 4, zanegowanego iloczynu logicznego poprzez współpracujący z nim układ 5 negacji „nie” z odtwarzaniem poziomu sygnału, według zasady „n-ty” z „n-tym”.

Wyjście każdego układu 4 zanegowanego iloczynu logicznego jest połączone poprzez jeden wspólny układ 6 negacji „nie” z wyjściem 7 całego układu wykrywania. Pierwsze wejście We_1 jest połączone bezpośrednio z pierwszym wejściem współpracującego z nim, pierwszego układu 4 zanegowanego iloczynu logicznego. Matryca 1 jest zaopatrzona w diody 8 włączone między wzdłużne przewody $Pw_1 \div Pw_n-1$ a poprzeczne przewody $Pp_1 \div Pp_n-1$ w obszarze ich krzyżowania się, w zależności od żądania między którymi parami wejść $We_1 \div Wen$ spośród „n” wejść niedopuszczalną jest koincydencja stanów logicznych układów zewnętrznych połączonych z tymi wejściami.

Włączenie diody 8 między pierwszy poprzeczny przewód Pp_1 a wzdłużne przewody Pw_1 , Pw_2 , Pw_3 oznacza, że koincydencje stanów logicznych między wejściami W_1 i W_2 , W_1 i W_3 , W_1 i W_4 są automatycznie wykrywane przez układ i sygnalizowane na wyjściu 7.

Zastrzeżenia patentowe

1. Układ wykrywania niepożądanych koincydencji stanów logicznych, posiadający „n” wejść, **znamienny tym**, że ma matrycę (1) utworzoną z „n-1” wzdłużnych przewodów ($Pw_1 \div Pw_n-1$) krzyżujących się z „n-1” poprzecznymi przewodami ($Pp_1 \div Pp_n-1$), przy czym każdy ze wzdłużnych przewodów ($Pw_1 \div Pw_n-1$) jest połączony z jednej strony poprzez układ (2) negacji „nie” ze współpracującym jednym z wejść ($We_2 \div Wen$) poza pierwszym wejściem (We_1), zaś z drugiej strony każdy, poza ostatnim z omawianych wzdłużnych przewodów ($Pw_1 \div Pw_n-2$), jest połączony poprzez drugi układ (3) negacji „nie” z jednym wejściem układu (4) zanegowanego iloczynu logicznego, natomiast każdy z poprzecznych przewodów $Pp_1 \div Pp_n-1$ jest połączony z drugim wejściem wymiennego układu (4) zanegowanego iloczynu logicznego poprzez współpracujący z nim układ (5) negacji „nie” z odtwarzaniem poziomu sygnału według zasady „n-ty” z „n-tym”, podczas gdy wyjście każdego układu (4) zanegowanego iloczynu logicznego jest połączone poprzez wspólny układ (6) negacji „nie” z wyjściem (8) całego układu wykrywania, a pierwsze wejście (We_1) jest połączone bezpośrednio z pierwszym wejściem współpracującego z nim układu (4) zanegowanego iloczynu logicznego.

2. Układ według zastrz. 1, **znamienny tym**, że matryca (1) ma diody (7) włączone między wzdłużne przewody ($Pw_1 \div Pw_n-1$) a poprzeczne przewody ($Pp_1 \div Pp_n-1$) w obszarze ich krzyżowania się, w zależności od żądania między którymi parami wejść ($We_1 \div Wen$) spośród „n” wejść niedopuszczalną jest koincydencja stanów logicznych układów zewnętrznych połączonych z tymi wejściami.

