(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년12월06일
(11) 등록번호 10-2334468
(24) 등록일자 2021년11월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 21/762* (2006.01)
(52) CPC특허분류
H01L 27/1214 (2013.01)
H01L 21/76254 (2013.01)
(21) 출원번호 10-2019-7037728(분할)
(22) 출원일자(국제) 2010년10월06일
심사청구일자 2019년12월20일
(85) 번역문제출일자 2019년12월20일
(65) 공개번호 10-2019-0143477
(43) 공개일자 2019년12월30일
(62) 원출원 특허 10-2018-7036160
원출원일자(국제) 2010년10월06일
심사청구일자 2018년12월13일
(86) 국제출원번호 PCT/JP2010/067999
(87) 국제공개번호 WO 2011/052386
국제공개일자 2011년05월05일
(30) 우선권주장
JP-P-2009-250665 2009년10월30일 일본(JP)
(56) 선행기술조사문헌
JP2008287042 A*
(뒷면에 계속)
전체 청구항 수 : 총 8 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
시오노이리 유타카
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
노다 고세이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

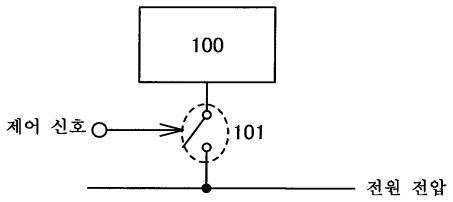
심사관 : 고연화

(54) 발명의 명칭 **반도체 장치**

(57) 요 약

본 발명의 목적은 감소된 대기 전력을 갖는 반도체 장치를 제공하는 것이다. 산화물 반도체를 활성층으로서 포함하는 트랜지스터는 스위칭 소자로서 이용되고, 집적 회로 내의 회로로의 전원 전압의 공급은 스위칭 소자에 의해 제어된다. 구체적으로, 회로가 동작 상태인 경우, 회로로의 전원 전압의 공급은 스위칭 소자에 의해 수행되고, 회로가 정지 상태에 있는 경우 회로로의 전원 전압의 공급은 스위칭 소자에 의해 정지된다. 또한, 전원 전압을 공급받는 회로는 반도체를 이용하여 형성된 집적 회로에 포함된 최소 단위인 반도체 소자를 포함한다. 또한, 반도체 소자에 포함된 반도체는 결정성을 갖는 실리콘(결정성 실리콘)을 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H01L 27/1222 (2013.01)
H01L 27/1225 (2013.01)

(56) 선행기술조사문헌
KR1020080074888 A*
JP2009158939 A
JP2009094492 A*
US20090078939 A1
US20090050941 A1
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

표시 장치에 있어서:

제 1 트랜지스터로서,

결정성을 갖는 실리콘을 포함하는 제 1 반도체막,

상기 제 1 반도체막 위의 제 1 절연막,

상기 제 1 절연막 위의 제 1 게이트 전극,

상기 제 1 게이트 전극 위에 있고, 개구를 포함하는 제 2 절연막, 및

상기 제 1 반도체막 위에 있고, 상기 개구를 통해 상기 제 1 반도체막과 접촉하는 제 1 도전막을 포함하는, 상기 제 1 트랜지스터;

제 2 트랜지스터로서,

제 2 게이트 전극,

상기 제 1 게이트 전극, 상기 제 2 절연막, 및 상기 제 2 게이트 전극 위에 있고, 인듐, 갈륨, 아연 및 산소를 포함하는 제 2 반도체막,

상기 제 2 반도체막 위의 제 3 절연막;

상기 제 3 절연막 위에 있고, 상기 제 2 반도체막과 중첩하는 제 3 게이트 전극; 및

상기 제 2 반도체막 위에 있고, 상기 제 2 반도체막과 접촉하고, 상기 제 1 도전막과 동일한 재료를 포함하는 제 2 도전막을 포함하는, 상기 제 2 트랜지스터; 및

상기 제 2 트랜지스터 위의 표시 소자를 포함하는, 표시 장치.

청구항 2

표시 장치에 있어서:

제 1 트랜지스터를 포함하는 구동 회로로서, 상기 제 1 트랜지스터는,

결정성을 갖는 실리콘을 포함하는 제 1 반도체막,

상기 제 1 반도체막 위의 제 1 절연막,

상기 제 1 절연막 위의 제 1 게이트 전극,

상기 제 1 게이트 전극 위에 있고, 개구를 포함하는 제 2 절연막, 및

상기 제 1 반도체막 위에 있고, 상기 개구를 통해 상기 제 1 반도체막과 접촉하는 제 1 도전막을 포함하는, 상기 구동 회로;

화소부 내의 제 2 트랜지스터로서, 상기 제 2 트랜지스터는,

제 2 게이트 전극,

상기 제 1 게이트 전극, 상기 제 2 절연막, 및 상기 제 2 게이트 전극 위에 있고, 인듐, 갈륨, 아연 및 산소를 포함하는 제 2 반도체막,

상기 제 2 반도체막 위의 제 3 절연막;

상기 제 3 절연막 위에 있고, 상기 제 2 반도체막과 중첩하는 제 3 게이트 전극; 및

상기 제 2 반도체막 위에 있고, 상기 제 2 반도체막과 접촉하고, 상기 제 1 도전막과 동일한 재료를 포함하는 제 2 도전막을 포함하는, 상기 제 2 트랜지스터; 및

상기 제 2 트랜지스터 위의 표시 소자를 포함하는, 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 결정성을 갖는 실리콘은 미결정 실리콘, 다결정 실리콘 또는 단결정 실리콘인, 표시 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 2 반도체막의 캐리어 밀도는 $1\times10^{14}/cm^3$ 미만인, 표시 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 도전막 및 상기 제 2 도전막 각각은 알루미늄, 크롬, 탄탈, 티타늄, 망간, 마그네슘, 몰리브덴, 텅스텐, 지르코늄, 베릴륨 및 이트륨 중 적어도 하나를 포함하는, 표시 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 표시 소자는 액정 표시 소자 및 유기 발광 소자 중 하나인, 표시 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

마이크로프로세서와, 화상 처리 회로와, RF 태그와, 액정 표시 장치, 유기발광 소자를 각 화소에 구비한 발광 장치, 전자 페이퍼, DMD(digital micromirror device), PDP(plasma display panel), 및 FED(field emission display)를 포함하는 반도체 표시 장치로 구성된 그룹으로부터 선택된 어느 하나의 장치에 포함되는, 표시 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 각각은 탄탈, 텅스텐, 티타늄, 몰리브덴, 알루미늄, 구리, 및 크롬 중 적어도 하나를 포함하는, 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 박막의 반도체막을 포함하는 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 절연 표면 상에 형성되는 반도체막을 포함하는 박막 트랜지스터는, 반도체 장치에 있어서 필수적인 반도체 소자이다. 박막 트랜지스터의 제조에는 기판의 허용가능한 내열 온도에 대한 제약이 있기 때문에, 비교적 저온에서 성막될 수 있는 비정질(amorphous) 실리콘, 레이저빔 또는 촉매 원소를 이용한 결정화에 의해 얻어질 수 있는 폴리실리콘 등이 활성층에 포함된 박막 트랜지스터가 반도체 표시 장치에 주로 이용된다.

[0003] 최근에는, 비정질 실리콘보다 높은 이동도를 갖고, 비정질 실리콘에 의해 얻어지는 균일한 소자 특성을 갖는 새로운 반도체 재료로서, 산화물 반도체라 불리는 반도체 특성을 나타내는 금속 산화물이 주목을 받고 있다. 금속 산화물은 다양한 어플리케이션에 이용된다. 예를 들면, 산화 인듐은 잘 알려진 금속 산화물이며, 액정 표시 장

치 등에 포함된 투명 전극 재료로서 이용된다. 반도체 특성을 갖는 이러한 금속 산화물의 예들은 산화 텅스텐, 산화 주석, 산화 인듐 및 산화 아연을 포함한다. 반도체 특성을 갖는 이러한 금속 산화물을 이용하여 그 각각에서 채널 형성 영역이 형성되는 박막 트랜지스터가 알려져 있다(특허 문헌 1 및 2).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 공개 특허 출원 제 2007-123861호

(특허문헌 0002) 일본 공개 특허 출원 제 2007-96055호

발명의 내용

해결하려는 과제

[0005] 한편, 실리콘 웨이퍼, SOI(silicon on insulator) 기판, 또는 절연 표면 상의 박막 반도체막 등을 이용해서 제작된 반도체 집적 회로(이하, 집적 회로라 칭함)의 소비 전력은, 회로가 동작 상태의 경우에 생기는 소비 전력과, 회로가 정지 상태의 경우에 생기는 소비 전력(이하, 대기 전력이라 칭함)의 합과 대략 동일하다. 미세 가공의 향상에 따라 그 집적 회로의 집적도가 높아지면 구동 전압이 감소된다; 따라서, 회로가 동작 상태의 경우에 생기는 소비 전력은 감소하는 경향이 있다. 따라서, 소비 전력 전체에서 대기 전력의 비율이 증가되었고, 그에 따라 소비 전력을 더욱 저감하기 위해서 대기 전력의 저감이 중요한 과제이다.

[0006] 대기 전력은 정적인 대기 전력과 동적인 대기 전력으로 분류될 수 있다. 정적인 대기 전력은, 3단자를 갖는 소자인 트랜지스터의 전극 사이에 전압이 인가되지 않는 상태, 즉, 게이트 전극과 소스 전극 사이의 전압이 거의 0인 상태에 있어서, 소스 전극과 드레인 전극 사이, 게이트 전극과 소스 전극 사이, 게이트 전극과 드레인 전극 사이에 누설 전류의 발생에 의해 소비되는 전력이다. 또한, 동적인 대기 전력은, 정지 상태의 회로(이하, 비동작 회로라 칭함)에 클럭 신호와 같은 각종 신호의 전압이나, 전원 전압을 계속 공급해서, 트랜지스터의 게이트 용량 소자, 배선 등에 포함된 기생 용량이 충전 및 방전될 때 소비되는 전력이다.

[0007] 집적도가 높아지면, 트랜지스터의 채널 길이는 단축되고, 게이트 절연막으로 대표되는 임의의 절연막의 두께는 감소된다. 따라서, 트랜지스터의 누설 전류는 증가하고, 정적인 대기 전력은 증가하는 경향이 있다.

[0008] 또한, 동적인 대기 전력을 절감하기 위해서, 비동작 회로로의 전원 전압의 공급을 정지하여, 비동작 회로에 포함되는 각종 용량 소자에서 불필요한 충전 및 방전을 방지하는 것이 효과적이다. 그러나, 전원 전압의 공급을 정지하기 위한 스위칭 소자로서 통상적으로 트랜지스터도 이용된다. 또한, 전술한 바와 같이, 고집적도에 따라, 트랜지스터의 누설 전류가 증가하는 경향이 있다. 그 결과, 누설 전류에 의해 동적인 대기 전력의 절감이 방해받는다.

[0009] 전술한 문제점의 관점에서, 개시되는 본 발명의 실시형태의 목적은, 대기 전력이 저감되는 반도체 장치 및 그 반도체 장치를 제작하기 위한 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 산화물 반도체를 활성층으로서 갖는 트랜지스터가 스위칭 소자로서 이용되고, 스위칭 소자에 의해 집적 회로에 포함된 회로로의 전원 전압의 공급이 제어된다. 구체적으로, 회로가 동작 상태일 때 스위칭 소자에 의해 회로로의 전원 전압의 공급이 행해지고, 회로가 정지 상태일 때 스위칭 소자에 의해 회로로의 전원 전압의 공급이 정지된다. 또한, 전원 전압이 공급되는 회로는, 반도체를 이용해서 형성되는 트랜지스터, 다이오드, 용량 소자, 저항 소자 또는 인덕턴스와 같은 집적 회로에 각각 포함되는 최소 단위인 반도체 소자를 하나 또는 복수개 포함한다. 또한, 반도체 소자에 포함되는 반도체는 미결정(microcrystalline) 실리콘, 다결정(polycrystalline) 실리콘 또는 단결정 실리콘과 같은 결정성을 갖는 실리콘(결정성 실리콘)을 포함한다.

[0011] 또한, 산화물 반도체막 내, 게이트 절연막 내, 산화물 반도체막과 다른 절연막 사이의 계면과 그 근방에 존재하는 수분 또는 수소와 같은 불순물이 가열 처리 등에 의해 이탈된다.

[0012] 전자 공여체(공여체)로서의 역할을 하는 수분 또는 수소와 같은 불순물의 저감에 의해 고순도화된 산화물 반도

체(정제된 OS)는, 진성 반도체(i형 반도체) 또는 실질적으로 진성 반도체이다. 따라서, 산화물 반도체를 포함하는 트랜지스터는 매우 작은 오프 전류의 특성을 갖는다. 구체적으로, 2차 이온 질량 분석법(SIMS: secondary ion mass spectrometry)에 의해 측정된 고순도화된 산화물 반도체의 수소 농도는 $5\times10^{19}/cm^3$ 이하, 바람직하게는 $5\times10^{18}/cm^3$ 이하, 보다 바람직하게는 $5\times10^{17}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{16}/cm^3$ 이하라고 한다. 또한, 홀 효과 측정에 의해 측정된 산화물 반도체막의 캐리어 밀도는, $1\times10^{14}/cm^3$ 미만, 바람직하게는 $1\times10^{12}/cm^3$ 미만, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 미만이다. 또한, 산화물 반도체의 밴드갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 수분 또는 수소와 같은 불순물 농도가 충분히 저감되어서 고순도화된 산화물 반도체막을 이용함으로써, 트랜지스터의 오프 전류가 감소될 수 있다.

[0013] 고순도화된 산화물 반도체막을 활성층으로서 포함하는 트랜지스터의 낮은 오프 전류는 여러가지 실험이 실제로 증명할 수 있다. 예를 들면, 채널 폭이 1×10^6㎛이고 채널 길이가 10㎛인 소자이어도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V로부터 10V의 범위에 있어서, 오프 전류(게이트 전극과 소스 전극 사이의 전압이 0V 이하인 경우의 드레인 전류)가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13}A 이하인 것이 가능하다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 나누어 얻어진 수치에 상당하는 오프 전류 밀도는 100zA/㎛ 이하인 것을 알 수 있었다. 또한, 용량 소자와 트랜지스터가 서로 접속되고, 용량 소자에 유입 또는 용량 소자로부터 유출하는 전하가 트랜지스터에 의해 제어되는 회로를 이용하여 오프 전류 밀도가 측정되었다. 측정에서는, 트랜지스터에 고순도화된 산화물 반도체막이 채널 형성 영역으로서 이용되었고, 용량 소자의 단위 시간당의 전하량의 변화로부터 트랜지스터의 오프 전류 밀도가 측정되었다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V인 경우에, yA/㎛의 보다 낮은 오프 전류 밀도가 얻어질 수 있다는 것을 알았다. 따라서, 본 발명의 실시형태에 관한 반도체 장치에서, 고순도화된 산화물 반도체막을 활성층으로서 포함하는 트랜지스터의 오프 전류 밀도는 소스 전극과 드레인 전극 사이의 전압에 따라 100yA/㎛, 바람직하게는 10yA/㎛, 더욱 바람직하게는 1yA/㎛ 이하일 수 있다. 따라서, 고순도화된 산화물 반도체막을 활성층으로서 포함하는 트랜지스터는 결정성을 갖는 실리콘을 포함하는 트랜지스터에 비해 현저하게 낮은 오프 전류를 갖는다. 한편, 결정성을 갖는 실리콘을 포함한 트랜지스터는 산화물 반도체를 갖는 트랜지스터에 비해 높은 이동도와 높은 온 전류를 갖는다.

[0014] 따라서, 결정성 실리콘을 갖는 반도체 소자를 이용해서 회로가 형성되고, 산화물 반도체를 갖는 트랜지스터가 스위칭 소자로서 이용되고, 스위칭 소자에 의해서 회로로의 전원 전압의 공급이 제어되어, 집적 회로의 고집적화 및 그 고속 구동이 실현될 수 있고, 누설 전류에 의해 유발되는 대기 전력의 증대가 억제될 수 있다.

[0015] 또한, 산화물 반도체로서, In-Sn-Ga-Zn-O계 산화물 반도체와 같은 4원계 금속 산화물; In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체와 같은 삼원계 금속 산화물; In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체와 같은 이원계 금속 산화물 등이 이용될 수 있다. 또한, 본 명세서에서는, 예를 들면, In-Sn-Ga-Zn-O계 산화물 반도체는, 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 갖는 금속 산화물을 의미하며, 그 조성비에 대해 특별한 제한은 없다. 상술한 산화물 반도체는 규소를 포함할 수도 있다.

[0016] 또한, 산화물 반도체는, 화학식 $InMO_3(ZnO)_m$(m>0)로 표기할 수 있다. 여기에서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다.

[0017] 산화물 반도체를 포함하는 트랜지스터는, 보텀 게이트형, 톱 게이트형, 또는 보텀 콘택트형일 수 있다. 보텀 게이트형 트랜지스터는, 절연 표면 위의 게이트 전극; 게이트 전극 위의 게이트 절연막; 게이트 절연막 위에서 게이트 전극과 겹치는 산화물 반도체막; 산화물 반도체막 위의 소스 전극 및 드레인 전극; 및 소스 전극, 드레인 전극 및 산화물 반도체막 위의 절연막을 갖는다. 톱 게이트형 트랜지스터는, 절연 표면 위의 산화물 반도체막; 산화물 반도체막 위의 소스 전극 및 드레인 전극; 산화물 반도체막, 소스 전극 및 드레인 전극 위의 게이트 절연막; 게이트 절연막 위에서 산화물 반도체막과 겹치는 게이트 전극; 및 게이트 전극 위의 절연막을 갖는다. 보텀 콘택트형 트랜지스터는, 절연 표면 위의 게이트 전극; 게이트 전극 위의 게이트 절연막; 게이트 절연막 위의 소스 전극 및 드레인 전극; 소스 전극 및 드레인 전극 위에 있고 게이트 절연막 위에서 게이트 전극과 겹치는 산화물 반도체막; 및 소스 전극, 드레인 전극 및 산화물 반도체막 위의 절연막을 갖는다.

발명의 효과

[0018] 스위칭 소자로서 이용하는 트랜지스터의 누설 전류를 억제함으로써, 집적 회로의 고집적화 및 그 고속 구동을 달성할 수 있고, 반도체 장치의 대기 전력을 절감할 수 있다.

도면의 간단한 설명

[0019] 도 1은 반도체 장치의 블록도.

도 2a 및 도 2b는 인버터를 갖는 반도체 장치의 구성을 각각 나타내고, 도 2c는 그 반도체 장치의 동작을 도시하는 도면.

도 3a 및 도 3b는 NAND를 갖는 반도체 장치의 구성을 나타내고, 도 3c는 그 반도체 장치의 동작을 도시하는 도면.

도 4a 및 도 4b는 NOR를 갖는 반도체 장치의 구성을 나타내고, 도 4c는 그 반도체 장치의 동작을 도시하는 도면.

도 5a 및 도 5b는 플립플롭을 갖는 반도체 장치의 구성을 도시하는 도면.

도 6a는 플립플롭을 갖는 반도체 장치의 구성을 나타내고, 도 6b는 그 동작을 도시하는 도면.

도 7a는 플립플롭을 갖는 반도체 장치의 구성을 나타내고, 도 7b는 그 동작을 도시하는 도면.

도 8a 내지 도 8e는 반도체 장치의 제작 방법을 도시하는 도면.

도 9a 내지 도 9d는 반도체 장치의 제작 방법을 도시하는 도면.

도 10a 및 도 10b는 반도체 장치의 제작 방법을 도시하는 도면.

도 11a 내지 도 11d는 반도체 장치의 제작 방법을 도시하는 도면.

도 12a 내지 도 12c는 반도체 장치의 제작 방법을 도시하는 도면.

도 13a 내지 도 13c는 반도체 장치의 구성을 각각 도시하는 도면.

도 14a 및 도 14b는 반도체 표시 장치의 구성을 도시하는 도면.

도 15는 반도체 표시 장치의 구성을 도시하는 도면.

도 16a 내지 도 16f는 전자 기기를 각각 도시하는 도면.

도 17a는 플립플롭을 갖는 반도체 장치의 구성을 나타내고, 도 17b는 그 동작을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하에서는, 본 발명의 실시형태에 대해서 첨부 도면을 참조해서 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 범위 및 사상으로부터 벗어나지 않고도 그 모드 및 상세를 여러가지로 변경할 수 있다는 것이 본 기술분야의 당업자에게 용이하게 이해된다. 따라서, 본 발명은 이하의 실시형태의 설명에 한정되는 것으로 해석되어서는 안된다.

[0021] 본 발명은, 마이크로프로세서, 화상 처리 회로와 같은 집적 회로, RF 태그, 반도체 표시 장치를 포함하는 임의의 종류의 반도체 장치의 제작에 적용될 수 있다. 반도체 표시 장치는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 페이퍼, DMD(digital micromirror device), PDP(plasma display panel), FED(field emission display), 및 반도체 소자를 갖는 구동 회로가 포함되는 그 밖의 반도체 표시 장치를 그 범주에 포함한다.

[0022] (실시형태 1)

[0023] 도 1은 본 발명의 실시형태에 관한 반도체 장치의 블록도이다. 도 1에 나타내는 반도체 장치는, 실리콘 웨이퍼, SOI(silicon on insulator) 기판, 절연 표면 상의 실리콘 박막 등을 이용해서 형성된 회로(100)와, 회로(100)로의 전원 전압의 공급을 제어하는 스위칭 소자(101)를 갖는다. 스위칭 소자(101)는 제어 신호에 따라서 스위칭을 행한다. 구체적으로는, 회로(100)가 동작 상태일 때에 제어 신호에 따라서 스위칭 소자(101)가 온이 되고,

회로(100)로의 전원 전압이 공급된다. 또한, 회로(100)가 정지 상태일 때에 제어 신호에 따라서 스위칭 소자(101)가 오프가 되고, 회로(100)로의 전원 전압의 공급이 정지한다.

[0024] 회로(100)는, 트랜지스터, 다이오드, 용량 소자, 저항 소자, 또는 인덕턴스와 같은, 각각 회로에 포함되는 최소 단위인 반도체 소자를 하나 또는 복수개 갖는다. 또한, 반도체 소자에 포함된 반도체는, 미결정 실리콘, 다결정 실리콘, 또는 단결정 실리콘과 같은 결정성을 갖는 실리콘(결정성 실리콘)을 포함한다.

[0025] 회로(100)는, 인버터, NAND, NOR, AND 또는 OR와 같은 기본적인 논리 게이트일 수도 있으며, 이들 논리 게이트의 조합인 플립플롭, 레지스터, 또는 시프트 레지스터와 같은 논리 회로일 수도 있고, 복수의 논리 회로의 조합인 대규모의 연산 회로일 수도 있다.

[0026] 스위칭 소자(101)는 산화물 반도체를 활성층으로서 갖는 트랜지스터를 적어도 하나 포함한다. 복수의 트랜지스터가 스위칭 소자(101)에 포함되는 경우, 복수의 트랜지스터는 서로 병렬로 접속될 수도 있고, 직렬로 접속될 수도 있고, 직렬 접속과 병렬 접속의 조합으로 접속될 수도 있다.

[0027] 또한, 트랜지스터가 서로 직렬로 접속되어 있는 상태는, 제 1 트랜지스터의 소스 전극과 드레인 전극 중 어느 한쪽만이, 제 2 트랜지스터의 소스 전극과 드레인 전극의 어느 한쪽만에 접속되어 있는 상태를 말한다. 또한, 트랜지스터가 서로 병렬로 접속되어 있는 상태는, 제 1 트랜지스터의 소스 전극이 제 2 트랜지스터의 소스 전극에 접속되고, 제 1 트랜지스터의 드레인 전극이 제 2 트랜지스터의 드레인 전극에 접속되어 있는 상태를 말한다.

[0028] 트랜지스터에 포함된 "소스 전극"과 "드레인 전극"의 이름은, 트랜지스터의 극성 또는 각 전극에 인가되는 전위의 레벨 사이의 차에 따라 교체된다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 인가되는 전극이 소스 전극이라 불리고, 높은 전위가 인가되는 전극이 드레인 전극이라 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 인가되는 전극이 드레인 전극이라 불리고, 높은 전위가 인가되는 전극이 소스 전극이라 불린다. 본 명세서에서, 편의상, 소스 전극과 드레인 전극이 고정되어 있는 것으로 가정하여 트랜지스터의 접속 관계를 설명하고 있지만, 실제로는 상술한 전위 사이의 관계에 따라서 소스 전극과 드레인 전극의 이름이 서로 교체된다.

[0029] 전술한 바와 같이, 산화물 반도체를 갖는 트랜지스터의 누설 전류는 결정성을 갖는 실리콘을 포함하는 트랜지스터에 비교해서 현저하게 낮다. 따라서, 산화물 반도체를 갖는 트랜지스터를 스위칭 소자(101)로서 이용하고, 스위칭 소자(101)에 의해 회로(100)로의 전원 전압의 공급을 제어하여, 스위칭 소자(101)의 누설 전류에 기인하여 발생하는 대기 전력의 증대를 억제할 수 있다.

[0030] 또한, 회로(100)의 소비 전력을 저감함으로써, 회로(100)의 동작을 제어하는 다른 회로의 부하를 경감할 수 있다. 따라서, 회로(100)와, 이러한 회로(100)를 제어하는 다른 회로를 포함하는 집적 회로의 기능 확장이 전체적으로 행해질 수 있다.

[0031] 한편, 일반적으로 결정성을 갖는 실리콘을 포함하는 트랜지스터는 산화물 반도체를 포함하는 트랜지스터에 비교해서 높은 이동도와 높은 온 전류를 갖는다. 그 때문에, 결정성 실리콘을 갖는 반도체 소자를 이용해서 회로(100)가 형성되는 경우에, 회로(100)를 포함하는 집적 회로의 고집적화 및 그 고속 구동이 실현될 수 있다.

[0032] 다음으로, 회로(100)가 인버터일 경우에 반도체 장치의 구체적인 구성 및 동작에 대해서, 도 2a 내지 도 2c를 참조하여 설명한다.

[0033] 도 2a에 도시하는 반도체 장치에서, 회로(100)는 p채널형의 트랜지스터(110)와 n채널형의 트랜지스터(111)를 갖는다. 트랜지스터(110)와 트랜지스터(111)의 각각에서, 결정성을 갖는 실리콘이 활성층에 이용된다. 또한, 트랜지스터(110)와 트랜지스터(111)는 인버터를 형성한다.

[0034] 구체적으로, 트랜지스터(110)의 드레인 전극과, 트랜지스터(111)의 드레인 전극은 서로 접속되어 있다. 또한, 트랜지스터(110)의 드레인 전극 및 트랜지스터(111)의 드레인 전극의 전위는, 출력 신호의 전위로서 후단에 포함된 회로에 인가된다. 출력 신호가 인가되는 배선 또는 전극은, 기생 용량과 같은 용량을 포함한다. 도 2a에서는 이러한 용량이 부하(112)로서 칭해진다.

[0035] 트랜지스터(110)의 게이트 전극과 트랜지스터(111)의 게이트 전극에는 입력 신호의 전위가 인가된다. 트랜지스터(110)의 소스 전극에는 하이 레벨의 전원 전압 *VDD*가 인가된다. 트랜지스터(111)의 소스 전극에는, 스위칭 소자(101)를 통하여 로우 레벨의 전원 전압 *VSS*가 인가된다.

[0036] 또한, 본 명세서에 있어서 "접속"은 전기적인 접속을 말하고, 전류 또는 전압이 도전될 수 있는 상태에 대응한

다.

[0037] 도 2a는, 스위칭 소자(101)가, 회로(100)로의 로우 레벨의 전원 전압 *VSS*의 공급을 제어하는 경우를 예시하고 있다. 다음으로, 도 2b는, 스위칭 소자(101)가 회로(100)로의 하이 레벨의 전원 전압 *VDD*의 공급을 제어하는 경우의, 반도체 장치의 구성을 나타낸다. 도 2b에 도시하는 반도체 장치에서, 도 2a와 마찬가지로, 회로(100)가 p채널형의 트랜지스터(110)와 n채널형의 트랜지스터(111)를 갖는다. 트랜지스터(110)와 트랜지스터(111)의 각각에서, 결정성을 갖는 실리콘이 활성층으로서 이용된다. 또한, 트랜지스터(110)와 트랜지스터(111)가 인버터를 형성한다.

[0038] 구체적으로, 트랜지스터(110)의 드레인 전극과, 트랜지스터(111)의 드레인 전극이 접속되어 있다. 또한, 트랜지스터(110)의 드레인 전극 및 트랜지스터(111)의 드레인 전극의 전위는, 출력 신호의 전위로서 후단에 포함되는 회로에 인가된다. 출력 신호가 공급되는 배선 또는 전극은 기생 용량과 같은 용량을 포함한다. 도 2b에서는 이들 용량이 부하(112)로서 칭해진다.

[0039] 트랜지스터(110)의 게이트 전극과 트랜지스터(111)의 게이트 전극에는, 입력 신호의 전위가 인가된다. 트랜지스터(110)의 소스 전극에는, 스위칭 소자(101)를 통하여, 하이 레벨의 전원 전위 *VDD*가 인가된다. 또한, 트랜지스터(111)의 소스 전극에는, 로우 레벨의 전원 전압 *VSS*가 인가된다.

[0040] 스위칭 소자(101)는 제어 신호에 따라서 스위칭을 수행한다. 예를 들어 도 2a에 나타낸 반도체 장치를 이용해서, 회로(100)가 동작 상태인 기간(동작 기간)과, 회로(100)가 정지 상태인 기간(비동작 기간)에 있어서의, 입력 신호, 출력 신호, 제어 신호의 전위의 타이밍 차트를 도 2c에 도시한다.

[0041] 동작 기간에서, 제어 신호는 스위칭 소자(101)가 온으로 되는 전위를 갖는다. 구체적으로, 도 2c는, 제어 신호가 하이 레벨의 전위를 갖는 경우를 도시한다. 따라서, 동작 기간에서, 전원 전압 *VSS*가 트랜지스터(111)의 소스 전극에 인가된다. 또한, 입력 신호의 전위가 로우 레벨의 전위를 가질 때, 하이 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다. 입력 신호의 전위가 하이 레벨의 전위를 가질 때, 로우 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다.

[0042] 비동작 기간에서, 제어 신호는 스위칭 소자(101)가 오프로 되는 전위를 갖는다. 구체적으로, 도 2c는, 제어 신호가 로우 레벨의 전위를 갖는 경우를 도시한다. 따라서, 비동작 기간에서, 전원 전압 *VSS*는, 트랜지스터(111)의 소스 전극에 인가되지 않고, 트랜지스터(111)의 소스 전극은 플로팅 상태에 있다. 따라서, 입력 신호의 전위가 로우 레벨이어도, 또는 하이 레벨이어도, 출력 신호의 전위는 하이 레벨을 유지된다.

[0043] 전술한 바와 같이, 비동작 기간에서, 회로(100)로의 전원 전압의 공급을 정지함으로써, 회로(100)에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 스위칭 소자(101)는 산화물 반도체막을 포함하는 반도체 소자를 이용하여 형성되어 있으므로; 누설 전류 등에 따른 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 전원 전압의 공급이 정지되고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽이 저감될 수 있으므로, 회로 전체의 소비 전력이 저감될 수 있는 반도체 장치를 제공할 수 있다.

[0044] 다음으로, 회로(100)가 NAND일 경우에 반도체 장치의 구체적인 구성 및 동작에 대해서 도 3a 내지 도 3c를 참조하여 설명한다.

[0045] 도 3a에 도시하는 반도체 장치에서, 회로(100)는 p채널형의 트랜지스터(120)와 p채널형의 트랜지스터(121)와, n채널형의 트랜지스터(122)와, n채널형의 트랜지스터(123)를 갖는다. 트랜지스터(120), 트랜지스터(121), 트랜지스터(122), 트랜지스터(123)의 각각에서, 결정성을 갖는 실리콘이 활성층으로 이용된다. 또한, 트랜지스터(120), 트랜지스터(121), 트랜지스터(122), 및 트랜지스터(123)가 NAND를 형성한다.

[0046] 구체적으로, 트랜지스터(120)의 소스 전극과 트랜지스터(121)의 소스 전극에는, 하이 레벨의 전원 전압 *VDD*가 인가된다. 트랜지스터(120)의 게이트 전극과 트랜지스터(122)의 게이트 전극에는, 입력 신호(1)의 전위가 인가된다. 트랜지스터(120)의 드레인 전극과, 트랜지스터(121)의 드레인 전극과, 트랜지스터(122)의 드레인 전극은 서로 접속되어 있어, 이들 드레인 전극의 전위는, 출력 신호의 전위로서 후단에 포함된 회로에 인가된다. 출력 신호가 인가되는 배선 또는 전극은 기생 용량과 같은 용량을 포함하고, 도 3a에서는 이들 용량이 부하(124)로서 칭해진다. 트랜지스터(122)의 소스 전극과, 트랜지스터(123)의 드레인 전극은 서로 접속되어 있다. 트랜지스터(121)의 게이트 전극과, 트랜지스터(123)의 게이트 전극에는, 입력 신호(2)의 전위가 인가된다. 또한, 트랜지스터(123)의 소스 전극에는, 스위칭 소자(101)를 통하여, 로우 레벨의 전원 전압 *VSS*가 인가된다.

[0047] 도 3a는 스위칭 소자(101)가 회로(100)로의 로우 레벨의 전원 전압 *VSS*의 공급을 제어하는 경우를 예시하고 있

다. 다음으로, 도 3b에서, 스위칭 소자(101)가 회로(100)로의 하이 레벨의 전원 전압 *VDD*의 공급을 제어하는 경우의, 반도체 장치의 구성을 나타낸다. 도 3b에 도시한 반도체 장치는, 도 3a와 마찬가지로, 회로(100)가 p채널형의 트랜지스터(120)와, p채널형의 트랜지스터(121)와, n채널형의 트랜지스터(122)와, n채널형의 트랜지스터(123)를 갖는다. 트랜지스터(120), 트랜지스터(121), 트랜지스터(122), 트랜지스터(123)의 각각에서, 결정성을 갖는 실리콘이 활성층으로서 이용된다. 또한, 트랜지스터(120), 트랜지스터(121), 트랜지스터(122) 및 트랜지스터(123)가 NAND를 형성한다.

[0048] 구체적으로, 트랜지스터(120)의 소스 전극에는, 스위칭 소자(101a)를 통하여 하이 레벨의 전원 전위 *VDD*가 인가된다. 트랜지스터(121)의 소스 전극에는, 스위칭 소자(101b)를 통하여 하이 레벨의 전원 전압 *VDD*가 인가된다. 또한, 도 3b에서는, 전원 전압 *VDD*의 회로(100)로의 공급이 복수의 스위칭 소자 즉, 스위칭 소자(101a) 및 스위칭 소자(101b)에 의해 제어되는 경우를 예시하고 있지만; 스위칭 소자의 수는 하나일 수도 있다. 또한, 트랜지스터(120)의 게이트 전극과 트랜지스터(122)의 게이트 전극에는, 입력 신호(1)의 전위가 인가된다. 트랜지스터(120)의 드레인 전극과, 트랜지스터(121)의 드레인 전극과, 트랜지스터(122)의 드레인 전극은 서로 접속되어 있어, 이들 드레인 전극의 전위는 출력 신호의 전위로서 후단에 포함되는 회로에 인가된다. 출력 신호가 인가되는 배선 또는 전극은, 기생 용량과 같은 용량을 포함하고, 도 3b에서는 이들 용량이 부하(124)로서 칭해진다. 트랜지스터(122)의 소스 전극과 트랜지스터(123)의 드레인 전극이 서로 접속되어 있다. 트랜지스터(121)의 게이트 전극과, 트랜지스터(123)의 게이트 전극에는, 입력 신호(2)의 전위가 인가된다. 트랜지스터(123)의 소스 전극에는, 로우 레벨의 전원 전압 *VSS*가 인가된다.

[0049] 스위칭 소자(101)는 제어 신호에 따라서 스위칭을 행한다. 예를 들어 도 3a에 나타낸 반도체 장치를 사용함으로써, 회로(100)가 동작 상태에 있는 기간(동작 기간)과, 회로(100)가 정지 상태에 있는 기간(비동작 기간)에 있어서의, 입력 신호, 출력 신호, 제어 신호의 전위의 타이밍 차트를 도 3c에 도시한다.

[0050] 동작 기간에서, 제어 신호는 스위칭 소자(101)가 온으로 되는 전위를 갖는다. 구체적으로, 도 3c에서는, 제어 신호가 하이 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 동작 기간에서, 전원 전압 *VSS*가, 트랜지스터(123)의 소스 전극에 인가된다. 또한, 입력 신호(1)가 하이 레벨의 전위를 갖고, 입력 신호(2)가 하이 레벨의 전위를 가질 때, 로우 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다. 입력 신호(1)가 로우 레벨의 전위를 갖고, 입력 신호(2)가 하이 레벨의 전위를 가질 때, 하이 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다.

[0051] 비동작 기간에서, 제어 신호는 스위칭 소자(101)가 오프로 되는 전위를 갖는다. 구체적으로, 도 3c에서는, 제어 신호가 로우 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 비동작 기간에서, 전원 전압 *VSS*는, 트랜지스터(123)의 소스 전극에 인가되지 않고, 트랜지스터(123)의 소스 전극은 플로팅 상태에 있다. 따라서, 입력 신호(1)와 입력 신호(2)의 전위가 로우 레벨이거나 하이 레벨이어도, 출력 신호의 전위는 하이 레벨을 유지된다.

[0052] 전술한 바와 같이, 비동작 기간에서, 회로(100)로의 전원 전압의 공급을 정지함으로써, 회로(100)에서 소비되는 동적인 대기 전력이 저감될 수 있다. 또한, 스위칭 소자(101)는 산화물 반도체막을 포함하는 반도체 소자를 이용하여 형성되므로; 누설 전류 등에 따른 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 전원 전압의 공급을 정지하고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽을 저감할 수 있어, 회로 전체의 소비 전력이 저감가능한 반도체 장치를 제공할 수 있다.

[0053] 다음으로, 회로(100)가 NOR일 경우에, 반도체 장치의 구체적인 구성 및 동작에 대해서 도 4a 내지 도 4c를 참조하여 설명한다.

[0054] 도 4a에 도시하는 반도체 장치에서, 회로(100)는 p채널형의 트랜지스터(130)와, p채널형의 트랜지스터(131)와, n채널형의 트랜지스터(132)와, n채널형의 트랜지스터(133)를 갖는다. 트랜지스터(130), 트랜지스터(131), 트랜지스터(132) 및 트랜지스터(133)의 각각에서, 결정성을 갖는 실리콘이 활성층으로 이용된다. 또한, 트랜지스터(130), 트랜지스터(131), 트랜지스터(132) 및 트랜지스터(133)가 NOR를 형성한다.

[0055] 구체적으로, 트랜지스터(130)의 소스 전극에는, 하이 레벨의 전원 전압 *VDD*가 인가된다. 트랜지스터(130)의 게이트 전극과 트랜지스터(133)의 게이트 전극에는, 입력 신호(1)의 전위가 인가된다. 트랜지스터(130)의 드레인 전극과, 트랜지스터(131)의 소스 전극이 서로 접속되어 있다. 트랜지스터(131)의 게이트 전극과 트랜지스터(132)의 게이트 전극에는, 입력 신호(2)의 전위가 인가된다. 트랜지스터(131)의 드레인 전극과, 트랜지스터(132)의 드레인 전극과, 트랜지스터(133)의 드레인 전극은 서로 접속되어, 이들 드레인 전극의 전위는 출력 신호의 전위로서 후단에 포함되는 회로에 인가된다. 출력 신호가 공급되는 배선 또는 전극은 기생 용량과 같은 용량을 포함하고, 이러한 용량는 도 4a에서 부하(134)로서 칭해진다. 트랜지스터(132)의 소스 전극에는, 스위칭

소자(101a)를 통하여 로우 레벨의 전원 전압 *VSS*가 인가된다. 트랜지스터(133)의 소스 전극에는, 스위칭 소자(101b)를 통하여 로우 레벨의 전원 전압 *VSS*가 인가된다. 또한, 도 4a에서는, 전원 전압 *VSS*의 회로(100)로의 공급이 복수의 스위칭 소자, 즉 스위칭 소자(101a) 및 스위칭 소자(101b)로 제어되는 경우를 예시하고 있지만; 스위칭 소자의 수는 하나일 수도 있다.

[0056] 도 4a에서는, 스위칭 소자(101a, 101b)가 회로(100)로의 로우 레벨의 전원 전압 *VSS*의 공급을 제어하는 경우를 예시하고 있다. 다음으로, 도 4b에서, 스위칭 소자(101)가 회로(100)로의 하이 레벨의 전원 전압 *VDD*의 공급을 제어하는 경우에, 반도체 장치의 구성을 나타낸다. 도 4b에 도시하는 반도체 장치는, 도 4a와 마찬가지로, 회로(100)가 p채널형의 트랜지스터(130)와, p채널형의 트랜지스터(131)와, n채널형의 트랜지스터(132)와, n채널형의 트랜지스터(133)를 갖는다. 트랜지스터(130), 트랜지스터(131), 트랜지스터(132) 및 트랜지스터(133)의 각각에서, 결정성을 갖는 실리콘이 활성층으로서 이용된다. 또한, 트랜지스터(130), 트랜지스터(131), 트랜지스터(132) 및 트랜지스터(133)가 NOR를 형성한다.

[0057] 구체적으로, 트랜지스터(130)의 소스 전극에는, 스위칭 소자(101)를 통하여 하이 레벨의 전원 전위 *VDD*가 인가된다. 트랜지스터(130)의 게이트 전극과 트랜지스터(133)의 게이트 전극에는, 입력 신호(1)의 전위가 인가된다. 트랜지스터(130)의 드레인 전극과 트랜지스터(131)의 소스 전극이 서로 접속되어 있다. 트랜지스터(131)의 게이트 전극과 트랜지스터(132)의 게이트 전극에는, 입력 신호(2)의 전위가 인가된다. 트랜지스터(131)의 드레인 전극과, 트랜지스터(132)의 드레인 전극과, 트랜지스터(133)의 드레인 전극은 서로 접속되어 있어, 이들 드레인 전극의 전위는 출력 신호의 전위로서 후단에 포함되는 회로에 인가된다. 출력 신호가 인가되는 배선 또는 전극은 기생 용량과 같은 용량을 갖고 있어, 이 용량이 도 4b에서는 부하(134)로서 칭해진다. 트랜지스터(132)의 소스 전극과 트랜지스터(133)의 소스 전극에는, 로우 레벨의 전원 전압 *VSS*가 인가된다.

[0058] 스위칭 소자(101)는 제어 신호에 따라서 스위칭을 행한다. 예를 들어 도 4a에 나타낸 반도체 장치를 이용해서, 회로(100)가 동작 상태에 있는 기간(동작 기간)과, 회로(100)가 정지 상태에 있는 기간(비동작 기간)에 있어서의, 입력 신호, 출력 신호, 제어 신호의 전위의 타이밍 차트를 도 4c에 도시한다.

[0059] 동작 기간에서, 제어 신호는 스위칭 소자(101a) 및 스위칭 소자(101b)가 온으로 되는 전위를 갖는다. 구체적으로 도 4c에서는, 제어 신호가 하이 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 동작 기간에서, 전원 전압 *VSS*가 트랜지스터(132)의 소스 전극 및 트랜지스터(133)의 소스 전극에 인가된다. 또한, 입력 신호(1)가 로우 레벨의 전위를 갖고, 입력 신호(2)가 로우 레벨의 전위를 가질 때, 하이 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다. 입력 신호(1)가 하이 레벨의 전위를 갖고, 입력 신호(2)가 로우 레벨의 전위를 가질 때, 로우 레벨의 전위를 갖는 출력 신호가 얻어질 수 있다.

[0060] 비동작 기간에서, 제어 신호는, 스위칭 소자(101a) 및 스위칭 소자(101b)가 오프로 되는 전위를 갖는다. 구체적으로 도 4c에서는, 제어 신호가 로우 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 비동작 기간에서, 전원 전압 *VSS*는 트랜지스터(132)의 소스 전극 및 트랜지스터(133)의 소스 전극에 공급되지 않고, 트랜지스터(132)의 소스 전극 및 트랜지스터(133)의 소스 전극은 플로팅 상태에 있다. 따라서, 입력 신호(1)와 입력 신호(2)의 전위가 로우 레벨이거나 하이 레벨이어도, 출력 신호의 전위는 로우 레벨로 유지된다.

[0061] 전술한 바와 같이, 비동작 기간에서, 회로(100)로의 전원 전압의 공급을 정지함으로써, 회로(100)에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 스위칭 소자(101)는 산화물 반도체막을 포함하는 반도체 소자를 이용하여 제작되므로; 누설 전류 등에 따라 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 전원 전압의 공급이 정지되고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽이 저감될 수 있어, 회로 전체의 소비 전력이 저감가능한 반도체 장치를 제공할 수 있다.

[0062] 다음으로, 회로(100)가 플립플롭일 경우를 예로 들어, 반도체 장치의 구체적인 구성 및 동작에 대해서, 도 5a 및 도 5b와 도 6a 및 도 6b를 참조하여 설명한다.

[0063] 도 5a에 도시하는 반도체 장치에서, 회로(100)가 플립플롭이며, 단자 D 및 단자 CK에 입력 신호 및 클럭 신호가 각각 입력되어, 단자 Q 및 단자 Qb로부터 출력 신호(1) 및 출력 신호(2)가 각각 출력된다. 플립플롭의 회로 구성은, 피드백 작용을 이용해서 1비트 데이터를 유지할 수 있는 회로이면 제한이 없다. 도 5b에서, 회로(100)의 보다 구체적인 구성을 나타낸다. 도 5b에 도시하는 회로(100)는, NAND(140), NAND(141), NAND(142), NAND(143)를 포함하는 D 플립플롭이다. NAND(140)의 제 1 입력 단자에는, 입력 신호의 전위가 인가된다. NAND(140)의 제 2 입력 단자와 NAND(142)의 제 2 입력 단자에는, 클럭 신호의 전위가 인가된다. NAND(140)의 출력 단자는 NAND(142)의 제 1 입력 단자와 NAND(141)의 제 1 입력 단자에 접속되어 있다. NAND(142)의 출력 단자는

NAND(143)의 제 2 입력 단자에 접속되어 있다. NAND(141)의 출력 단자는 NAND(143)의 제 1 입력 단자에 접속되고 있고, 또한 NAND(141)의 출력 단자의 전위가 출력 신호(1)의 전위로서, 후단에 포함되는 회로에 인가된다. NAND(143)의 출력 단자는 NAND(141)의 제 2 입력 단자에 접속되어 있고, NAND(143)의 출력 단자의 전위가 출력 신호(2)의 전위로서, 후단에 포함되는 회로에 인가된다.

[0064] 또한, 도 5b에 도시하는 회로(100)는, 출력 신호(1)와 출력 신호(2)가 얻어질 수 있는 구성을 갖지만, 필요에 따라 출력 신호의 개수가 1일 수도 있다.

[0065] 그리고, NAND(140), NAND(141), NAND(142), NAND(143)로의 전원 전압의 공급이, 스위칭 소자(101)에 의해 제어되고 있다. 도 5a에서는, 로우 레벨의 전원 전압 *VSS*의 공급이 스위칭 소자(101)에 의해 제어되는 경우를 예시하고 있지만; 하이 레벨의 전원 전압의 공급이 스위칭 소자(101)에 의해 제어될 수도 있다.

[0066] 도 6a에서, 보다 구체적인 반도체 장치의 회로도의 예를 나타낸다. NAND(140), NAND(141), NAND(142), NAND(143)에 있어서의, 트랜지스터의 접속 관계에 대해서는, 도 3a 및 도 3b를 참조할 수 있다. NAND(140), NAND(141), NAND(142), NAND(143)에 포함된 각 트랜지스터에서, 결정성을 갖는 실리콘이 활성층으로서 이용된다. 또한, 도 6a에서는, 도 5a와는 상이하게, 스위칭 소자(101a, 101b, 101c, 101d)에 의해 NAND(140), NAND(141), NAND(142), NAND(143) 각각으로의 전원 전압 *VSS*의 공급이 제어되는 경우를 예시하고 있다.

[0067] 도 6a의 나타낸 반도체 장치를 예로서 이용하여, 회로(100)가 동작 상태에 있는 기간(동작 기간)과, 회로(100)가 정지 상태에 있는 기간(비동작 기간)에 있어서의, 입력 신호, 출력 신호, 제어 신호의 전위의 타이밍 차트를 도 6b에 도시한다. 스위칭 소자(101a 내지 101d)는 제어 신호에 따라서 스위칭을 행한다.

[0068] 동작 기간에서, 제어 신호는, 스위칭 소자(101a 내지 101d)가 온으로 되는 전위를 갖는다. 구체적으로, 도 6b에서는, 제어 신호가 하이 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 동작 기간에서, 전원 전압 *VSS*가 NAND(140 내지 143)에 인가된다. 또한, 클럭 신호가 하이 레벨 또는 로우 레벨의 전위를 갖고, 입력 신호가 하이 레벨의 전위를 가질 때, 하이 레벨의 전위를 갖는 출력 신호(1)와 로우 레벨의 전위를 갖는 출력 신호(2)가 얻어질 수 있다. 클럭 신호가 하이 레벨 또는 로우 레벨의 전위를 갖고, 입력 신호가 로우 레벨의 전위를 가질 때, 로우 레벨의 전위를 갖는 출력 신호(1)와 하이 레벨의 전위를 갖는 출력 신호(2)가 얻어질 수 있다.

[0069] 비동작 기간에서, 제어 신호는 스위칭 소자(101a 내지 101d)가 오프로 되는 전위를 갖는다. 구체적으로, 도 6b에서는, 제어 신호가 로우 레벨의 전위를 갖는 경우를 예시하고 있다. 따라서, 비동작 기간에서, 전원 전압 *VSS*는 NAND(140 내지 143)에 인가되지 않는다. 즉, 동작 기간에서 전원 전압 *VSS*가 인가되는 각 트랜지스터의 소스 전극은 비동작 기간에서 플로팅 상태에 있다. 따라서, 클럭 신호와 입력 신호의 전위가 로우 레벨이 또는 하이 레벨이어도, 출력 신호(1)와 출력 신호(2)는 비동작 기간에 들어가기 직전과 동일한 전위를 유지한다.

[0070] 전술한 바와 같이, 비동작 기간에서, 회로(100)로의 전원 전압의 공급을 정지시킴으로써, 회로(100)에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 스위칭 소자(101)는 산화물 반도체막을 포함하는 반도체 소자를 이용하여 형성되므로; 누설 전류 등에 따른 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 전원 전압의 공급을 정지하고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽을 저감할 수 있으므로, 회로 전체의 소비 전력이 저감가능한 반도체 장치를 제공할 수 있다.

[0071] 또한, 본 발명의 실시형태의 반도체 장치에, 회로(100)가 정지 상태일 때에, 산화물 반도체막을 포함하는 반도체 소자에 의해 회로(100)로의 클럭 신호의 공급이 정지되는 구성이 추가될 수도 있다. 다음으로, 회로(100)가 플립플롭일 경우에, 회로(100)로의 전원 전압의 공급과 클럭 신호의 공급이 제어될 수 있는 반도체 장치의 구체적인 구성 및 동작에 대해서, 도 7a 및 도 7b를 참조하여 설명한다.

[0072] 도 7a에 도시하는 반도체 장치는, 회로(100)와 스위칭 소자(101)에 추가하여 회로(100)로의 클럭 신호의 공급을 제어할 수 있는 제어 회로(102)를 갖는다. 제어 회로(102)에는, 클럭 신호 외에, 제어 회로(102)의 동작을 제어하기 위한 제어 신호(1)가 입력된다. 도 7a에서는, 제어 회로(102)로서 AND가 이용되고 있는 경우를 예시하고, 클럭 신호와 제어 신호는 함께 AND에 입력된다. AND로부터 출력된 신호는 회로(100)에 입력된다. 또한, 회로(100)는 플립플롭이다. 단자 D 및 단자 CK에 각각 입력 신호 및 제어 회로(102)로부터 출력된 신호가 입력되고 단자 Q로부터 출력 신호가 출력된다.

[0073] 도 7a에 도시하는 회로(100)의 구체적인 구성에 대해서 도 5b를 참조할 수 있다. 플립플롭의 구체적인 회로 구성은, 피드백 작용을 이용해서 1비트 데이터를 유지할 수 있는 회로이면 제한이 없다. 또한, 도 5b에 도시하는 회로(100)에서, 출력 신호(1)와 출력 신호(2)가 얻어질 수 있지만, 도 7a에 도시하는 회로(100)에서는, 출력 신

호를 개수가 1이다.

[0074] 회로(100)로의 전원 전압의 공급은 스위칭 소자(101)에 의해 제어된다. 도 7a에서는, 로우 레벨의 전원 전압 *VSS*의 공급이 스위칭 소자(101)에 의해 제어되는 경우를 예시하고 있지만; 하이 레벨의 전원 전압의 공급이 스위칭 소자(101)에 의해 제어될 수도 있다.

[0075] 도 7a에서는, 제어 회로(102)로서 AND가 이용되는 예를 나타내고 있지만; 제어 회로(102)는, 제어 신호(1)에 따라서, 회로(100)로의 클럭 신호의 공급이 제어될 수 있는 회로 구성이면, AND에 한정되지 않는다. 예를 들면, 제어 회로(102)로서 AND 대신에 NOR가 이용될 수도 있다.

[0076] 제어 회로(102)는, 산화물 반도체막을 활성층으로서 갖는 트랜지스터를 적어도 하나 포함한다. 산화물 반도체막을 활성층으로서 갖는 트랜지스터의 누설 전류가, 결정성을 갖는 실리콘을 포함하는 트랜지스터의 누설 전류에 비교해서 현저하게 낮다. 그 때문에, 산화물 반도체를 갖는 트랜지스터를 제어 회로(102)로서 이용하고, 제어 회로(102)에 의해 회로(100)로의 클럭 신호의 공급이 제어되어, 제어 회로(102)의 누설 전류에 기인하는 대기 전력의 증대를 억제할 수 있다.

[0077] 도 7a에 도시된 반도체 장치를 예로서 이용하여, 회로(100)가 동작 상태인 기간(동작 기간)과 회로(100)가 정지 상태인 기간(비동작 기간)에 있어서의, 입력 단자의 데이터, 출력 단자의 데이터, 제어 신호(1)의 전위, 제어 신호(2)의 전위의 타이밍 차트를 도 7b에 도시한다.

[0078] 동작 기간에서, 제어 신호(1)의 전위는 하이 레벨이며, 클럭 신호가 제어 회로(102)를 통해 플립플롭인 회로(100)에 공급된다. 또한, 제어 신호(2)의 전위는 하이 레벨이며, 전원 전압 *VSS*가 회로(100)에 공급된다. 따라서, 회로(100)는 동작 상태에 있다. 그리고, 플립플롭인 회로(100)는, 입력된 클럭 신호에 기초하여 데이터를 유지한다. 동작 기간에서는, 입력 신호에 포함된 데이터가 D0으로부터 D1로 변하므로, 출력 신호에 포함된 데이터도 D0으로부터 D1로 변한다.

[0079] 다음으로, 비동작 상태에서, 제어 신호(1)의 전위는 로우 레벨이며, 클럭 신호의 회로(100)로의 공급이 정지된다. 즉, 제어 회로(102)로부터 플립플롭인 회로(100)에, 로우 레벨로 고정된 전위가 공급된다. 또한, 비동작 기간에서, 제어 신호(2)의 전위는 로우 레벨이며, 전원 전압 *VSS*의 회로(100)로의 공급이 정지된다. 따라서, 회로(100)는 비동작 상태에 있고, 출력 신호의 데이터는 D1인 채로 유지된다. 또한, 클럭 신호의 공급이 정지된 상태는, 동작 기간에서, 제어 회로(102)로부터 회로(100)로 인가되는 전위가, 로우 레벨과 하이 레벨의 사이에서 변하지 않고, 로우 레벨 또는 하이 레벨로 고정되어 있는 상태를 말한다.

[0080] 전술한 바와 같이, 비동작 기간에서, 회로(100)로의 클럭 신호의 공급을 정지함으로써 소위 클럭 게이팅(clock gating)을 행함으로써, 회로(100)에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 회로(100)로의 전원 전압의 공급을 정지함으로써, 회로(100)에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 스위칭 소자(101)와 제어 회로(102)는, 각각 산화물 반도체막을 포함하는 반도체 소자를 이용하여 형성되므로; 누설 전류 등에 따른 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 클럭 신호 및 전원 전압의 공급을 정지하고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽이 저감됨으로써, 회로 전체의 소비 전력이 저감가능한 반도체 장치를 제공할 수 있다.

[0081] 또한, 제어 회로(102)로서, AND 대신에 NOR가 이용되는 경우에도, 클럭 신호와 제어 신호 양쪽이 NOR에 입력된다. 그리고, NOR로부터 출력된 신호는 회로(100)에 입력된다. 도 17a에서, 도 7a에 도시하는 반도체 장치에 있어서, 제어 회로(102)로서 NOR가 이용되는 경우를 나타낸다. 회로(100)와 스위칭 소자(101)의 구성은, 도 7a와 마찬가지이므로, 상세한 설명은 생략한다. 도 17a에 나타낸 반도체 장치를 예로서 이용하여, 회로(100)가 동작 상태인 기간(동작 기간)과, 회로(100)가 정지 상태인 기간(비동작 기간)에 있어서의, 입력 신호의 데이터, 출력 신호의 데이터, 제어 신호(1)의 전위, 제어 신호(2)의 전위의 타이밍 차트를 도 17b에 도시한다.

[0082] 제어 회로(102)로서 NOR가 이용되는 경우, 동작 기간에서, 제어 신호(1)의 전위는 로우 레벨이며, 클럭 신호가 제어 회로(102)를 통해 플립플롭인 회로(100)에 공급된다. 또한, 제어 신호(2)의 전위는 하이 레벨이며, 전원 전압 *VSS*가 회로(100)에 공급된다. 따라서, 회로(100)는 동작 상태에 있다. 그리고, 플립플롭인 회로(100)는 입력된 클럭 신호에 기초하여 데이터를 유지한다. 동작 기간에서는, 입력 신호에 포함되는 데이터가 D0으로부터 D1로 변하므로, 출력 신호에 포함되는 데이터도 D0으로부터 D1로 변한다.

[0083] 다음으로, 비동작 기간에서, 제어 신호(1)의 전위는 하이 레벨이며, 클럭 신호의 회로(100)로의 공급이 정지된다. 즉, 제어 회로(102)로부터 플립플롭인 회로(100)로 로우 레벨로 고정된 전위가 공급된다. 또한, 비동작 기간에서, 제어 신호(2)의 전위는 로우 레벨이며, 전원 전압 *VSS*의 회로(100)로의 공급이 정지된다. 따라서, 회로

(100)는 비동작 상태에 있으며, 출력 신호의 데이터는 D1인 채로 유지된다.

[0084] (실시형태 2)

[0085] 본 실시형태에서는, 본 발명의 실시형태에 관한 반도체 장치의 제작 방법에 대해서 설명한다.

[0086] 본 발명의 실시형태에 관한 반도체 장치는, 실리콘을 포함하는 트랜지스터와, 산화물 반도체를 포함하는 트랜지스터를 갖는다. 실리콘을 포함하는 트랜지스터는, 실리콘 웨이퍼, SOI(silicon on insulator) 기판, 절연 표면상의 실리콘 박막 등을 이용해서 형성될 수 있다.

[0087] SOI 기판은, 예를 들면, Smart Cut로 대표되는 UNIBOND(등록 상표), ELTRAN(epitaxial layer transfer), 유전체 분리법, PACE(plasma assisted chemical etching)법, SIMOX(separation by implanted oxygen)법 등을 이용해서 제작할 수 있다.

[0088] 절연 표면을 갖는 기판 상에 형성된 실리콘의 반도체막은, 공지의 기술에 의해 결정화될 수도 있다. 공지의 결정화 방법으로서는, 레이저빔 이용한 레이저 결정화법, 촉매 원소를 이용하는 결정화법이 있다. 또는, 촉매 원소를 이용하는 결정화법과 레이저 결정화법이 조합될 수도 있다. 석영과 같은 높은 내열성을 갖는, 열적으로 안정한 기판을 이용할 경우, 전열로를 사용한 열 결정화법, 적외광을 이용한 램프 어닐 결정화법, 촉매 원소를 이용하는 결정화법, 950℃ 정도의 고온 어닐링법과 같은 결정화법 중 임의의 것을 조합할 수 있다.

[0089] 또한, 전술한 방법을 이용해서 제작되는 반도체 소자가 플라스틱 등으로 형성되는 가요성 기판 상에 전사되어 반도체 장치를 형성할 수도 있다. 전사법으로서, 기판과 반도체 소자 사이에 금속 산화막을 설치하고, 금속 산화막을 결정화에 의해 취약화해서 반도체 소자를 박리하고 전사하는 방법; 기판과 반도체 소자 사이에 수소를 포함하는 비정질 규소막을 설치하고, 레이저 빔 조사 또는 에칭에 의해 비정질 규소막을 제거함으로써 반도체 소자를 기판에서 박리하고 전사하는 방법, 반도체 소자가 형성된 기판을 기계적인 절삭 또는 용액이나 가스에 의한 에칭으로 제거함으로써 반도체 소자를 기판으로부터 박리하고, 전사하는 방법 등과 같은 다양한 방법을 이용할 수 있다.

[0090] 본 실시형태에서는, SOI(silicon on insulator) 기판을 이용하고, 실리콘을 갖는 트랜지스터를 제작한 후, 산화물 반도체를 갖는 트랜지스터를 제작하는 경우를 예로 들어, 반도체 장치의 제작 방법에 대해서 설명한다.

[0091] 도 8a에 도시한 바와 같이, 본드 기판(200)을 세정 한 후, 본드 기판(200)의 표면에 절연막(201)을 형성한다.

[0092] 본드 기판(200)으로서, 실리콘을 이용하여 형성된 단결정 반도체 기판을 이용할 수 있다. 또한, 본드 기판(200)으로서, 결정 격자 왜곡을 갖는 실리콘, 실리콘에 게르마늄이 첨가된 실리콘 게르마늄 등을 이용하여 형성된 반도체 기판을 이용할 수도 있다.

[0093] 또한, 본드 기판(200)에 이용되는 단결정 반도체 기판은, 결정축의 방향이 균일한 것이 바람직하지만, 기판은 점 결함, 선 결함, 또는 면 결함과 같은 격자 결함이 완벽하게 제거된 완전 결정을 이용하여 형성될 필요는 없다.

[0094] 본드 기판(200)의 형상은 원형에 한정되지 않고, 기판은 원형 이외의 형상으로 가공될 수 있다. 예를 들면, 나중에 본드 기판(200)이 접합되는 베이스 기판(203)의 형상이 일반적으로 사각형인 것과, 축소 투영형 노광 장치와 같은 노광 장치의 노광 영역이 사각형인 것 등을 고려하여, 본드 기판(200)은 사각형으로 가공될 수도 있다. 본드 기판(200)은 시판되는 원형상의 단결정 반도체 기판을 절단함으로써 가공될 수 있다.

[0095] 절연막(201)은 단일 절연막 또는 복수의 절연막의 적층 중 어느 것일 수도 있다. 나중에 불순물을 포함하는 영역이 제거되는 것을 고려하여, 절연막(201)을 15nm 이상 500nm 이하의 두께로 형성하는 것이 바람직하다.

[0096] 절연막(201)에 포함되는 막으로서, 산화 규소막, 질화 규소막, 산화 질화 규소막, 질화 산화 규소막, 산화 게르마늄막, 질화 게르마늄막, 산화 질화 게르마늄막, 질화 산화 게르마늄막과 같은 규소 또는 게르마늄을 그 조성으로서 포함하는 절연막을 이용할 수 있다. 또한, 산화 알루미늄, 산화 탄탈, 산화 하프늄과 같은 금속의 산화물을 포함하는 절연막; 질화 알루미늄과 같은 금속 질화물을 포함하는 절연막; 산화 질화 알루미늄막과 같은 금속의 산화 질화물을 포함하는 절연막; 또는 질화 산화 알루미늄막과 같은 금속 질화 산화물을 포함하는 절연막을 이용할 수도 있다.

[0097] 예를 들면 본 실시형태에서는, 본드 기판(200)을 열산화함으로써 형성된 산화 규소를, 절연막(201)으로서 이용하는 예를 설명한다. 또한, 도 8a에서는, 절연막(201)이 본드 기판(200)의 전체면을 덮도록 형성되지만; 절연막(201)은 본드 기판(200)의 적어도 한 면에 형성될 수도 있다.

[0098] 본 명세서에 있어서, 산화 질화물은, 질소보다도 산소의 함유량이 많은 물질을 말하며, 또한, 질화 산화물은 산소보다도 질소의 함유량이 많은 물질을 말한다.

[0099] 본드 기판(200)의 표면을 열산화하는 것에 의해 절연막(201)이 형성되는 경우, 열산화로서 함유 수분량이 낮은 산소를 이용하는 드라이 산화, 산소 분위기에 염화수소와 같은 할로겐을 포함하는 가스를 첨가하는 열산화 등을 이용할 수 있다. 또한, 수소가 산소와 함께 연소되어 물을 생성하는 발열성 산화, 또는 고순도 물이 100℃ 이상으로 가열되어 수증기를 생성하고 수증기를 이용하여 산화가 행해지는 수증기 산화와 같은 습식 산화가 절연막(201)의 형성에 이용될 수도 있다.

[0100] 베이스 기판(203)이 알칼리 금속 또는 알칼리 토류 금속과 같은 반도체 장치의 신뢰성을 저하시키는 불순물을 포함하는 경우, 이러한 불순물이 베이스 기판(203)으로부터 분리 후에 형성되는 반도체막에 확산하는 것을 방지할 수 있는 배리어 막을 절연막(201)이 적어도 1층 이상 갖는 것이 바람직하다. 배리어 막으로서 이용할 수 있는 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막 또는 질화 산화 알루미늄막 등을 들 수 있다. 배리어 막으로서 이용하는 절연막은 예를 들면 15nm~300nm의 두께로 형성하는 것이 바람직하다. 또한, 배리어 막과 본드 기판(200) 사이에, 산화 규소막이나 산화 질화 규소막과 같은, 배리어 막보다 질소의 함유율의 낮은 절연막을 형성할 수도 있다. 질소의 함유율이 낮은 절연막은 5nm 이상 200nm 이하의 두께로 형성될 수도 있다.

[0101] 산화 규소를 절연막(201)으로서 이용할 경우, 절연막(201)은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등의 혼합 가스를 이용하고, 열 CVD법, 플라즈마 CVD법, 상압 CVD법, 또는 바이어스 ECRCVD법과 같은 기상 성장법에 의해 형성될 수 있다. 이 경우, 절연막(201)의 표면은 산소 플라즈마 처리로 치밀화될 수도 있다. 질화 규소를 절연막(201)으로서 이용할 경우, 실란과 암모니아의 혼합 가스를 이용하고, 플라즈마 CVD법과 같은 기상 성장법에 의해 절연막(201)이 형성될 수 있다.

[0102] 또한, 유기 실란 가스를 이용해서 화학 기상 성장법에 의해 형성되는 산화 규소를 이용해서 절연막(201)이 형성될 수도 있다. 유기 실란 가스로서는, 규산에틸(TEOS: 화학식: $Si(OC_2H_5)_4$), 테트라메틸실란(TMS:화학식: $Si(CH_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란(화학식: $SiH(OC_2H_5)_3$), 또는 트리스디메틸아미노실란(화학식: $SiH(N(CH_3)_2)_3$)와 같은 실리콘 함유 화합물을 이용할 수 있다.

[0103] 소스 가스에 유기 실란을 이용하는 것으로, 프로세스 온도가 350℃ 이하로, 평활한 표면을 갖는 산화 규소막을 형성할 수 있다. 또는, 열 CVD법에 의해, 온도가 200℃ 이상 500℃ 이하로 형성되는 LTO(저온 산화물, low temperature oxide)가 이용될 수 있다. LTO는, 실리콘 소스 가스로서 모노실란(SiH_4), 디실란(Si_2H_6) 등을 이용하고, 산소 소스 가스로서 이산화질소(NO_2) 등을 이용하여 형성될 수 있다.

[0104] 예를 들면, 소스 가스로서 TEOS와 O_2을 이용하여 절연막(201)으로서 산화 규소막을 형성할 경우, 조건은 이하와 같이 설정될 수 있다: TEOS의 유량 15sccm, O_2의 유량 750sccm, 성막 압력 100Pa, 성막 온도 300℃, RF 출력 300W, 전원 주파수 13.56MHz.

[0105] 또한, 유기 실란을 이용해서 형성된 산화 규소막 또는 저온에서 형성된 질화 산화 규소막과 같은, 비교적 저온에서 형성된 절연막은 그 표면에 다수의 OH기를 갖는다. OH기와 물분자 사이의 수소 결합은 실라놀기를 형성하고, 베이스 기판과 절연막을 저온에서 접합한다. 최종적으로는 공유 결합인 실록산 결합이 베이스 기판과 절연막 사이에 형성된다. 유기 실란을 이용해서 형성된 상술한 산화 규소막 또는 비교적 저온에서 형성된 LTO와 같은 절연막은, Smart Cut(등록 상표) 등에서 이용되고 있는 OH 결합이 존재하지 않는, 또는 매우 적은 OH 결합을 갖는 열산화막에 비해 저온에서의 결합에 적합하다.

[0106] 절연막(201)은, 평활하고 친수성인 접합면을 본드 기판(200)의 표면에 형성한다. 그 때문에, 절연막(201)의 평균 표면 거칠기 *Ra*가 0.7nm 이하, 보다 바람직하게는 0.4nm 이하이다. 절연막(201)의 두께는 5nm 이상 500nm 이하이며, 보다 바람직하게는 10nm 이상 200nm 이하이다.

[0107] 다음으로, 도 8b에 도시한 바와 같이, 본드 기판(200)은, 전계에 의해 가속된 이온을 포함하는 이온 빔으로, 화살표로 나타낸 바와 같이 절연막(201)을 통해 조사되어, 본드 기판(200)의 표면으로부터 소정의 깊이의 영역에, 미소 보이드(microvoid)를 갖는 취화층(embrittled layer)(202)이 형성된다. 예를 들면, 취화층은, 결정 구조의 무질서에 의해 국소적으로 취약화된 층을 의미하고, 취화층의 상태는 취화층을 형성하는 수단에 따른다. 또

한, 본드 기판의 한 표면으로부터 취화층까지의 영역이 어느 정도 취약화될 경우가 있지만; 본 명세서에서의 취화층은 나중에 분리가 행해지는 영역 및 그 부근을 가리킨다.

[0108] 취화층(202)이 형성되는 깊이는, 이온 빔의 가속 에너지와 그 입사각에 의해 조절될 수 있다. 가속 에너지는 가속 전압에 의해 조절될 수 있다. 이온의 평균 침입 깊이와 같거나 거의 같은 깊이에 취화층(202)이 형성된다. 이온을 주입하는 깊이에 기초하여, 본드 기판(200)으로부터 분리되는 반도체막(204)의 두께가 결정된다. 취화층(202)이 형성되는 깊이는 예를 들면 50nm 이상 500nm 이하의 범위에서 설정될 수 있으며, 바람직하게는 50nm 이상 200nm 이하의 범위에서 설정될 수 있다.

[0109] 이온은 질량 분리가 행해지지 않는 이온 도핑법에 의해 본드 기판(200)에 주입되는 것이 사이클 시간이 단축될 수 있으므로 바람직하지만; 본 발명은 질량 분리가 행해지는 이온 주입법을 채용할 수도 있다.

[0110] 소스 가스로 수소(H_2)가 이용되는 경우, 수소 가스를 여기해서 H^+, H_2^+, H_3^+을 생성할 수 있다. 소스 가스로부터 생성되는 이온종의 비율은, 플라즈마 여기 방법, 플라즈마를 발생시키는 분위기의 압력, 소스 가스의 공급량 등을 조절함으로써 변할 수 있다. 이온 도핑법으로 이온 주입을 행할 경우, 이온 빔에, H^+, H_2^+, H_3^+의 총량에 대하여 H_3^+이 50% 이상인 것이 바람직하고, H_3^+이 80% 이상 포함되어 있는 것이 더욱 바람직하다. H_3^+이 80% 이상 포함되면, 이온 빔 내의 H_2^+ 이온의 비율이 상대적으로 작아지고, 이온 빔에 포함되는 수소 이온의 평균 침입 깊이의 변동이 작아지는 결과를 초래한다. 따라서, 이온 주입 효율이 향상하고, 사이클 시간을 단축할 수 있다.

[0111] 또한, H_3^+은 H^+ 및 H_2^+에 비해 질량이 크다. H_3^+의 비율이 많은 이온 빔이 H^+ 및 H_2^+의 비율이 많은 이온 빔에 비교되는 경우, 도핑 시의 가속 전압이 동일하여도, 전자의 경우가 후자의 경우보다 본드 기판(200)의 더 얕은 영역에 수소를 주입할 수 있다. 또한, 전자의 경우에, 본드 기판(200)에 주입되는 수소의, 두께 방향으로의 급격한 농도 분포를 가지므로, 취화층(202)의 자체가 더 얇게 형성될 수 있다.

[0112] 수소 가스를 이용하고 이온 도핑법으로 이온 주입을 행할 경우, 가속 전압은 10kV 이상 200kV이하, 도즈량은 1×10^{16}ions/cm^2 이상 6×10^{16}ions/cm^2 이하로 설정된다. 이러한 조건 하에서, 이온 빔에 포함되는 이온종과 그 비율, 및 절연막(201)의 막 두께에도 따르지만, 취화층(202)은 본드 기판(200)의 깊이 50nm 이상 500nm 이하의 깊이의 영역에 형성될 수 있다.

[0113] 예를 들면, 본드 기판(200)이 단결정 실리콘 기판이며, 절연막(201)이 두께 100nm의 열산화막을 이용해서 형성되는 경우, 소스 가스인 100% 수소 가스의 유량이 50sccm, 빔 전류 밀도 5μA/cm^2, 가속 전압 50kV, 도즈량 2.0×10^{16}atoms/cm^{2}의 조건에서, 본드 기판(200)으로부터 두께 146nm 정도의 반도체막을 분리할 수 있다. 또한, 수소를 본드 기판(200)에 첨가할 때의 조건이 변하지 않아도, 절연막(201)의 두께를 보다 크게 하면, 반도체막의 두께를 보다 작게 할 수 있다.

[0114] 이온 빔의 소스 가스로서 헬륨(He)을 택일적으로 이용될 수 있다. 헬륨을 여기해서 생성되는 이온종은, He^+이 대부분이므로, 질량 분리가 수행되지 않는 이온 도핑법에서도, He^+을 본드 기판(200)에 주로 주입할 수 있다. 따라서, 이온 도핑법에 의해 효율적으로, 미소 보이드가 취화층(202)에 형성될 수 있다. 헬륨을 이용하여 이온 도핑법으로 이온 추가를 수행할 경우, 가속 전압은 10kV 이상 200kV 이하, 도즈량은 1×10^{16}ions/cm^2 이상 6×10^{16}ions/cm^2 이하일 수 있다.

[0115] 소스 가스로 염소 가스(Cl_2 가스), 불소 가스(F_2 가스)와 같은 할로겐 가스를 이용할 수 있다.

[0116] 또한, 이온 도핑법으로 본드 기판(200)에 이온 주입을 행할 경우, 이온 도핑 장치 내에 존재하는 불순물이 이온과 함께 피처리물에 주입되므로; 절연막(201)의 표면과 그 근방에 S, Ca, Fe, Mo와 같은 불순물이 존재할 가능성이 있다. 따라서, 절연막(201)의 표면 및 그 근방의 가장 불순물의 수가 많다고 생각되는 영역을, 에칭, 연마 등에 의해 제거할 수도 있다. 구체적으로는, 절연막(201)의 표면으로부터 10nm~100nm, 바람직하게는 30nm~70nm 정도의 깊이까지의 영역을 제거할 수도 있다. 드라이 에칭은, 예를 들어, 반응성 이온 에칭(RIE: reactive ion etching)법, ICP(inductively coupled plasma) 에칭법, ECR(electron cyclotron resonance) 에칭법, 평행 평판형(용량 결합 플라즈마) 에칭법, 마그네트론 플라즈마 에칭법, 2주파 플라즈마 에칭법, 헬리콘 파 플라즈마 에

칭법 등을 채용할 수 있다. 예를 들면, 질화 산화 규소막의 표면 및 그 근방을 ICP 에칭법으로 제거하는 경우, 에칭 가스인 CHF_3의 유량이 7.5sccm, He의 유량을 100sccm, 반응 압력 5.5Pa, 하부 전극의 온도 70℃, 코일형의 전극에 인가되는 RF(13.56MHz)전력 475W, 하부 전극(바이어스측)에 인가되는 전력 300W, 및 에칭 시간 10sec 정도인 조건에서 표면으로부터 50nm 정도의 깊이까지의 영역이 제거될 수 있다.

[0117] 에칭 가스로서, 불소계 가스인 CHF_3 대신에, Cl_2, BCl_3, $SiCl_4$, 또는 CCl_4 와 같은 염소계 가스; CF_4, SF_6 또는 NF_3와 같은 다른 불소계 가스; 또는 O_2가 적절히 이용될 수 있다. 또한, 에칭 가스에 He 이외의 불활성 가스를 첨가할 수도 있다. 예를 들면, 에칭 가스에 첨가하는 불활성 원소로서, Ne, Ar, Kr, 또는 Xe로부터 선택된 하나 또는 복수의 원소를 이용할 수 있다. 질화 산화 규소막의 표면 및 그 근방을 습식 에칭으로 제거하는 경우, 불소 수소 암모늄, 불화 암모늄 등을 포함하는 불산계의 용액이 에천트로서 이용될 수도 있다. 연마는 화학적 기계적 연마(CMP: chemical mechanical polishing), 액체 제트 연마 등에 의해 행해질 수 있다.

[0118] 취화층(202)의 형성 후에, 절연막(201)의 표면 및 그 근방에 있어서의 오염이 현저한 영역이 에칭, 연마 등에 의해 제거됨으로써, 베이스 기판(203) 위에 형성되는 반도체막(204)에 혼입하는 불순물의 량을 억제할 수 있다. 또한, 최종적으로 완성되는 반도체 장치에서는, 불순물이, 임계값 전압의 변동 또는 누설 전류의 증가와 같은 트랜지스터의 전기적 특성의 저하 및 신뢰성의 저하를 야기하는 것을 방지할 수 있다.

[0119] 다음으로, 도 8c에 도시한 바와 같이, 절연막(201)을 사이에 끼우도록, 본드 기판(200)과 베이스 기판(203)이 서로 접합된다.

[0120] 또한, 베이스 기판(203)과 본드 기판(200)이 서로 접합되기 전에, 접합을 위한 표면, 즉 본 실시형태에서는, 본드 기판(200) 위에 형성된 절연막(201)과 베이스 기판(203)의 표면에, 절연막(201)과 베이스 기판(203)의 접합 강도를 향상시키기 위한 표면 처리가 수행되는 것이 바람직하다.

[0121] 표면 처리의 예로서, 습식 처리, 드라이 처리, 및 습식 처리 및 드라이 처리의 조합을 들 수 있다. 다른 습식 처리 또는 다른 드라이 처리가 조합되어 수행될 수도 있다. 습식 처리의 예는, 오존수를 이용한 오존 처리(오존수 세정), 메가소닉 세정과 같은 초음파 세정, 2-유체 세정(순수나 수소가 첨가된 물과 같은 기능성 물과 질소와 같은 캐리어 가스가 함께 분사되는 방법), 염산과 과산화수소수를 이용한 세정 등을 포함한다. 드라이 처리의 예로서, 불활성 가스 중성 원자 빔 처리, 불활성 가스 이온 빔 처리, 자외선 처리, 오존 처리, 플라즈마 처리, 바이어스 인가 플라즈마 처리, 라디칼 처리 등을 들 수 있다. 상술한 바와 같은 표면 처리를 행함으로써, 접합에 대한 표면의 친수성 및 청정도를 높일 수 있다. 따라서, 접합 강도를 향상시킬 수 있다.

[0122] 접합에 있어서, 베이스 기판(203)과 본드 기판(200) 상의 절연막(201)이 밀착되게 배치된 후, 서로 겹친 베이스 기판(203)과 본드 기판(200)의 일부에, 대략 $1N/cm^2$ 내지 $500N/cm^2$, 바람직하게는 $11N/cm^2$ 내지 $20N/cm^2$의 압력이 인가된다. 압력을 가하면, 그 부분으로부터 베이스 기판(203)과 절연막(201) 사이의 접합을 개시하고, 이는 서로 밀착된 베이스 기판(203)과 절연막(201)의 전체 표면 사이에 접합을 초래한다.

[0123] 접합은 반데르발스력이나 수소 결합에 의해 행해지기 때문에, 실온에서도 결합이 견고하다. 또한, 상술한 접합은 저온에서 행하는 것이 가능하기 때문에, 베이스 기판(203)에 대해 다양한 기판을 이용하는 것이 가능하다. 예를 들면, 베이스 기판(203)으로서는, 알루미노 실리케이트 글래스 기판, 바륨 보로실리케이트 글래스 기판, 또는 알루미노 보로실리케이트 글래스 기판 등과 같은 전자 공업용에 사용되는 각종 글래스 기판 외에, 석영 기판, 세라믹 기판, 사파이어 기판 등의 기판을 이용할 수 있다. 또는, 베이스 기판(203)으로서, 실리콘, 갈륨 비소, 인듐, 인 등으로 형성되는 반도체 기판 등을 이용할 수 있다. 또한, 스테인레스 스틸 기판을 포함하는 금속 기판을 베이스 기판(203)으로서 이용할 수도 있다. 베이스 기판(203)으로 역할을 하는 글래스 기판으로서, 열팽창 계수가 25×10^{-7}/℃ 이상 50×10^{-7}/℃ 이하(바람직하게는, 30×10^{-7}/℃ 이상 40×10^{-7}/℃ 이하)이며, 변형점이 580℃ 이상 680℃ 이하(바람직하게는, 600℃ 이상 680℃ 이하)인 기판을 이용하는 것이 바람직하다. 또한, 글래스 기판이 무알카리 글래스 기판이면, 반도체 장치의 불순물 오염을 억제할 수 있다.

[0124] 글래스 기판으로서는, 액정 패널의 제작용으로 개발된 마더 글래스 기판을 이용할 수 있다. 마더 글래스 기판으로서는, 제 3 세대(550mm×650mm), 제 3.5 세대(600mm×720mm), 제 4 세대(680mm×880mm 또는, 730mm×920mm), 제 5 세대(1100mm×1300mm), 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm) 등의 사이즈를 갖는 기판이 알려져 있다. 마더 글래스 기판과 같은 대면적 기판을 베이스 기판(203)으로서 이용하여 SOI 기판의 사이즈 증가를 실현할 수 있다. SOI 기판의 면적이 증가되면, 한번에 다수의 IC 또는 LSI와 같은 칩을 제작할 수 있어, 1매의 기판으로부터 제작되는 칩수가 증가하므로; 생산성이 비약적으로 향상

될 수 있다.

[0125] 베이스 기판(203)이 EAGLE 2000(Corning Incorporated 제작)과 같이, 가열 처리가 행해질 때 크게 수축하는 글래스 기판인 경우, 접합 공정 후에 접합의 불량이 발생할 수 있다. 따라서, 수축에 기인하는 이러한 접합 불량을 회피하기 위해서, 접합 공정 전에 베이스 기판(203)이 미리 가열 처리를 받을 수도 있다.

[0126] 또한, 베이스 기판(203) 위에 절연막이 미리 형성될 수도 있다. 베이스 기판(203)은, 그 표면에 절연막이 반드시 형성되지는 않는다. 하지만, 베이스 기판(203)의 표면에 절연막을 형성해 두는 것으로, 베이스 기판(203)으로부터 본드 기판(200)에, 알칼리 금속 및 알칼리 토류 금속과 같은 불순물이 들어가는 것을 방지할 수 있다. 또한, 베이스 기판(203)의 표면에 절연막을 형성해 둘 경우, 베이스 기판(203) 상의 절연막이 절연막(201)과 접합하므로; 베이스 기판(203)으로서 이용할 수 있는 기판의 종류가 더욱 넓어진다. 일반적으로, 플라스틱과 같은 가요성 합성 수지로 이루어지는 기판은 온도 상한은 낮은 경향에 있다. 하지만, 나중의 반도체 소자의 제작 공정에 있어서의 처리 온도에 견딜 수 있는 기판이라면, 베이스 기판(203) 위에 절연막을 형성하는 경우에, 베이스 기판(203)으로서 이러한 수지로 형성된 기판을 이용할 수 있다. 플라스틱 기판의 예들은, 폴리에틸렌 테레프탈레이트(PET)로 대표되는 폴리에스테르, 폴리에테르 술폰(PES), 폴리에틸렌나프탈레이트(PEN), 폴리카르보네이트(PC), 폴리에테르에테르케톤(PEEK), 폴리술폰(PSF), 폴리에테르이미드(PEI), 폴리아릴레이트(PAR), 폴리부틸렌 테레프탈레이트(PBT), 폴리이미드, 아크릴로니트릴-부타디엔-스틸렌 수지, 폴리염화비닐, 폴리프로필렌, 폴리아세트산비닐, 아크릴 수지 등을 포함한다. 베이스 기판(203) 위에 절연막을 형성할 경우, 절연막(201)과 마찬가지로, 이러한 절연막의 표면에 표면 처리를 행해진 후에 베이스 기판(203)과 본드 기판(200)이 서로 결합되는 것이 바람직하다.

[0127] 베이스 기판(203)에 본드 기판(200)을 접합한 후, 베이스 기판(203)과 절연막(201) 사이의 접합 계면에서의 결합력을 증가시키기 위한 가열 처리를 행하는 것이 바람직하다. 이 처리 온도는, 취화층(202)에 균열을 발생시키지 않는 온도에서 수행되며, 200℃ 이상 400℃ 이하의 온도 범위에서 수행될 수 있다. 이 온도 범위 내에서 본드 기판(200)과 베이스 기판(203)을 접합함으로써 베이스 기판(203)과 절연막(201) 사이의 결합력이 강해질 수 있다.

[0128] 본드 기판(200)과 베이스 기판(203)을 서로 접합할 때에, 접합면이 먼지 등에 의해 오염되면, 오염 부분은 접합되지 않는다. 접합면의 오염을 회피하기 위해서, 본드 기판(200)과 베이스 기판(203)은, 기밀인 챔버 내에서 서로 접합되는 것이 바람직하다. 본드 기판(200)과 베이스 기판(203)을 서로 접합할 때, 프로세스 챔버는 5.0×10^{-3}Pa 정도의 감소된 압력을 가질 수 있고, 접합 프로세스의 분위기가 청정하게 될 수도 있다.

[0129] 다음으로, 가열 처리를 행함으로써, 취화층(202)에 있어서 서로 인접하는 미소 보이드가 결합하고, 미소 보이드의 체적이 증대한다. 그 결과, 도 8d에 도시한 바와 같이, 취화층(202)에 따라 본드 기판(200)의 일부인 반도체막(204)이 본드 기판(200)으로부터 분리된다. 절연막(201)과 베이스 기판(203)은 서로 접합하고 있으므로, 본드 기판(200)으로부터 분리된 반도체막(204)이 베이스 기판(203)에 고정된다. 반도체막(204)을 본드 기판(200)으로부터 분리하기 위한 가열 처리는, 베이스 기판(203)의 변형점을 초과하지 않는 온도에서 수행하는 것이 바람직하다.

[0130] 이 가열 처리에는, RTA(Rapid Thermal Anneal) 장치, 저항 가열로, 마이크로파 가열 장치가 이용될 수 있다. RTA 장치에는, GRTA(Gas Rapid Thermal Annealing) 장치 또는 LRTA(Lamp Rapid Thermal Annealing) 장치를 이용할 수 있다. GRTA 장치를 이용하는 경우에는, 가열 온도가 550℃ 이상 650℃ 이하로 설정될 수 있고, 처리 시간은 0.5분 이상 60분 이하로 설정될 수 있다. 저항 가열 장치를 이용하는 경우에는, 가열 온도 200℃ 이상 650℃ 이하로 설정될 수 있고, 처리 시간은 2시간 이상 4시간 이하로 설정될 수 있다.

[0131] 또한, 가열 처리는, 마이크로파와 같은 고주파에 의한 유전 가열에 의해 수행될 수도 있다. 유전 가열에 의한 가열 처리는, 고주파 발생 장치에 의해 생성된 주파수 300MHz 내지 3THz의 고주파를 본드 기판(200)에 조사하는 것으로 행해질 수 있다. 구체적으로는, 예를 들면, 2.45GHz의 주파수의 마이크로파를 900W에서, 14분간 조사하여, 취화층 내에 서로 인접하는 미소 보이드를 결합시켜, 최종적으로 본드 기판(200)이 취화층에 따라 분리될 수 있다.

[0132] 저항 가열을 갖는 종형로를 이용한 가열 처리의 구체적인 처리 방법을 설명한다. 본드 기판(200)을 접착할 수 있었던 베이스 기판(203)을 종형로의 보트에 배치하고, 이 보트를 종형로의 챔버에 반입한다. 본드 기판(200)의 산화를 억제하기 위해서, 우선 챔버 내를 배기해서 진공 상태가 형성된다. 진공도는, 5×10^{-3}Pa 정도로 한다. 진공 상태로 한 후, 질소를 챔버 내에 공급하여, 챔버가 대기압의 질소 분위기를 갖는다. 그 동안, 가열 온도를

200℃로 상승시킨다.

[0133] 챔버를 대기압의 질소 분위기로 한 후, 200℃로 2시간 가열한다. 그 후, 1시간동안 400℃로 온도를 상승시킨다. 가열 온도 400℃의 상태가 안정되면, 1시간동안 600℃로 온도를 상승시킨다. 가열 온도 600℃의 상태가 안정되면, 600℃로 2시간 가열 처리한다. 그 후, 1시간 동안, 가열 온도 400℃까지 내리고, 10분 내지 30분간 후에, 챔버로부터 보트를 반출한다. 대기 분위기 하에서, 보트 위에 배치된 본드 기판(200) 및 반도체막(204)을 접착된 베이스 기판(203)을 냉각한다.

[0134] 상기 저항 가열로를 이용한 가열 처리는 절연막(201)과 베이스 기판(203)과의 결합력을 강화하기 위한 가열 처리와, 취화층(202)을 분할시키는 가열 처리를 연속으로 행함으로써 수행된다. 이 2 종류의 가열 처리를 다른 장치로 행하는 경우에는, 예를 들면, 저항 가열로에 있어서 200℃, 2시간의 가열 처리를 행한 후, 서로 접합된 베이스 기판(203)과 본드 기판(200)을 노로부터 반출한다. 다음으로, RTA 장치로, 처리 온도 600℃ 이상 700℃ 이하, 1분 내지 몇시간의 가열 처리를 행하고, 본드 기판(200)을 취화층(202)에 따라 분리시킨다.

[0135] 또한, 본드 기판(200)의 주변부는 베이스 기판(203)과 접합하지 않는 경우가 있다. 이것은, 본드 기판(200)의 주변부가 면취되어 있거나 주변부가 곡률을 갖고 있기 때문에, 베이스 기판(203)과 절연막(201)이 서로 밀착하지 않거나 본드 기판(200)의 주변부에서는 취화층(202)이 분리하기 어렵기 때문일 것이다. 기타의 이유로서, 본드 기판(200)을 제작할 때에 행해지는 CMP와 같은 연마가 본드 기판(200)의 주변부에서 불충분하고, 중앙부에 비교해서 주변부에서는 표면이 거칠어지기 때문이다. 또 다른 이유는, 본드 기판(200)을 이송할 때에, 캐리어 등이 본드 기판(200)의 주변부에 손상을 주는 경우, 그 손상이 주변부가 베이스 기판(203)에 접합하기 어렵게 만드는 것이다. 그 때문에, 베이스 기판(203)에는, 본드 기판(200)보다도 작은 반도체막(204)이 접착된다.

[0136] 또한, 본드 기판(200)을 분리시키기 전에, 본드 기판(200)은 수소화 처리를 받을 수도 있다. 수소화 처리는, 예를 들면, 수소 분위기에서 350℃도, 2시간 정도 행한다.

[0137] 베이스 기판(203)에 복수의 본드 기판(200)을 접합할 경우, 복수의 본드 기판(200)이 다른 결정면 방위를 가질 수도 있다. 반도체에 있어서의 다수 캐리어의 이동도는 결정면 방위에 따른다. 따라서, 형성되는 반도체 소자에 적합한 결정면 방위를 갖는 본드 기판(200)을 적절히 선택해서 반도체막(204)을 형성할 수도 있다. 예를 들면, 반도체막(204)을 이용해서 n형의 반도체 소자를 형성하는 경우에, {100}면을 갖는 반도체막(204)을 형성하는 것으로, 반도체 소자에 있어서의 다수 캐리어의 이동도를 높일 수 있다. 한편, 예를 들면, 반도체막(204)을 이용해서 p형의 반도체 소자를 형성하는 경우에, {110}면을 갖는 반도체막(204)을 형성하는 것으로, 반도체 소자에 있어서의 다수 캐리어의 이동도를 높일 수 있다. 그리고, 반도체 소자로서 트랜지스터를 형성하는 경우에, 채널의 방향과 결정면 방위를 고려하여 반도체막(204)의 접합 방향이 결정된다.

[0138] 다음으로, 반도체막(204)의 표면을 연마에 의해 평탄화될 수 있다. 평탄화는 반드시 필수적이지는 않지만, 평탄화를 행함으로써, 나중에 형성되는 반도체막(206, 207)과 게이트 절연막 사이의 계면의 특성을 향상시킬 수 있다. 구체적으로, 연마는 화학적 기계적 연마(CMP: Chemical Mechanical Polishing), 액체 제트 연마 등일 수 있다. 반도체막(204)의 두께는 평탄화에 의해 감소된다. 평탄화는 에칭하기 전의 반도체막(204)에 실시해도 좋지만; 선택적으로 에칭에 의해 형성되는 반도체막(206, 207)에 실시해도 좋다.

[0139] 또한, 반도체막(204)의 표면을 평탄화하기 위하여, 연마가 아니라 반도체막(204)의 표면에 에칭이 수행될 수도 있다. 에칭은, 예를 들면, 반응성 이온 에칭(RIE: Reactive Ion Etching), ICP(Inductively Coupled Plasma) 에칭, ECR(Electron Cyclotron Resonance) 에칭, 평행 평판형(용량 결합형) 에칭, 마그네트론 플라즈마 에칭, 2주파 플라즈마 에칭 또는 헬리콘 파 플라즈마 에칭과 같은 드라이 에칭법을 이용하여 수행될 수도 있다.

[0140] 예를 들면, ICP 에칭법을 이용할 경우, 에칭 가스인 염소의 유량 40sccm~100sccm, 코일형의 전극에 인가하는 전력 100W~200W, 하부 전극(바이어스측)에 인가되는 전력 40W~100W, 및 반응 압력 0.5Pa~1.0Pa인 조건에서 에칭이 수행될 수 있다. 예를 들면, 에칭 가스인 염소의 유량 100sccm, 반응 압력 1.0Pa, 하부 전극의 온도 70℃, 코일형의 전극에 인가하는 RF(13.56MHz) 전력 150W, 하부 전극(바이어스측)에 인가하는 전력 40W, 에칭 시간 25sec~27sec의 조건 하에서 에칭을 수행함으로써 반도체막(204)의 두께가 50nm 내지 60nm 정도까지 감소될 수 있다. 에칭 가스에는, 염소, 염화붕소, 염화규소 또는 사염화탄소와 같은 염소계 가스; 사불화 탄소, 불화유황 또는 불화질소와 같은 불소계 가스; 또는 산소가 적절히 이용될 수 있다.

[0141] 에칭에 의해, 나중에 형성되는 반도체 소자에 있어서 최적이 되도록 반도체막(204)의 두께가 감소될 수 있고, 반도체막(204)의 표면도 평탄화할 수 있다.

[0142] 또한, 베이스 기판(203)에 접합된 반도체막(204)은, 취화층(202)의 형성, 취화층(202)에 따른 분리에 의해, 결

정 결함이 형성되어, 반도체막(204)의 표면의 평탄성이 손상되어 있다. 따라서, 본 발명의 일 실시형태에서는, 결정 결함을 저감 및 평탄성을 향상하기 위해서, 반도체막(204)의 표면에 형성되어 있는 자연 산화막과 같은 산화막을 제거하는 처리를 행한 후, 반도체막(204)에 레이저 빔의 조사를 행한다.

[0143] 본 발명의 본 실시형태에서는, 불화수소의 농도가 0.5wt%의 DHF에 반도체막(204)을 110초간 담그는 것으로 산화막을 제거한다.

[0144] 레이저 빔의 조사는, 반도체막(204)을 부분 용융시키는 정도의 에너지 밀도에서 행하는 것이 바람직하다. 반도체막(204)을 완전 용융시키면, 액체 상태가 된 반도체막(204)의 무질서한 핵이 수반되고 반도체막(204)의 재결정화로 인한 미결정의 생성으로 반도체막(204)의 결정성이 저하되기 때문이다. 부분 용융시킴으로써, 반도체막(204)에서는, 용융되지 않고 있는 고상 부분으로부터 결정 성장이 진행하는, 소위 세로 성장이 일어난다. 세로 성장에 의한 재결정화에 의해, 반도체막(204)의 결정 결함이 감소되어, 그 결정성이 회복된다. 반도체막(204)이 완전 용융된 상태는, 반도체막(204)이 절연막(201)과의 계면까지 용융되어 액체 상태로 되고 있는 것을 말한다. 한편, 반도체막(204)이 부분 용융 상태라는 것은, 그 상부가 용융해서 액체 상태이며, 그 하부가 고상인 상태를 말한다.

[0145] 이 레이저 빔의 조사에는, 반도체막(204)을 부분적으로 용융시키기 위해서 펄스 레이저 빔 조사가 바람직하다. 예를 들면, 펄스 레이저의 경우에는, 반복 레이트 1MHz 이하, 펄스 폭 10n초 이상 500n초 이하이다. 예를 들면, 반복 레이트 10Hz~300Hz, 펄스 폭 25n초, 파장 308nm의 XeCl 엑시머 레이저를 이용할 수 있다.

[0146] 레이저 빔은, 반도체에 선택적으로 흡수되는 고상 레이저의 기본파 또는 제 2 고조파가 이용되는 것이 바람직하다. 구체적으로, 예를 들면, 파장이 250nm 이상 700nm 이하의 범위의 레이저 빔을 이용할 수 있다. 레이저 빔의 에너지는, 레이저 빔의 파장, 레이저 빔의 표피 깊이, 반도체막(204)의 두께 등을 고려해서 결정할 수 있다. 예를 들면, 반도체막(204)의 두께가 120nm 정도로, 레이저 빔의 파장이 308nm의 펄스 레이저를 이용하는 경우에는, 레이저 빔의 에너지 밀도를 600mJ/cm^2~700mJ/cm^2로 설정할 수 있다.

[0147] 펄스 레이저로서, Ar 레이저, Kr 레이저, 엑시머 레이저, CO_2 레이저, YAG 레이저, Y_2O_3 레이저, YVO_4 레이저, YLF 레이저, $YAlO_3$ 레이저, 글래스 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저 또는 금 증기 레이저를 이용할 수 있다.

[0148] 본 실시형태에서는, 레이저 빔의 조사는, 반도체막(204)의 두께가 146nm 정도의 경우, 다음과 같이 행할 수 있다. 레이저 빔을 발진하는 레이저로서, XeCl 엑시머 레이저(파장: 308nm, 펄스 폭: 20n초, 반복 레이트: 30Hz)를 이용한다. 광학계를 통해, 레이저 빔의 단면을 0.4㎜×120㎜의 선 형상으로 정형한다. 레이저 빔의 주사 속도를 0.5㎜/초로 해서 반도체막(204)에 조사한다. 레이저 빔의 조사에 의해, 도 8e에 도시한 바와 같이, 결정 결함이 복구된 반도체막(205)이 형성된다.

[0149] 또한, 레이저 빔의 조사는, 희가스 또는 질소 분위기와 같은 불활성 분위기, 또는 감압 분위기에서 행하는 것이 바람직하다. 상기 분위기의 경우, 레이저 빔 조사는, 그 분위기가 제어되는 기밀성의 챔버 내에서 수행될 수 있다. 챔버를 이용하지 않는 경우에는, 레이저 빔의 피조사면에 질소 가스와 같은 불활성 가스를 분사하는 것으로 불활성 분위기에서의 레이저 빔의 조사를 실현할 수 있다. 대기 분위기 대신에, 불활성 분위기 또는 감압 분위기에 있어서 레이저 빔의 조사를 행함으로써 자연 산화막이 형성되는 것을 추가적으로 억제하고, 레이저 빔 조사 후에 형성되는 반도체막(205)에 크랙 또는 피치 줄무늬 방지될 수 있고, 반도체막(205)의 평탄성을 향상시킬 수 있고, 레이저 빔의 적용가능한 에너지 범위를 넓게 할 수 있다.

[0150] 광학계에 의해, 레이저 빔은, 균일한 에너지 분포를 갖고, 선형의 단면을 갖는 것이 바람직하다. 이것에 의해, 높은 스루풋에서, 레이저 빔의 조사를 균일하게 행할 수 있다. 레이저 빔의 빔 길이는, 베이스 기판(203)의 한 변보다 길게 함으로써, 1회의 주사에서, 베이스 기판(203)에 접착된 모든 반도체막(204)이 레이저 빔으로 조사될 수 있다. 레이저 빔의 빔 길이가 베이스 기판(203)의 한변보다 짧은 경우에는, 복수회의 주사에서, 베이스 기판(203)에 접착된 모든 반도체막(204)에 레이저 빔을 조사할 수 있도록 빔 길이가 설정될 수 있다.

[0151] 희가스 또는 질소 분위기와 같은 불활성 분위기, 또는 감압 분위기에서, 레이저 빔을 조사하기 위해서는, 그 분위기가 제어되는 기밀성의 챔버 내에서 레이저 빔을 조사할 수 있다. 챔버를 이용하지 않는 경우에는, 레이저 빔의 피조사면에 질소 가스와 같은 불활성 가스를 분사함으로써 불활성 분위기에서의 레이저 빔의 조사를 실현할 수 있다. 대기 분위기 대신 불활성 분위기 또는 감압 분위기에 있어서 레이저 빔의 조사를 행함으로써, 자연 산화막의 형성이 추가적으로 억제되고, 레이저 빔 조사 후에 형성되는 반도체막(205)에 형성되는 크랙 또는 피

치 줄무늬가 방지될 수 있고, 반도체막(205)의 평탄성을 향상시킬 수 있고, 레이저 빔의 적용가능한 에너지 범위를 넓게 할 수 있다.

[0152] 레이저 빔을 조사하기 전에, 드라이 에칭에 의해 반도체막(204)의 표면을 평탄화하는 경우, 드라이 에칭에 의해 반도체막(204)의 표면 또는 그 부근에서 결정 결함과 같은 손상이 생기는 경우가 있다. 그러나 상기 레이저 빔의 조사는 드라이 에칭에 의해 생기는 손상도 복구할 수 있다.

[0153] 다음으로, 레이저 빔을 조사한 후에, 반도체막(205)의 표면을 에칭할 수도 있다. 레이저 빔의 조사 후에 반도체막(205)의 표면을 에칭하는 경우에는, 반드시 레이저 빔의 조사를 행하기 전에 반도체막(204)의 표면을 에칭할 필요는 없다. 또한, 레이저 빔의 조사를 행하기 전에 반도체막(204)의 표면을 에칭한 경우에는, 반드시 레이저 빔의 조사 후에 반도체막(205)의 표면을 에칭할 필요는 없다. 또는, 레이저 빔의 조사 후, 레이저 빔의 조사 전에, 반도체막(205)의 표면을 에칭할 수도 있다.

[0154] 에칭은, 나중에 형성되는 반도체 소자에 있어서 최적이 되는 두께까지 반도체막(205)을 박막화할 수 있을 뿐만 아니라, 반도체막(205)의 표면을 평탄화할 수 있다.

[0155] 레이저 빔을 조사한 후, 반도체막(205)에 500℃ 이상 650℃ 이하의 가열 처리를 행하는 것이 바람직하다. 이 가열 처리는, 레이저 빔의 조사에서 복구되지 않은 반도체막(205)의 결함을 제거하고, 반도체막(205)의 왜곡을 완화시킬 수 있다. 이 가열 처리에는, RTA(Rapid Thermal Annealing) 장치, 저항 가열로, 또는 마이크로파 가열 장치를 이용할 수 있다. RTA장치에는, GRTA(Gas Rapid Thermal Annealing) 장치 또는 LRTA(Lamp Rapid Thermal Annealing) 장치를 이용할 수 있다. 예를 들면, 저항 가열로를 이용한 경우에는, 600℃로 4시간 가열할 수도 있다.

[0156] 다음으로, 도 9a에 도시한 바와 같이, 반도체막(205)을 부분적으로 에칭하는 것으로, 섬 형상의 반도체막(206, 207)을 형성한다. 반도체막(205)을 더욱 에칭하는 것으로, 충분한 접합 강도를 갖지 않는 반도체막(205)의 단부가 제거될 수 있다. 본 실시형태에서는, 하나의 반도체막(205)을 에칭하는 것으로 반도체막(206, 207)을 형성하고 있지만, 형성되는 반도체막의 수는 2개에 한정되지 않는다.

[0157] 또한, 반도체막(205)이 분리된 본드 기판(200)은 평탄화됨으로써, 재차 반도체막(205)을 본드 기판(200)으로부터 분리시킬 수 있다.

[0158] 구체적으로는, 본드 기판(200)의 주로 단부에 잔존한 절연막(201)을 에칭 등에 의해 제거한다. 절연막(201)이 산화 규소, 산화 질화 규소, 질화 산화 규소 등을 이용하여 형성되어 있을 경우, 불산을 이용한 습식 에칭을 채용할 수 있다.

[0159] 다음으로, 반도체막(205)의 분리에 의해 본드 기판(200)의 단부에 형성된 볼록부와, 수소를 과잉으로 포함하고 있는, 잔존한 취화층을 제거한다. 본드 기판(200)의 에칭에는, 습식 에칭을 이용하는 것이 바람직하고, 에칭액에는, 수산화테트라메틸 암모늄(tetramethylammonium hydroxide, 약칭: TMAH) 용액을 이용할 수 있다.

[0160] 다음으로, 본드 기판(200)의 표면을 연마한다. 연마는, CMP를 이용할 수 있다. 본드 기판(200)의 표면을 평활화하기 위해서, 1㎛~10㎛ 정도로 연마하는 것이 바람직하다. 연마 후에는, 본드 기판(200) 표면에 연마 입자 등이 남으므로, 불산 등을 이용한 RCA 세정을 행한다.

[0161] 본드 기판(200)을 재이용함으로써, 반도체 기판의 재료 비용을 절감할 수 있다.

[0162] 반도체막(206)과 반도체막(207)에는, 임계값 전압을 제어하기 위해서, 붕소, 알루미늄 또는 갈륨과 같은 p형 불순물 원소, 또는 인, 비소와 같은 n형 불순물 원소가 첨가될 수도 있다. 임계값 전압을 제어하기 위한 불순물의 첨가는, 패터닝하기 전의 반도체막에 대해 수행될 수도 있고, 패터닝에 의해 형성된 반도체막(206)과 반도체막(207)에 대해 수행될 수도 있다. 또는, 임계값 전압을 제어하기 위한 불순물은 본드 기판에 대해 첨가될 수도 있다. 또는, 불순물의 첨가를, 임계값 전압을 대략적으로 조정하기 위해서 본드 기판에 대해 수행한 뒤에, 임계값 전압을 미세 조정하기 위해서, 패터닝 전의 반도체막에 대하여, 또는 패터닝에 의해 형성된 반도체막(206) 및 반도체막(207)에 대하여 불순물의 첨가가 추가적으로 수행될 수도 있다.

[0163] 다음으로, 도 9b에 도시한 바와 같이, 반도체막(206)과 반도체막(207)을 피복하도록, 게이트 절연막(208)을 형성한다. 게이트 절연막(208)은, 고밀도 플라즈마 처리를 행함으로써 반도체막(206)과 반도체막(207)의 표면을 산화 또는 질화하는 것으로 형성할 수 있다. 고밀도 플라즈마 처리는, 예를 들면 He, Ar, Kr, Xe와 같은 불활성 가스와 산소, 산화 질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용해서 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 도입에 의해 행함으로써, 저전자 온도에서 고밀도의 플라즈마를 생성할 수 있다. 이러한 고밀

도의 플라즈마에서 생성된 산소 라디칼(OH 라디칼을 포함할 경우도 있음)이나 질소 라디칼(NH 라디칼을 포함할 경우도 있음)에 의해, 반도체막의 표면을 산화 또는 질화하는 것에 의해, 1nm~20nm, 바람직하게는 5nm~10nm 두께의 절연막이 반도체막에 접하도록 형성된다. 이 5nm~10nm 두께의 절연막을 게이트 절연막(208)으로서 이용한다. 예를 들면, 아산화질소(N_2O)를 Ar로 1~3배(유량비)로 희석하고, 10Pa~30Pa의 압력에서 3kW~5kW의 마이크로파(2.45GHz) 전력을 인가해서 반도체막(206)과 반도체막(207)의 표면을 산화 또는 질화시킨다. 이 처리에 의해 1nm~10nm(바람직하게는 2nm~6nm) 두께의 절연막을 형성한다. 또한, 아산화질소(N_2O)와 실란(SiH_4)을 도입하고, 10~30Pa의 압력에서 3~5kW의 마이크로파(2.45GHz) 전력을 인가해서 기상 성장법에 의해 산화 질화 실리콘막을 형성해서 게이트 절연막을 형성한다. 고상 반응과 기상 성장법에 의한 반응을 조합하는 것에 의해 계면 준위 밀도가 낮고 내압이 우수한 게이트 절연막을 형성할 수 있다.

[0164] 고밀도 플라즈마 처리에 의한 반도체막의 산화 또는 질화는 고상 반응이므로, 게이트 절연막(208)과 반도체막(206) 및 반도체막(207) 각각과의 계면 준위 밀도를 크게 낮게 할 수 있다. 또한, 고밀도 플라즈마 처리에 의해 반도체막(206) 및 반도체막(207)을 직접 산화 또는 질화함으로써, 형성되는 절연막의 두께의 변동을 억제할 수 있다. 또한, 반도체막이 결정성을 갖는 경우, 고밀도 플라즈마 처리를 이용해서 반도체막의 표면을 고상 반응으로 산화시킴으로써, 결정 입계에 있어서만 산화가 빠르게 진행하는 것을 억제하고; 그에 따라 균일성을 갖고 계면 준위 밀도가 낮은 게이트 절연막을 형성할 수 있다. 고밀도 플라즈마 처리에 의해 형성된 절연막이 게이트 절연막의 일부 또는 전부에 포함되는 각 트랜지스터는 특성의 변동을 감소시킬 수 있다.

[0165] 또는, 반도체막(206)과 반도체막(207)을 열산화시킴으로써, 게이트 절연막(208)을 형성할 수도 있다. 플라즈마 CVD법, 스퍼터링법 등에 의해, 산화 규소, 질화 산화 규소, 산화 질화 규소, 질화 규소, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈을 포함하는 막을 단층 또는 적층으로 게이트 절연막(208)을 형성할 수도 있다.

[0166] 다음으로, 도 9c에 도시한 바와 같이, 게이트 절연막(208) 위에 도전막을 형성한 후, 도전막을 소정의 형상으로 가공(패터닝)함으로써, 반도체막(206)과 반도체막(207)의 위에 전극(209)을 형성한다. 도전막의 형성에는 CVD법, 스퍼터링법 등을 이용할 수 있다. 도전막은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등을 이용할 수 있다. 또한, 상기 금속을 주성분이라고 하는 합금을 이용해도 좋고, 상기 금속을 포함하는 화합물을 이용해도 된다. 또는, 반도체막에 도전성을 부여하는 인과 같은 불순물 원소로 도핑된 다결정 규소와 같은 반도체로부터 형성될 수도 있다.

[0167] 2개의 도전막을 형성하는 경우에, 1층째에 질화 탄탈 또는 탄탈을, 2층째에 텅스텐을 형성할 수 있다. 또한, 질화 텅스텐과 텅스텐, 질화 몰리브덴과 몰리브덴, 알루미늄과 탄탈, 알루미늄과 티타늄 등의 조합을 들 수 있다. 텅스텐 및 질화 탄탈은 내열성이 높기 때문에, 2층의 도전막을 형성한 나중의 공정에 있어서, 열활성화를 위한 가열 처리를 행할 수 있다. 또는, 2층의 도전막의 조합으로서, n형 도전성을 부여하는 불순물로 도핑된 규소와 니켈 실리사이드, n형 도전성을 부여하는 불순물이 도핑된 규소와 텅스텐 실리사이드 등을 이용할 수 있다.

[0168] 또한, 본 실시형태에서는 전극(209)을 단층의 도전막으로 형성하고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 전극(209)은 적층된 복수의 도전막으로 형성되어도 좋다. 3개의 도전막을 적층하는 3층 구조의 경우에는, 몰리브덴 막과 알루미늄 막과 몰리브덴 막의 적층 구조가 바람직하다.

[0169] 또한, 마스크를 이용하지 않고, 액적 토출법에 의해 선택적으로 전극(209)을 형성해도 된다.

[0170] 또한, 액적 토출법은, 소정의 조성물을 포함하는 토출 또는 분출함으로써 소정의 패턴을 형성하는 방법이고, 잉크 제트법이 그 범주에 포함된다.

[0171] 또한, 전극(209)은, 도전막 형성 후, ICP(Inductively Coupled Plasma) 에칭법을 이용하고, 에칭 조건(예를 들어, 코일형의 전극층에 인가되는 전력량, 기판측의 전극층에 인가되는 전력량, 또는 기판측의 전극 온도)을 적절히 조절하는 것에 의해, 원하는 테이퍼 형상으로 에칭할 수 있다. 또한, 테이퍼 형상의 각도 등은 마스크의 형상에 의해서도 제어할 수 있다. 또한, 에칭용 가스로서는, 염소, 염화붕소, 염화규소 또는 사염화탄소와 같은 염소계 가스; 사불화탄소, 불화유황 또는 불화질소와 같은 불소계 가스; 또는 산소를 적합하게 이용할 수 있다.

[0172] 다음에, 도 9d에 도시한 바와 같이, 전극(209)을 마스크로 이용하여 1 도전형을 부여하는 불순물 원소를 반도체막(206), 반도체막(207)에 첨가한다. 본 실시형태에서는, 반도체막(206)에 n형 도전성을 부여하는 불순물 원소(예를 들면, 인 또는 비소)를, 반도체막(207)에 p형 도전성을 부여하는 불순물 원소(예를 들면, 붕소)를 첨가한다. 또한, p형 불순물 원소를 반도체막(207)에 첨가할 때, n형 불순물 원소가 첨가되는 반도체막(206)은 마스크 등으로 덮고, p형 불순물 원소가 선택적으로 첨가된다. 반대로 n형 불순물 원소를 반도체막(206)에 첨가할 때,

p형 불순물 원소가 첨가되는 반도체막(207)은 마스크 등으로 덮고, n형 불순물 원소가 선택적으로 첨가된다. 또는, 반도체막(206) 및 반도체막(207)에 p형 도전성 또는 n형 도전성의 어느 한쪽을 부여하는 불순물 원소를 첨가한 후, 반도체막(206)과 반도체막(207) 중에서 이전에 첨가된 불순물 원소의 농도보다 높은 농도에서 선택적으로 다른 도전성을 부여하는 불순물 원소가 첨가될 수도 있다. 불순물의 첨가에 의해, 반도체막(206)에 불순물 영역(210), 반도체막(207)에 불순물 영역(211)이 형성된다.

[0173] 다음으로, 도 10a에 도시한 바와 같이, 전극(209)의 측면에 사이드월(212)을 형성한다. 사이드월(212)은, 예를 들면, 게이트 절연막(208) 및 전극(209)을 덮도록 새롭게 절연막을 형성하고, 수직 방향을 주로 에칭이 수행되는 이방성 에칭에 의해 절연막을 부분적으로 에칭하는 것으로 형성할 수 있다. 이방성 에칭에 의해, 새롭게 형성된 절연막이 부분적으로 에칭되어, 전극(209)의 측면에 사이드월(212)이 형성된다. 또한, 상기 이방성 에칭에 의해, 게이트 절연막(208)도 부분적으로 에칭할 수 있다. 사이드월(212)을 형성하기 위한 절연막은, LPCVD법, 플라즈마 CVD법, 스퍼터링법 등에 의해, 규소막, 산화 규소막, 산화 질화 규소막, 질화 산화 규소막이나, 유기 수지와 같은 유기 재료를 포함하는 막을, 단층 또는 적층해서 형성할 수 있다. 본 실시형태에서는, 두께 100nm의 산화 규소막을 플라즈마 CVD법에 의해 형성한다. 에칭 가스로서는, CHF_3과 헬륨의 혼합 가스를 이용할 수 있다. 또한, 사이드월(212)을 형성하기 위한 공정은, 상술한 프로세스에 한정되는 것은 아니다.

[0174] 다음으로, 도 10b에 도시한 바와 같이, 전극(209) 및 사이드월(212)을 마스크로 이용하여, 반도체막(206), 반도체막(207)에 1 도전형을 부여하는 불순물 원소를 첨가한다. 또한, 반도체막(206), 반도체막(207)에는, 이전의 공정에서 첨가한 불순물 원소와 같은 도전형을 부여하는 불순물 원소를 이전의 공정보다 높은 농도로 첨가한다. 또한, p형 불순물 원소를 반도체막(207)에 첨가할 때, n형의 불순물이 첨가되는 반도체막(206)은 마스크 등으로 덮고, p형 불순물 원소가 선택적으로 첨가된다. 반대로, n형 불순물 원소를 반도체막(206)에 첨가할 때, p형의 불순물이 첨가되는 반도체막(207)은 마스크 등으로 덮고, n형 불순물 원소가 선택적으로 첨가된다.

[0175] 불순물 원소의 첨가에 의해, 반도체막(206)에, 한쌍의 고농도 불순물 영역(213)과, 한쌍의 저농도 불순물 영역(214)과, 채널 형성 영역(215)이 형성된다. 또한, 불순물 원소의 첨가에 의해, 반도체막(207)에, 한쌍의 고농도 불순물 영역(216)과, 한쌍의 저농도 불순물 영역(217)과, 채널 형성 영역(218)이 형성된다. 고농도 불순물 영역(213), 고농도 불순물 영역(216)은 소스 영역 또는 드레인 영역으로서 기능하고, 저농도 불순물 영역(214), 저농도 불순물 영역(217)은 LDD(Lightly Doped Drain) 영역으로서 기능한다. 또한, LDD 영역은 반드시 설치할 필요는 없고, 소스 영역 및 드레인 영역으로서 기능하는 불순물 영역만 형성해도 된다. 또는, 소스 영역 또는 드레인 영역의 어느 한 측에만, LDD 영역을 형성해도 된다.

[0176] 또한, 반도체막(207) 위에 형성된 사이드월(212)과, 반도체막(206) 위에 형성된 사이드월(212)은, 캐리어가 이동하는 방향에 있어서 동일한 폭을 가질 수 있거나 다른 폭을 가질 수도 있다. p형 트랜지스터에 포함된 반도체막(207) 상의 사이드월(212)의 폭은, n채널 트랜지스터에 포함된 반도체막(206) 상의 사이드월(212)의 폭보다도 긴 것이 바람직하다. 왜냐하면, p채널 트랜지스터에 있어서 소스 영역 및 드레인 영역을 형성하기 위해서 첨가되는 붕소는 확산하기 쉽고 단채널 효과를 유도하기 쉽기 때문이다. p채널 트랜지스터에서의 각 사이드월(212)의 폭이 n채널 트랜지스터의 각 사이드월(212)의 폭보다 길게 하면, 소스 영역 및 드레인 영역에 고농도로 붕소를 첨가하는 것이 가능해지고, 소스 영역 및 드레인 영역의 저항이 감소될 수 있다.

[0177] 다음으로, 소스 영역 및 드레인 영역을 더욱 저저항화하기 위해서, 반도체막(206), 반도체막(207)에 실리사이드가 형성되어, 실리사이드층을 형성할 수도 있다. 실리사이드는, 반도체막에 금속을 접촉시켜, 가열 처리, GRTA법, LRTA법 등에 의해, 반도체막 중의 규소와 금속을 반응시켜 형성된다. 실리사이드층은, 코발트 실리사이드 또는 니켈 실리사이드로 형성될 수 있다. 반도체막(206), 반도체막(207)의 각각의 두께가 얇을 경우에는, 반도체막(206), 반도체막(207)의 저부까지 실리사이드 형성을 진행시킬 수도 있다. 실리사이드 형성에 이용하는 금속의 재료로서, 티타늄(Ti), 니켈(Ni), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 지르코늄(Zr), Hf(하프늄), 탄탈(Ta), 바나듐(V), 네오디뮴(Nd), 크롬(Cr), 백금(Pt), 팔라듐(Pd) 등을 이용할 수 있다. 또는, 레이저 빔 조사, 램프 등의 광 조사에 의해 실리사이드를 형성해도 된다.

[0178] 전술한 공정에 의해, n채널 트랜지스터(220)와, p채널 트랜지스터(221)가 형성된다.

[0179] 도 10b에 도시하는 공정까지 종료하면, 트랜지스터(220), 트랜지스터(221) 위에, 산화물 반도체를 포함하는 트랜지스터를 제작한다.

[0180] 우선, 도 11a에 도시한 바와 같이, 트랜지스터(220), 트랜지스터(221)를 피복하도록 절연막(230)을 형성한다. 절연막(230)을 설치함으로써, 가열 처리시에 전극(209)의 표면이 산화되는 것을 방지할 수 있다. 구체적으로 절

연막(230)은, 질화 규소, 질화 산화 규소, 산화 질화 규소, 질화 알루미늄, 산화 알루미늄, 산화 규소 등을 이용하여 형성되는 것이 바람직하다. 본 실시형태에서는, 두께 50nm 정도의 산화 질화 규소막을 절연막(230)으로서 이용한다.

[0181] 다음으로, 도 11b에 도시한 바와 같이, 트랜지스터(220), 트랜지스터(221)를 피복하도록, 절연막(230) 위에 절연막(231), 절연막(232)을 형성한다. 절연막(231), 절연막(232)은, 나중의 제작 공정에 있어서의 가열 처리의 온도에 견딜 수 있는 재료를 이용하여 형성된다. 구체적으로, 절연막(231), 절연막(232)에 예를 들면, 산화 규소, 질화 규소, 질화 산화 규소, 산화 질화 규소, 질화 알루미늄, 질화 산화 알루미늄 등의 무기 절연막을 이용할 수 있다.

[0182] 또한, 본 실시형태에서는, 절연막(230) 위에 절연막(231), 절연막(232)을 적층하고 있지만; 절연막(230) 위에 형성하는 절연막은 단층의 절연막이어도 좋고, 3층 이상의 절연막이 적층되어 있어도 좋다.

[0183] 절연막(232)의 표면을 CMP법 등에 의해 평탄화시켜도 된다.

[0184] 다음으로, 도 11c에 도시한 바와 같이, 도전막을 절연막(232) 위에 형성한 후, 에칭에 의해 불필요한 부분을 제거해서 배선(233) 및 게이트 전극(234)을 형성한다. 이 때 적어도 게이트 전극(234)의 단부가 테이퍼 형상으로 형성되도록 에칭이 수행된다.

[0185] 도전막은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴 또는 스칸듐과 같은 금속 재료; 이들 금속 재료를 주성분으로 포함하는 합금 재료; 또는 이들 금속을 포함하는 질화물을 이용하여, 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 또한, 나중에 행해지는 가열 처리의 온도에 견딜 수 있는 것이라면, 상기 금속 재료로서 알루미늄 또는 구리를 이용할 수도 있다.

[0186] 예를 들면, 2층의 구조의 도전막으로서, 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 구리층 상에 몰리브덴층을 적층한 2층 구조, 구리층 위에 질화 티타늄 또는 질화 탄탈을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층의 2층 구조와 같은 구조가 바람직하다. 3층의 적층 구조로서는, 알루미늄, 알루미늄과 실리콘의 합금, 알루미늄과 티타늄의 합금 또는 알루미늄과 네오디뮴의 합금을 중간층으로 해서 텅스텐, 질화 텅스텐, 질화 티타늄 및 티타늄을 상하층으로서 적층한 구조로 하는 것이 바람직하다.

[0187] 이 때, 일부의 전극 및 배선에 투광성 산화물 도전막을 이용해서 개구율을 증가시킨다. 예를 들면, 산화물 도전막에는 산화 인듐, 산화 인듐 및 산화 주석의 합금, 산화 인듐 및 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 또는 산화 아연 갈륨 등을 이용할 수 있다.

[0188] 배선(233) 및 게이트 전극(234)의 각각의 두께는, 10nm~400nm, 바람직하게는 100nm~200nm이다. 본 실시형태에서는, 텅스텐 타깃을 이용한 스퍼터법에 의해 100nm 두께의 게이트 전극용의 도전막을 형성한 후, 도전막을 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 배선(233) 및 게이트 전극(234)을 형성한다.

[0189] 다음으로, 도 11d에 도시한 바와 같이, 배선(233) 및 게이트 전극(234) 위에 게이트 절연막(240)을 형성한다. 게이트 절연막(240)은, 플라즈마 CVD법 또는 스퍼터링법 등을 이용하고, 산화 규소막, 질화 규소막, 산화 질화 규소막, 질화 산화 규소막, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈을 포함하는 단층 또는 적층을 갖는 막을 이용하여 형성된다. 게이트 절연막(240)은, 수분이나, 수소, 산소 등과 같은 불순물을 가능한 포함하지 않는 것이 바람직하다. 게이트 절연막(240)은 배리어성이 높은 재료를 이용한 절연막과, 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 적층시킨 구조를 가질 수 있다. 이 경우, 산화 규소막, 산화 질화 규소막 등을 이용해서 형성되는 절연막은, 배리어성을 갖는 절연막과 산화물 반도체막 사이에 형성한다. 배리어성을 갖는 절연막으로서, 예를 들면 질화 규소막, 질화 산화 규소막, 질화 알루미늄 막, 또는 질화 산화 알루미늄 막 등을 들 수 있다. 배리어성을 갖는 절연막을 이용하는 것으로, 수분 또는 수소 등의 분위기의 불순물, 또는 기판 내에 포함되는 알칼리 금속, 중금속 등의 불순물이, 산화물 반도체막 내, 게이트 절연막(240) 내 또는 산화물 반도체막과 다른 절연막의 계면과 그 근방에 들어가는 것을 방지할 수 있다. 또한, 산화물 반도체막에 접하도록 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성하는 것으로, 배리어성이 높은 재료를 이용한 절연막이 직접 산화물 반도체막에 접하는 것을 방지할 수 있다.

[0190] 본 실시형태에서는, 게이트 절연막(240)은 스퍼터법으로 형성된 막 두께 50nm의 질화 규소막 위에, 스퍼터법으로 형성된 두께 100nm의 산화 규소막을 적층시킨 구조를 갖는다.

[0191] 다음으로, 게이트 절연막(240) 위에, 산화물 반도체막을 형성한 후, 에칭 등에 의해 원하는 형상으로 가공되어, 게이트 전극(234)과 겹치도록 섬 형상의 산화물 반도체막(241)을 형성한다. 산화물 반도체막은, 산화물 반도체

타깃을 이용하여 스퍼터법에 의해 형성된다. 또한, 산화물 반도체막은, 희가스(예를 들면 아르곤) 분위기, 산소 분위기, 또는 희가스(예를 들면 아르곤) 및 산소 분위기에서 스퍼터법에 의해 형성될 수 있다.

[0192] 또한, 산화물 반도체막을 스퍼터법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연막(240)의 표면에 부착되어 있는 먼지 및 오염물질을 제거하는 것이 바람직하다. 역 스퍼터는, 타깃측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 RF 전원을 이용해서 전압을 인가해서 기판에 아르곤 이온을 충돌시켜서 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기 등을 이용해도 된다. 또는, 산소, 산화 질소 등을 가한 아르곤 분위기가 이용될 수도 있다. 또는, 염소, 사불화탄소 등을 가한 아르곤 분위기가 이용될 수도 있다.

[0193] 채널 형성 영역을 형성하기 위한 산화물 반도체막에는, 전술한 바와 같은 반도체 특성을 갖는 산화물 재료를 이용할 수 있다.

[0194] 산화물 반도체막의 두께는, 10nm~300nm, 바람직하게는 20nm~100nm로 설정된다. 본 실시형태에서는, In, Ga 및 Zn을 포함하는 산화물 반도체를 형성하기 위한 타깃(몰수비가 In_2O_3:Ga_2O_3:ZnO=1:1:1, 또는 In_2O_3:Ga_2O_3:ZnO=1:1:2)를 이용하고, 기판과 타깃 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량 100%) 분위기하의 조건에서 성막한다. 또한, 펄스 직류(DC) 전원은, 먼지를 경감할 수 있고, 막 두께 분포가 균일해질 수 있으므로 바람직하다. 본 실시형태에서는, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타깃을 이용하고, 스퍼터 장치에 의해 두께 30nm의 In-Ga-Zn-O계 비단결정막을 형성한다.

[0195] 또한, 플라즈마 처리 후, 대기에 노출되지 않고 산화물 반도체막을 형성하는 것으로, 게이트 절연막(240)과 산화물 반도체막 사이의 계면에 먼지나 수분이 부착되는 것을 방지할 수 있다. 또한, 펄스 직류(DC) 전원은, 먼지를 경감할 수 있고, 두께 분포가 균일하므로 바람직하다.

[0196] 산화물 반도체 타깃의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상으로 하는 것이 바람직하다. 상대 밀도가 높은 타깃을 이용하면, 형성되는 산화물 반도체막의 불순물 농도를 저감할 수 있어, 전기 특성 또는 신뢰성이 높은 박막 트랜지스터를 얻을 수 있다.

[0197] 또한, 다른 재료의 타깃이 복수개 설정될 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 형성될 수 있거나, 동일 챔버에서 복수 종류의 재료가 동시에 방전되어 형성될 수 있다.

[0198] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터법에 이용되는 스퍼터 장치, 글로우 방전을 사용하지 않고 마이크로파를 이용해서 발생시킨 플라즈마를 이용하는 ECR 스퍼터법에 이용하는 스퍼터 장치가 있다.

[0199] 또한, 스퍼터법에 의한 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터 가스 성분을 서로 화학 반응시켜서 그것들의 화합물 박막을 형성하는 반응성 스퍼터법이나, 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터법도 있다.

[0200] 또한, 스퍼터법에 의한 성막 중에 광이나 히터에 의해 기판이 100℃ 이상 700℃ 이하로 가열될 수도 있다. 성막 중에 가열함으로써, 성막과 동시에 스퍼터에 의한 손상을 복구시킨다.

[0201] 산화물 반도체막을 형성하기 전에, 스퍼터 장치 내벽, 타깃 표면이나 타깃 재료 중에 잔존하고 있는 수분 또는 수소를 제거하기 위해서 프리 히트 처리를 행하는 것이 바람직하다. 프리 히트 처리로서는, 성막 챔버 내를 감압 하에서 200℃~600℃로 가열하는 방법, 성막 챔버 내를 가열하면서 질소나 불활성 가스의 도입과 배기를 반복하는 방법 등이 있다. 프리 히트 처리 후에, 기판 또는 스퍼터 장치를 냉각한 후 대기에 노출되지 않고 산화물 반도체막이 형성된다. 이 경우에 타깃 냉각액으로서, 물이 아니라 오일 등이 이용되는 것이 바람직하다. 가열하지 않고 질소의 도입과 배기를 반복해도 일정 레벨의 효과가 얻어지지만, 가열된 성막 챔버 내에서 처리를 행하는 것이 더 바람직하다.

[0202] 산화물 반도체막을 형성하기 전, 또는 형성 중, 또는 형성 후에, 스퍼터 장치 내를, 크라이오펌프를 이용해서 잔존하고 있는 수분 등을 제거하는 것이 바람직하다.

[0203] 섬 형상의 산화물 반도체막(241)은, 예를 들면 인산과 아세트산과 질산을 섞은 용액을 이용한 습식 에칭을 이용하여 형성될 수 있다. 섬 형상의 산화물 반도체막(241)은, 게이트 전극(234)과 겹치도록 형성된다. 산화물 반도체막의 에칭에는, 시트르산이나 옥살산과 같은 유기산을 에칭으로서 이용할 수 있다. 본 실시형태에서는, ITO07N(Kanto Chemical Co., Inc. 제품)을 이용한 습식 에칭에 의해, 불필요한 부분을 제거해서 섬 형상의 산화물 반도체막(241)을 형성한다. 또한, 여기에서 수행되는 에칭은, 습식 에칭 대신 드라이 에칭일 수도 있다.

[0204] 드라이 에칭을 위한 에칭 가스로서는, 염소를 포함하는 가스(염소(Cl_2), 염화붕소(BCl_3), 염화규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)를 이용하는 것이 바람직하다.

[0205] 또는, 불소를 포함하는 가스(사불화탄소(CF_4), 불화유황(SF_6), 불화질소(NF_3), 트리플루오로메탄(CHF_3)과 같은 불소계 가스); 브롬화 수소(HBr), 산소(O_2); 이들의 가스에 헬륨(He)이나 아르곤(Ar)과 같은 희가스를 첨가한 가스 등을 이용할 수 있다.

[0206] 드라이 에칭법으로서는, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma) 에칭법을 이용할 수 있다. 원하는 형상으로 막을 에칭할 수 있게, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극온도 등)을 적절히 조절한다.

[0207] 습식 에칭 후의 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 에칭액과 에칭된 재료를 포함하는 폐액을 정제하고, 재료를 재이용해도 좋다. 에칭 후의 폐액으로부터 산화물 반도체막에 포함되는 인듐 등의 재료를 회수해서 재이용하는 것에 의해, 자원을 효과적으로 활용해 저비용화할 수 있다.

[0208] 에칭에 의해 원하는 형상을 얻기 위해, 재료에 맞춰서 에칭 조건(에칭액, 에칭 시간, 온도 등)을 적절히 조절한다.

[0209] 다음으로, 감압 분위기하에서, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어 분위기(CRDS(cavity ring-down laser spectroscopy)) 방식의 노점계를 이용해서 측정했을 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 더욱 바람직하게는 10ppb 이하의 공기) 분위기 하에서, 산화물 반도체막(241)에 가열 처리를 실시해도 좋다. 산화물 반도체막(241)에 가열 처리를 실시하는 것으로, 도 12a에 도시한 바와 같이, 수소, 물 등의 불순물의 함유량이 저감된 산화물 반도체막(242)이 형성된다. 구체적으로는, 불활성 가스 분위기(질소, 헬륨, 네온, 아르곤 등) 하에서, 300℃ 이상 750℃ 이하(또는 글래스 기판의 변형점 이하의 온도)에서 1분 내지 10분 정도, 바람직하게는 650℃에서 3분 이상 6분 이하 정도의 RTA(Rapid Thermal Anneal) 처리로 행해진다. RTA법을 이용하면, 단시간에 탈수화 또는 탈수소화를 행할 수 있으므로; 글래스 기판의 변형점을 초과하는 온도에서도 처리할 수 있다. 또한, 상기 가열 처리의 타이밍은 섬 형상의 산화물 반도체막(241) 형성 후에 한정되지 않고, 에칭 전의 산화물 반도체막에 대해서도 행할 수 있다. 또한, 가열 처리를, 섬 형상의 산화물 반도체막(241) 형성 후에 복수회 행해도 좋다.

[0210] 본 실시형태에서는, 질소 분위기에서, 기판 온도가 600℃에 도달한 상태에서 6분간 가열 처리를 행한다. 가열 처리로서, 전기로를 이용한 가열 방법, 가열한 가스를 이용하는 GRTA(Gas Rapid Thermal Annealing)법 또는 램프 광을 이용하는 LRTA(Lamp Rapid Thermal Annealing)법 등의 순간 가열 방법 등을 이용할 수 있다. 예를 들면, 전기로를 이용해서 가열 처리를 행할 경우, 승온 특성을 0.1℃/min 이상 20℃/min 이하, 강온 특성을 0.1℃/min 이상 15℃/min 이하로 하는 것이 바람직하다.

[0211] 또한, 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 수분, 수소 등이 포함되지 않는 것이 바람직하다. 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%)이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.

[0212] 다음으로, 절연막(230), 절연막(231), 절연막(232), 게이트 절연막(240)을 부분적으로 에칭하는 것으로, 트랜지스터(220)가 갖는 고농도 불순물 영역(213)과, 트랜지스터(221)가 갖는 고농도 불순물 영역(216)과, 배선(233)에 도달하는 콘택트 홀을 형성한다. 그리고, 산화물 반도체막(242) 위에, 소스 전극 및 드레인 전극으로서 이용하는 도전막을, 스퍼터법이나 진공 증착법으로 형성한다. 그 후에, 에칭 등에 의해 도전막을 패터닝하는 것으로, 도 12b에 도시한 바와 같이, 소스 전극 및 드레인 전극으로서 기능하는 도전막(245~249)을 형성한다.

[0213] 구체적으로, 도전막(245)과 도전막(246)은, 트랜지스터(220)가 갖는 한쌍의 고농도 불순물 영역(213)에 접속되어 있다. 또한, 도전막(246)은 배선(233)에도 접속되어 있다. 도전막(247)과 도전막(248)은 트랜지스터(221)가 갖는 한쌍의 고농도 불순물 영역(216)에 접속되어 있다. 또한, 도전막(248)은, 도전막(249)과 함께, 산화물 반도체막(242)에도 접속되어 있다.

[0214] 도전막(245~249)으로서, 예를 들면, 알루미늄, 크롬, 탄탈, 티타늄, 망간, 마그네슘, 몰리브덴, 텅스텐, 지르코늄, 베릴륨, 이트륨으로부터 선택된 원소; 또는 이러한 원소를 1개 또는 복수 성분으로서 포함하는 합금 등을 이용할 수 있다. 또한, 도전막의 형성 후에 가열 처리를 행할 경우에는, 이 가열 처리에 대한 충분한 내열성을

도전막이 갖는 것이 바람직하다. 알루미늄만에서는 내열성이 낮고, 부식하기 쉬운 등의 문제점이 있으므로, 도전막의 형성 후에 가열 처리를 행하는 경우에는, 내열성 도전성 재료와 조합해서 도전막을 형성한다. 알루미늄과 조합하는 낮은 내열성 도전성 재료로서는, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소; 또는 이러한 원소를 1개 또는 복수 성분으로서 포함하는 합금; 이러한 원소를 성분으로서 포함하는 질화물 등이 바람직하게 이용된다.

[0215] 도전막(245~249)의 막 두께는, 10nm~400nm, 바람직하게는 100nm~200nm로 한다. 본 실시형태에서는, 티타늄막, 질화 티타늄막, 알루미늄막, 티타늄막을 순서대로 적층하는 것으로 얻어지는 소스 전극 및 드레인 전극용의 도전막을 에칭에 의해 원하는 형상으로 가공(패터닝)함으로써, 도전막(245~249)을 형성한다.

[0216] 도전막(245~249)을 형성하기 위한 에칭에는, 습식 에칭 또는 드라이 에칭이 있다. 드라이 에칭을 이용해서 도전막(245~249)을 형성할 경우, 염소(Cl_2), 염화붕소(BCl_3) 등을 포함하는 가스를 이용하는 것이 바람직하다. 이 에칭 공정에 있어서, 산화물 반도체막(241)의 노출 영역도 일부 에칭되어, 섬 형상의 산화물 반도체막(250)이 형성된다. 따라서, 도전막(248)과 도전막(249)의 사이에 위치하는 영역에 있어서, 산화물 반도체막(250)은 막 두께가 감소된다.

[0217] 도 12c에 도시한 바와 같이, 도전막(245~249)을 형성한 후에 도전막(245~249) 및 산화물 반도체막(250)을 피복하도록 절연막(251)을 형성한다. 절연막(251)은, 수분이나, 수소, 산소 등의 불순물을 가능한 포함하지 않는 것이 바람직하고, 단층의 절연막이어도 좋고, 적층된 복수의 절연막으로 형성되어도 좋다. 절연막(251)에는, 배리어성이 높은 재료를 이용하는 것이 바람직하다. 예를 들면, 배리어성이 높은 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄 막 등을 이용할 수 있다. 복수의 적층된 절연막을 이용할 경우, 상기 배리어성이 높은 절연막보다도, 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 산화물 반도체막(250)에 가까운 측에 형성한다. 질소의 비율이 낮은 절연막을 사이에 끼우고, 도전막(245~249) 및 산화물 반도체막(250)과 중첩되도록, 배리어성을 갖는 절연막을 형성한다. 배리어성을 갖는 절연막을 이용하는 것으로, 산화물 반도체막(250) 내, 게이트 절연막(240) 내, 및 산화물 반도체막(250)과 다른 절연막의 계면과 그 근방에, 수분 또는 수소 등의 불순물이 들어가는 것을 방지할 수 있다. 또한, 산화물 반도체막(250)에 접하도록 질소의 비율이 낮은 산화 규소막, 산화 질화 규소막 등의 절연막을 형성하는 것으로, 배리어성이 높은 재료를 이용한 절연막이 직접 산화물 반도체막(250)에 접하는 것을 방지할 수 있다.

[0218] 본 실시형태에서는, 스퍼터법으로 형성된 막 두께 200nm의 산화 규소막 위에, 스퍼터법으로 형성된 막 두께 100nm의 질화 규소막을 적층시킨 구조를 갖는 절연막(251)을 형성한다. 성막시의 기판 온도는, 실온 이상 300℃ 이하일 수 있고 본 실시형태에서는 100℃로 한다.

[0219] 도전막(248)과 도전막(249) 사이에 설치된 산화물 반도체막(250)의 노출 영역과, 절연막(251)을 구성하는 산화 규소가 접해서 설치되는 것에 의해, 절연막(251)과 접하는 산화물 반도체막(250)의 영역이 고저항화되고, 고저항화된 채널 형성 영역을 갖는 산화물 반도체막(250)을 얻을 수 있다.

[0220] 다음으로, 절연막(251)을 형성한 후, 가열 처리를 행해도 된다. 가열 처리는 대기 분위기하, 또는 불활성 가스 분위기(질소, 또는 헬륨, 네온, 아르곤 등) 하에서 수행된다. 열 처리는, 바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하로 행한다. 예를 들면, 질소 분위기 하에서 250℃, 1시간의 가열 처리를 행한다. 또는, 산화물 반도체막(241)에 대해 수행된 가열 처리와 마찬가지로, 고온에서 단시간의 RTA 처리를 행하여도 좋다. 가열 처리를 행하면, 산화물 반도체막(250)이 절연막(251)을 구성하는 산화 규소에 접한 상태에서 가열된다. 따라서, 산화물 반도체막(250)을 더욱 고저항화시킨다. 따라서, 트랜지스터의 전기 특성의 향상 및 전기 특성의 변동을 경감할 수 있다. 이 가열 처리는, 절연막(251)의 형성 후이면 특별히 한정되지 않는다. 이 가열 처리는 다른 공정, 예를 들면 수지막 형성시의 가열 처리나, 투명 도전막을 저저항화시키기 위한 가열 처리로서의 역할도 하므로, 공정수를 늘리는 것을 방지할 수 있다.

[0221] 이상의 공정에 의해, 산화물 반도체막(250)을 활성층으로서 포함하는 트랜지스터(260)를 제작할 수 있다.

[0222] 다음으로, 절연막(251) 위에 도전막을 형성한 후, 도전막을 패터닝하는 것으로, 산화물 반도체막(250)과 겹치는 부분에 백 게이트 전극을 형성해도 된다. 백 게이트 전극은, 게이트 전극(234) 또는 도전막(245~249)과 마찬가지의 재료 및 구조를 이용해서 형성하는 것이 가능하다.

[0223] 백 게이트 전극의 막 두께는, 10nm~400nm, 바람직하게는 100nm~200nm로 한다. 예를 들면, 티타늄막, 알루미늄막, 티타늄막이 적층된 도전막을 형성한 후, 포토리소그래피법에 의해 레지스트 마스크를 형성하고, 에칭에 의해 불필요한 부분을 제거하고, 도전막을 원하는 형상으로 가공(패터닝)함으로써, 백 게이트 전극을 형성

할 수 있다.

[0224] 백 게이트 전극을 형성하는 경우에는, 백 게이트 전극을 피복하도록 절연막을 형성하는 것이 바람직하다. 절연막은, 분위기의 수분, 수소, 산소 등이 트랜지스터(260)의 특성에 영향을 주는 것을 방지할 수 있는, 배리어성이 높은 재료를 이용하는 것이 바람직하다. 예를 들면, 배리어성이 높은 절연막으로서, 질화 규소막, 질화 산화 규소막, 질화 알루미늄막, 또는 질화 산화 알루미늄막 등을 플라즈마 CVD법 또는 스퍼터링법 등에 의해 단층 또는 적층 구조를 갖도록 형성할 수 있다. 배리어성의 효과를 얻기 위해서는, 절연막은, 예를 들면 15nm~400nm의 막 두께에서 형성하는 것이 바람직하다.

[0225] 또한, 백 게이트 전극은, 산화물 반도체막(250) 전체를 덮도록 형성되어 있어도 좋지만, 산화물 반도체막(250)이 갖는 채널 형성 영역의 적어도 일부와 적어도 겹치는 한 산화물 반도체막(250) 전체를 덮도록 반드시 형성될 필요는 없다.

[0226] 또한, 백 게이트 전극은, 전기적으로 절연하고 있는 플로팅 상태이어도 좋고, 백 게이트 전극에 전위가 공급되는 상태이어도 좋다. 후자의 경우, 백 게이트 전극에는, 게이트 전극(234)과 같은 전위가 공급되거나, 접지 등의 고정 전위가 공급되고 있어도 좋다. 백 게이트 전극에 부여하는 전위의 높이를 제어하는 것으로, 트랜지스터(260)의 임계값 전압을 제어할 수 있다.

[0227] 또한, 절연막(251)을 부분적으로 에칭하는 것으로, 도전막(245~249) 중 어느 하나에 도달하는 콘택트 홀을 형성한 후, 절연막(251)에 도전막을 형성하고, 도전막을 패터닝하는 것으로, 도전막(245~249) 중 어느 하나에 접속된 배선을 형성하는 것도 가능하다.

[0228] 또한, 본 실시형태에서는, 실리콘을 포함하는 트랜지스터를 형성한 후에, 산화물 반도체막을 포함하는 트랜지스터를 적층하고 있지만; 본 발명의 실시형태는 이 구성에 한정되지 않는다. 실리콘을 포함하는 트랜지스터와, 산화물 반도체막을 포함하는 트랜지스터를 하나의 절연 표면 상에 형성해도 좋고, 산화물 반도체막을 포함하는 트랜지스터를 형성한 후에, 실리콘을 포함하는 트랜지스터를 적층해도 된다. 또한, 산화물 반도체막을 포함하는 트랜지스터를 형성한 후에, 실리콘을 포함하는 트랜지스터를 적층하는 경우, 실리콘으로서 미결정 실리콘 또는 다결정 실리콘을 이용한다.

[0229] 본 실시형태는, 상기 실시형태와 조합해서 실시하는 것이 가능하다.

[0230] (실시형태 3)

[0231] 본 실시형태에서는, 산화물 반도체막을 포함하는 트랜지스터의 구조가 제 2 실시형태와는 다른 트랜지스터에 대해서 설명한다.

[0232] 도 13a에 도시된 반도체 장치는, 제 2 실시형태와 마찬가지로, 결정성 실리콘을 포함하는 n채널형 트랜지스터(220)와 p채널형 트랜지스터(221)를 각각 갖고 있다. 그리고, 도 13a에서는, n채널형 트랜지스터(220)와 p채널형 트랜지스터(221) 위에, 산화물 반도체막을 포함하는 채널 보호 구조의, 보텀 게이트형의 트랜지스터(310)가 형성되어 있다.

[0233] 트랜지스터(310)는, 절연막(232) 위에 형성된 게이트 전극(311)과, 게이트 전극(311) 상의 게이트 절연막(312)과, 게이트 절연막(312) 위에 게이트 전극(311)과 겹치고 있는 산화물 반도체막(313)과, 게이트 전극(311)과 겹치는 위치에서 섬 형상의 산화물 반도체막(313) 위에 형성된 채널 보호막(314)과, 산화물 반도체막(313) 위에 형성된 도전막(315) 및 도전막(316)을 갖는다. 트랜지스터(310)는 산화물 반도체막(313) 위에 형성된 절연막(317)을 그 구성 요소에 포함할 수도 있다.

[0234] 채널 보호막(314)은, 나중에 채널 형성 영역으로서의 기능을 하는 산화물 반도체막(313)의 부분이, 나중의 공정시에 있어서의 손상(예를 들면, 에칭시의 플라즈마나 에칭액에 의한 막 감소)을 방지할 수 있다. 따라서 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0235] 채널 보호막(314)에는, 산소를 포함하는 무기 재료(산화 규소, 질화 산화 규소, 산화 질화 규소, 산화 알루미늄, 또는 산화 질화 알루미늄 등)를 이용할 수 있다. 채널 보호막(314)은, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 이용해서 형성할 수 있다. 채널 보호막(314)의 성막 후에, 에칭에 의해 그 형상을 가공한다. 여기에서는, 스퍼터법에 의해 산화 규소막을 형성하고, 포토리소그래피에 의해 형성된 마스크를 이용해서 에칭 가공함으로써 채널 보호막(314)을 형성한다.

[0236] 섬 형상의 산화물 반도체막(313)에 접해서 스퍼터법 또는 PCVD법 등에 의해 산소를 포함하는 절연막인 채널 보

호막(314)을 형성하면, 섬 형상의 산화물 반도체막(313) 중 채널 보호막(314)과 접하는 적어도 일부 영역이 고저항화되고, 고저항화 산화물 반도체 영역으로 된다. 채널 보호막(314)의 형성에 의해, 산화물 반도체막(313)은, 채널 보호막(314)과의 산화물 반도체막(313) 사이의 계면 근방에 설치된 고저항화 산화물 반도체 영역을 포함할 수 있다.

[0237] 또한, 트랜지스터(310)는, 절연막(317) 위에 백 게이트 전극을 더 갖고 있어도 좋다. 백 게이트 전극은 산화물 반도체막(313)의 채널 형성 영역과 겹치도록 형성한다. 백 게이트 전극은, 전기적으로 절연되어 있는 플로팅 상태이어도 좋고, 또는 백 게이트 전극에 전위가 공급되는 상태이어도 좋다. 후자의 경우, 백 게이트 전극에는, 게이트 전극(311)과 같은 전위가 공급되고 있어도 좋고, 또는 접지 등의 고정 전위가 공급되고 있어도 좋다. 백 게이트 전극에 부여하는 전위의 높이를 제어하는 것으로, 트랜지스터(310)의 임계값 전압을 제어할 수 있다.

[0238] 도 13b에 도시된 반도체 장치는, 제 2 실시형태와 마찬가지로, 결정성 실리콘을 포함하는 n채널형 트랜지스터(220)와 p채널형 트랜지스터(221)를 갖고 있다. 그리고, 도 13b에서는, n채널형 트랜지스터(220)와 p채널형 트랜지스터(221) 위에, 산화물 반도체막을 포함하는 보텀 콘택트형의 트랜지스터(320)가 형성되어 있다.

[0239] 트랜지스터(320)는, 절연막(232) 위에 형성된 게이트 전극(321)과, 게이트 전극(321) 상의 게이트 절연막(322)과, 게이트 절연막(322) 상의 도전막(323) 및 도전막(324)과, 게이트 전극(321)과 겹치고 있는 산화물 반도체막(325)을 갖는다. 또한, 트랜지스터(320)는 산화물 반도체막(325) 위에 형성된 절연막(326)을 그 구성 요소에 포함할 수도 있다.

[0240] 또한, 보텀 콘택트형의 트랜지스터(320)의 경우, 도전막(323), 도전막(324)의 막 두께는, 나중에 형성되는 산화물 반도체막(325)이 단절되는 것을 방지하기 위해서, 제 2 실시형태에서 나타낸 보텀 게이트형에 비교해서 얇게 하는 것이 바람직하다. 구체적으로는, 도전막(323) 및 도전막(324)의 각각의 두께는 10nm~200nm, 바람직하게는 50nm~75nm로 한다.

[0241] 또한, 트랜지스터(320)는, 절연막(326) 위에 백 게이트 전극을 더 갖고 있어도 좋다. 백 게이트 전극은 산화물 반도체막(325)의 채널 형성 영역과 겹치도록 형성된다. 백 게이트 전극은, 전기적으로 절연되어 있는 플로팅 상태이어도 좋고, 또는 백 게이트 전극에 전위가 공급되는 상태이어도 좋다. 후자의 경우, 백 게이트 전극에는, 게이트 전극(321)과 같은 전위가 공급되고 있어도 좋고, 또는 접지 등의 고정 전위가 공급되고 있어도 좋다. 백 게이트 전극에 부여하는 전위의 높이를 제어하는 것으로, 트랜지스터(320)의 임계값 전압을 제어할 수 있다.

[0242] 도 13c에 도시된 반도체 장치는, 제 2 실시형태와 마찬가지로, 결정성 실리콘을 포함하는 n채널형 트랜지스터(220)와 p채널형 트랜지스터(221)를 갖고 있다. 그리고, 도 13c에서는, n채널형 트랜지스터(220)와 p채널형 트랜지스터(221) 위에 산화물 반도체막을 포함하는 톱 게이트형의 트랜지스터(330)가 형성되어 있다.

[0243] 트랜지스터(330)는, 절연막(232) 위에 형성된 도전막(331), 도전막(332)과, 도전막(331)과 도전막(332) 위에 형성된 산화물 반도체막(333)과, 산화물 반도체막(333) 상의 게이트 절연막(334)과, 게이트 절연막(334) 위에 놓인 산화물 반도체막(333)과 겹치는 게이트 전극(335)을 갖는다. 또한, 트랜지스터(330)는, 게이트 전극(335) 위에 형성된 절연막(336)을 그 구성 요소로 포함할 수도 있다.

[0244] 톱 게이트형의 트랜지스터(330)의 경우, 도전막(331) 및 도전막(332)의 막 두께는, 나중에 형성되는 산화물 반도체막(333)의 단절을 방지하기 위해서, 제 2 실시형태에서 나타낸 보텀 게이트형에 비교해서 얇게 하는 것이 바람직하다. 구체적으로는, 도전막(331) 및 도전막(332) 각각의 두께는 10nm~200nm, 바람직하게는 50nm~75nm로 한다.

[0245] 또한, 도 13c에 도시된 반도체 장치에서는, 게이트 전극(335)과, 소스 전극 또는 드레인 전극으로서 기능하는 도전막(338)에 도달하는 콘택트 홀을, 절연막(336), 게이트 절연막(334)에 형성한 후, 게이트 전극(335) 및 도전막(338)에 접속된 배선(337)을 형성할 수 있다.

[0246] 본 실시형태는, 상기 실시형태와 조합해서 실시하는 것이 가능하다.

[0247] (실시형태 4)

[0248] 본 실시형태에서는, 본 발명의 실시형태에 관한 반도체 표시 장치인, 전자 페이퍼 또는 디지털 페이퍼라 불리는 반도체 표시 장치의 구성에 대해서 설명한다.

[0249] 전자 페이퍼에는, 전압의 인가에 의해 계조를 제어할 수 있고, 또한 메모리성을 갖는 표시 소자를 이용한다. 구체적으로, 전자 페이퍼에 이용되는 표시 소자에는, 비수계(non-aqueous) 전기영동형의 표시 소자와 같은 표시

소자, 2개의 전극 사이의 고분자 재료 중에 액정의 액적를 분산되게 한 PDLC(polymer dispersed liquid crystal) 방식의 표시 소자, 2개의 전극 사이에 키랄 네마틱 액정 또는 콜레스테릭 액정을 갖는 표시 소자, 2개의 전극 사이에 대전된 미립자를 갖고, 해당 미립자를 전계에 의해 파티클로 이동시키는 파티클 이동 방식을 채용하는 표시 소자 등을 이용할 수 있다. 또한, 비수계 전기영동형의 표시 소자에는, 2개의 전극 사이에 대전된 미립자를 분산되게 한 분산액을 끼운 표시 소자, 대전된 미립자를 분산되게 한 분산액을, 절연막을 사이에 끼운 2개의 전극 위에 갖는 표시 소자, 상이한 전하로 대전하는 다른 색의 반구를 갖는 트위스팅 볼을, 2개의 전극 사이에 있어서 용매 중에 분산되게 한 표시 소자, 용액 중에 대전된 미립자가 복수 분산되어 있는 마이크로 캡슐을 2개의 전극 사이에 갖는 표시 소자 등이 포함된다.

[0250] 도 14a에, 전자 페이퍼의 화소부(700)와, 신호선 구동 회로(701)와, 주사선 구동 회로(702)의 상면도를 나타낸다.

[0251] 화소부(700)는 복수의 화소(703)를 갖고 있다. 또한, 신호선 구동 회로(701)로부터 복수의 신호선(707)이 화소부(700) 내까지 주회되어 있다. 주사선 구동 회로(702)로부터 복수의 주사선(708)이 화소부(700) 내까지 주회되어 있다.

[0252] 화소(703)는 트랜지스터(704)와, 표시 소자(705)와, 저장 용량 소자(706)를 갖고 있다. 트랜지스터(704)의 게이트 전극은, 주사선(708) 중 하나에 접속되어 있다. 또한, 트랜지스터(704)의 소스 전극과 드레인 전극은 한 쪽이 신호선(707)의 하나로, 트랜지스터(704)의 소스 전극과 드레인 전극은 다른 쪽이 표시 소자(705)의 화소 전극에 접속되어 있다.

[0253] 또한, 도 14a에서는, 표시 소자(705)의 화소 전극과 대향 전극 사이에 인가된 전압을 유지하기 위해서, 표시 소자(705)와 병렬로 저장 용량 소자(706)가 접속되어 있지만; 표시 소자(705)의 메모리성이 표시를 유지하는데 충분히 높은 경우에, 저장 용량 소자(706)를 반드시 설치할 필요는 없다.

[0254] 또한, 도 14a에서는, 각 화소에 스위칭 소자로서 기능하는 트랜지스터를 1개 설치한 액티브 매트릭스형의 화소부의 구성에 대해서 설명했지만, 본 발명의 일 실시형태에 따른 전자 페이퍼는 이 구성에 한정되지 않는다. 각 화소에 설치하는 트랜지스터의 수는 복수이어도 좋다. 또한, 트랜지스터 이외에 용량 소자, 저항, 코일 등의 소자가 접속되어 있어도 좋다.

[0255] 도 14b에, 마이크로 캡슐을 갖는 전기 영동형의 전자 페이퍼를 예로 들어, 각 화소(703)에 설치된 표시 소자(705)의 단면도와, 신호선 구동 회로(701) 또는 주사선 구동 회로(702)와 같은 구동 회로에 이용되고 있는 반도체 소자의 단면도를 나타낸다.

[0256] 화소에서, 표시 소자(705)는, 화소 전극(710)과, 대향 전극(711)과, 화소 전극(710) 및 대향 전극(711)에 의해 전압이 인가되는 마이크로 캡슐(712)을 갖는다. 트랜지스터(704)의 소스 전극 및 드레인 전극으로서 기능하는 도전막(713)의 한쪽은 화소 전극(710)에 접속되어 있다.

[0257] 트랜지스터(704)에서, 산화물 반도체막은 활성층으로 이용하고 있다. 따라서, 게이트 전극과 소스 전극 사이의 전압이 거의 0의 상태에 있어서의 오프 전류, 즉 트랜지스터(704)의 누설 전류가 결정성을 갖는 실리콘을 포함하는 트랜지스터에 비교해서 현저하게 낮다.

[0258] 마이크로 캡슐(712) 내에는, 산화 티타늄 등의 플러스로 대전된 백색 안료와, 카본 블랙 등의 마이너스로 대전된 흑색 안료가 오일 등의 분산매와 함께 봉입되어 있다. 화소 전극(710)에 인가되는 비디오 신호의 전압에 따라서, 화소 전극과 대향 전극 사이에 전압을 인가하고, 플러스의 전극측에 흑색 안료를, 마이너스의 전극측에 백색 안료를 각각 가까이 당긴다. 따라서, 계조를 표시할 수 있다.

[0259] 또한, 도 14b에서는, 마이크로 캡슐(712)이, 화소 전극(710)과 대향 전극(711) 사이에 있어서 투광성 수지(714)에 의해 고정되어 있다. 그러나, 본 발명은 이 구성에 한정되지 않는다. 마이크로 캡슐(712), 화소 전극(710), 대향 전극(711)에 의해 형성되는 공간에는, 공기 또는 불활성 가스 등의 가스가 충전되어 있어도 좋다. 또한, 이 경우, 마이크로 캡슐(712)은, 접착제 등에 의해 화소 전극(710)과 대향 전극(711)의 양쪽 또는 어느 한쪽으로 고정해 두는 것이 바람직하다.

[0260] 또한, 표시 소자(705)가 갖는 마이크로 캡슐(712)의 수는, 도 14b에 도시된 바와 같이 반드시 복수는 아니다. 1개의 표시 소자(705)가 복수의 마이크로 캡슐(712)을 갖고 있어도 좋고, 또는 복수의 표시 소자(705)가 1개의 마이크로 캡슐(712)을 갖고 있어도 좋다. 예를 들면 2개의 표시 소자(705)가 1개의 마이크로 캡슐(712)을 공유하고, 한 쪽의 표시 소자(705)가 갖는 화소 전극(710)에 플러스의 전압이, 다른 쪽의 표시 소자(705)가 갖는 화

소 전극(710)에 마이너스의 전압이 각각 인가된다. 이 경우, 플러스의 전압이 인가된 화소 전극(710)과 겹치는 영역에 있어서, 마이크로 캡슐(712) 내에서는 흑색 안료가 화소 전극(710)측으로 가까이 당겨지고, 백색 안료가 대향 전극(711)측으로 가까이 당겨진다. 반대로, 마이너스의 전압이 인가된 화소 전극(710)과 겹치는 영역에 있어서, 마이크로 캡슐(712) 내에서는 백색 안료가 화소 전극(710)측에 가까이 당겨지고, 흑색 안료가 대향 전극(711)측에 가까이 당겨진다.

[0261] 또한, 구동 회로는, 산화물 반도체막을 활성층으로 갖는 트랜지스터(720)와, 실리콘을 활성층으로 갖는 트랜지스터(721)가 설치되어 있다. 트랜지스터(721)를 포함하는 회로로의, 전원 전압의 공급을 제어하는 스위칭 소자로서, 트랜지스터(720)를 이용할 수 있다.

[0262] 비동작 기간에서, 스위칭 소자에 의해 회로로의 전원 전압의 공급을 정지하는 것으로, 회로에서 소비되는 동적인 대기 전력을 저감할 수 있다. 또한, 트랜지스터(720)에서, 산화물 반도체막을 활성층으로 이용하고 있으므로, 게이트 전극과 소스 전극 사이의 전압이 거의 0의 상태에 있어서의 오프 전류, 즉 트랜지스터(720)의 누설 전류가 결정성을 갖는 실리콘을 포함하는 트랜지스터(721)에 비교해서 현저하게 낮다. 따라서, 트랜지스터(720)를 스위칭 소자로 이용하는 것으로, 스위칭 소자에서 발생하는 누설 전류 등에 의존하는 정적인 대기 전력을 저감할 수 있다. 따라서, 비동작 회로로의 전원 전압의 공급을 정지하고, 비동작 회로에서 소비되는 정적인 대기 전력 및 동적인 대기 전력의 양쪽을 저감함으로써, 회로 전체의 소비 전력이 저감가능한 반도체 장치를 얻을 수 있다.

[0263] 특히, 전자 페이퍼는, 액정 표시 장치나 발광 장치 등의 다른 반도체 표시 장치에 비해, 메모리성이 높은 표시 소자를 갖고 있기 때문에; 표시를 행할 때에, 신호선 구동 회로(701) 또는 주사선 구동 회로(702) 등의 구동 회로의 동작을 정지할 수 있는 기간이 긴 경향이 있다. 따라서, 본 발명의 실시형태를 적용시킴으로써, 다른 반도체 표시 장치에 비해, 대기 전력을 보다 효과적으로 절감할 수 있다.

[0264] 또한, 결정성을 갖는 실리콘을 포함하는 트랜지스터(721)는, 산화물 반도체를 갖는 트랜지스터(720)에 비해, 이동도가 높고, 온 전류가 높다. 그 때문에, 트랜지스터(721)를 이용해서 회로를 형성하는 것으로, 해당 회로를 이용한 집적 회로의 고집적화 및 고속 구동을 실현할 수 있다.

[0265] 다음으로, 전자 페이퍼의 구체적인 구동 방법에 대해서, 전술한 전기 영동형의 전자 페이퍼를 예로 들어 설명한다.

[0266] 전자 페이퍼의 동작은, 초기화 기간과, 기입 기간과, 유지 기간으로 나누어서 설명할 수 있다.

[0267] 표시하는 화상을 전환하기 전에, 우선 초기화 기간에서 표시 소자를 초기화하기 위해 화소부 내의 각 화소의 계조를 일시적으로 동등하게 설정한다. 표시 소자를 초기화함으로써, 잔상이 남는 것을 방지할 수 있다. 구체적으로, 전기 영동형에서는, 각 화소의 표시가 백 또는 흑으로 되도록, 표시 소자(705)가 갖는 마이크로 캡슐(712)에 의해 표시되는 계조를 조정한다.

[0268] 본 실시형태에서는, 흑을 표시하기 위한 초기화용 비디오 신호를 화소에 입력한 후, 백을 표시하기 위한 초기화용 비디오 신호를 화소에 입력하는 경우의 초기화의 동작에 대해서 설명한다. 예를 들면, 화상의 표시를 대향 전극(711)측을 향해서 행하는 전기 영동형의 전자 페이퍼의 경우, 마이크로 캡슐(712) 내의 흑색 안료가 대향 전극(711)측에, 백색 안료가 화소 전극(710)측에 향하도록, 표시 소자(705)에 전압을 인가한다. 다음으로, 마이크로 캡슐(712) 내의 백색 안료가 대향 전극(711)측에, 흑색 안료가 화소 전극(710)측에 향하도록, 표시 소자(705)에 전압을 인가한다.

[0269] 또한, 화소로의 초기화용 비디오 신호의 입력이 1회뿐으로, 초기화 기간 전에 표시되어 있었던 계조에 따라서, 마이크로 캡슐(712) 내의 백색 안료와 흑색 안료의 이동이 완전하게 끝나지 않아, 초기화 기간이 종료한 후에도 화소의 표시되는 계조 사이에 차이가 생겨버릴 가능성이 있다. 그 때문에, 공통 전압 $Vcom$에 대하여 마이너스의 전압 $-Vp$를 복수회 화소 전극(710)에 인가하는 것으로 흑을 표시하고, 공통 전압 $Vcom$에 대하여 플러스의 전압 Vp를 복수회 화소 전극(710)에 인가하는 것으로 백을 표시하는 것이 바람직하다.

[0270] 또한, 초기화 기간 전에 각 화소의 표시 소자에 따라 표시되어 있었던 계조가 상이하면, 초기화용 비디오 신호를 입력하는 데 필요 최소 횟수도 다르게 된다. 따라서, 초기화 기간 전에 표시되어 있었던 계조에 따라, 화소 간에, 초기화용 비디오 신호를 입력하는 횟수를 바꾸도록 해도 된다. 이 경우, 초기화용 비디오 신호를 입력할 필요가 없어진 화소에는, 공통 전압 $Vcom$을 입력하는 것이 바람직하다.

[0271] 또한, 화소 전극(710)에 초기화용 비디오 신호의 전압 Vp 또는 전압 $-Vp$를 복수회 인가하기 위해서는, 선택 신

호의 펄스가 주사선에 공급되고 있는 기간에서, 해당 주사선의 화소에, 초기화용 비디오 신호를 입력하는 일련의 동작을 복수회 행한다. 초기화용 비디오 신호의 전압 *Vp* 또는 전압 *-Vp*를 화소 전극(710)에 복수회 인가하는 것으로, 화소 간에 계조의 차가 생기는 것을 방지하기 위해서, 마이크로 캡슐(712) 내에 있어서의 백색 안료와 흑색 안료의 이동을 완료시킨다. 따라서, 화소부의 화소를 초기화할 수 있다.

[0272] 또한, 초기화 기간에서는, 각 화소에 있어서 흑을 표시한 후에 백을 표시하는 경우뿐만 아니라 백을 표시한 후에 흑을 표시하는 경우도 수용가능하다. 또는, 초기화 기간에서는, 각 화소에 있어서 백을 표시한 후에 흑을 표시하고, 또한 그 후에, 백을 표시하는 것도 수용가능하다.

[0273] 또한, 초기화 기간이 개시되는 타이밍은, 화소부 내의 모든 화소에 있어서 동일할 필요는 없다. 예를 들면, 화소마다, 또는 같은 라인에 속하는 화소마다, 초기화 기간이 개시되는 타이밍이 서로 다르게 하는 것 같이 해도 된다.

[0274] 다음으로, 기입 기간에서는, 화소에 화상 데이터를 갖는 비디오 신호를 입력한다.

[0275] 화소부 전체에서 화상의 표시를 행하는 경우에는, 1 프레임 기간에서, 모든 주사선에 순서대로 전압의 펄스가 시프트되는 선택 신호가 입력된다. 그리고, 선택 신호에 펄스가 출현하고 있는 1 라인 기간 내에 있어서, 모든 신호선에 화상 데이터를 갖는 비디오 신호가 입력된다.

[0276] 화소 전극(710)에 인가되는 비디오 신호의 전압에 따라서, 마이크로 캡슐(712) 내의 백색 안료와 흑색 안료가 화소 전극(710)측 또는 대향 전극(711)측으로 이동함으로써 표시 소자(705)는 계조를 표시한다.

[0277] 또한, 기입 기간에서도, 초기화 기간과 마찬가지로, 화소 전극(710)에 비디오 신호의 전압을 복수회 인가하는 것이 바람직하다. 따라서, 선택 신호의 펄스가 주사선에 공급되고 있는 기간에서, 해당 주사선의 화소에 비디오 신호를 입력하는 일련의 동작을 복수회 행한다.

[0278] 다음으로, 유지 기간에서는, 모든 화소에 신호선을 통해서 공통 전압 *Vcom*을 입력한 후, 주사선으로의 선택 신호의 입력 또는 신호선으로의 비디오 신호의 입력은 행하지 않는다. 따라서, 표시 소자(705)가 갖는 마이크로 캡슐(712) 내의 백색 안료와 흑색 안료는, 화소 전극(710)과 대향 전극(711) 사이에 플러스 또는 마이너스의 전압이 인가되지 않는 한 그 위치는 유지되므로, 표시 소자(705)에 표시되는 계조는 유지된다. 따라서, 기입 기간에 있어서 기입된 화상은 유지 기간에서도 유지된다.

[0279] 또한, 전자 페이퍼에 이용되는 표시 소자는, 계조를 변화시키는데 필요한 전압이, 액정 표시 장치에 이용되는 액정 소자나, 발광 장치에 이용되는 유기 발광 소자 등의 발광 소자에 비교해서 높은 경향이 있다. 그 때문에, 스위칭 소자로서 이용되는 화소의 트랜지스터(704)는, 기입 기간에 있어서, 그 소스 전극과 드레인 전극 사이의 전위차가 커진다. 그 결과, 오프 전류가 높아지고, 화소 전극(710)의 전위가 변동해서 표시에 흐트러짐이 생기기 쉽다. 그러나, 전술한 바와 같이, 본 발명의 실시형태에서는, 산화물 반도체막을 트랜지스터(704)의 활성층으로 이용하고 있다. 따라서, 트랜지스터(704)는, 게이트 전극과 소스 전극 사이의 전압이 거의 0의 상태에 있어서의 오프 전류, 즉 누설 전류가 결정성을 갖는 실리콘을 갖는 트랜지스터에 비교해서 현저하게 낮다. 그 때문에, 기입 기간에 있어서, 트랜지스터(704)의 소스 전극과 드레인 전극 사이의 전위차가 커져도, 오프 전류를 억제하고, 화소 전극(710)의 전위의 변동에 기인하는 표시의 흐트러짐이 발생하는 것을 방지할 수 있다.

[0280] 본 실시형태에서는, 본 발명의 실시형태의 반도체 표시 장치의 예로서 전자 페이퍼를 들었다. 본 발명의 실시형태의 반도체 표시 장치는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자가 각 화소에 구비되는 발광 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display), 및 반도체 소자를 포함하는 구동 회로를 갖는 그 밖의 반도체 표시 장치가 그 범주에 포함된다.

[0281] 예를 들면, 스크린 세이버와 같이, 반도체 표시 장치로의 전원 전압의 공급은 행해지고 있지만, 일시적으로 화상의 표시를 정지하는 경우에, 소비되는 대기 전력을 절감할 수 있다.

[0282] 본 실시형태는, 상기 실시형태와 조합해서 실시하는 것이 가능하다.

[0283] (실시형태 5)

[0284] 본 발명의 실시형태에 따른 액정 표시 장치의 구성에 대해서 설명한다.

[0285] 도 15는 본 발명의 액정 표시 장치의 구조를 도시하는 사시도의 일례이다. 도 15에 나타내는 액정 표시 장치는, 한쌍의 기판 간에 액정 소자가 형성된 액정 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 반사판(1606)과, 광원(1607)과, 회로 기판(1608)을 갖고 있다.

[0286] 액정 패널(1601)과, 제 1 확산판(1602)과, 프리즘 시트(1603)와, 제 2 확산판(1604)과, 도광판(1605)과, 반사판(1606)은, 순서대로 적층되어 있다. 광원(1607)은 도광판(1605)의 단부에 설치되어 있다. 도광판(1605) 내부에 확산된 광원(1607)으로부터의 광은, 제 1 확산판(1602), 프리즘 시트(1603) 및 제 2 확산판(1604)에 의해, 균일하게 액정 패널(1601)에 조사된다.

[0287] 본 실시형태에서는, 제 1 확산판(1602)과 제 2 확산판(1604)을 이용하고 있지만, 확산판의 수는 이에 한정되지 않는다. 확산판의 수는 1이어도, 3 이상이어도 좋다. 확산판이 도광판(1605)과 액정 패널(1601) 사이에 설치되어 있으면 수용가능하다. 따라서, 프리즘 시트(1603)보다도 액정 패널(1601)에 가까운 측에만 확산판이 설치되어 있어도 좋고, 또는 프리즘 시트(1603)보다도 도광판(1605)에 가까운 측에만 설치되어 있어도 좋다.

[0288] 또한, 프리즘 시트의 단면(1603)은 도 15에 나타낸 톱니형으로 한정되지 않는다. 프리즘 시트(1603)는 도광판(1605)으로부터의 광을 액정 패널(1601)측에 집광할 수 있는 형상을 갖고 있을 수도 있다.

[0289] 회로 기판(1608)에는, 액정 패널(1601)에 입력되는 각종 신호를 생성하는 회로, 이들 신호를 처리하는 회로 등이 설치되어 있다. 도 15에서는, 회로 기판(1608)과 액정 패널(1601)이, FPC(Flexible Printed Circuit)(1609)를 통해서 서로 접속되어 있다. 또한, 회로는, COG(Chip-ON-Glass)법을 이용해서 액정 패널(1601)에 접속되어 있어도 좋고, 또는 회로의 일부가 FPC(1609)에 COF(Chip-ON-Film)법을 이용해서 접속되어 있어도 좋다.

[0290] 도 15에서는, 광원(1607)의 구동을 제어하는 제어 회로가 회로 기판(1608)에 설치되어 있고, 해당 제어 회로와 광원(1607)이 FPC(1610)를 통해서 접속되어 있는 예를 나타내고 있다. 또한, 상기 제어 회로는 액정 패널(1601)에 형성될 수도 있다. 이 경우에는, 액정 패널(1601)과 광원(1607)이 FPC 등에 의해 서로 접속된다.

[0291] 또한, 도 15는, 액정 패널(1601)의 엣지에 광원(1607)을 배치하는 엣지 라이트형의 광원을 예시하고 있지만, 광원(1607)이 액정 패널(1601)의 바로 아래에 배치되는 직하형이 이용될 수도 있다. 본 발명의 실시형태에 따른 액정 표시 장치는 투과형 액정 표시 장치, 반투과형 액정 표시 장치 또는 반사형 액정 표시 장치일수도 있다.

[0292] 액정 표시 장치는, TN(Twisted Nematic)형 액정, VA(Vertical Alignment)형 액정, OCB(Optically Compensated Birefringence)형 액정, IPS(In-Plane Switching)형 액정 또는 MVA(Multi-domain Vertical Alignment)형 액정을 포함할 수 있다.

[0293] 또는, 배향막이 불필요한 블루 상(phase)을 나타내는 액정을 이용해도 된다. 블루 상은 액정 상의 하나이며, 콜레스테릭 액정을 승온해가면서, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루 상은 좁은 온도 범위에서만 발현되므로, 키랄제나 자외선 경화 수지가 첨가되어 온도 범위를 개선한다. 블루 상을 나타내는 액정과 키랄제나 자외선 경화 수지를 포함하는 액정 조성물은, 응답 속도가 10㎲sec~100㎲sec로 짧고, 광학적 등방성을 갖기 때문에 배향 처리가 불필요하고 시야각 의존성이 작기 때문에 바람직하다.

[0294] 본 실시형태는, 상기 임의의 실시형태와 조합해서 실시할 수 있다.

[0295] (실시예 1)

[0296] 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 소비 전력의 증가를 방지하고, 고기능이 제공될 수 있는 전자 기기를 제공하는 것이 가능하다. 특히, 전력의 공급을 항상 받는 것이 곤란한 휴대용 전자 기기의 경우, 본 발명의 실시형태에 따른 반도체 장치를 그 구성 요소로서 추가하여 연속 사용 시간이 길어지는 이익이 얻어진다.

[0297] 본 발명의 실시형태에 따른 반도체 장치는, 표시 장치, 랩톱, 또는 기록 매체를 구비한 화상 재생 장치(대표적으로는, DVD(Digital Versatile Disc)와 같이 기록 매체의 컨텐트를 재생하고, 그 재생된 화상을 표시하는 디스플레이를 갖는 장치)에 이용할 수 있다. 그 외에, 본 발명의 실시형태에 따른 반도체 장치를 이용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라, 고글형 디스플레이(헤드 마운트형 디스플레이), 내비게이션 시스템, 음향 재생 장치(예를 들면, 카 오디오 시스템 및 디지털 오디오 플레이어), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 인출기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 16a 내지 도 16f에 나타낸다.

[0298] 도 16a는 하우징(7001), 표시부(7002) 등을 갖는 전자 서적이다. 본 발명의 실시형태에 따른 반도체 표시 장치는 표시부(7002)에 이용될 수 있다. 표시부(7002)에 본 발명의 일 실시형태에 따른 반도체 표시 장치를 포함하는 것으로, 저소비 전력으로 높은 기능을 갖는 전자 서적을 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는 전자 서적의 구동을 제어하는 집적 회로에 이용될 수 있다. 전자 서적의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 전자 서

적을 제공할 수 있다. 또한, 가요성 기판을 이용하는 것으로, 반도체 장치, 반도체 표시 장치가 가요성을 가질 수 있다. 따라서, 가요성이 있고, 경량성이 있고 유용한 전자 서적을 제공할 수 있다.

[0299] 도 16b는 하우징(7011), 표시부(7012), 지지대(7013) 등을 갖는 표시 장치이다. 본 발명의 실시형태에 따른 반도체 표시 장치는 표시부(7012)에 이용될 수 있다. 표시부(7012)에 본 발명의 실시형태에 따른 반도체 표시 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 표시 장치를 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는 표시 장치의 구동하는 집적 회로에 이용될 수 있다. 표시 장치의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 표시 장치를 제공할 수 있다. 또한, 표시 장치는, 퍼스널 컴퓨터용, TV 방송 수신용, 광고 표시용 표시 장치와 같은 표시 정보용의 모든 표시 장치를 그 범주에 포함한다.

[0300] 도 16c는 하우징(7021), 표시부(7022) 등을 갖는 표시 장치이다. 본 발명의 실시형태에 따른 반도체 표시 장치는, 표시부(7022)에 이용될 수 있다. 표시부(7022)에 본 발명의 실시형태에 따른 반도체 표시 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 표시 장치를 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는, 표시 장치의 구동을 제어하는 집적 회로에 이용될 수 있다. 표시 장치의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 표시 장치를 제공할 수 있다. 또한, 가요성 기판을 이용하는 것으로, 반도체 장치 또는 반도체 표시 장치가 가요성을 가질 수 있다. 따라서, 가요성을 갖고, 경량성을 갖고 유용한 표시 장치를 제공할 수 있다. 따라서, 도 16c에 도시한 바와 같이, 직물 등에 고정시켜 표시 장치를 사용할 수 있고, 반도체 표시 장치의 응용 범위가 매우 넓어진다.

[0301] 도 16d는 하우징(7031), 하우징(7032), 표시부(7033), 표시부(7034), 마이크로폰(7035), 스피커(7036), 조작 키(7037), 스타일러스(7038) 등을 갖는 휴대형 게임기이다. 본 발명의 실시형태에 따른 반도체 표시 장치는, 표시부(7033), 표시부(7034)에 이용할 수 있다. 표시부(7033), 표시부(7034)에 본 발명의 실시형태에 따른 반도체 표시 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대형 게임기를 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는, 휴대형 게임기의 구동을 제어하는 집적 회로에 이용될 수 있다. 휴대형 게임기의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대형 게임기를 제공할 수 있다. 또한, 도 16d에 도시한 휴대형 게임기는, 2개의 표시부(7033, 7034)를 갖고 있다. 하지만, 휴대형 게임기가 갖는 표시부의 수는 이에 한정되지 않는다.

[0302] 도 16e는 하우징(7041), 표시부(7042), 음성 입력부(7043), 음성 출력부(7044), 조작 키(7045), 수광부(7046) 등을 갖는 휴대 전화를 나타낸다. 수광부(7046)에 있어서 수신한 광을 전기 신호로 변환함으로써, 외부의 화상이 로드될 수 있다. 본 발명의 실시형태에 따른 반도체 표시 장치는 표시부(7042)에 이용될 수 있다. 표시부(7042)에 본 발명의 실시형태에 따른 반도체 표시 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대 전화를 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는, 휴대 전화의 구동을 제어하는 집적 회로에 이용될 수 있다. 휴대 전화의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대 전화를 제공할 수 있다.

[0303] 도 16f는 하우징(7051), 표시부(7052), 조작 키(7053) 등을 갖는 휴대 정보 단말기이다. 도 16f에 도시하는 휴대 정보 단말기에서, 모뎀이 하우징(7051)에 내장될 수도 있다. 본 발명의 실시형태에 따른 반도체 표시 장치는 표시부(7052)에 이용될 수 있다. 표시부(7052)에 본 발명의 실시형태에 따른 반도체 표시 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대 정보 단말기를 제공할 수 있다. 또한, 본 발명의 실시형태에 따른 반도체 장치는, 휴대 정보 단말기의 구동을 제어하는 집적 회로에 이용될 수 있다. 휴대 정보 단말기의 구동을 제어하는 집적 회로에 본 발명의 실시형태에 따른 반도체 장치를 이용하는 것으로, 저소비 전력으로 높은 기능을 갖는 휴대 정보 단말기를 제공할 수 있다.

[0304] 본 실시형태는, 상기 실시형태 중 임의의 것과 조합해서 실시하는 것이 가능하다.

[0305] 본 출원은 그 전체 내용이 참조로서 본 명세서에 통합되는, 2009년 10월 30일자로 일본 특허청에 출원된 일본 특허 출원 제 2009-250665호에 기초한다.

부호의 설명

[0306] 100: 회로 101: 스위칭 소자

101a: 스위칭 소자 101b: 스위칭 소자

101c: 스위칭 소자

101d: 스위칭 소자

102: 제어 회로

110: 트랜지스터

111: 트랜지스터

112: 부하

120: 트랜지스터

121: 트랜지스터

122: 트랜지스터

123: 트랜지스터

124: 부하

130: 트랜지스터

131: 트랜지스터

132: 트랜지스터

133: 트랜지스터

134: 부하

140: NAND

141: NAND

142: NAND

143: NAND

200: 본드 기판

201: 절연막

202: 취화층

203: 베이스 기판

204: 반도체막

205: 반도체막

206: 반도체막

207: 반도체막

208: 게이트 절연막

209: 전극

210: 불순물 영역

211: 불순물 영역

212: 사이드월

213: 고농도 불순물 영역

214: 저농도 불순물 영역

215: 채널 형성 영역

216: 고농도 불순물 영역

217: 저농도 불순물 영역

218: 채널 형성 영역

220: 트랜지스터

221: 트랜지스터

230: 절연막

231: 절연막

232: 절연막

233: 배선

234: 게이트 전극

240: 게이트 절연막

241: 산화물 반도체막

242: 산화물 반도체막

245: 도전막

246: 도전막

247: 도전막

248: 도전막

249: 도전막

250: 산화물 반도체막

251: 절연막

260: 트랜지스터

310: 트랜지스터

311: 게이트 전극

312: 게이트 절연막

313: 산화물 반도체막

314: 채널 보호막

315: 도전막

316: 도전막

317: 절연막

320: 트랜지스터

321: 게이트 전극

322: 게이트 절연막

323: 도전막

324: 도전막

325: 산화물 반도체막

326: 절연막

330: 트랜지스터

331: 도전막

332: 도전막

333: 산화물 반도체막

334: 게이트 절연막

335: 게이트 전극

336: 절연막

337: 배선

338: 도전막

700: 화소부

701: 신호선 구동 회로

702: 주사선 구동 회로

703: 화소

704: 트랜지스터

705: 표시 소자

706: 저장 용량 소자

707: 신호선

708: 주사선

710: 화소 전극

711: 대향 전극

712: 마이크로 캡슐

713: 도전막

714: 수지

720: 트랜지스터

721: 트랜지스터

1601: 액정 패널

1602: 제 1 확산판

1603: 프리즘 시트

1604: 제 2 확산판

1605: 도광판

1606: 반사판

1607: 광원

1608: 회로 기판

1609: FPC

1610: FPC

7001: 하우징

7002: 표시부

7011: 하우징

7012: 표시부

7013: 지지대

7021: 하우징

7022: 표시부

7031: 하우징

7032: 하우징

7033: 표시부

7034: 표시부

7035: 마이크로폰

7036: 스피커

7037: 조작 키

7038: 스타일러스

7041: 하우징

7042: 표시부

7043: 음성 입력부

7044: 음성 출력부

7045: 조작 키

7046: 수광부

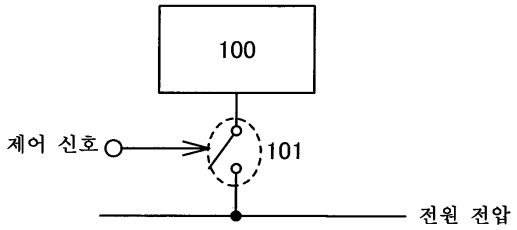
7051: 하우징

7052: 표시부

7053: 조작 키

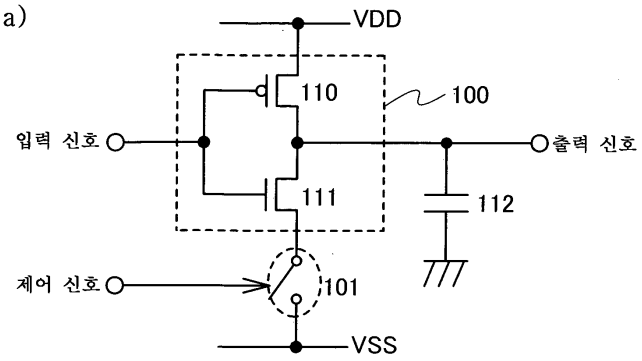
도면

도면1

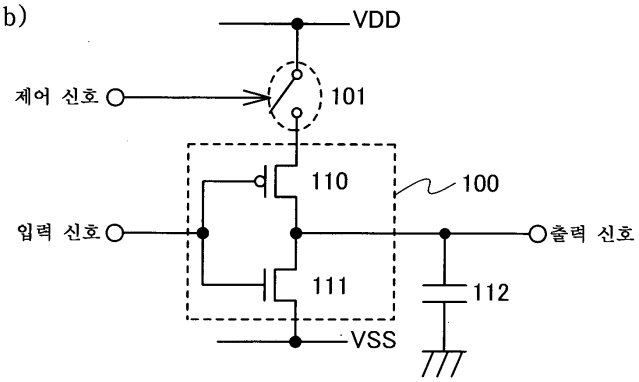


도면2

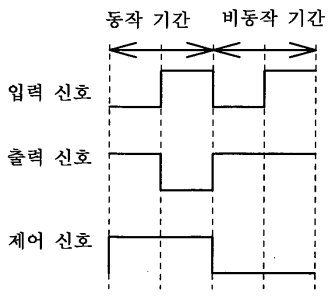
(a)



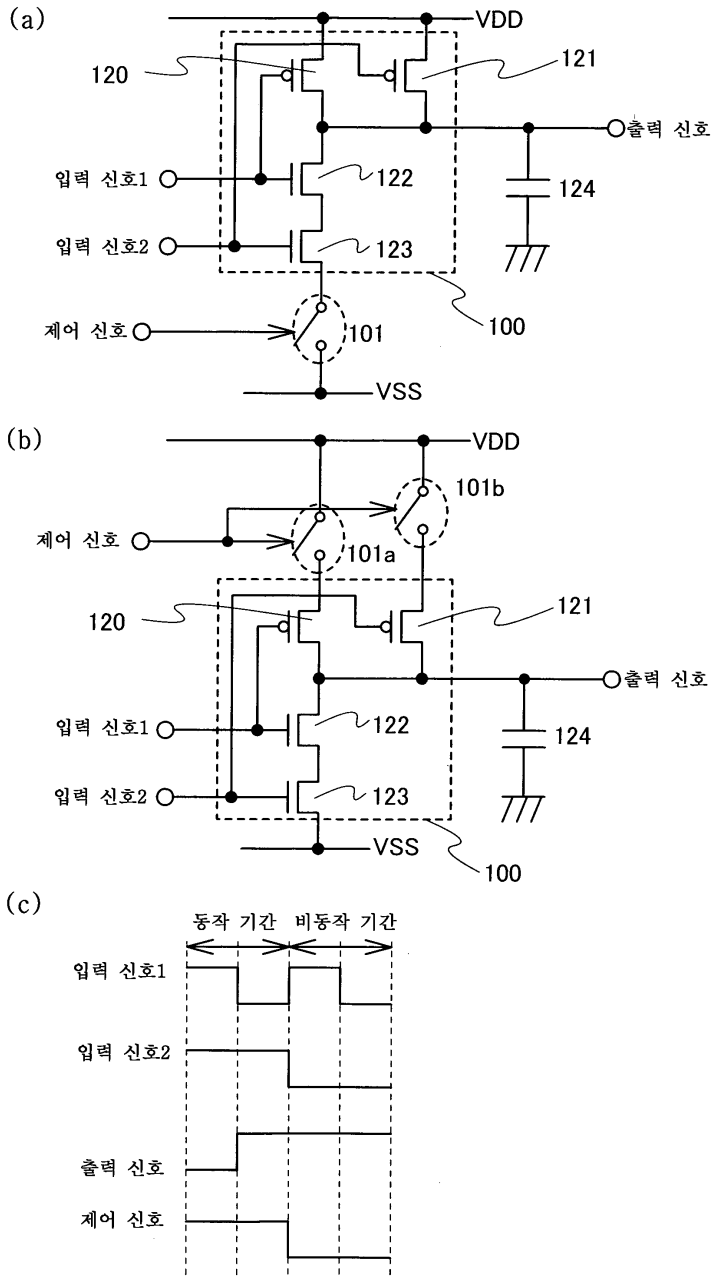
(b)



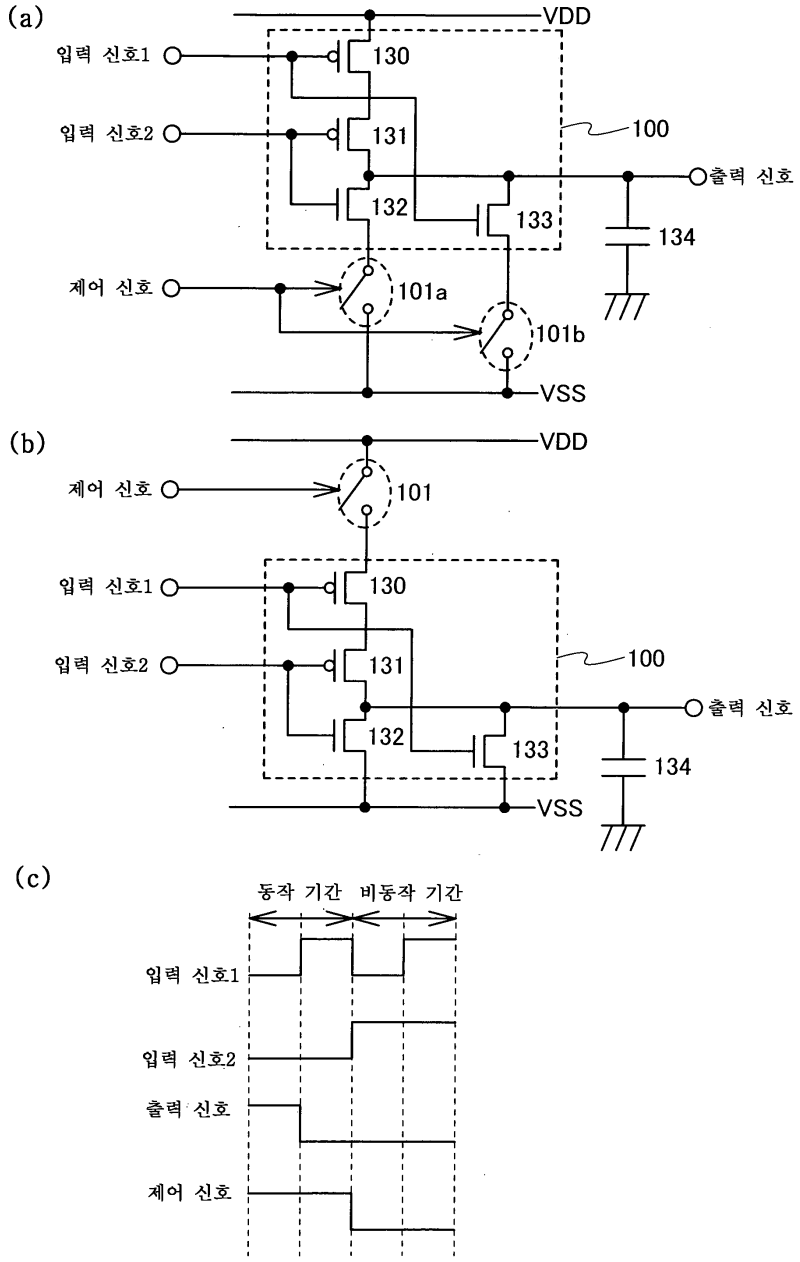
(c)



도면3

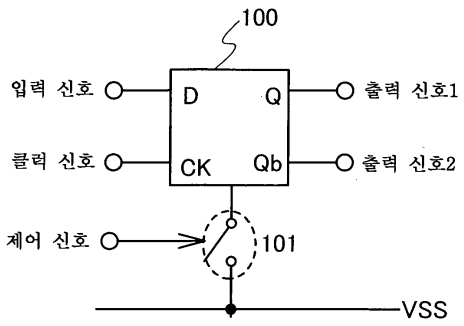

(a)
VDD
120
121
출력 신호
입력 신호1
122
124
입력 신호2
123
제어 신호
101
100
VSS
(b)
VDD
101b
제어 신호
101a
120
121
출력 신호
입력 신호1
122
124
입력 신호2
123
VSS
100
(c)
동작 기간
비동작 기간
입력 신호1
입력 신호2
출력 신호
제어 신호

도면4

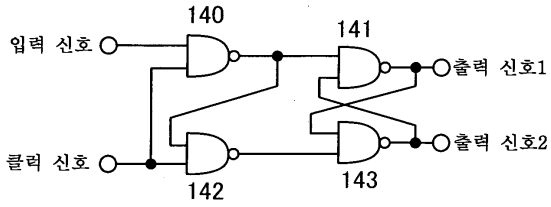

(a)
VDD
입력 신호1
130
입력 신호2
131
100
출력 신호
132
133
134
제어 신호
101a
101b
VSS
(b)
VDD
제어 신호
101
입력 신호1
130
입력 신호2
131
100
출력 신호
132
133
134
VSS
(c)
동작 기간
비동작 기간
입력 신호1
입력 신호2
출력 신호
제어 신호

도면5

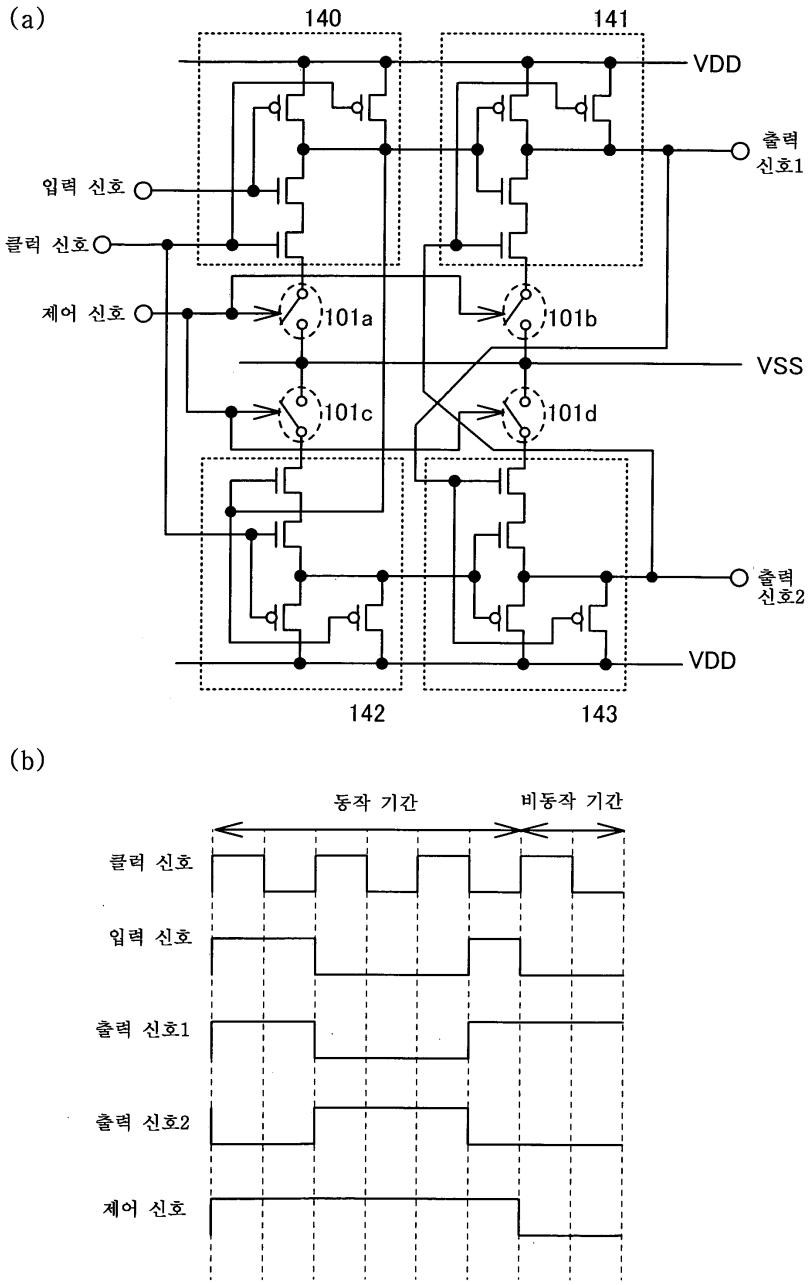
(a)


100
입력 신호
D
Q
출력 신호1
클럭 신호
CK
Qb
출력 신호2
제어 신호
101
VSS

(b)

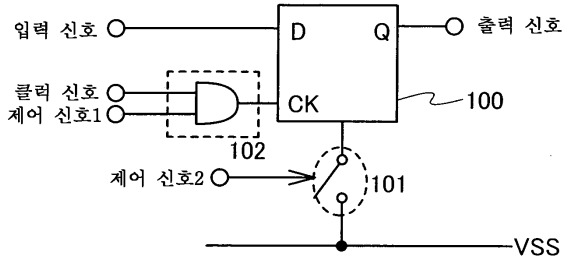

140
141
입력 신호
출력 신호1
출력 신호2
클럭 신호
142
143

도면6

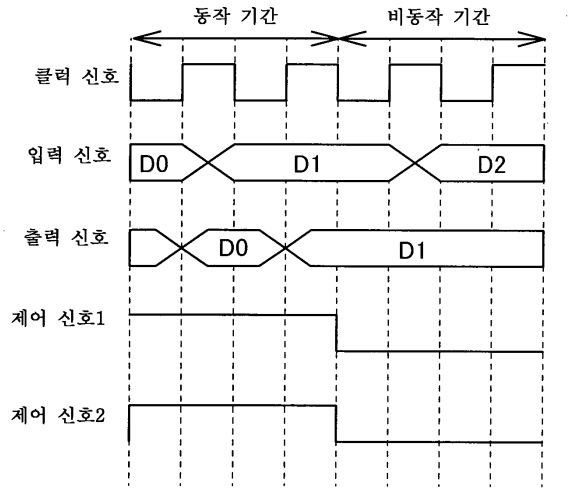

(a)
140
141
VDD
출력 신호1
입력 신호
클럭 신호
제어 신호
101a
101b
VSS
101c
101d
출력 신호2
VDD
142
143
(b)
동작 기간
비동작 기간
클럭 신호
입력 신호
출력 신호1
출력 신호2
제어 신호

도면7

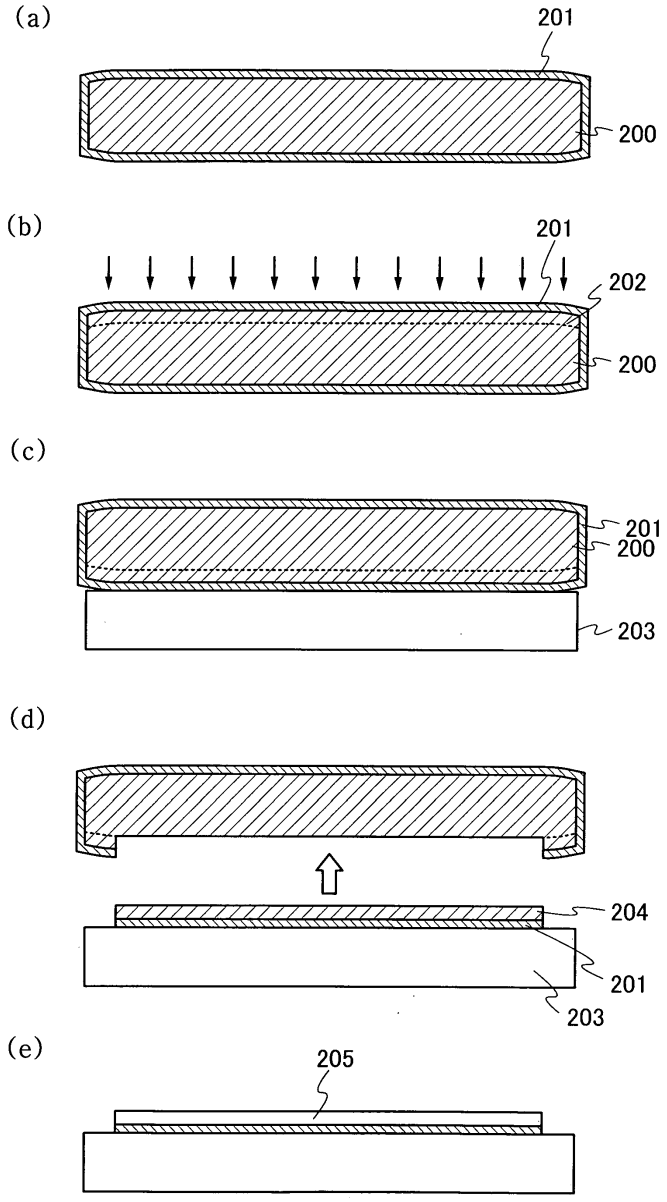
(a)


입력 신호
D
Q
출력 신호
클럭 신호
제어 신호1
CK
100
102
제어 신호2
101
VSS

(b)

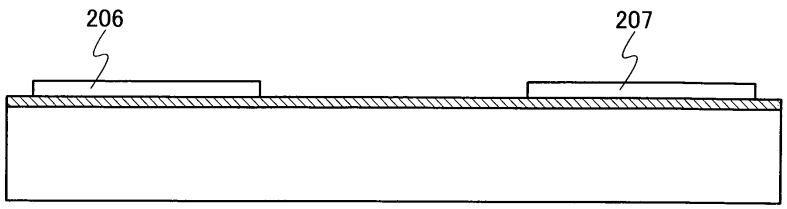

동작 기간
비동작 기간
클럭 신호
입력 신호
D0
D1
D2
출력 신호
D0
D1
제어 신호1
제어 신호2

도면8

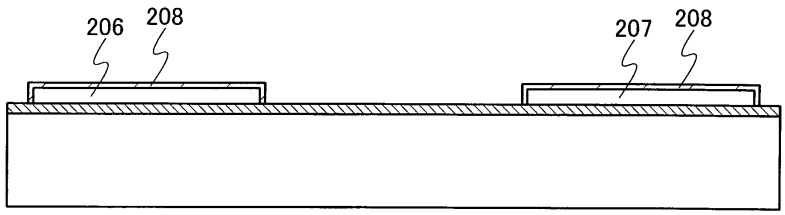


도면9

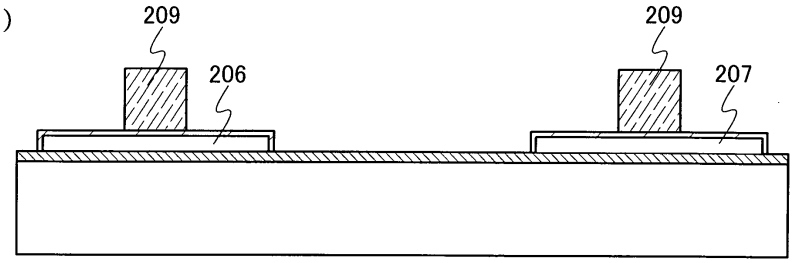
(a)



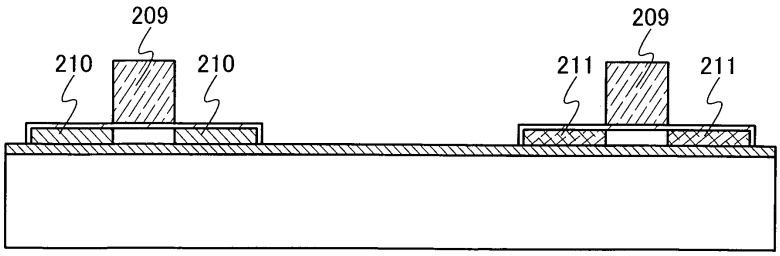
(b)



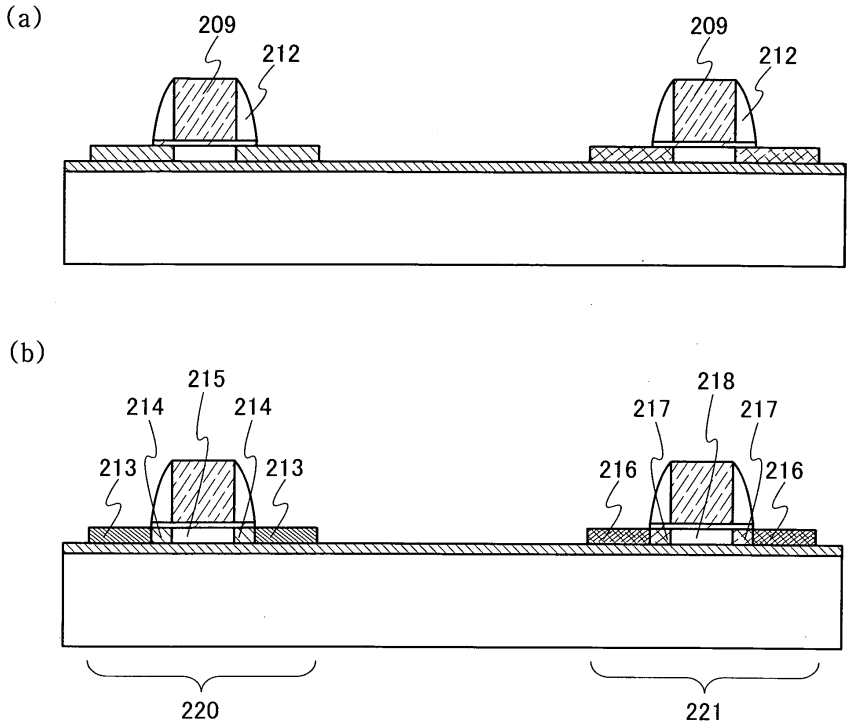
(c)



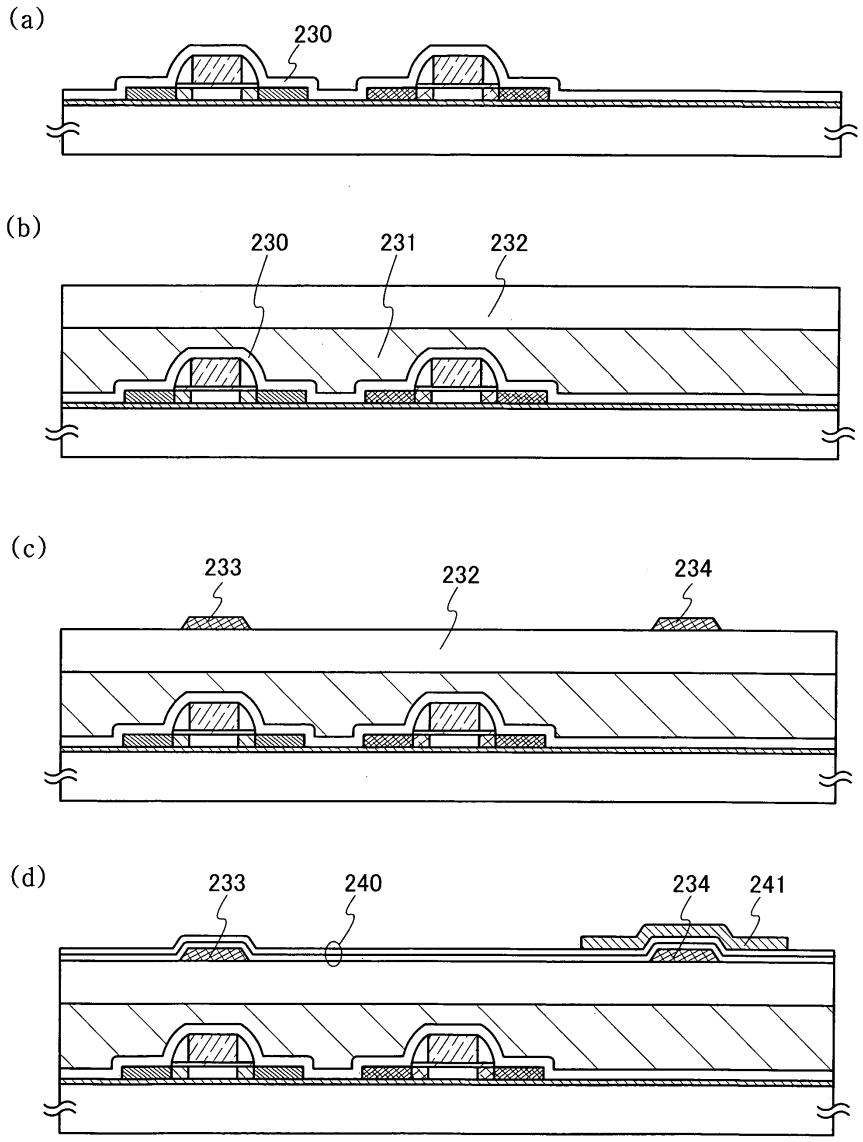
(d)



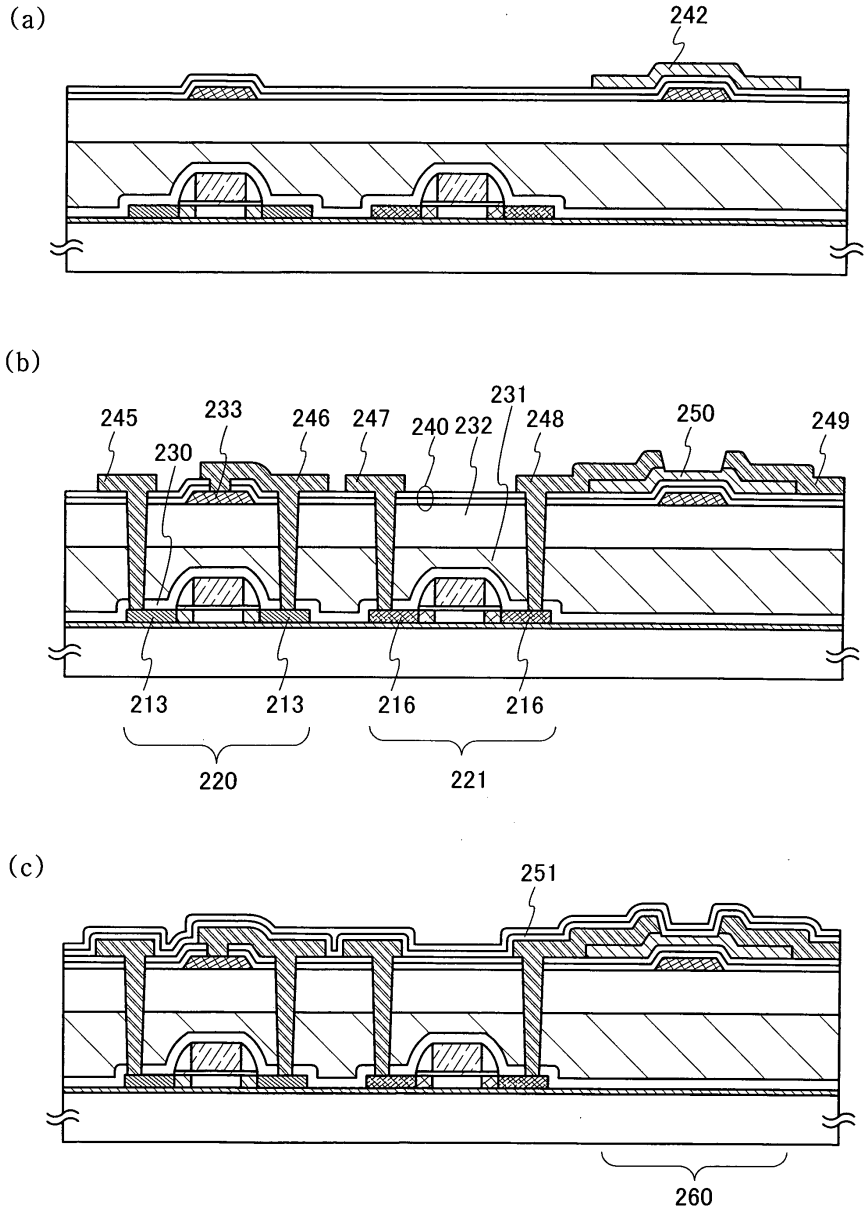
도면10


(a)
209
212
209
212
(b)
215
214
214
213
213
218
217
217
216
216
220
221

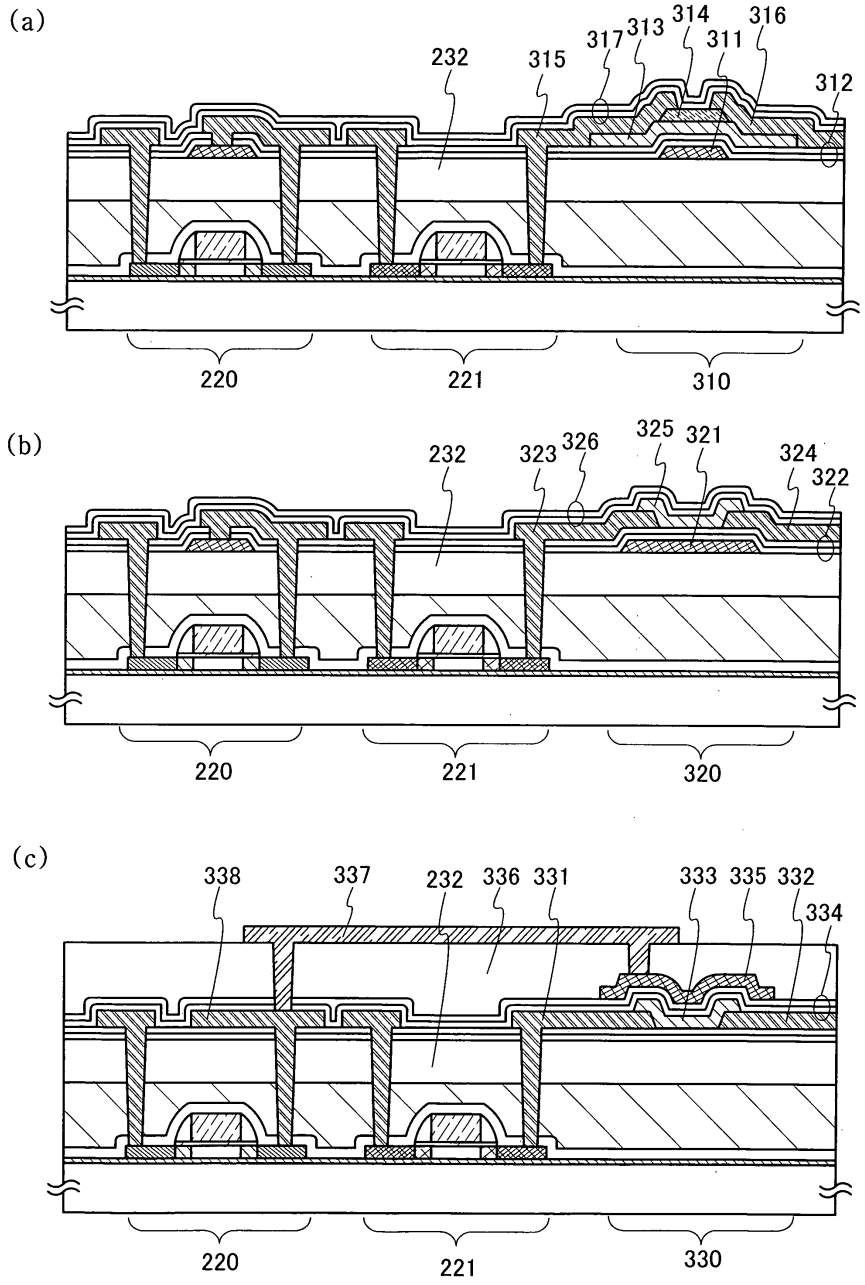
도면11



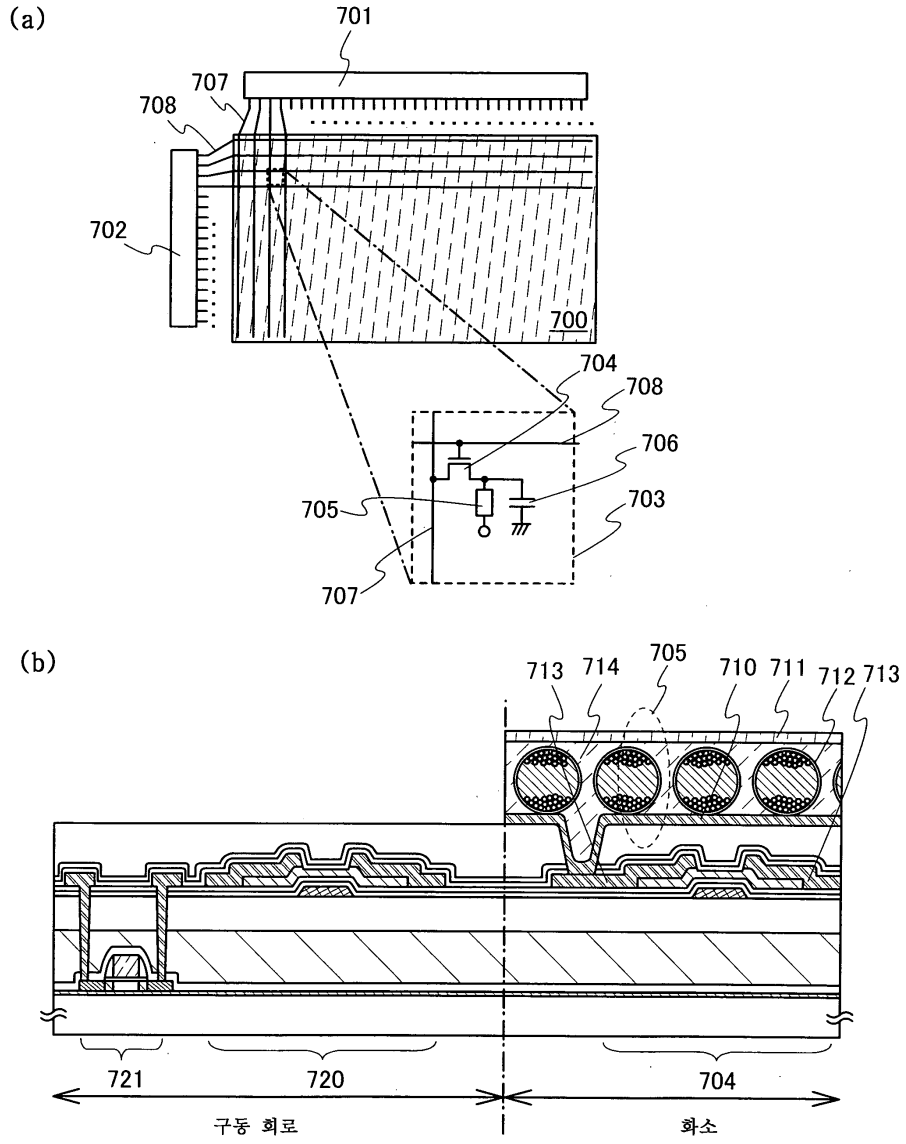
도면12


(a)
242
(b)
245
233
246
247
240
232
231
248
250
249
230
213
213
216
216
220
221
(c)
251
260

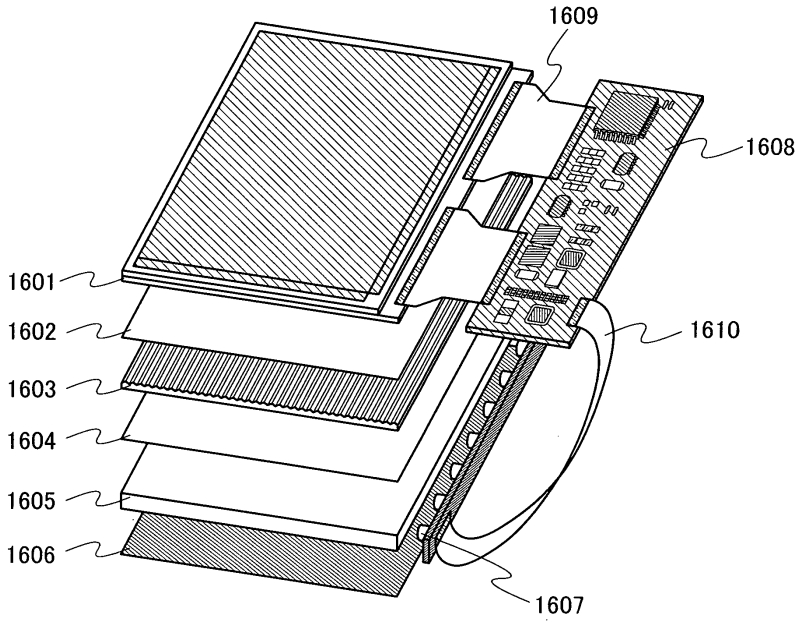
도면13


(a)
232
315
317
313
314
311
316
312
220
221
310
(b)
232
323
326
325
321
324
322
220
221
320
(c)
338
337
232
336
331
333
335
332
334
220
221
330

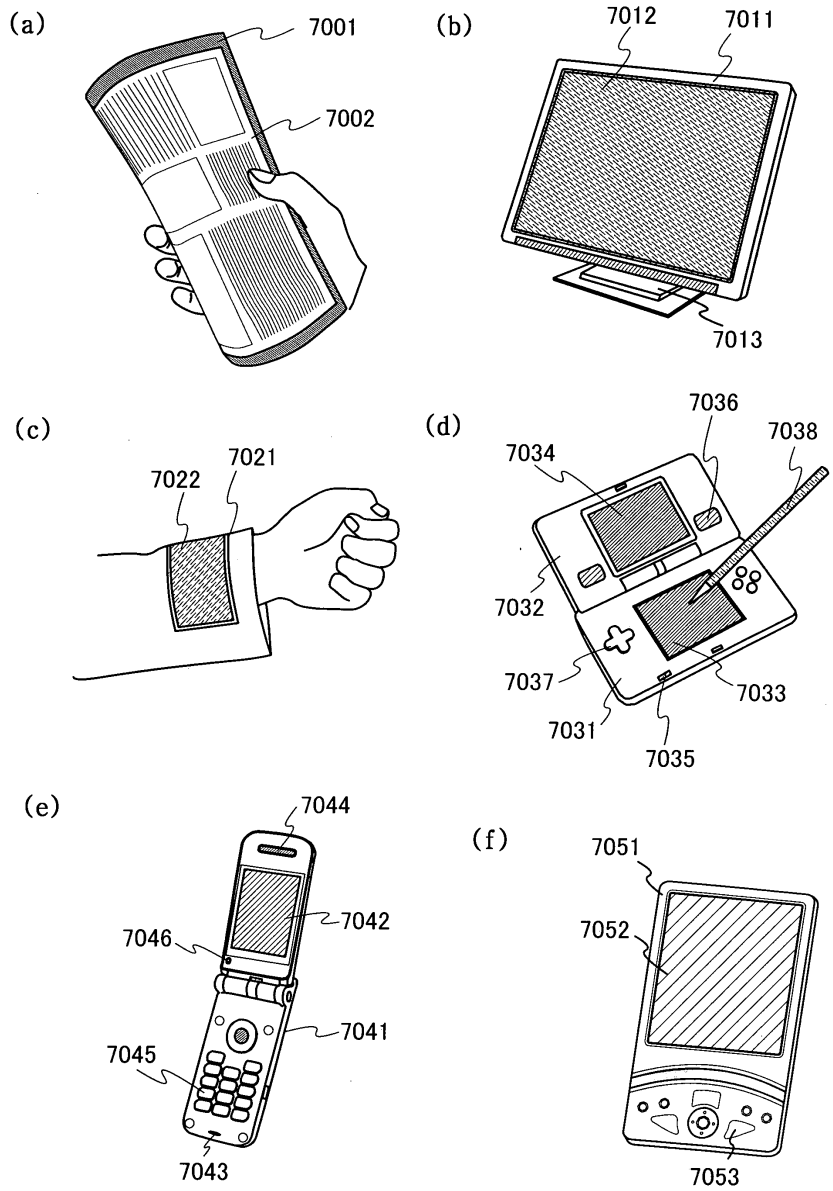
도면14


(a)
701
707
708
702
700
704
708
706
705
703
707
(b)
713
714
705
710
711
712
713
721
720
704
구동 회로
화소

도면15

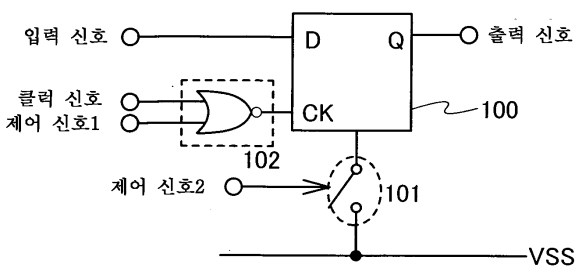


도면16

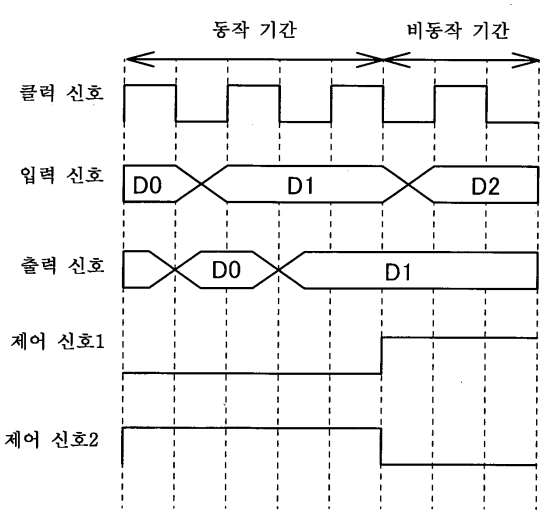

(a)
7001
7002
(b)
7012
7011
7013
(c)
7021
7022
(d)
7036
7038
7034
7032
7037
7033
7031
7035
(e)
7044
7042
7046
7041
7045
7043
(f)
7051
7052
7053

도면17

(a)


입력 신호
D
Q
출력 신호
클럭 신호
제어 신호1
CK
100
102
제어 신호2
101
VSS

(b)


동작 기간
비동작 기간
클럭 신호
입력 신호
D0
D1
D2
출력 신호
D0
D1
제어 신호1
제어 신호2