

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-73773

(P2010-73773A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/76 (2006.01)	H O 1 L 21/76 L	4 K O 3 O
H O 1 L 27/08 (2006.01)	H O 1 L 27/08 3 3 1 A	5 F O 3 2
H O 1 L 21/31 (2006.01)	H O 1 L 21/31 C	5 F O 4 5
H O 1 L 21/316 (2006.01)	H O 1 L 21/316 X	5 F O 4 8
C 2 3 C 16/42 (2006.01)	H O 1 L 21/316 M	5 F O 5 8
審査請求 未請求 請求項の数 20 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2008-237544 (P2008-237544)
 (22) 出願日 平成20年9月17日 (2008.9.17)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 堀田 勝彦
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 中村 貴弘
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 大場 直也
 兵庫県伊丹市瑞原4丁目1番地 株式会
 社ルネサスセミコンダクタエンジニアリング
 内

最終頁に続く

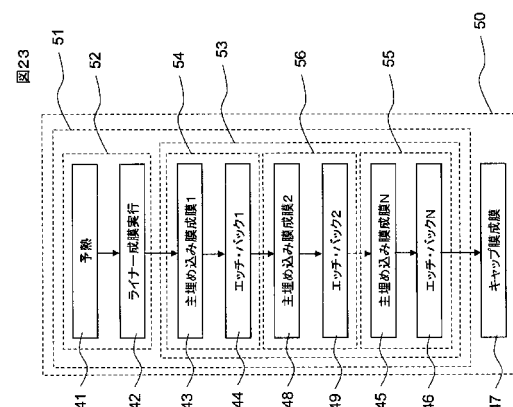
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 S T I における酸化シリコン部材によるトレンチ埋め込み工程においては、一般に、HDP-CVDにより、成膜とスパッタ・エッチを同時に進行させることで、酸化シリコン系の埋め込み絶縁膜の平坦化を計っている。しかしながら、65nmプロセス・ノード等の微細製品では、近接したトレンチを均一の埋め込むことが、ますます困難となっている。従って、近接したトレンチ配列部分をより均一に埋め込むことができる技術が待望されている。

【解決手段】 本願発明は、近接したトレンチ配列部分をHDP-CVDによる酸化シリコン系の埋め込み絶縁膜によって埋め込む際に、成膜ステップとエッチング・ガスを含むガス雰囲気中でのエッチングを交互に繰り返すことによって、平坦な埋め込み特性を得ることができる。

【選択図】 図23



【特許請求の範囲】

【請求項 1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとして、前記ウエハの前記第 1 の主面側に S T I 用の素子分離溝を形成する工程；

(b) 前記工程 (a) の後、H D P－C V D 装置の処理チャンバ内の気相成膜雰囲気中において、第 1 の H D P－C V D 処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第 1 の絶縁膜を形成する工程；

(c) 前記工程 (b) の後、前記 H D P－C V D 装置の前記処理チャンバ内のエッチング・ガスを含む気相エッチング雰囲気中で、前記第 1 の絶縁膜に対してプラズマ・エッチング処理を実行する工程；

(d) 前記工程 (c) の後、前記膜パターンを覆う前記第 1 の絶縁膜を C M P 処理により、除去する工程。

【請求項 2】

前記 1 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程 (c) と (d) の間において、前記工程 (b) から (c) を、1 回以上の所定の繰り返し回数だけ繰り返す工程。

【請求項 3】

前記 1 項の半導体集積回路装置の製造方法において、前記 C M P 処理は、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

【請求項 4】

前記 1 項の半導体集積回路装置の製造方法において、前記 C M P 処理は、界面活性剤を含み、且つ、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

【請求項 5】

前記 2 項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1 回以上、20 回未満である。

【請求項 6】

前記 1 項の半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素、炭素、または水素の少なくとも一つを有する。

【請求項 7】

前記 1 項の半導体集積回路装置の製造方法において、前記 H D P－C V D 装置は I C P 型装置である。

【請求項 8】

前記 1 項の半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素を有する。

【請求項 9】

前記 1 項の半導体集積回路装置の製造方法において、前記エッチング・ガスは、N F₃ である。

【請求項 10】

前記 1 項の半導体集積回路装置の製造方法において、前記気相エッチング雰囲気は、不活性ガスを含む。

【請求項 11】

前記 1 項の半導体集積回路装置の製造方法において、前記工程 (d) は、前記膜パターンを前記 C M P 処理のストッパとして、実行される。

【請求項 12】

前記 1 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(f) 前記工程 (a) と (b) の間に、前記 H D P－C V D 装置の前記処理チャンバ内において、前記第 1 の H D P－C V D 処理よりもスパッタ/成膜比が大きい第 2 の H D P－C V D 処理により、前記素子分離溝の内面および前記膜パターンを覆うように、酸化シリコン膜系の第 2 の絶縁膜を形成する工程。

10

20

30

40

50

【請求項 13】

前記 12 項の半導体集積回路装置の製造方法において、前記第 2 の絶縁膜の形成開始時の前記ウェハの温度は、摂氏 500 度以上、摂氏 700 度以下である。

【請求項 14】

前記 12 項の半導体集積回路装置の製造方法において、前記第 2 の HDP-CVD 処理のスパッタ/成膜比は、前記第 1 の HDP-CVD 処理よりもスパッタ/成膜比よりも 2 倍以上大きい。

【請求項 15】

以下の工程を含む半導体集積回路装置の製造方法：

(a) ウェハの第 1 の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとして、前記ウェハの前記第 1 の主面側に STI 用の素子分離溝を形成する工程； 10

(b) 前記工程 (a) の後、HDP-CVD 装置の処理チャンバ内の気相成膜雰囲気中において、第 1 の HDP-CVD 処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第 1 の絶縁膜を形成する工程；

(c) 前記工程 (b) の後、前記膜パターンを覆う前記第 1 の絶縁膜を CMP 処理により、除去する工程；

(d) 前記工程 (a) と (b) の間に、前記 HDP-CVD 装置の前記処理チャンバ内において、前記第 1 の HDP-CVD 処理よりもスパッタ/成膜比が大きい第 2 の HDP-CVD 処理により、前記素子分離溝の内面および前記膜パターンを覆うように、酸化シリコン膜系の第 2 の絶縁膜を形成する工程。 20

【請求項 16】

前記 15 項の半導体集積回路装置の製造方法において、前記第 2 の絶縁膜の形成開始時の前記ウェハの温度は、摂氏 500 度以上、摂氏 700 度以下である。

【請求項 17】

前記 15 項の半導体集積回路装置の製造方法において、前記第 2 の HDP-CVD 処理のスパッタ/成膜比は、前記第 1 の HDP-CVD 処理よりもスパッタ/成膜比よりも 2 倍以上大きい。

【請求項 18】

以下の工程を含む半導体集積回路装置の製造方法：

(a) ウェハの第 1 の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとして、前記ウェハの前記第 1 の主面側に STI 用の素子分離溝を形成する工程； 30

(b) 前記工程 (a) の後、HDP-CVD 装置の処理チャンバ内の気相成膜雰囲気中において、第 1 の HDP-CVD 処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第 1 の絶縁膜を形成する工程；

(c) 前記工程 (b) の後、前記 HDP-CVD 装置の前記処理チャンバ内の気相エッチング雰囲気中で、前記第 1 の絶縁膜に対してエッチングを施す工程；

(d) 前記工程 (c) の後、前記膜パターンを覆う前記第 1 の絶縁膜を CMP 処理により、除去する工程；

(e) 前記工程 (c) と (d) の間において、前記工程 (b) から (c) を、1 回以上の所定の繰り返し回数だけ繰り返す工程。 40

【請求項 19】

前記 18 項の半導体集積回路装置の製造方法において、前記 CMP 処理は、界面活性剤を含み、且つ、セリア砥粒を主要な砥粒成分として含む研磨スラリーを用いて実行される。

【請求項 20】

前記 18 項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1 回以上、20 回未満である。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置（または半導体装置）の製造方法におけるCVD（Chemical Vapor Deposition）絶縁膜による埋め込み技術、特にSTI（Shallow Trench Isolation）におけるトレンチ埋め込み技術に適用して有効な技術に関する。

【背景技術】

【0002】

日本特開平3-139859号公報（特許文献1）には、STIにおける酸化シリコン部材によるトレンチ埋め込みに関して、同一のECR（Electronic Cyclotron Resonance）型のHDP-CVD（High Density Plasma-Chemical Vapor Deposition）室内において、成膜後に同一ガス種で流量比を変えることによって、スパッタ・エッチを施す技術が開示されている。

10

【0003】

日本特開2004-193585号公報（特許文献2）または米国特許第7037803号公報（特許文献3）には、STIにおける酸化シリコン部材によるトレンチ埋め込みに関して、ICP（Inductively Coupled Plasma）型のHDP-CVD室内において、主要な成膜（主埋め込み膜）の前に、高周波側のバイアスを印加せずにHDP-CVDを実行することによって、比較的薄いライナー膜を形成する技術が開示されている。

【0004】

20

日本特開2006-190784号公報（特許文献4）または米国特許公開2006-0148205号公報（特許文献5）には、STIにおける酸化シリコン部材によるトレンチ埋め込みおよびその後の平坦化に関して、スパッタ・エッチング／堆積比が0.12から0.22の範囲でHDP-CVDによる成膜を実施することで、HDP膜の突起を低くし、その後のCMP（Chemical Mechanical Polishing）では、添加剤入りのセリア・スラリーを使用する技術が開示されている。

【0005】

【特許文献1】特開3-139859号公報

【特許文献2】特開2004-193585号公報

【特許文献3】米国特許第7037803号公報

30

【特許文献4】特開2006-190784号公報

【特許文献5】米国特許公開2006-0148205号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

STIにおける酸化シリコン部材によるトレンチ埋め込み工程においては、一般に、HDP-CVDにより、成膜とスパッタ・エッチを同時的に進行させることで、酸化シリコン系の埋め込み絶縁膜の平坦化を計っている。しかしながら、65nmプロセス・ノード等の微細製品では、近接したトレンチを均一の埋め込むことが、ますます困難となっている。従って、近接したトレンチ配列部分をより均一に埋め込むことができる技術が待望されている。

40

【0007】

本願発明は、これらの課題を解決するためになされたものである。

【0008】

本発明の目的は、信頼性の高い半導体集積回路装置の製造プロセスを提供することにある。

【0009】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【0010】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】

すなわち、本願発明は近接したトレンチ配列部分をHDP-CVDによる酸化シリコン系の埋め込み絶縁膜によって埋め込む際に、成膜ステップとエッチング・ガスを含むガス雰囲気中でのエッチングを交互に繰り返すものである。

【発明の効果】

【0012】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

10

【0013】

すなわち、近接したトレンチ配列部分をHDP-CVDによる酸化シリコン系の埋め込み絶縁膜によって埋め込む際に、成膜ステップとエッチング・ガスを含むガス雰囲気中でのエッチングを交互に繰り返すことによって、平坦な埋め込み特性を得ることができる。

【発明を実施するための最良の形態】

【0014】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【0015】

20

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第1の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとして、前記ウエハの前記第1の主面側にSTI用の素子分離溝を形成する工程；

(b) 前記工程(a)の後、HDP-CVD装置の処理チャンバ内の気相成膜雰囲気中において、第1のHDP-CVD処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第1の絶縁膜を形成する工程；

(c) 前記工程(b)の後、前記HDP-CVD装置の前記処理チャンバ内のエッチング・ガスを含む気相エッチング雰囲気中で、前記第1の絶縁膜に対してプラズマ・エッチング処理を実行する工程；

(d) 前記工程(c)の後、前記膜パターンを覆う前記第1の絶縁膜をCMP処理により、除去する工程。

30

【0016】

2. 前記1項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程(c)と(d)の間において、前記工程(b)から(c)を、1回以上の所定の繰り返し回数だけ繰り返す工程。

【0017】

3. 前記1または2項の半導体集積回路装置の製造方法において、前記CMP処理は、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

【0018】

4. 前記1または2項の半導体集積回路装置の製造方法において、前記CMP処理は、界面活性剤を含み、且つ、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

40

【0019】

5. 前記2項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1回以上、20回未満である。

【0020】

6. 前記1から5項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素、炭素、または水素の少なくとも一つを有する。

【0021】

50

7. 前記1から6項のいずれか一つの半導体集積回路装置の製造方法において、前記HDP-CVD装置はICP型装置である。

【0022】

8. 前記1から5および7項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素を有する。

【0023】

9. 前記1から8項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、 NF_3 である。

【0024】

10. 前記1から9項のいずれか一つの半導体集積回路装置の製造方法において、前記気相エッチング雰囲気は、不活性ガスを含む。 10

【0025】

11. 前記1から10項のいずれか一つの半導体集積回路装置の製造方法において、前記工程(d)は、前記膜パターンを前記CMP処理のストップとして、実行される。

【0026】

12. 前記1項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：
(f) 前記工程(a)と(b)の間に、前記HDP-CVD装置の前記処理チャンバ内において、前記第1のHDP-CVD処理よりもスパッタ/成膜比が大きい第2のHDP-CVD処理により、前記素子分離溝の内面および前記膜パターンを覆うように、酸化シリコン膜系の第2の絶縁膜を形成する工程。 20

【0027】

13. 前記12項の半導体集積回路装置の製造方法において、前記第2の絶縁膜の形成開始時の前記ウェハの温度は、摂氏500度以上、摂氏700度以下である。

【0028】

14. 前記12または13項の半導体集積回路装置の製造方法において、前記第2のHDP-CVD処理のスパッタ/成膜比は、前記第1のHDP-CVD処理よりもスパッタ/成膜比よりも2倍以上大きい。

【0029】

15. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウェハの第1の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとして、前記ウェハの前記第1の主面側にSTI用の素子分離溝を形成する工程； 30

(b) 前記工程(a)の後、HDP-CVD装置の処理チャンバ内の気相成膜雰囲気中において、第1のHDP-CVD処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第1の絶縁膜を形成する工程；

(c) 前記工程(b)の後、前記膜パターンを覆う前記第1の絶縁膜をCMP処理により、除去する工程；

(d) 前記工程(a)と(b)の間に、前記HDP-CVD装置の前記処理チャンバ内において、前記第1のHDP-CVD処理よりもスパッタ/成膜比が大きい第2のHDP-CVD処理により、前記素子分離溝の内面および前記膜パターンを覆うように、酸化シリコン膜系の第2の絶縁膜を形成する工程。 40

【0030】

16. 前記15項の半導体集積回路装置の製造方法において、前記第2の絶縁膜の形成開始時の前記ウェハの温度は、摂氏500度以上、摂氏700度以下である。

【0031】

17. 前記15または16項の半導体集積回路装置の製造方法において、前記第2のHDP-CVD処理のスパッタ/成膜比は、前記第1のHDP-CVD処理よりもスパッタ/成膜比よりも2倍以上大きい。

【0032】

18. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウェハの第1の主面上の窒化シリコンを主要な成分とする膜パターンをマスクとし 50

て、前記ウエハの前記第 1 の主面側に S T I 用の素子分離溝を形成する工程；

(b) 前記工程 (a) の後、H D P - C V D 装置の処理チャンバ内の気相成膜雰囲気中において、第 1 の H D P - C V D 処理により、前記素子分離溝を満たし、前記膜パターンを覆うように、酸化シリコン膜系の第 1 の絶縁膜を形成する工程；

(c) 前記工程 (b) の後、前記 H D P - C V D 装置の前記処理チャンバ内の気相エッチング雰囲気中で、前記第 1 の絶縁膜に対してエッチングを施す工程；

(d) 前記工程 (c) の後、前記膜パターンを覆う前記第 1 の絶縁膜を C M P 処理により、除去する工程；

(e) 前記工程 (c) と (d) の間において、前記工程 (b) から (c) を、1 回以上の所定の繰り返し回数だけ繰り返す工程。

10

【0033】

19. 前記 18 項の半導体集積回路装置の製造方法において、前記 C M P 処理は、界面活性剤を含み、且つ、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

【0034】

20. 前記 18 または 19 項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1 回以上、20 回未満である。

【0035】

21. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に凸部および凹部を形成する工程；

20

(b) 前記工程 (a) の後、H D P - C V D 装置の処理チャンバ内の気相成膜雰囲気中において、第 1 の H D P - C V D 処理により、前記凹部を満たし、前記凸部を覆うように、第 1 の絶縁膜を形成する工程；

(c) 前記工程 (b) の後、前記 H D P - C V D 装置の前記処理チャンバ内のエッチング・ガスを含む気相エッチング雰囲気中で、前記第 1 の絶縁膜に対してプラズマ・エッチング処理を実行する工程；

(d) 前記工程 (c) の後、前記凸部を覆う前記第 1 の絶縁膜を C M P 処理により、除去する工程。

【0036】

22. 前記 21 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

30

(e) 前記工程 (c) と (d) の間において、前記工程 (b) から (c) を、1 回以上の所定の繰り返し回数だけ繰り返す工程。

【0037】

23. 前記 21 または 22 項の半導体集積回路装置の製造方法において、前記 C M P 処理は、セリア砥粒を主要な砥粒成分として含む研磨スラリを用いて実行される。

【0038】

24. 前記 22 項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1 回以上、20 回未満である。

【0039】

40

25. 前記 21 から 24 項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素、炭素、または水素の少なくとも一つを有する。

【0040】

26. 前記 21 から 25 項のいずれか一つの半導体集積回路装置の製造方法において、前記 H D P - C V D 装置は I C P 型装置である。

【0041】

27. 前記 21 から 24 および 26 項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素を有する。

【0042】

50

28. 前記21から7項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、 NF_3 である。

【0043】

29. 前記21から28項のいずれか一つの半導体集積回路装置の製造方法において、前記気相エッチング雰囲気は、不活性ガスを含む。

【0044】

30. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第1の主面上に凸部および凹部を形成する工程；

(b) 前記工程(a)の後、HDP-CVD装置の処理チャンバ内の気相成膜雰囲気中において、第1のHDP-CVD処理により、前記凹部を満たし、前記凸部を覆うように、第1の絶縁膜を形成する工程；

(c) 前記工程(b)の後、前記第1の絶縁膜をエッチング・ガスを含む気相エッチング雰囲気中で、プラズマ・エッチング処理を実行する工程。

【0045】

31. 前記30項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程(c)の後、前記工程(b)から(c)を、1回以上の所定の繰り返し回数だけ繰り返す工程。

【0046】

32. 前記31項の半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1回以上、20回未満である。

【0047】

33. 前記30または31項の半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素、炭素、または水素の少なくとも一つを有する。

【0048】

34. 前記30から33項のいずれか一つの半導体集積回路装置の製造方法において、前記HDP-CVD装置はICP型装置である。

【0049】

35. 前記30から34項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、弗素原子を有するとともに、窒素、炭素、または水素の少なくとも一つを有する。

【0050】

36. 前記30から35項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチング・ガスは、 NF_3 である。

【0051】

37. 前記30から36項のいずれか一つの半導体集積回路装置の製造方法において、前記気相エッチング雰囲気は、不活性ガスを含む。

【0052】

〔本願における記載形式・基本的用語・用法の説明〕

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【0053】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえ

10

20

30

40

50

ば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることは言うまでもない。同様に、「酸化シリコン膜」と言っても、比較的純粋な非ドーパド酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxycarbide)またはカーボンドーパド酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Borophosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノ・クラスタリング・シリカ(Nano-Clustering Silica: NSC)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜)、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことは言うまでもない。

【0054】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0055】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0056】

5. 「ウエハ」または「半導体基体」というときは、通常は半導体集積回路装置(半導体装置、電子装置も同じ)をその上に形成する単結晶シリコン・ウエハを指すが、エピタキシャル・ウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。「ウエハの上面又はデバイス面」というときは、その空間的上下に関係なく、主にデバイスを作製する面を言う。また、状況により、ウエハのデバイス面側のシリコン表面を指す場合と、デバイス面上の単層又は多層膜を含むパターン面の表面を指す場合がある。

【0057】

6. 「MISFET(Metal Insulator Semiconductor Field Effect Transistor)」は、MOSFET(Metal Insulator Semiconductor Field Effect Transistor)を含み、ゲート絶縁膜として、酸化物以外を用いたものも含む広い概念である。

【0058】

7. 「プラズマ・エッチング」は、プラズマを利用したドライ・エッチングであり、エッチング・ガスを含む気相エッチング雰囲気を用いるものを反応性イオン・エッチングと呼び、不活性ガス雰囲気を用いるものをスパッタ・エッチングと呼ぶ。「エッチング・ガス」は、たとえば酸化シリコン系がエッチング対象の場合は、弗素を含むガス状分子で弗素の窒化物、フルオロ・カーボン(ハイドロ・フルオロ・カーボン)等が例示できる。

【0059】

8. 「HDP-CVD」は、平行平板型プラズマ炉におけるプラズマよりも高密度のプラズマを発生可能なプラズマ炉を用いるCVD手法である。これに用いる「HDP-CVD装置」には、ICP型炉、ECR型炉、ヘリコン波型炉等がある。高周波を用いて、被処理基板にバイアスをかけ、成膜とスパッタ・エッチングが同時進行するので「バイアスCVD」とも呼ばれる。雰囲気によっては、反応性イオン・エッチングやスパッタ・エッチング等のドライ・エッチング(プラズマ・エッチング)としても作用する。

【0060】

9. 「STI」は、素子分離構造の一種であり、半導体基体の表面領域にプラズマ・エッチング等により、トレンチを形成し、そのトレンチを酸化シリコン膜系などの絶縁膜で

埋め込み、その後、CMPにより不要な埋め込み絶縁膜を除去するものである。なお、本願で「CMP」というときは、スラリを用いるもののみでなく、固定砥粒を用いるものも含む。

【0061】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0062】

1. 本願の一実施の形態の半導体集積回路装置の製造方法に関する全体プロセス・フロー等の説明（主に図1から20、図22及び図25）

図1は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ウェハ準備工程）である。図2は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（表面酸化工程）である。図3は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（窒化シリコン膜成膜工程）である。図4は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ形成用レジスト塗布・パターンニング工程）である。図5は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ・ドライ・エッチング工程）である。図6は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（レジスト除去工程）である。図7は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ内壁酸化工程）である。図8は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ埋め込み工程）である。図9は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（STI-CMP工程）である。図10は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（窒化シリコン膜除去工程）である。図11は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ポリシリコン膜形成工程）である。図12は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ゲート電極形成工程）である。図13は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図12に続くR2部分に対応する単位MISFET領域の要部デバイス模式断面図（ソース・ドレイン形成工程）である。図14は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図6のR1部分に対応するレジスト除去工程）である。図15は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図6に対応する内壁酸化前洗浄工程）である。図16は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図7に対応する内壁酸化工程）である。図17は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図8に対応するトレンチ埋め込み工程）である。図18は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図10に対応する窒化シリコン膜除去工程）である。図19は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図11に対応するポリシリコン膜形成工程）である。図20は本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図12に対応するゲート電極形成工程）である。これらに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法に関する全体プロセス・フロー等を説明する。ここでは、一例として、65nmテクノロジー・ノードのプロセスを説明する。

【0063】

先ず図1（図22及び図25参照）に示すように、比抵抗が、たとえば $1\Omega\text{cm}$ から $10\Omega\text{cm}$ 程度のP型シリコン単結晶の 300ϕ ウェハ1を準備する（図22のウェハ準備工程）。ウェハの径は、450ファイでも200ファイでも、その他であってもよい。なお、必要があれば、N型に変えてもよいし、エピタキシャル・ウェハやSOIウェハに代

10

20

30

40

50

えてもよい。ウエハ1の上面1a（第1の主面）はデバイス作製面、すなわち、デバイス面である。

【0064】

次に図2に示すように、ウエハ1の上面1aに、たとえばドライ酸素雰囲気、摂氏850度程度の温度条件で熱酸化により表面酸化膜2（たとえば厚さ10nm程度）を形成する（図22の表面酸化工程71）。

【0065】

次に図3に示すように、表面酸化膜2（パッド酸化膜72）上に、たとえばCVDによりCMPストップ膜である窒化シリコン膜3（たとえば厚さ90nm程度）を形成する（図22の窒化シリコン膜形成工程73）。

10

【0066】

次に図4に示すように、窒化シリコン膜3上にレジスト膜4を塗布し、たとえば通常のリソグラフィの手法により、レジスト膜4をパターニングしてレジスト膜パターン4とする（図22のレジスト塗布・パターニング工程74）。

【0067】

次に、図5に示すように、レジスト膜パターン4をマスクとして、CMPストップ膜3、パッド酸化膜2、および半導体基体1を順次、たとえばHBr、Cl₂等のガス系を用いた異方性プラズマ・エッチングにより、STI用の多数のトレンチ5（たとえば深さ300nm程度）を形成する（図22のトレンチ・エッチング工程75）。

【0068】

次に図6及び図14に示すように、不要になったレジスト膜パターン4を除去する（図22のレジスト除去工程76）。続いて、図15に示すように、たとえばAPM（アンモニアと過酸化水素水と純水の混合液）およびHPM（塩酸と過酸化水素水との混合液）等を用いたウェット処理により、トレンチ・エッチング後洗浄（内壁酸化前洗浄）を実行する（図22の前洗浄工程77）。このとき、窒化シリコン膜3の端部下面のパッド酸化膜72が後退し、酸化膜後退部15が形成される。

20

【0069】

次に図7及び図16に示すように、たとえばISSG（In Situ Steam Generation）方式（酸素＋水素混合雰囲気でのランプ加熱による実質的なウェット酸化）等を用いたウェット熱酸化（たとえば、アプライド・マテリアル社のVantage RadOx RTP等のランプ加熱枚葉炉による。酸化温度は、たとえば摂氏1000度程度）により、窒化シリコン膜3の表面およびトレンチ5の内面のシリコン表面に熱酸化膜6（たとえば厚さ10nm程度）を形成する（図22の内壁酸化工程78）。

30

【0070】

次に図8及び図17に示すように、ライナー埋め込み絶縁膜7aおよび主要埋め込み絶縁膜7bからなる埋め込み絶縁膜7（ともに酸化シリコン系膜等の絶縁膜）により、素子分離溝5を満たし、窒化シリコン膜3（膜パターン）を覆うことにより、素子分離溝5を埋め込むとともに、その上にキャップ絶縁膜8を形成する（図22の埋め込み膜・キャップ膜成膜工程50）。この主要埋め込み絶縁膜7bの堆積の際に突起9（酸化膜突起）が生成する。なお、この工程は、セクション3で詳述する。

40

【0071】

次に図9に示すように、窒化シリコン膜3をストップとして用いたCMP処理81により、ウエハ1の上面1aのキャップ膜8および窒化シリコン膜3の開口部を含むトレンチ5（図7参照）外部の埋め込み膜7を除去することで、表面を平坦化する（図22のCMP処理工程81）。ここで使用するスラリは、たとえば、セリア砥粒を主要な砥粒成分として含み、かつ、界面活性剤を含有するものが特に好適である。スラリのPHは、たとえば6.0±1.0、固形成分濃度は2.0±1.0重量%程度が特に好適である。セリア砥粒と界面活性剤の組み合わせは、自己平坦化作用があり、STI部の平坦化には特に適している。

【0072】

50

続いて、トレンチ5の上方の窒化シリコン膜3の開口部の埋め込み絶縁膜7を弗酸系の酸化シリコン膜エッチング液により、ウェット・エッチングする（図22の酸化膜ウェット・エッチング工程82）。更に、不要になった窒化シリコン膜3を熱燐酸等により除去する（図22の窒化シリコン膜除去工程83）。

【0073】

続いて、図18に示すように、弗酸系の酸化シリコン膜エッチング剤を含む洗浄液等を用いて、表面の酸化膜2（図9）を除去する（図22のゲート酸化前洗浄工程84）。

【0074】

次に図10に示すように、少なくともウエハ1の上面1aのシリコン表面部に、たとえば熱酸化等によって、厚さ2nmから4nm程度（シリコン酸化膜を基準とする換算膜厚で表示）のゲート絶縁膜（たとえば酸化シリコン膜、酸窒化シリコン膜、High-k絶縁膜又はこれらの積層膜）を形成する（図22のゲート酸化工程85）。

【0075】

次に図11及び図19に示すように、ウエハ1の上面1aに、ゲート電極膜（又はその一部）となるポリシリコン膜11（たとえば厚さ140nm程度）をCVDにより成膜する（図22のポリシリコン膜成膜工程86）。続いて、CMIS構成のLSI（Complementary Metal Insulator Semiconductor）であれば、P型およびN型の不純物がそれぞれポリシリコン膜11のP型およびN型デバイス領域に対応する部分にイオン注入等により、導入される。

【0076】

次に図12及び図20に示すように、通常のリソグラフィにより、ポリシリコン膜11をパターニングすることによって、ゲート電極膜11を形成する。

【0077】

次に（図12のR2の部分を例示）、図13に示すようにゲート・サイド・ウォール絶縁膜12およびソース・ドレイン領域14を形成する。ここで、通常、ゲート電極膜11およびソース・ドレイン領域14の上面領域を自己整合的にシリサイド化する（すなわちニッケル・シリサイドまたはコバルト・シリサイドその他のシリサイド層を形成する）。

【0078】

その後は、プリメタル工程、配線工程、テスト工程を経てウエハ工程が完了する。配線工程は、必要に応じて、複数層からなるダマシン配線、アルミニウム系の通常配線、またはそれらの混合配線が適用される。

【0079】

2. 本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程に使用するHDP-CVD装置の説明（主に図21）

図21は本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程50（図22または図23）に使用するHDP-CVD装置の模式断面図である。これに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程に使用するICP型のHDP-CVD装置31（図21）の概要を説明する。ここでは、300φウエハ用枚葉型HDP-CVD装置の具体例として、ノベラス（Novellus）社のスピード（SPEED）について説明する。

【0080】

図21に示すように、セラミックス製のドーム39内の処理チャンバ32には、ウエハ1のデバイス面1aを上向きにして、その上面33aに保持するウエハ・ステージ33（下部電極又はバイアス電極）が設けられている。ウエハ・ステージ33はウエハ1に対して静電チャックとして作用する。この下部電極33には、高周波バイアス電源HF（13.56MHz）が接続されている。ドーム39上には、プラズマを励起するための複数のアンテナが設けられており、中間周波電源MF（420～460KHz）および低周波電源LF（340～375KHz）がそれぞれ接続されている。プラズマ励起電源が、複数あるのは、プラズマのプロファイル調整のためである。スパッタ/成膜比は、高周波バイアス電源HF、中間周波電源MF、低周波電源LF間の関係およびガス組成によって決定

10

20

30

40

50

される。なお、このウエハ・ステージ 33 は温調されていないので、ウエハ 1 の温度は、主にプラズマから供給される熱及び反応熱によって決まる。

【0081】

処理チャンバ 32 の外部には、反応ガス（膜生成ガス、エッチング・ガス等）、キャリア・ガス、各種の添加ガス等の供給を制御するガス供給制御系 35 が設けられており、ここからガス供給ライン 36 およびガス供給ノズル 34 を介して、処理チャンバ 32 に各種のガスが供給される。処理チャンバ 32 に供給された各種のガスは、真空排気系 38 によって外部に排気される。ガス迂回ライン 37（ダイバート・ラインとも言う）は、雰囲気

10

【0082】

3. 本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程の詳細説明（主に図 23 および図 24 並びに図 8、図 17、図 25 を参照）

図 23 は図 22 における埋め込み膜・キャップ膜成膜工程 50 の詳細プロセス・ブロック・フロー図である。図 24 は図 23 の一連のプロセスを説明するための成膜・エッチング・プロセス説明図である。これらに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程 50（図 22 又は 23）の詳細を説明する。以下の各処理工程は、たとえば 0.4 Pa（3 mTorr）、範囲としては 0.04 から 4 Pa（0.3 から 30 mTorr）程度の真空度で実行される。

20

【0083】

図 23 に示すように、内壁酸化 78（図 22）が完了したウエハ 1 は、HDP-CVD 装置 31 の処理チャンバ 32 内のウエハ・ステージ 33 上にセットされ（図 21 参照）、埋め込み膜成膜工程 51 が開始される。まず、ライナー成膜工程 52 の予熱工程 41 においては、プラズマ励起電源、すなわち、中間周波電源 MF（たとえば 4000 ワット）および低周波電源 LF（たとえば 7000 ワット）が、それぞれオン状態とされ、プラズマが点灯する（このとき高周波電源 HF はオフ状態である）。このプラズマの熱により、ウエハ 1 の温度が上昇して（温度上昇に要する時間は、たとえば 60 秒程度である）、所定の温度以上（好適な温度範囲としては、たとえば摂氏 500 度以上、摂氏 700 度未満である。温度測定は、ウエハの裏面を放射温度計で測定した。以下同じ）になったところで、ライナー酸化シリコン膜 7a の成膜を開始する。このようにウエハの温度が十分高温になってからライナー成膜実行 42 を開始するのは、窒化シリコン膜 3 の開口を含めたトレンチ 5 の内面に緻密で段差被覆性の良いライナー膜を作ることによって、酸化膜後退部 15（15 図参照）の近傍の埋め込み絶縁膜 7 にウィーク・スポット（Weak Spot）ができるのを防止するためである。ウィーク・スポットがあると、トレンチ 5 の上端部で埋め込み絶縁膜 7 が過剰エッチングされ、そこにポリシリコン膜 11 が入り込む結果、ゲート電極パターンニング（図 20 参照）時に、埋め込み絶縁膜 7 の上端部にポリシリコン・エッチ残りが発生し、不良の原因となる。

30

【0084】

なお、予熱時のガス流量は、たとえば酸素 50 SCCM、ヘリウム（不活性ガス）500 SCCM 程度である。不活性ガスとしては、ヘリウム以外に、アルゴン等も適用できる（以下に出てくる不活性ガスも同じ）。

40

【0085】

次に、ライナー成膜実行工程 42（第 2 の HDP-CVD 処理）におけるガス流量は、たとえばモノシラン（成膜原料ガス）60 SCCM、酸素 50 SCCM、ヘリウム 500 SCCM 程度である。水素を実質的に添加しないのは、膜質を硬くするためである。印加電力（励起電力及びバイアス電力）は、たとえば中間周波電源 MF（たとえば 500 ワット）、低周波電源 LF（たとえば 4000 ワット）、および高周波電源 HF（たとえば 3000 ワット）である。これらによって、スパッタ/成膜比をたとえば 0.19 程度とする。範囲としては、0.15 から 0.22 程度が好適である。ここでのスパッタ/成膜比

50

は、主埋め込み膜成膜 1（第 1 の HDP-CVD 処理）43 におけるスパッタ/成膜比と比較して、2 倍以上大きいことが望ましい。このとき成膜されるライナー埋め込み絶縁膜 7a の膜厚は、10 から 20 nm 程度であり、成膜時間は数秒程度である。

【0086】

続いて、埋め込み膜成膜・エッチ・バック繰り返し工程 53 に移る。埋め込み膜成膜・エッチ・バック組み合わせ単位工程 1（54）は、主埋め込み膜成膜 1（第 1 の HDP-CVD 処理）43 およびエッチ・バック 1（プラズマ・エッチング処理）44 を有する。

【0087】

主埋め込み膜成膜 1（第 1 の HDP-CVD 処理）43 におけるガス流量は、たとえばモノシラン（成膜原料ガス）100 S C C M、酸素 145 S C C M、ヘリウム 300 S C C M、水素 400 S C C M 程度である。水素を比較的多量に添加するのは、溝底部の成膜成分を確保するためである。印加電力（励起電力及びバイアス電力）は、たとえば中間周波電源 M F（たとえば 500 ワット）、低周波電源 L F（たとえば 4500 ワット）、および高周波電源 H F（たとえば 4300 ワット）である。これらによって、スパッタ/成膜比をたとえば 0.06 程度とする。ここで、スパッタ/成膜比を小さくするのはスパッタによる上端部の窒化シリコン膜の肩の部分の削れを防止するためである。範囲としては、0.01 から 0.1 程度が好適である。このとき成膜される主要埋め込み絶縁膜 7b の膜厚および成膜時間は、埋め込み膜成膜・エッチ・バック組み合わせ単位工程 1（54）を何度繰り返すかによる。主埋め込み膜成膜 1（第 1 の HDP-CVD 処理）43 が完了するとエッチ・バック 1（プラズマ・エッチング処理）44 に移行する。

【0088】

エッチ・バック 1（プラズマ・エッチング処理）44 におけるガス流量は、たとえば N F₃（エッチング・ガス）500 S C C M、ヘリウム（不活性ガス）100 S C C M、水素（エッチング中の再成膜防止用ガス）500 S C C M 程度である。エッチング・ガスとしては、N F₃ 以外に、フルオロ・カーボン系またはハイドロ・フルオロ・カーボン系のエッチング・ガス又はそれらの混合系が適用できる。印加電力（励起電力及びバイアス電力）は、たとえば中間周波電源 M F（たとえばオフとする）、低周波電源 L F（たとえば 3000 ワット）、および高周波電源 H F（たとえば 300 ワット）である。

【0089】

このエッチ・バック工程の目的は、直前の成膜により、トレンチ 5 の上端付近にたまった酸化シリコン膜を除去して、トレンチ 5 の上端部の開口面積を広げることにより、後の成膜時に膜原料ガスがトレンチ 5 の底部（正確にはトレンチ 5 内の CVD 絶縁膜が作る溝状間隙の底部）に到達しやすくすることにある。エッチ・バック 1（プラズマ・エッチング処理）44 が完了すると、通常、次の埋め込み膜成膜・エッチ・バック組み合わせ単位工程 2（56）から埋め込み膜成膜・エッチ・バック組み合わせ単位工程 N（55）に移行する。

【0090】

ただし、トレンチ 5 が比較的浅いときは（トレンチの幅に比較して深さが浅いとき）、直接、キャップ膜成膜 47 に移行することも可能である（N 値は「1」）。すなわち、繰り返しがなくとも、エッチ・バック 1（プラズマ・エッチング処理）44 によりトレンチ 5 の上端付近にたまった酸化シリコン膜を除去することができるので、次のキャップ膜成膜 47 により、比較的容易に埋め込みが可能である。

【0091】

なお、インサイチュー（in situ）・デポジション&エッチングを繰り返す場合（「繰り返し回数」は N-1）は、埋め込み膜成膜・エッチ・バック組み合わせ単位工程 2（56）から埋め込み膜成膜・エッチ・バック組み合わせ単位工程 N（55）のプロセス条件は、埋め込み膜成膜・エッチ・バック組み合わせ単位工程 1（54）の対応するステップとほぼ同一でよい（必要に応じて適宜変更可能である）。また、この例では N 値は、たとえば「4」程度（繰り返し回数としては「3」程度である）とする。繰り返し回数が増加すると、成膜によりトレンチ 5 の上端付近が狭隘化する前にエッチングにより、間

口を広げられる効果がある反面、ガスの空流しステップが長くなるので、通常では、上限は19回程度（N値で20回程度）と考えられる。なお、下限については、1回でも繰り返すと繰り返しによる埋め込み性向上の効果があるので、繰り返し回数下限は1回（N値で2回）である。従って、通常の形状のトレンチ5では、繰り返し回数1から11程度（N値で2回から12回程度）が特に好適である。

【0092】

ここで、図24に基づいて、繰り返し回数（またはN値）、単位成膜ステップ43、45、48での成膜厚（初期成膜厚）T1、単位エッチ・バック・ステップ44、46、49でのエッチング量（エッチ・バック量）T2等の間の関係を説明する。トレンチ5自体の上端部の幅が80nm程度であり、その深さが300nm程度であるので、パッド酸化膜2および窒化シリコン膜（膜パターン）3を含めた埋め込み対象である溝の深さは、400nm程度となる。そうすると、ライナー膜7aおよびキャップ膜8を含む埋め込み膜全体の厚さTTは、通常、550nm程度となる。この内、ライナー膜（ライナー成膜工程52）の膜厚TLは、たとえば10nm程度であり、キャップ膜（キャップ膜成膜工程47）の膜厚TCは、150nm程度であるから、繰り返し工程54、55、56で最終的に形成すべき主埋め込み膜全体の厚さTMは、およそ390nm程度である。前記のように、たとえば繰り返し回数3（またはN値4）の場合を例示すると、1回の成膜とエッチ・バックで形成すべき単位最終膜厚T3は、約98nm程度である。エッチ・バック率、すなわち単位エッチ・バック・ステップでのエッチング量（エッチ・バック量）を単位成膜ステップでの成膜厚（初期成膜厚）T1で割ったものを20%（なお、好適なエッチ・バック率の範囲は5%から40%程度である）とすると、単位成膜ステップでの成膜厚（初期成膜厚）T1を122nm程度にするとよいことがわかる。

【0093】

図23に示すように、埋め込み膜成膜・エッチ・バック繰り返し工程53が完了すると、キャップ膜成膜47に移行する。ここで、キャップ膜成膜時のスパッタ成膜比は、埋め込み性、高成膜速度を両立させるため、0.15から0.4程度が好適である。また、ライナー膜、埋め込み膜、キャップ膜のトータルの厚さは、CMP時におけるスクラッチ防止の観点から、溝深さの1.1倍以上にすることが望ましい。キャップ膜成膜47の完了により、埋め込み膜・キャップ膜成膜工程50が終了し、図22に示すように、CMP工程81に移行する（セクション1参照）。

【0094】

4. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0095】

例えば、前記実施の形態ではSTI用のトレンチの埋め込みに適用した例を具体的に説明したが、本願発明は、それに限定されるものではなく、その他の溝パターン、ライン・アンド・スペース・パターン、孔パターン等の凹凸パターンの埋め込みへも適用できることは言うまでもない。

【図面の簡単な説明】

【0096】

【図1】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ウエハ準備工程）である。

【図2】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（表面酸化工程）である。

【図3】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（窒化シリコン膜成膜工程）である。

【図4】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ形成用レジスト塗布・パターニング工程）である。

【図 5】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ・ドライ・エッチング工程）である。

【図 6】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（レジスト除去工程）である。

【図 7】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ内壁酸化工程）である。

【図 8】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（トレンチ埋め込み工程）である。

【図 9】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（STI-CMP工程）である。

10

【図 10】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（窒化シリコン膜除去工程）である。

【図 11】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ポリシリコン膜形成工程）である。

【図 12】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図（ゲート電極形成工程）である。

【図 13】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス広域断面フロー図 12 に続く R2 部分に対応する単位 M I S F E T 領域の要部デバイス模式断面図（ソース・ドレイン形成工程）である。

【図 14】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 6 に対応するレジスト除去工程）である。

20

【図 15】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 6 に対応する内壁酸化前洗浄工程）である。

【図 16】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 7 に対応する内壁酸化工程）である。

【図 17】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 8 に対応するトレンチ埋め込み工程）である。

【図 18】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 10 に対応する窒化シリコン膜除去工程）である。

【図 19】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 11 に対応するポリシリコン膜形成工程）である。

30

【図 20】本願の一実施の形態の半導体集積回路装置の製造方法に関するデバイス部分断面フロー図（図 12 に対応するゲート電極形成工程）である。

【図 21】本願の一実施の形態の半導体集積回路装置の製造方法におけるトレンチ埋め込み工程に使用する HDP-CVD 装置の模式断面図である。

【図 22】本願の一実施の形態の半導体集積回路装置の製造方法のプロセス・ブロック・フロー図である。

【図 23】図 22 における埋め込み膜・キャップ膜成膜工程の詳細プロセス・ブロック・フロー図である。

【図 24】図 23 の一連のプロセスを説明するための成膜・エッチング・プロセス説明図である。

40

【図 25】図 1 から図 13 と図 14 から図 20 の相互の対応関係をしめすプロセス図対応関係説明図である。

【符号の説明】

【0097】

1 半導体ウエハ（または半導体基体）

1 a （半導体ウエハの）デバイス面すなわち第 1 の主面（または製造工程中のデバイス面側最上面）

2 表面熱酸化膜（パッド酸化膜）

3 窒化シリコン膜（膜パターン）

50

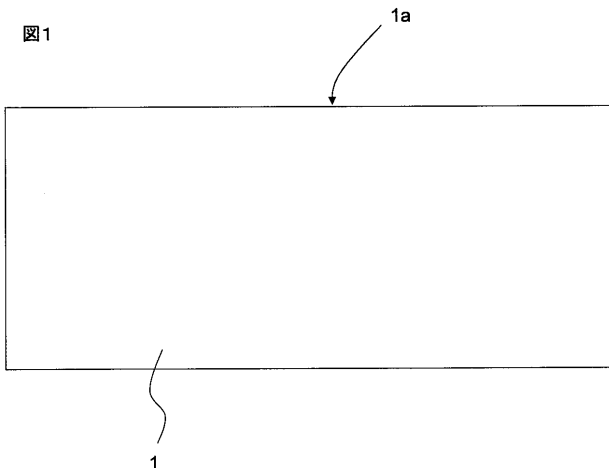
4	レジスト膜（またはレジスト膜パターン）	
5	トレンチ（素子分離溝）	
6	内壁熱酸化膜	
7	埋め込み絶縁膜（埋め込み酸化シリコン膜またはS T I絶縁膜）	
7 a	ライナー埋め込み絶縁膜	
7 b	主要埋め込み絶縁膜	
8	キャップ絶縁膜（キャップ酸化シリコン膜）	
9	絶縁膜の突起部	
1 0	ゲート絶縁膜	
1 1	ポリ・シリコン膜すなわちゲート電極用導電膜（またはゲート電極膜）	10
1 2	サイド・ウォール絶縁膜	
1 4	ソース・ドレイン領域	
1 5	酸化膜後退部	
3 1	H D P－C V D装置	
3 2	処理チャンバ（成膜又はエッチング室）	
3 3	ウエハ・ステージ	
3 3 a	ウエハ・ステージ上面	
3 4	ガス供給ノズル	
3 5	ガス供給制御系	
3 6	ガス供給ライン	20
3 7	ガス迂回ライン	
3 8	真空排気系	
3 9	セラミック・ドーム（H D P－C V D装置の外壁）	
4 1	予熱	
4 2	ライナー成膜実行（第2のH D P－C V D処理）	
4 3	主埋め込み膜成膜1（第1のH D P－C V D処理）	
4 4	エッチ・バック1（プラズマ・エッチング処理）	
4 5	主埋め込み膜成膜N	
4 6	エッチ・バックN	
4 7	キャップ膜成膜	30
4 8	主埋め込み膜成膜2	
4 9	エッチ・バック2	
5 0	埋め込み膜・キャップ膜成膜工程	
5 1	埋め込み膜成膜工程	
5 2	ライナー成膜工程	
5 3	埋め込み膜成膜・エッチ・バック繰り返し工程	
5 4	埋め込み膜成膜・エッチ・バック組み合わせ単位工程1	
5 5	埋め込み膜成膜・エッチ・バック組み合わせ単位工程N	
5 6	埋め込み膜成膜・エッチ・バック組み合わせ単位工程2	
7 1	ウエハ準備	40
7 2	表面酸化	
7 3	窒化シリコン膜成膜（C M Pストップ膜）	
7 4	トレンチ形成用レジスト・パターン形成	
7 5	トレンチ形成	
7 6	トレンチ形成用レジスト・パターン除去	
7 7	内壁酸化前洗浄	
7 8	内壁酸化	
8 1	C M P処理（S T I－C M P）	
8 2	酸化膜ウエット・エッチング	
8 3	窒化シリコン膜除去	50

- 8 4 ゲート酸化前洗浄
- 8 5 ゲート酸化
- 8 6 ポリ・シリコン膜成膜
- 8 7 ゲート電極パターンニング
- 8 8 ソース・ドレイン形成
- H F 高周波電源（高周波数側 R F 電源）
- L F 低周波電源（低周波数側 R F 電源）
- M F 中間周波電源（中間 R F 電源）
- R 1 トレンチ上端部領域
- R 2 単位 M I S F E T 領域
- T C キャップ膜の膜厚
- T L ライナー膜の膜厚
- T M 主埋め込み膜全体の厚さ
- T T ライナー膜およびキャップ膜を含む埋め込み膜全体の厚さ
- T 1 単位成膜ステップでの成膜厚（初期成膜厚）
- T 2 単位エッチ・バック・ステップでのエッチング量（エッチ・バック量）
- T 3 単位最終膜厚

10

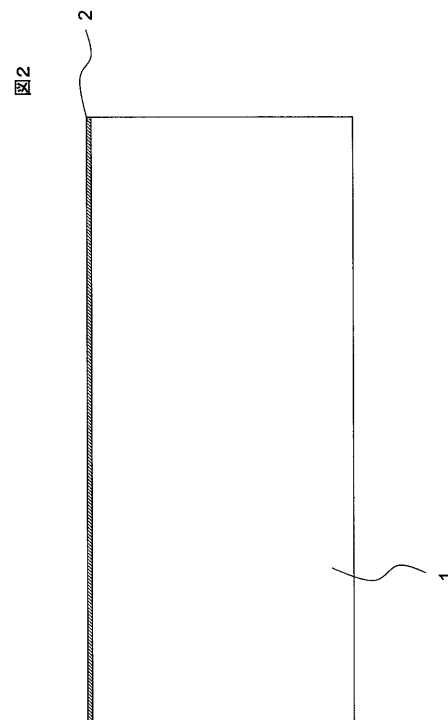
【図 1】

図1

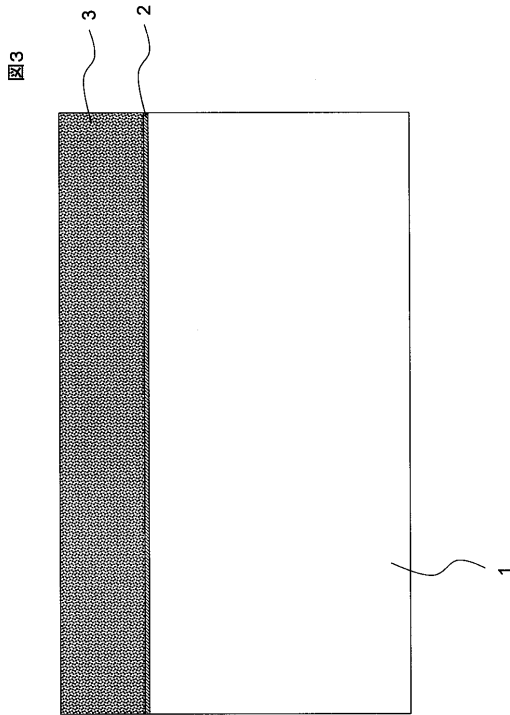


【図 2】

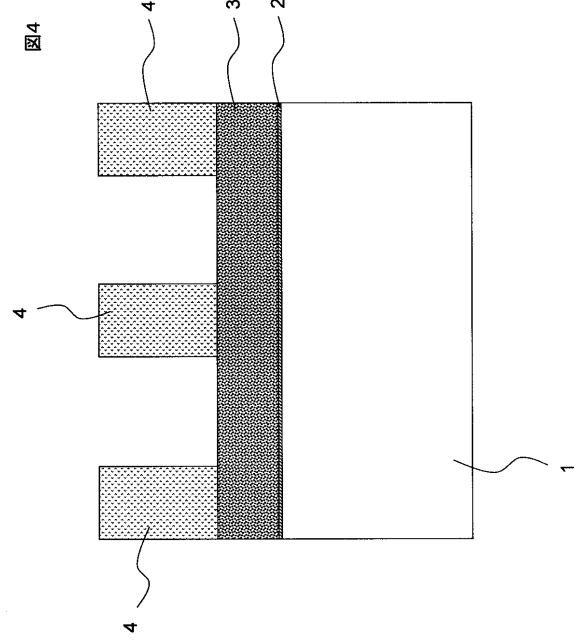
図2



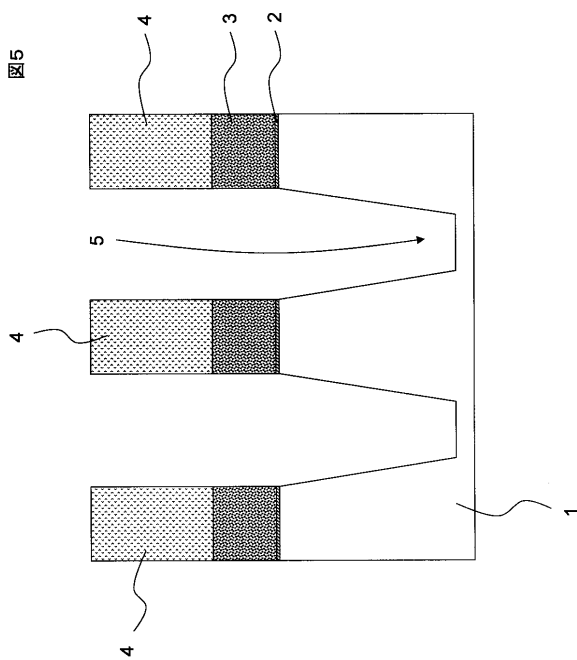
【図 3】



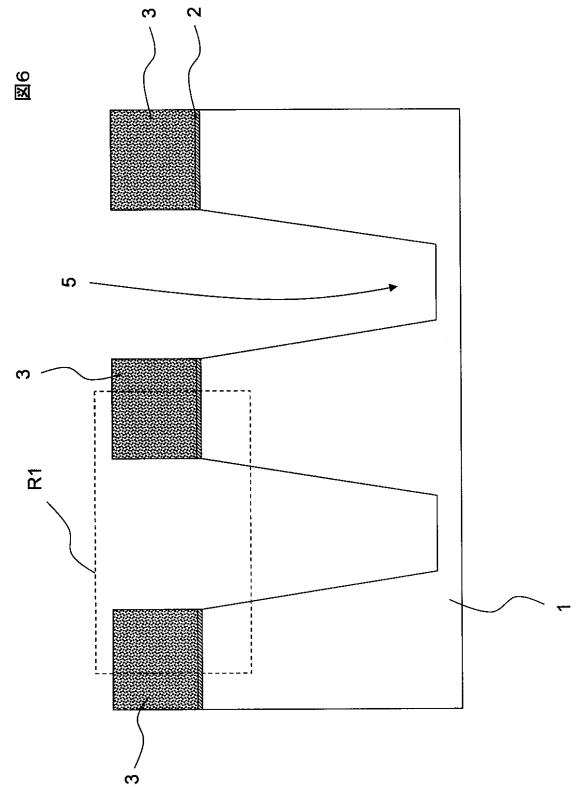
【図 4】



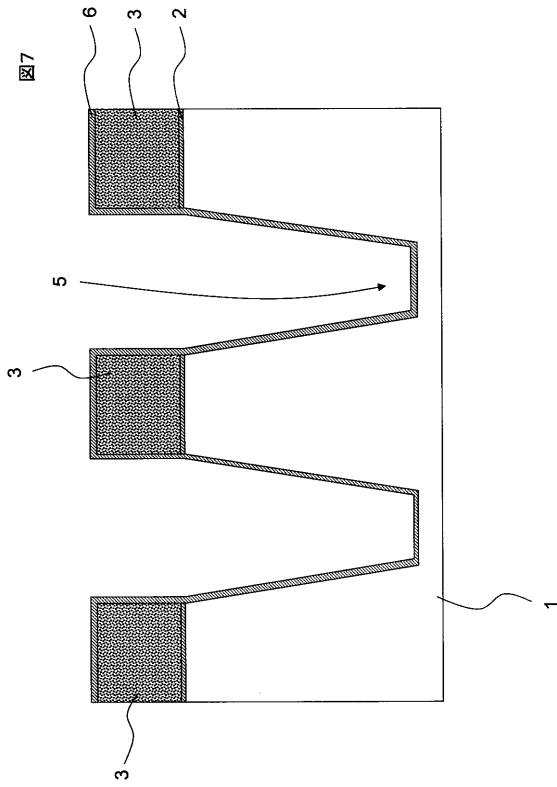
【図 5】



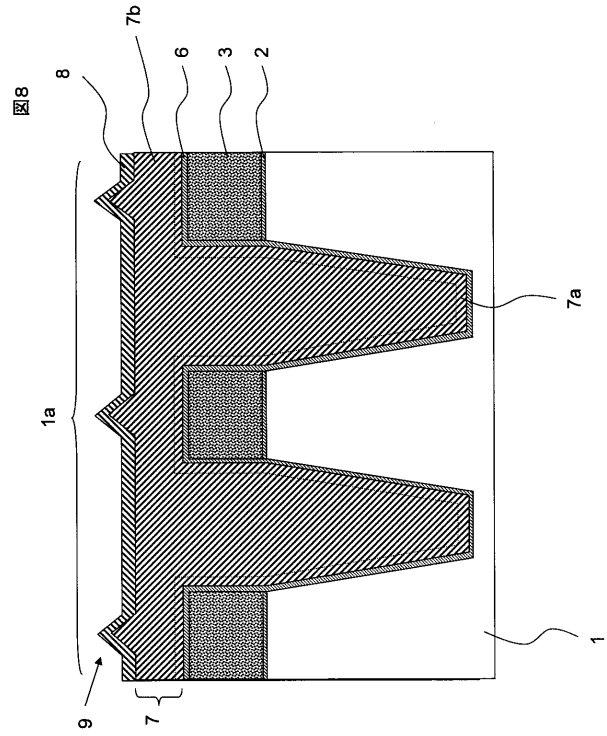
【図 6】



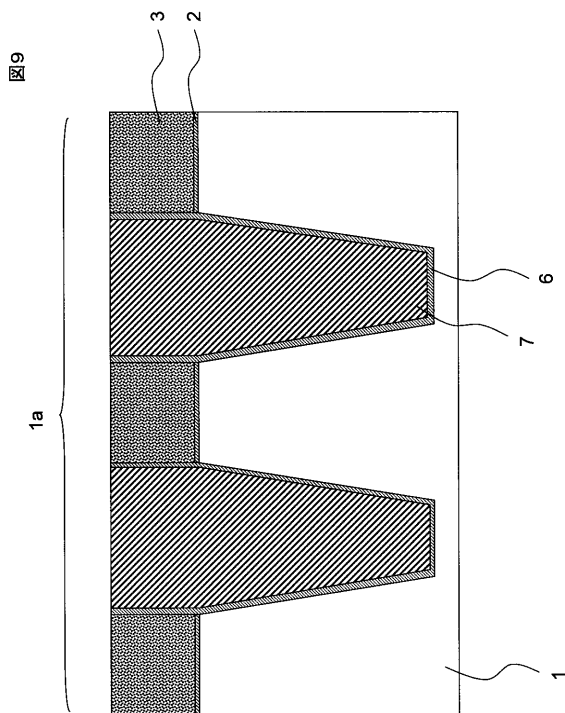
【図 7】



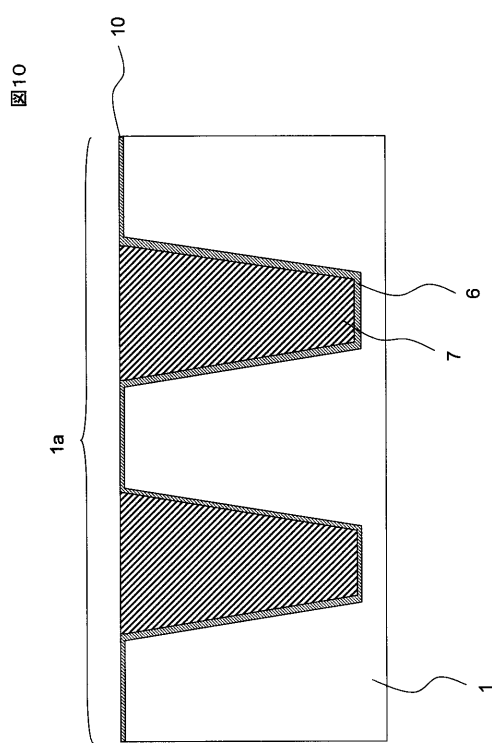
【図 8】



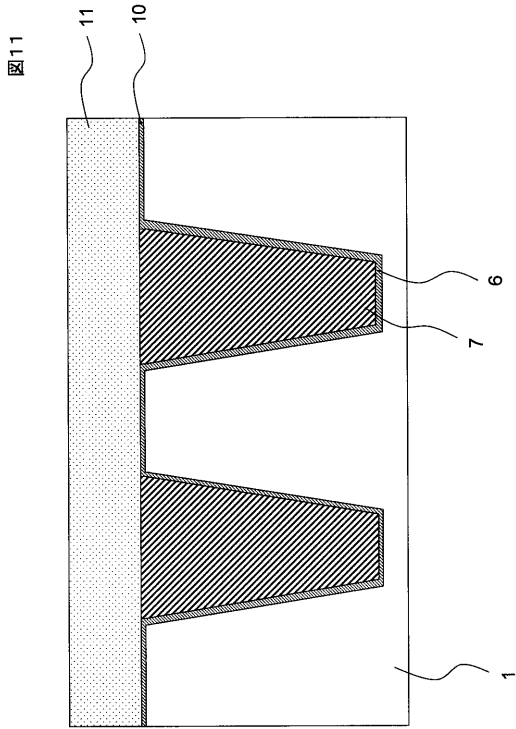
【図 9】



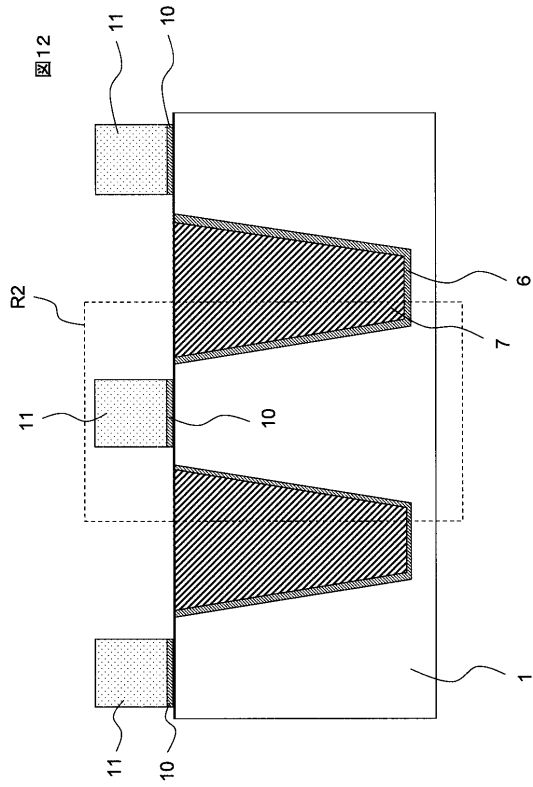
【図 10】



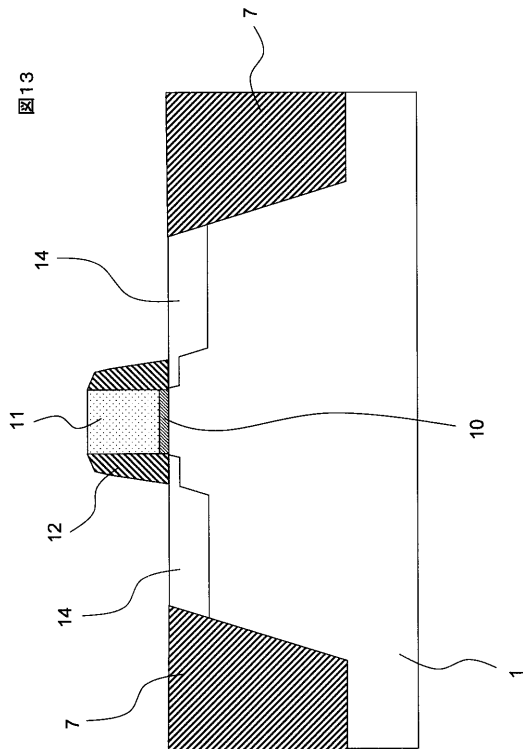
【図 1 1】



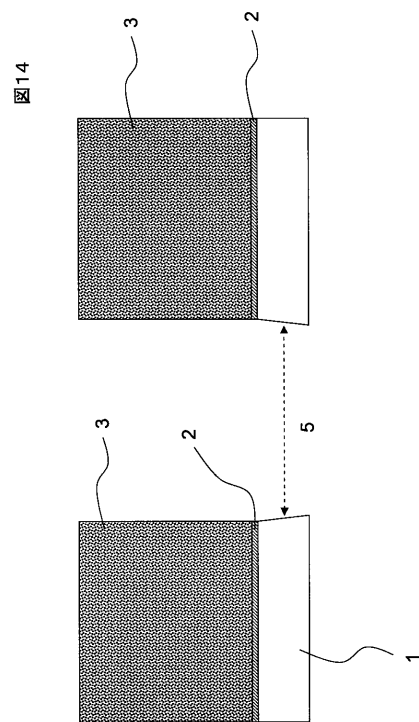
【図 1 2】



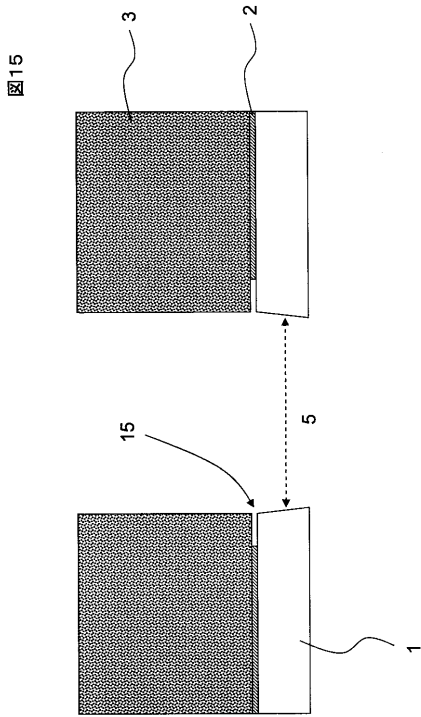
【図 1 3】



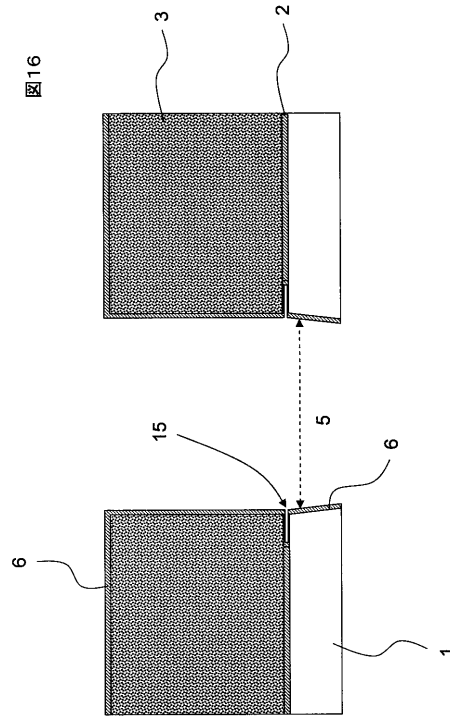
【図 1 4】



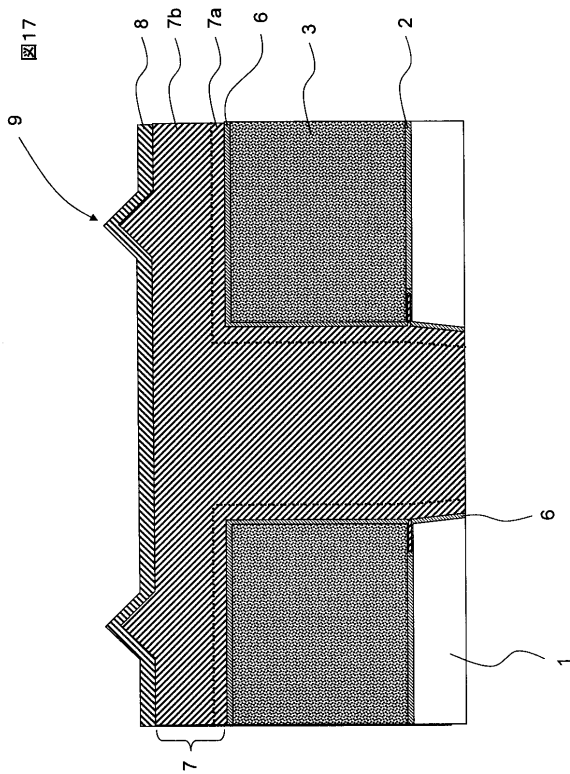
【図 15】



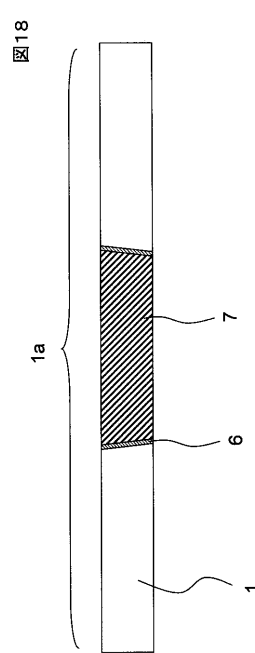
【 図 1 6 】



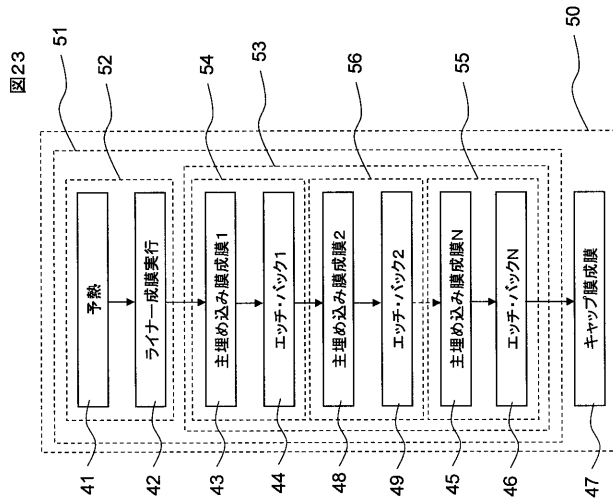
【図 17】



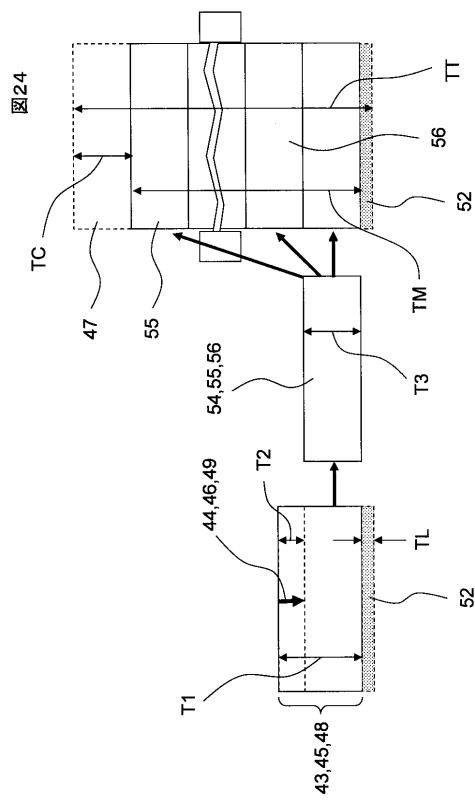
【 図 1 8 】



【図 2 3】



【図 2 4】



【図 2 5】

図 25

広域図	図 1	図 2	図 3	図 4	図 5	図 6	図 7	図 8	図 9	図 10	図 11	図 12	図 13
部分図						図 14	図 15	図 16	図 17	図 18	図 19	図 20	

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
C 2 3 C 16/50 (2006.01) C 2 3 C 16/42
C 2 3 C 16/50

(72)発明者 岩崎 正修

東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

F ターム(参考) 4K030 AA06 AA14 AA16 AA17 BA44 CA04 CA12 DA01 DA08 FA01
FA04 KA02 KA30 LA02 LA15
5F032 AA34 AA36 AA44 AA45 AA70 AA77 AA79 CA17 DA02 DA04
DA23 DA33 DA78
5F045 AA08 AB32 AD09 AD10 AD11 BB19 DP04 DQ10 EE18 EH11
EH20 GH03 HA13 HA23
5F048 AA04 AC03 BA01 BB06 BB07 BB08 BB11 BB12 BC06 BE03
BF02 BF06 BF11 BF16 BG13 BG14 DA25
5F058 BA09 BA20 BC02 BD04 BF07 BF36 BH12 BH16 BJ01 BJ06