

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6

B6

本案已向：

美國(地區) 申請專利，申請日期：西曆1994年 案號：08/255,198，☐有 ☒無主張優先權
6月7日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(/)

<相關申請案的交互參照>

下列一併分派的美國專利申請案合併在此參考：

<u>TI案件</u>	<u>序號</u>	<u>申請日</u>	<u>發明者</u>	<u>標題</u>
		<u>期</u>		
TI-18509	08/137,658	10/15/93	Jeng	Planarized Structure for Line-to-Line Capacitance Reduction
TI-18867	08/201,679	2/25/94	Jeng et al	Selective Filling Narrow Gaps with Low-dielectric-constant materials
TI-18929	08/202,057	2/25/94	Jeng	Planarized Multilevel Interconnect Scheme with Embedded Low-Dielectric-Constant Insulators
TI-19068	--	4/28/94	Cho	Low Dielectric Constant Insulation in VLSI applications
TI-19071	--	4/27/94	Havemann	Via Formation in Polymetric Materials
TI-18941	--	5/20/94	Gnade et al	A Low Dielectric Constant Material for Electrics Applications
TI-19072	--	5/20/94	Havemann et al	Interconnect Structure with an Integrated Low Density Dielectric

五、發明說明(2)

相關申請案的交互參照(繼續)

<u>TI案件</u>	<u>申請日</u>	<u>發明者</u>	<u>標題</u>
-------------	------------	------------	-----------

TI-19073	5/27/94	Tigelaar et al	Suppression of Interlead Leakage when using Airgap dielectric
TI-19154	5/27/94	Tsu	Reliability Enhancement of Aluminum interconnects by Reacting Aluminum Leads with a Strengthening Gas
TI-19254	5/27/94	Havemann	Two-step Metal Etch Process for Selective Gap Fill of Submicron Interconnects and Structure for Same

<發明領域>

本發明一般而言係關於半導體裝置的裝配，且更特別地是關於有次微米間隔和使用低電容率材料於導線之間的金屬互連層的圖案化。

<發明背景>

半導體在電子的運用方面被寬廣地使用於積體電路，包含收音機與電視。如此的積體電路通常地使用多數個電晶體裝配在單一晶矽上。很多積體電路目前包含多數個

五、發明說明(3)

金屬化層來互連。當幾何收縮與機能的密度增加時，它變成絕對必要來減少在多層金屬化系統之內的 RC 時間常數。

<發明概要>

雖然通常地使用於過去來隔絕每個金屬線的電介質是二氧化矽，近來的趨勢是使用低介質常數的材料以減少 RC 時間常數。很多低電介質絕緣子是純的聚合物(例如聚對二甲苯，鐵弗龍，聚醯亞胺(polyimide))或有機的“旋轉塗布玻璃”(OSOG，例如倍半氧矽烷與矽氧烷玻璃)。這些低電容率材料的結構強度及/或機械穩定，特別是使用於目前處理的提高了的溫度，一般而言是比二氧化矽弱。

如此，於半導體工業使用低電容率材料已經造成需要一種方法以在一個半導體晶圓上增加互連的結構支撐。在此揭露一種半導體裝置和方法以一個新奇的方式來解決此問題。低電容率材料只被使用在有間隔緊密的導線的區域，減少不要的電容於間隔緊密的導線之間，而傳統的介質材料被使用在其它地方提供強的結構支撐。

本發明的一實施例包含沉積一個金屬層在一個半導體晶圓的基片上，其中金屬層有一個第一個區域與一個第二

五、發明說明()

個區域。一個絕緣層被沉積在金屬層上，此絕緣層是以間隔寬廣的導線和間隔緊密的導線的一個導體圖案予以圖案化。間隔寬廣的導線被形成在金屬層的第一個區域，其中間隔寬廣的導線具有以大於最小導線間隔一倍半隔開的導線。至少間隔緊密的導線的鄰接部份被形成在金屬層的第二個區域，其中間隔緊密的導線具有小於或等於最小導線間隔一倍半隔開的導線。一個低電容率材料被沉積於間隔緊密的導線的鄰接部份之間。一個結構的介質層被沉積在至少間隔寬廣的導線之間。此低電容率材料是一個具有低於 3 的介質常數的材料。

本發明的另外的實施例包含沉積一個金屬層在一個基片上。此金屬層有一個第一個區域與一個第二個區域。一個絕緣層被沉積在此金屬層上，且一個阻抗層被沉積在此絕緣層上。此阻抗層被予以圖案化以形成間隔寬廣的導線和間隔緊密的導線的一個導體圖案在絕緣層上。此阻抗層被移去。然後晶圓被蝕刻以形成至少在金屬層的第一個區域的間隔寬廣的導線與至少在金屬層的第二個區域的間隔緊密的導線的鄰接部份。一個低電容率材料被沉積於至少間隔緊密的導線的鄰接部份之間。一個結構的介質層然後被沉積於至少間隔寬廣的導線之間。

本發明的另外的實施例還包含沉積一個金屬層在一個基片上，此金屬層有一個第一個區域與一個第二個區域。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

一個絕緣層被沉積在此金屬層上，且一個第一個阻抗是沉積在此絕緣層上。第一個阻抗予以圖案化以形成一個導體圖案在絕緣層上，而第一個阻抗被移去。金屬層的第二個區域被覆蓋著一個第二個阻抗。金屬層的第一個區域被蝕刻以形成間隔寬廣的導線。一個第一個結構的介質層被沉積至少在間隔寬廣的導線。第二個阻抗被移去以暴露金屬層的第二個區域。金屬層的第二個區域被蝕刻以形成至少於金屬層的第二個區域的間隔緊密的導線的鄰接部份。一個低電容率材料被沉積於至少間隔緊密的導線之間。一個第二個結構的介質層被沉積在至少間隔寬廣的導線上。

一個更進一步地實施例包含一個包含有一個第一個區域與一個第二個區域的一個基片的半導體裝置結構。間隔寬廣的導線以一個於間隔寬廣的導線之間的第一個結構的介質層被形成在基片的第一個區域。間隔緊密的導線的鄰接部份以一個於間隔緊密的導線之間的低電容率材料被形成在基片的第二個區域。一個單一同種的結構的介質層被沉積在低電容率材料上以及間隔寬廣的導線之間。

一個本發明的優勢包含經由只有在有間隔緊密的導線的區域放置結構微弱的低電容率材料於需要的地方來改善結構強度。

五、發明說明(6)

本發明的一個更進一步地優勢包含減少間隔緊密的金屬導線的邊緣電容。一個第一個結構的介質層或蝕刻中止介質層位於金屬導線上，其結果造成在間隔緊密的金屬導線上的低電容率材料的高度增加。此允許了低電容率材料延伸超出金屬導線的頂端，提供了流程邊際的增加。

本發明的另外的優勢是下列的金屬導線可經過一個結構穩定且高品質介質材料來形成，因此能利用傳統的形成流程。

一個進一步優勢是一個單一同種的結構的介質層被沉積在間隔寬廣的導線與低電容率材料上。

<圖式簡述>

在圖中，形成說明書之一完整部份且與將與其一起研讀，且於多種視圖中類似的數字與符號被使用來指示類似的零組件，除非有其它指示：

圖 1A-1E 與 2A-2D 顯示一個半導體裝置的一個部份的剖面圖，舉例說明本發明的一個第一個實施例；

五、發明說明(7)

圖 3A-3D，4A-4D，與 5A-5D^C 顯示一個半導體裝置的一個部份的剖面圖，舉例說明本發明的一個第二個實施例；和

圖 6A-6B 顯示本發明的二個實施例的剖面圖，其增加的一個特色在沉積鈍化層在金屬導線上。

<較佳實施例詳述>

本較佳實施例的製造與使用在下面詳細談論。然而，應該感謝本發明提供了很多可適用的發明概念，其能夠在廣泛的特定環境中被具體化。所談論的特定實施例只是製造與使用本發明的特定途徑的說明，並不用來界定本發明的範圍。

下列是一些較佳實施例與另外選擇的實施例的敘述，包含製造方法。在不同圖中的對應的數字與符號參照對應的零件，除非另有指示。下面的圖表 1 提供實施例與圖式的基本元件的概觀。

五、發明說明(8)

圖表 1

圖式基本元件	較佳或特定例子	通用名稱	其它交互的例子或敘述
10		半導體晶圓	
12	矽氧化物在單晶矽上	基片	可能包含其它金屬層或其它半導體基本元件，(例如電晶體，二極體)； 複合的半導體(例如 GaAs，InP，Si/Ge，SiC)可用於代替 Si。
14	鋁合金	金屬層	TiN/AlCu/TiN 三層； Al，Cu，Mo，W，Ti，Si 的合金； 多晶矽，矽化物，氮化物，鎢鋼； 以 Ti 或 TiN 置下層的 AlCu 合金； 金屬層。
15		金屬層 14 的第一個部份	間隔寬廣的導線 16 將形成於此的金屬層 14 的第一個部份。

五、發明說明(9)

圖表 1(繼續)

16		間隔寬廣 的導線	
17		金屬層 14 的第二個 部份	間隔緊密的導線 18 將形成於此 的金屬層 14 的第二個部份。
18		間隔緊密 的導線	

(請先閱讀背面之注意事項再填為本頁)

裝

訂

線

五、發明說明(10)

圖表 1(繼續)

圖式基本元件	較佳或特定例子	通用名稱	其它交互的例子或敘述
26	SiO ₂	第一個結構的介質層	氧化物，氮化物，密集的玻璃，無機的固體，有機的固體，其它合適的硬式電介質；氧化物。
34	聚對二甲苯	低電容率材料	其它的聚合物電介質諸如鐵弗龍，氣凝膠，空氣間隙(鈍氣或真空)。
36	PETEOS (等離子增強四乙氧基矽)	第二個結構的介質層	Silsesquioxane；SOG；其它的氧化物。
38	PETEOS	鈍化層	氧化物或氮化物層。
39	氮化矽 / 二氧化矽	蝕刻中止介質層	二氧化矽，“絕緣層”，PETEOS

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

圖表 1(繼續)

圖式基本元件	較佳或特定例子	通用名稱	其它交互的例子或敘述
44		第一個製版	包含用於寬廣地和間隔緊密的導線的圖案。
46		第一個阻抗層	光阻。
48		第一個阻抗層的暴露部份	
50	光阻	第二個阻抗層	光靈敏的聚醯亞胺。
52	PETEOS	硬式氧化物罩幕	氮化物

圖 1-2 顯示本發明的一個第一個實施例。圖 1A 顯示一個

五、發明說明 (/ 2)

具有一個基片 12 的半導體晶圓 10，此基片 12 可譬如包含電晶體，二極體，與其它熟知於此技術的半導體基本元件(未顯示)。半導體晶圓 10 亦可包含金屬層。金屬層 14 被沉積在基片 12 上。金屬層 14 可包含譬如一個鋁合金或一個鈦-鎢/鋁雙層合金且通常地是 0.5 到 2 微米厚。金屬層 14 已被分成了二個部分；一個間隔寬廣的導線 16 將在此形成的第一個區域 15，與一個至少間隔緊密的導線 18 的鄰接部份將在此形成的第二個區域 17。

單一導線可能有間隔緊密的和間隔寬廣的部份。對於此狀況，至少有二個可選擇的現成可用的方法來阻斷移去這些間隔緊密的導線將在此形成的區域。一個方法是只罩幕這些鄰接另外導線(鄰接部份)的導線部份。亦或是對於一個至少有一個部份是間隔緊密的導線，整個的間隔緊密的導線能被阻斷。爲了討論，方便只談“間隔寬廣的導線”和“鄰接部份”，鄰接部份是間隔緊密的導線(至少其某些導線也可有不鄰接其它導線的部份)。應該了解間隔緊密的導線的非鄰接部份可以“鄰接部份”或者是“間隔寬廣的導線”來處理。

蝕刻中止介質層 39 被沉積在金屬層 14 上。一個第一個阻抗層 46 然後沉積在蝕刻中止介質層 39 上。第一個阻抗層 46 最好包含光阻，或其它的阻抗，諸如使用感光性的聚醯亞胺。

五、發明說明(13)

晶圓 10 被以第一個製版 44 罩幕，其包含導體圖案(如所有此層的導體同時予以圖案化，對齊問題一般而言被避免了，縱使所有導體不是同時被蝕刻，或假如單一導體的二個部份在不同時間蝕刻；然而，最好所有導體的所有部份一起被蝕刻)。第一個製版 44 是如此架構以便間隔寬廣的和間隔緊密的導線的所有部份同時予以圖案化。第一個阻抗層 46 的未遮蓋部份被暴露如顯示於圖 1B。第一個阻抗層的暴露部份 48 被顯影與移去。蝕刻中止介質層 39 與金屬層 14 被蝕刻，通常是以分開的步驟(圖 1C)，以形成間隔寬廣的導線 16 與間隔緊密的導線 18。

間隔寬廣的導線 16 可通常地有一個少於一的間隔縱橫比，(間隔縱橫比是金屬導線的高度比較於[除於]導線之間的空間)，通常間隔寬廣的導線 16 是以最小導線間隔的一倍半或更大間隔來分開。如此間隔寬廣的導線 16 之間的空間是足夠來防止過度的電容效果，且因而不需要低電容率材料來隔離。

間隔緊密的導線 18 通常地有大於或相等於一的間隔縱橫比。一般而言，間隔緊密的導線 18 的間隔距離通常低於一微米，且其間隔可與最小導線(導體)寬度相同。這些於導線之間的空間是足夠接近且可能有顯著的寄生電

五、發明說明(14)

容，是以結構將自於間隔緊密的導線 18 之間的低電容率材料 34 中獲益。

第一個阻抗層 46 然後被剝除(圖 1D)。低電容率材料 34 能被應用在整個晶圓 10(圖 1E)上且可平面化。低電容率材料 34 包含一個有一個低電介質常數的材料，最好是一個聚合物電介質，諸如：以介質常數大約少於 3 的聚對二甲苯或鐵弗龍。

一個薄硬的氧化物罩幕 52 被應用在低電容率材料 34 上(圖 2A)。一個第二個阻抗層 50 被應用在此硬氧化物罩幕 52 上且被暴露(藉第二個製版，未顯示)，且從包含間隔寬廣的導線 16 的區域移去(圖 2A)。此硬氧化物罩幕 52 與低電容率材料 34 被從包含間隔寬廣的導線 16 的區域移去(圖 2B)，但剩餘在包含間隔緊密的導線 18 的晶圓的區域。接著此硬氧化物罩幕 52 被從包含間隔緊密的導線 18 的區域移去且低電容率材料 34 被移除(例如深蝕刻)到一個金屬層上的蝕刻中止介質層 39 的頂端或之下的水平(圖 2C)。蝕刻中止介質層 39 當作一個對低電容率介質層 34 蝕刻劑的蝕刻停止器，最好低電容率材料 34 不被蝕刻往下超過間隔緊密的金屬導線 18 的頂端。最好，此低電容率材料 34 位於間隔緊密的金屬導線 18 的頂端之一個相等於 30-50% 金屬導線 18 厚度的距離以消除或減少在間隔緊密的金屬導線 18 的角落或頂端的於金屬導線

五、發明說明 (15)

18 之間的邊緣電容，此邊緣電容的減少是本發明的一個優勢，其是低電容率材料 34 的高度增加的結果，其可延伸超出間隔緊密的金屬導線 18 的頂端。然後，第一個結構的介質層 26 被沉積在整個的晶圓 10 上且可被平面化 (圖 2D)。一個第一個實施例的優勢是整個晶圓被塗上單一同種的層 (第一個結構的介質層 26)。

一個第二個實施例被顯示於圖 3-5。圖 3A 顯示一個有一個基片 12 的半導體晶圓 10，與一個沉積在基片 12 上的金屬層 14。金屬層 14 有二個部分；一個間隔寬廣的導線將在此形成的第一個區域 15，與一個間隔緊密的導線將在此形成的第二個區域 17。蝕刻中止介質層 39 被沉積在金屬層 14 上。第一個阻抗層 46 然後沉積在蝕刻中止介質層 39 上。此第一個阻抗層 46 最好包含光阻，或其它的阻抗，諸如使用感光性的聚醯亞胺。

晶圓 10 被以第一個製版 44 罩幕，其包含用於間隔寬廣的和間隔緊密的導線的導體圖案。第一個阻抗層 46 的未遮蓋部份被暴露如顯示於圖 3B。第一個阻抗層 46 的暴露部份 48 被顯影與移去，且蝕刻中止介質層 39 被蝕刻 (圖 3C)。晶圓 10 被覆蓋著一個第二個阻抗層 50，其最好包含感光性的聚醯亞胺，但可能是一個光阻，第二個阻抗層係暴露 (經由一個第二個製版，未顯示) 於一個圖案以便金屬層 14 的第二個區域 17 保持覆蓋著第二個阻抗層

五、發明說明 ()

50(圖 3D)。

金屬層 14 被蝕刻以形成間隔寬廣的金屬導線 16(圖 4A)。第一結構的介質層 26 被沉積在整個晶圓 10 上(一般而言,但未示,在圖案阻抗 50 上且然後從至少第二個阻抗層 50 的頂端移去)以獲得圖 4B 的結構。在此時,間隔寬廣的導線 16 已被形成了,而金屬層 14 的第二個區域 17 仍未蝕刻且同時也依然被第二個阻抗層 50 覆蓋著。然後第二個阻抗層 50 從金屬層 14 的第二個區域 17 移去,其依然被塗上圖案的蝕刻中止介質層 39。金屬層 14 被蝕刻以形成間隔緊密的導線 18,如顯示於圖 4D。

接著低電容率材料 34 被應用在整個晶圓 10 上(圖 5A)而移除(例如深蝕刻,譬如,以一個定時蝕刻(timed etch))到一個在間隔緊密的導線 18 上的蝕刻中止介質層 39 的頂端或之下的水平(圖 5B)。如於第一個實施例,低電容率材料 34 位於間隔緊密的金屬導線 18 的頂端之上一個相等於 30-50% 金屬導線 18 厚度的距離以消除或減少在間隔緊密的金屬導線 18 的角落或頂端的於金屬導線 18 之間的邊緣電容。最後,第二個結構的介質層 36 被沉積在間隔緊密的金屬導線 18 上的蝕刻中止介質層 39,低電容率材料 34 與可能第一個結構的介質層 26 之上,如顯示於圖 5C。最好, PETEOS 被用於第二個結構的介質層 36。

五、發明說明(17)

通常地，對於本發明，第一個結構的介質層 26 與第二個結構的介質層 36 包含一個氧化物而蝕刻中止介質層 39 包含一個介質常數少於 3 的低電介質常數的 OSOG。然而，能使用其它的材料結合。譬如，蝕刻中止介質層 39 可包含一個氧化物，而第一個與第二個結構的介質層 26 和 36 兩者可以是鐵弗龍或聚對二甲苯。後面的結合可特別地與包含氣凝膠或乾凝膠的低電容率材料 34 相容。

圖 6A 顯示第一個實施例的另一個方式，於其中，在顯示於圖 1D 的步驟之後，一個鈍化層 38 被形成在蝕刻中止介質層 39 的暴露部份，間隔寬廣的導線 16 的側壁與間隔緊密的金屬導線 18 與基片 12 上。此鈍化層 38 特別是有益於間隔緊密的導線 18 因為它防止於金屬導線 18 與低電容率材料 34 之間的反應。同樣地，第二個實施例的另一個方式顯示於圖 6B，於其中，在顯示於圖 4D 的步驟之後，一個鈍化層 38 被形成在蝕刻中止介質層 39 的暴露部份，間隔緊密的金屬導線 18 的側壁與基片 12 上。

雖然圖 1A-1E 與 2A-2D 的流程一般而言是較佳的，其它交互的流程(未顯示)能被使用來完成本質上相同的結果。譬如，以圖 1D 的架構開始(在所有此層的導線予以圖案化後)，能利用於圖案 50 的反轉(inverse)的阻抗(因而留下阻抗覆蓋在間隔寬廣的導線)，沉積低電容率材料，平面化以暴露蝕刻中止介質層 39，除去阻抗以獲得

五、發明說明 (18)

圖 2C 的架構，且然後沉積結構的電介質以獲得圖 2D 的結構。

另外的例子，再一次以圖 1D 的架構開始(在所有此層的導線予以圖案化後)，能沉積結構的電介質的一個第一個層，利用圖案 50 的反轉 (inverse) 的阻抗，蝕刻結構的電介質，除去阻抗，沉積低電容率材料，平面化以暴露蝕刻中止介質層 39 (例如，以一個定時蝕刻或化學機械磨光 (chemical mechanical polishing)) 且然後沉積結構的電介質的一個第二個層以獲得圖 5C 的結構。

仍是另外的例子，再一次以圖 1D 的架構開始(在所有此層的導線予以圖案化後)，能利用圖案 50 的阻抗，沉積結構的電介質的一個第一個層，平面化以暴露蝕刻中止介質層 39，除去阻抗，沉積低電容率材料，再一次平面化以暴露蝕刻中止介質層 39，然後沉積結構的電介質的一個第二個層。

仍是另外的例子，以圖 3C 的架構開始(在蝕刻中止介質層 39 予以圖案化之後)，能利用圖案 50 的反轉的阻抗並蝕刻鄰接部份，沉積低電容率材料，平面化以暴露蝕刻中止介質層 39，除去阻抗，蝕刻間隔寬廣的導線 16，且沉積結構的電介質以獲得圖 2D 的結構。

五、發明說明(19)

本發明一般而言利用“輪廓”(“**delineation**”)圖案阻抗從至少間隔緊密的導線的鄰接部份的區域劃分至少間隔寬廣的導線的區域，且如此以允許低電容率材料的沉積至少於間隔緊密的導線的鄰接部份的區域並允許結構的電介質的沉積於至少間隔寬廣的導線的區域。再一次，間隔緊密的導線的非鄰接部份可以“鄰接部份”或者是“間隔寬廣的導線”來處理。但此“輪廓”圖案需要一個另外的罩幕步驟(除了傳統的導體圖案罩幕外)，此另外的罩幕步驟的對齊不是重要的所以沒有額外實際估計對齊容差的需要。為更進一步地避免對齊問題，本發明一般而言於單一罩幕步驟提供用於導體圖案的決定(雖然那不是較佳的，然而間隔寬廣的導線可以從至少間隔緊密的導線的鄰接部份被分開蝕刻)。

用於次微米互連選擇性間隙填充之雙罩幕的新奇的方法對傳統的流程提供了明確的優勢。第一，結構地微弱的低電容率材料被限制到自它獲益的區域。於這些低電容率材料不被需要的區域，結構的介質層提供較好結構的支撐。此結果是一個全部較強的結構，且有更好的熱移轉能力(因為低電容率材料的熱移轉較差)。於第一個實施例，此結構的電介質是單一同種的層，這是一個更進一步的優勢。

第二，第一個實施例提供用於立刻圖案化整個金屬層，

五、發明說明(20)

消除第二個實施例可能的對齊問題。圖案第二個阻抗以罩幕間隔寬廣的導線的第二個製版能被相對容易地從存在用於金屬層的第一個製版產生。如此，第一個實施例的實行可更易進入目前的流程流動。

第三，在間隔緊密的導線 18 的頂端的蝕刻中止介質層 39 有減少於間隔緊密的導線 18 之間的電容的另外優勢。蝕刻中止介質層 39 允許於間隔緊密的導線 18 之間的低電容率材料 34 的高度增加，使低電容率材料能夠延伸超出金屬導線的頂端。提供了流程邊際的增加。

本發明的第四個優勢是其是到在下列的金屬導線可經由一個結構穩固且高品質介質(間隔緊密的導線 18 頂端的蝕刻中止介質層 39)來形成。因此傳統的經由形成流程能被利用。

雖然本發明已參考說明的實施例被敘述了，此敘述並不被解釋為一種限制的意味。對於熟練於此技術的人們在令參考敘述後，其說明的實施例的多樣修正與結合和本發明的其它實施例是明顯的。是以附加的申請專利範圍包含任何如此的修正或實施例。

四、中文發明摘要(發明之名稱：次微米互連選擇性間隙填充之雙單幕)

一種半導體裝置和方法，其有一個低電容率的材料於間隔緊密的(closely-spaced)導線之間以減少不要的電容，同時具有一個結構上較強的電介質介於電容不是那麼重要的間隔寬廣的(widely-spaced)導線之間。金屬層 14 被沉積在一個半導體晶圓 10 的基片 12 上，其金屬層 14 有一個第一個部份 15 與一個第二個部份 17。一個絕緣層 39 被沉積在金屬層上，且此絕緣層 39 係以間隔寬廣的導線和間隔緊密的導線的導體圖案予以圖案化。間隔寬廣的導線 16 形成在金屬層 14 的第一個區域 15。至少間隔緊密的導線 18 的鄰接部份是形成於金屬層 14 的第二個區域 17。一個低電容率材料 34 被沉積於間隔緊密的導線 18 的鄰接部份之間。一個結構的介質層 26 被沉積於至少在間隔寬廣的導線之間。此低電容率材料 34 是一個介質常數少於 3 的材料。一個本發明的優勢包含藉只放置結構地薄弱的低電容率材料於有間隔緊密的導線區域中需要的地方來得到改善的結構強度。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱: DUAL MASKING FOR SELECTIVE)
GAP FILL OF SUBMICRON INTERCONNECTS

A semiconductor device and method having a low-permittivity material between closely-spaced leads in order to decrease unwanted capacitance, while having a more structurally strong dielectric between widely-spaced leads where capacitance is not as critical. A metal layer 14 is deposited on a substrate 12 of a semiconductor wafer 10, where the metal layer 14 has a first region 15 and a second region 17. An insulating layer 39 is deposited on the metal layer, and the insulating layer 39 is patterned with a conductor pattern of widely-spaced leads and closely-spaced leads. Widely-spaced leads 16 are formed in the first region 15 of the metal layer 14. At least adjacent portions of closely-spaced leads 18 are formed in the second region 17 of the metal layer 14. A low-permittivity material 34 is deposited between adjacent portions of the closely-spaced leads 18. A structural dielectric layer 26 is deposited between at least the widely-spaced leads.

The low-permittivity material 34 is a material with a dielectric constant of less than 3. An advantage of the invention includes improved structural strength by placing structurally weak low-permittivity material only where needed, in areas having closely-spaced leads.



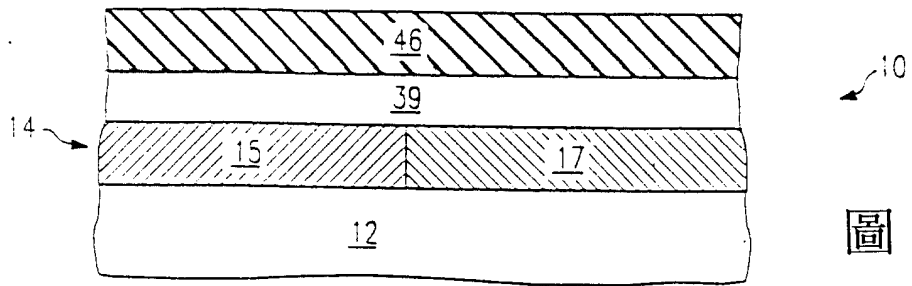


圖 1A

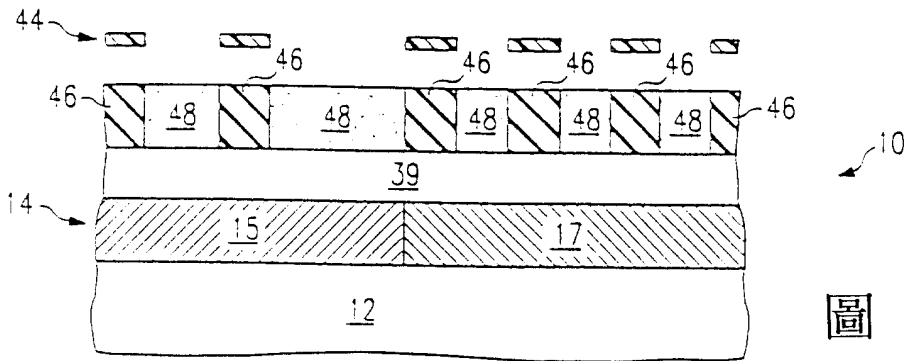


圖 1B

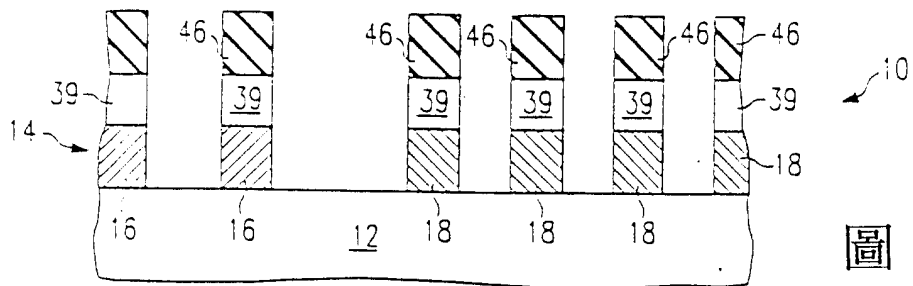


圖 1C

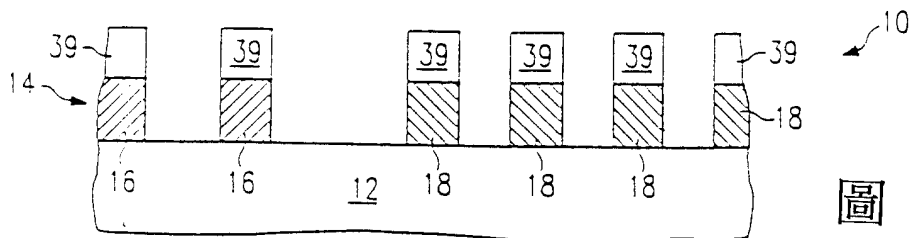


圖 1D

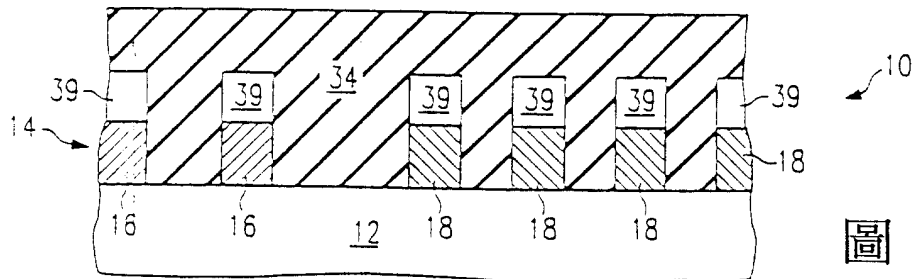


圖 1E

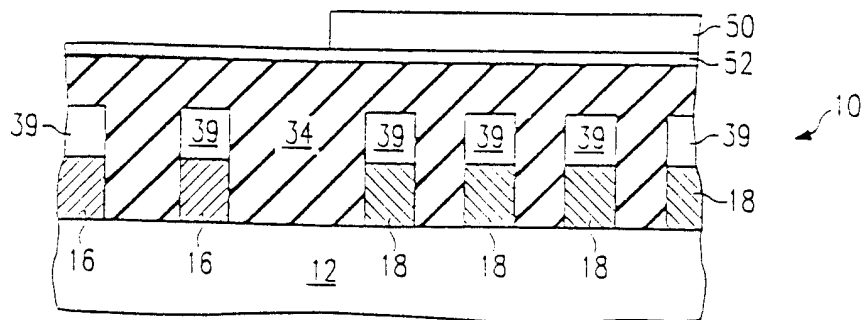


圖 2A

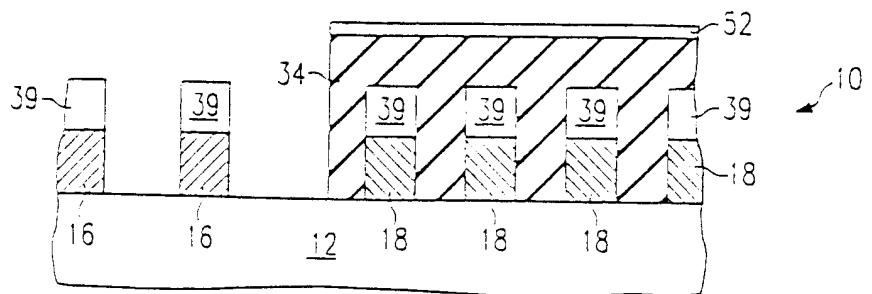


圖 2B

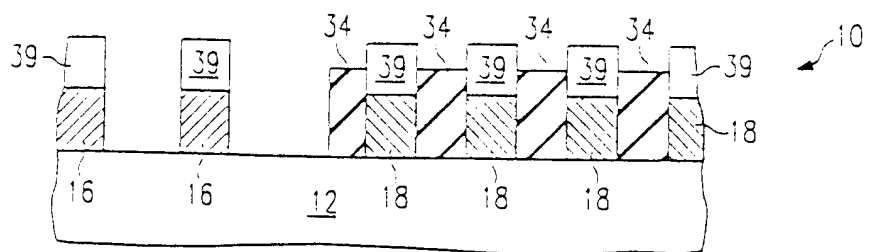


圖 2C

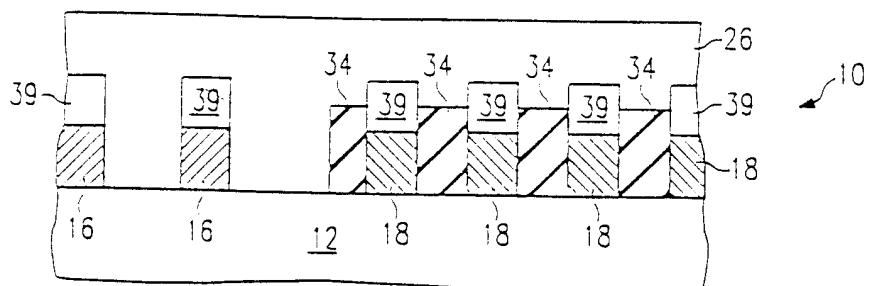


圖 2D

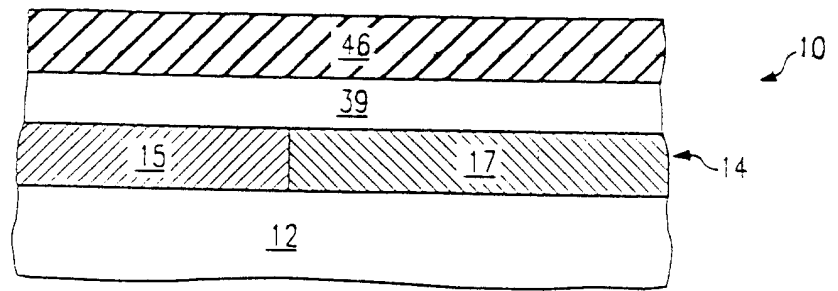


圖 3A

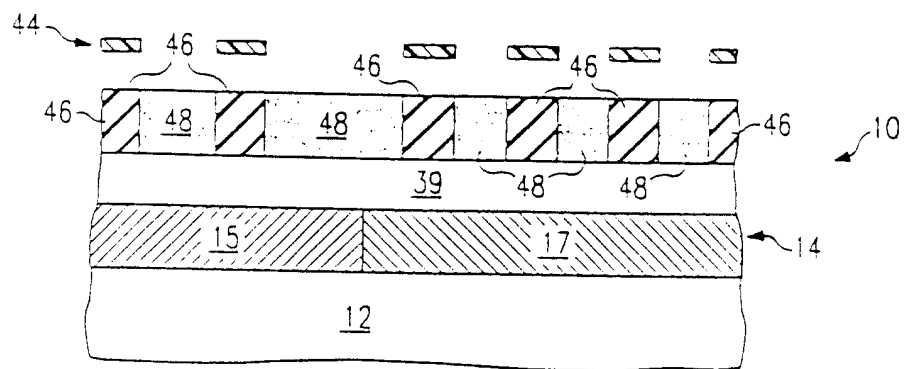


圖 3B

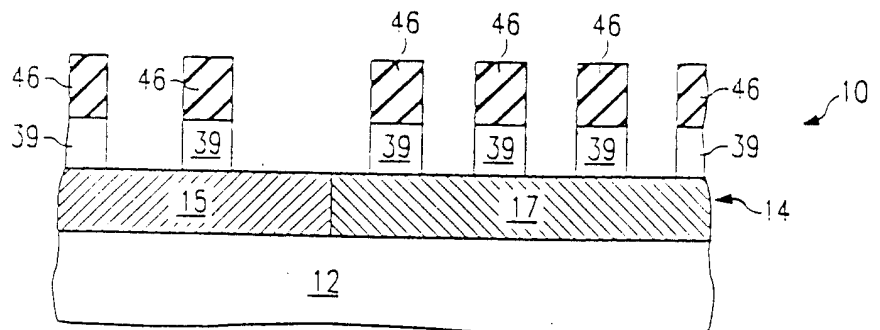


圖 3C

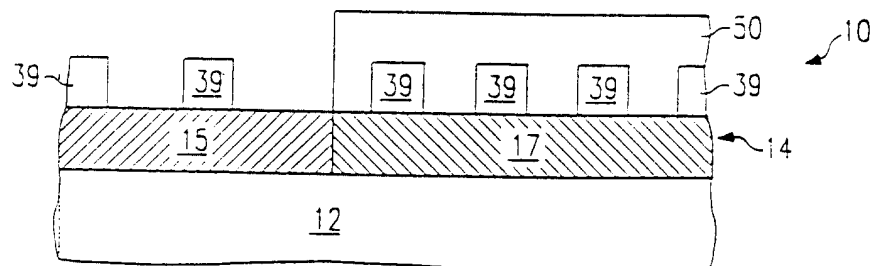


圖 3D

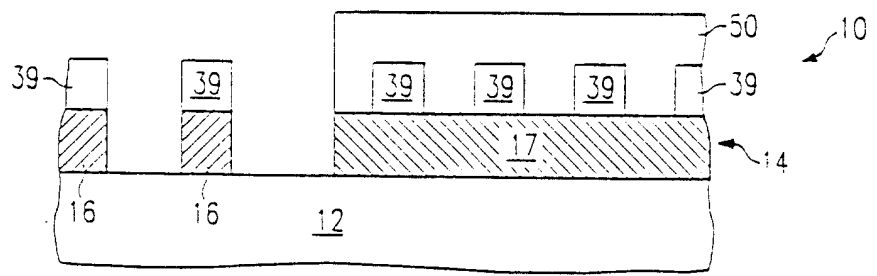


圖 4A

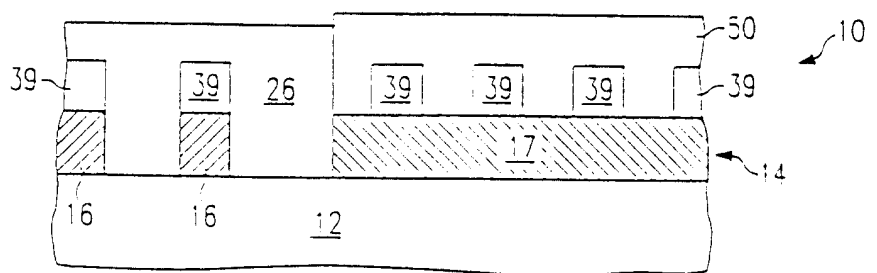


圖 4B

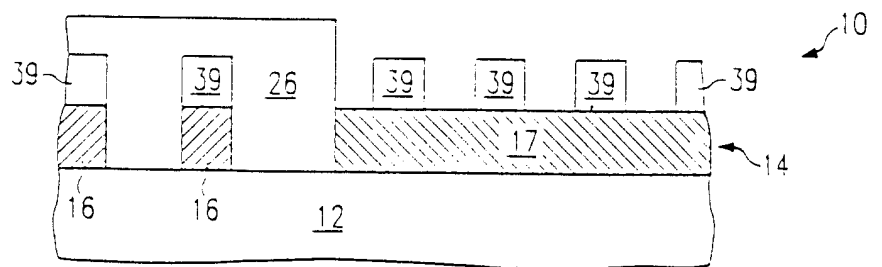


圖 4C

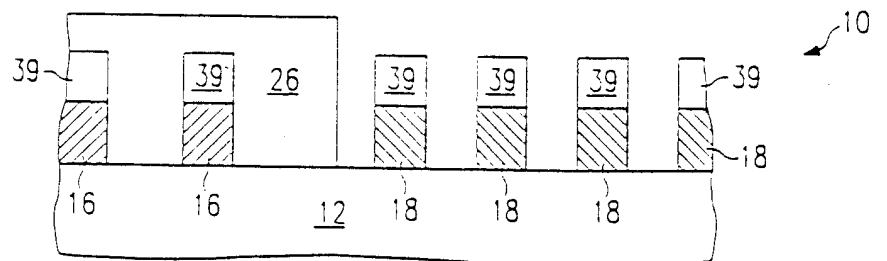


圖 4D

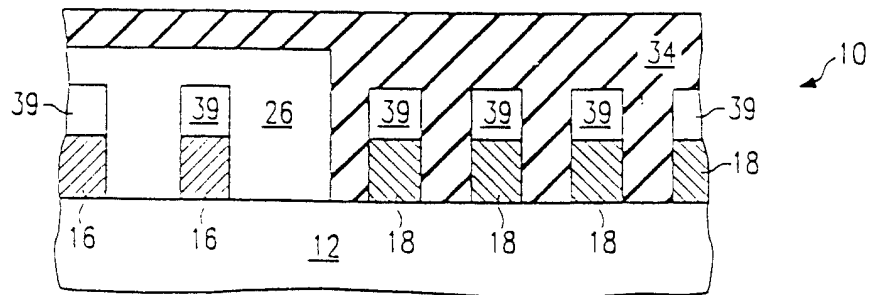


圖 5A

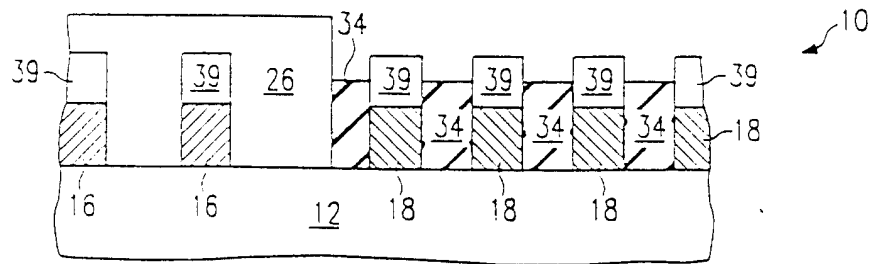


圖 5B

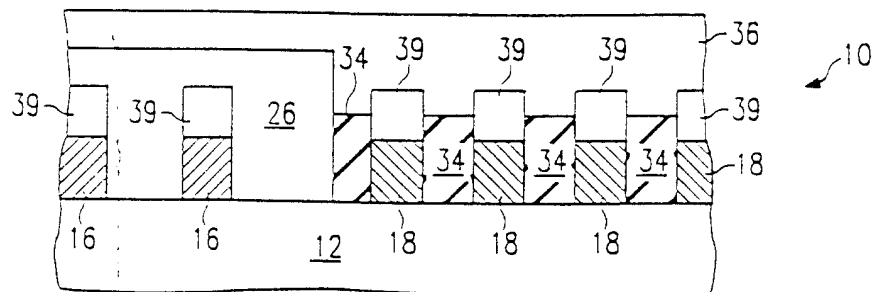


圖 5C

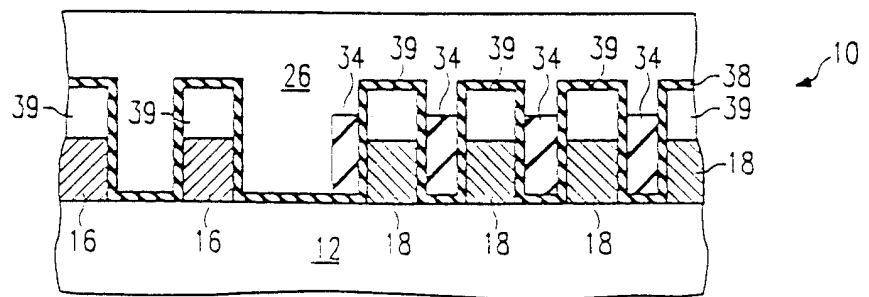


圖 6A

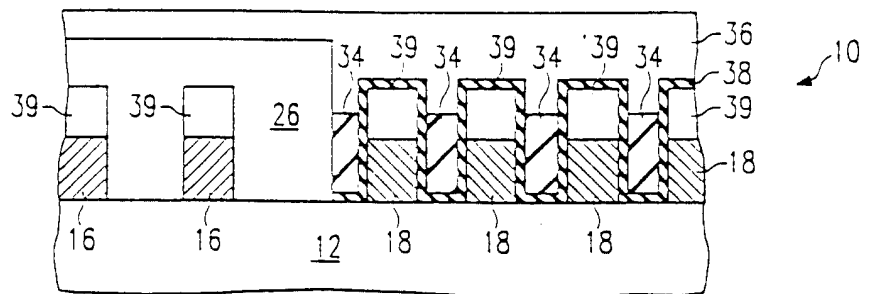


圖 6B

修正
補充 本85年8月3日

公告本

專利申請案第84109294號
ROC Patent Appln. No.84109294

修正之說明書中文本 - 附件一

Amended Specification in Chinese - Encl.(I)

(民國85年8月13日送呈)

(Submitted on August 13, 1996)

C4

申請日期	84.9.6
案 號	84109294
類 別	H01L 21/764

Int. Cl.

295712 295712

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	次微米互連選擇性間隙填充之雙罩幕
	英 文	DUAL MASKING FOR SELECTIVE GAP FILL OF SUBMICRON INTERCONNECTS
二、發明 人	姓 名	1. 赫羅伯 (Robert H. Havemann) 2. 史理查 (Richard A. Stoltz)
	國 籍	1. - 2. 皆美國籍
	住、居所	1. 美國德州葛蘭市史提伍街7413號 7413 Stillwater Court, Garland, Texas 75044, USA 2. 美國德州波諾市史湯生道3321號 3321 Swanson Dr., Plano, Texas, U.S.A.
	代 表 人 姓 名	郝威廉 William E. Hiller
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉 William E. Hiller

本局於85年8月13日所提之修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

裝

訂

線

修正
補充

本85年8月13日

A8
B8
C8
D8

專利申請案第84109294號

ROC Patent Appln. No. 84109294

修正之申請專利範圍中文本 - 附件二

Amended Claims in Chinese - Encl. (II)

(民國85年8月13日送呈)

(Submitted on August 13, 1996)

六、申請專利範圍

1. 一種在一個半導體晶圓裝配絕緣導線的方法，包含步驟：

沉積一個金屬層在一個基片上，該金屬層有一個第一個區域與一個第二個區域；

沉積一個絕緣層在該金屬層上；

圖案化一個間隔寬廣的導線和間隔緊密的導線的導體圖案在該絕緣層上；與

利用一個圖案化之阻抗從至少間隔緊密的導線的鄰接部份的區域劃分出至少間隔寬廣的導線的區域，以允許低電容率材料沉積於至少間隔緊密的導線的鄰接部份的區域與允許結構的電介質沉積於至少間隔寬廣的導線的區域，該間隔寬廣的導線係以大於最小導線間隔的一倍半所隔開的導線，該間隔緊密的導線係具有鄰接部份的導線，該部份與其它導線部份係以小於或等於最小導線間隔的一倍半隔開，且該低電容率材料是一個介質常數少於3的材料。

2. 一種用於圖案化一個在一個半導體晶圓上的金屬層的方法，包含步驟：

沉積一個金屬層在一個基片上，該金屬層有一個第一個區域與一個第二個區域；

沉積一個絕緣層在該金屬層上；

沉積一個阻抗層在該絕緣層上；

圖案化該阻抗層以形成一個間隔寬廣的導線和間隔緊密

六、申請專利範圍

的導線的導體圖案在至少該絕緣層上；

除去該阻抗層；且

然後蝕刻以形成至少間隔寬廣的導線於該金屬層的該第一個區域上，蝕刻以形成至少間隔緊密的導線的鄰接部份於該金屬層的該第二個區域，沉積一個低電容率材料於至少該間隔緊密的導線的鄰接部份之間，且沉積一個結構的介質層於至少該間隔寬廣的導線之間，該間隔寬廣的導線係以大於最小導線間隔的一倍半所隔開的導線，該間隔緊密的導線是具有鄰接部份的導線，該部份與其它導線部份係以小於或等於最小導線間隔的一倍半隔開，且該低電容率材料是一個介質常數少於3的材料。

3．如申請專利範圍第2項之方法，其中該間隔緊密的導線與該至少間隔寬廣的導線的鄰接部份是在單一蝕刻步驟被形成。

4．如申請專利範圍第2項之方法，其中只有該間隔緊密的導線的鄰接部份被形成於該形成鄰接部份的蝕刻步驟期間。

5．如申請專利範圍第2項之方法，其中所有該間隔緊密的導線被形成於該形成間隔緊密的導線的蝕刻步驟期間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

6．如申請專利範圍第2項之方法，其中該低電容率材料有一個高度至少相等於該間隔緊密的導線的高度。

7．如申請專利範圍第2項之方法，其中該低電容率材料有一個高度相等於至少該金屬加上50%在該間隔緊密的導線上的該絕緣層的高度。

8．一種用於在一個半導體晶圓裝配絕緣導線的方法，包含步驟：

沉積一個金屬層在一個基片上；

沉積一個絕緣層在該金屬層上；

圖案化一個間隔寬廣的導線和間隔緊密的導線的導體圖案在該絕緣層與該金屬層；

沉積低電容率材料於至少間隔緊密的導線之鄰接部份的區域與間隔寬廣的導線的區域；

應用一個圖案化之阻抗來遮蓋至少間隔寬廣的導線的區域以暴露低電容率材料於至少間隔緊密的導線的鄰接部份的區域；

除去該暴露的低電容率材料；

除去該圖案阻抗以揭開剩餘的低電容率材料；與

沉積結構的電介質於間隔寬廣的導線的區域與該剩餘低電容率材料上，該間隔寬廣的導線係以大於最小導線間隔的一倍半所隔開的導線，該間隔緊密的導線是具有鄰接部份的導線，該部份與其它導線部份係以小於或等於最小導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

線間隔的一倍半隔開，且該低電容率材料是一個介質常數少於3的材料。

9. 一種用於圖案化一個在一個半導體上的金屬層的方法，包含步驟：

沉積一個金屬層在一個基片上，該金屬層有一個第一個區域與一個第二個區域；

沉積一個蝕刻中止介質層在該金屬層上；

沉積一個阻抗層在該蝕刻中止介質層上；

圖案化該阻抗層以形成一個導體圖案；

蝕刻該蝕刻中止介質層和該金屬以形成金屬導線，該金屬導線具有間隔寬廣的導線於該金屬層的第一個區域，其中該間隔寬廣的導線具有以大於最小導線間隔的一倍半所隔開的導線，該金屬導線具有間隔緊密的導線於該金屬層的第二個區域，其中該間隔緊密的導線具有小於或等於最小導線間隔的一倍半隔開的導線；

除去該阻抗層；

沉積一個低電容率材料於至少該間隔緊密的導線之間，該低電容率材料提供一個少於3的介質常數於一個至少二個該金屬導線之間的區域；沉積一個第一個結構的介質層在至少該間隔寬廣的導線；

沉積一個結構的介質層在至少該低電容率材料與該間隔緊密的導線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

水

六、申請專利範圍

10．如申請專利範圍第9項之方法，其中該低電容率材料同時也被沉積於鄰接該間隔緊密的導線之區域的該蝕刻中止介質層之間。

11．如申請專利範圍第9項之方法更進一步地包含在該沉積一個結構的介質層步驟之後平面化該結構的介質層的步驟。

12．如申請專利範圍第9項之方法更進一步地包含在該形成金屬導線步驟之後沉積一個鈍化層的步驟。

13．一種用於圖案化在一個半導體晶圓上的金屬層的方法，包含步驟：

沉積一個金屬層在一個基片上，該金屬層具有一個第一個區域與一個第二個區域；

沉積一個絕緣層在該金屬層上；

沉積一個第一個阻抗在該絕緣層上；

圖案化該第一個阻抗以形成一個導體圖案在該絕緣層上；

除去該第一個阻抗；

以一個第二個阻抗遮蓋該金屬層的該第二個區域；

蝕刻該金屬層的該第一個區域以形成間隔寬廣的導線，

該間隔寬廣的導線具有以大於最小導線間隔的一倍半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

隔開的導線；

沉積一個第一個結構的介質層在該間隔寬廣的導線上；

除去該第二個阻抗以暴露該金屬層的該第二個區域；

蝕刻該金屬層的該第二個區域以至少形成間隔緊密的導線的鄰接部份於該金屬層的該第二個區域，該間隔緊密的導線係以小於或等於最小導線間隔的一倍半所隔開的導線；

沉積一個低電容率材料於該間隔緊密的導線之間，該低電容率材料提供一個低於 3 的介質常數於一個至少二個該間隔緊密的金屬導線之間的區域；與

沉積一個第二個結構的介質層於該間隔寬廣的導線上。

14．如申請專利範圍第 13 項之方法，其中只有該間隔緊密的導線的鄰接部份被形成於該形成間隔寬廣的導線的步驟期間。

15．如申請專利範圍第 13 項之方法，其中所有該間隔緊密的導線被形成於該形成間隔緊密的導線的步驟期間。

16．如申請專利範圍第 13 項之方法更進一步地包含在該形成間隔緊密的導線步驟之後沉積一個鈍化層的步驟。

17．一種半導體裝置包含；

一個基片，該基片具有一個第一個區域與一個第二個區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

六、申請專利範圍

域；

形成在該基片的該第一個區域的間隔寬廣的導線，該間隔寬廣的導線係以大於最小導線間隔的一倍半所隔開；

形成在該基片的該第二個區域的間隔緊密的導線的鄰接部份，該鄰接部份係以小於或等於最小導線間隔的一倍半所隔開；

一個於至少該間隔緊密的導線的部份之間的低電容率材料，該部份與其它部份係以小於或等於最小導線間隔的一倍半所隔開，該低電容率材料提供一個少於 3 的介質常數於一個至少二個該間隔緊密的導線之間的區域；與

一個在該低電容率材料上與在該間隔寬廣的導線上與之間的單一同種的結構的介質層。

18．如申請專利範圍第 17 項之結構更進一步地包含一個絕緣層在至少該間隔緊密的導線的頂端上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

以