

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 1 月 3 日(03.01.2014)



(10) 国際公開番号

WO 2014/002672 A1

(51) 国際特許分類:

H01L 29/47 (2006.01) H01L 29/778 (2006.01)
H01L 21/316 (2006.01) H01L 29/812 (2006.01)
H01L 21/338 (2006.01) H01L 29/861 (2006.01)
H01L 21/768 (2006.01) H01L 29/868 (2006.01)
H01L 23/532 (2006.01) H01L 29/872 (2006.01)

(21) 国際出願番号: PCT/JP2013/064851

(22) 国際出願日: 2013 年 5 月 29 日(29.05.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-147328 2012 年 6 月 29 日(29.06.2012) JP

(71) 出願人: 次世代パワーデバイス技術研究組合
(ADVANCED POWER DEVICE RESEARCH ASSO-
CIATION) [JP/JP]; 〒2200073 神奈川県横浜市西区
岡野 2 丁目 4 番 3 号 Kanagawa (JP).

(72) 発明者: 佐藤 義浩(SATO Yoshihiro); 〒2200073 神
奈川県横浜市西区岡野 2 - 4 - 3 次世代パ
ワーデバイス技術研究組合内 Kanagawa (JP). 堤
岳志(TSUTSUMI Takeshi); 〒2200073 神奈川県横浜
市西区岡野 2 - 4 - 3 次世代パワーデバイス

技術研究組合内 Kanagawa (JP). 山田 三千矢(YA-
MADA Michiya); 〒2200073 神奈川県横浜市西区岡
野 2 - 4 - 3 次世代パワーデバイス技術研究
組合内 Kanagawa (JP). 田中 亮(TANAKA Toru);
〒2200073 神奈川県横浜市西区岡野 2 - 4 - 3
次世代パワーデバイス技術研究組合内 Kanagawa
(JP). 佐々木 康真(SASAKI Yasumasa); 〒2200073
神奈川県横浜市西区岡野 2 - 4 - 3 次世代パ
ワーデバイス技術研究組合内 Kanagawa (JP).

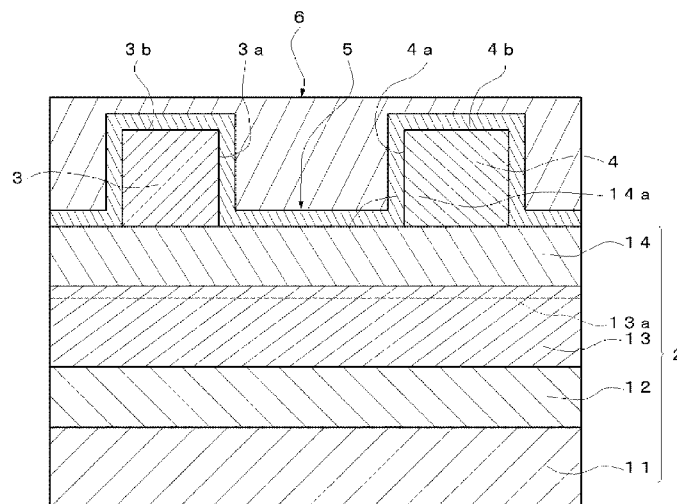
(74) 代理人: アインゼル・フェリックス＝ラインハ
ルト, 外(EINSEL Felix-Reinhard et al.); 〒1000005
東京都千代田区丸の内 1 丁目 6 番 2 号 新丸の
内センタービルディング ゾンデルホフ&アイ
ンゼル法律特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体デバイスおよびその製造方法



(57) Abstract: Provided is a semiconductor device with a horizontal structure, wherein the device can have improved reliability even if a high electric field arises between electrodes. A semiconductor device (1) is provided with the following: a silicon substrate (11); a buffer layer (12) formed on the substrate; a GaN layer (13) layered on top of the buffer layer (12); an AlGaIn layer (14) that is layered on top of the GaN layer (13) and that comprises another GaN-based compound hetero-bonded to the GaN; and a Schottky electrode (3) and an ohmic electrode (4) formed at a prescribed distance apart from each other on the surface (14a) of the AlGaIn layer (14). Moreover, the semiconductor device (1) is provided with a dielectric structure (5) that comprises SiO₂ and that integrally covers the opposing surfaces (3a, 4a) of the electrodes (3, 4) and the surface (14a) of the AlGaIn layer (14), and a dielectric structure (6) that is disposed on top of the dielectric structure (5) and between the electrodes (3, 4) and that comprises a material with a dielectric constant at least that of SiO₂.

(57) 要約:

[続葉有]

WO 2014/002672 A1



SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

横型構造の半導体デバイスにおいて、電極間に高電界が生じる場合であっても信頼性を向上することができる半導体デバイスを提供する。半導体デバイス 1 は、Si からなる基板 11 と、該基板上に形成されたバッファ層 12 と、バッファ層 12 上に積層された GaN 層 13 と、GaN 層 13 上に積層され、GaN とヘテロ接合された他の GaN 系化合物を含む AlGaIn 層 14 と、AlGaIn 層 14 の表面 14a に所定間隔で形成されたショットキー電極 3 およびオーミック電極 4 とを備えている。また半導体デバイス 1 は、電極 3, 4 のそれぞれの対向面 3a, 4a と AlGaIn 層 14 の表面 14a とを一体的に覆って形成され、SiO₂ からなる誘電体構造 5 と、誘電体構造 5 上であり且つ電極 3, 4 の間に、SiO₂ と同じかそれ以上の誘電率を有する材料からなる誘電体構造 6 とを備えている。

明 細 書

発明の名称：半導体デバイスおよびその製造方法

技術分野

[0001] 本発明は、パワーエレクトロニクス用デバイス等に用いられるⅢ－Ⅴ族窒化物系化合物半導体を有する半導体デバイスおよびその製造方法に関する。

背景技術

[0002] Ⅲ族窒化物半導体は、およそ 3.3 MV/cm の高い絶縁破壊電界を有しており、従来のSiデバイスに比べて小さいチップ面積で同じ性能のパワー半導体装置が作製できると考えられている。しかし、Ⅲ族窒化物半導体は、サファイヤなどの絶縁基板上やSi基板等の導電基板を使用しても、基板上のバッファ層内にAlNを使用することで高抵抗化していることから、横型素子が主流である。そのため、ダイオードやトランジスタを作製する場合、高電圧が印加される電極が同一平面に存在することになる。特に、素子の高密度化を図った場合、各電極が櫛歯型電極構造となり、電圧差が600Vのソース電極とドレイン電極が $10\text{ }\mu\text{m}$ 程度の間隔で、交互に同一平面に配置されることになる。特に、配線抵抗を低減するためには配線幅を広げる必要があることから、配線としてのソース電極とドレイン電極の双方の幅が広げられ、これら電極間の距離が数 μm まで縮小される。このため、電極間電界は平均電界で数 MV/cm に達し、局所的には更に高くなる。

[0003] 従来、Siデバイスでは電極間にポリイミドを充填していた。これは、Siの絶縁破壊電界が 0.3 MV/cm であるのに対し、ポリイミドは $4\sim 5\text{ MV/cm}$ であり、絶縁破壊電界に10倍程度の差があることによる。しかし、GaNの絶縁破壊電界は 3.3 MV/cm であり、ポリイミドと同程度であることから、平均電界では問題ないが、電極の角隅部など電界集中点においては、ポリイミドの絶縁破壊電界を超す可能性がある。

[0004] さらに配線抵抗を下げるために配線幅を広げ、配線間距離が狭くなると、

ポリイミドの絶縁破壊電界を超える可能性がある。そのため、従来のように電極間を単にポリイミドで充填していたのでは、ポリイミドが絶縁破壊を起こす問題があった。

[0005] 例えば、配線間の絶縁膜の耐圧が空気より高く、GaNより低くなっている誘電体構造が提案されている（特許文献1）。しかしながら、本構成では、GaNより先に絶縁膜が降伏してしまい、高耐圧素子を作製することはできない。

[0006] また、横型IGBT（Insulated Gate Bipolar Transistor）において、エミッタ電極が、素子上部を層間絶縁膜を介して覆っている誘電体構造が提案されている（特許文献2）。本構成では、必然的にコレクタ電極の上面が覆われることになる。このような構造の場合、コレクタ電極とエミッタ電極から延びた電極との間の層間絶縁膜の耐圧が問題になると思われるが、Siの絶縁破壊耐圧が低い為、それ依然に、コレクタ電極周辺の電界集中が問題になると考えられる。このため、コレクタ電極近傍に半導体層に食い込む形状の絶縁層を設けて、電界集中を防いでいる。このように、絶縁層がSiの場合には、Siの絶縁破壊耐圧が低い為、層間絶縁膜の耐圧は問題にならないと考えられる。

[0007] また、他の横型IGBTは、高電圧のかかるコレクタ電極とエミッタ電極が交差している構造を有している（特許文献3）。この横型IGBTでは、特許文献2の構成と同様、半導体部の電界集中について考慮しているものの、層間絶縁膜自体については考慮していない。

[0008] 特許文献4では、HV IC（High Voltage Integrated Circuit）の一例として、Siデバイスにおいて高圧部の周辺を低圧部が覆うようにして、かつその間を高耐圧MOSFETで繋ぎ、その構造を工夫することで層間絶縁膜に高い電界が生じるようにしている。これはSiデバイスが横型構造のみならず縦型構造を採用することができ、縦方向で耐圧を持たせることが可能となっている。また、層間絶縁膜に高い電界が発生する構成では（図17参照）、GaNのデバイスのように対向する電極間で電界が生じる訳ではなく

、層間絶縁膜での電界強度はGaNに比べて低いと考えられる。このように、SiのHVIC等においても、横型の対向する配線間の耐圧を考慮する必要があると考えられる。また、この特許文献4におけるトレンチ分離部の作製方法では（図4参照）、トレンチをエッチングして熱酸化しているが、本方法はSiであるが故に実行できるのであり、GaNで実行するのは本質的に困難である。

先行技術文献

特許文献

[0009] 特許文献1：特開2011-146446号公報

特許文献2：特開2011-108800号公報

特許文献3：特開2001-57431号公報

特許文献4：特許第4788749号公報

発明の概要

発明が解決しようとする課題

[0010] 本発明の目的は、横型構造の半導体デバイスにおいて、電極間に高電界が生じる場合であっても信頼性を向上することができる半導体デバイスおよびその製造方法を提供することにある。

課題を解決するための手段

[0011] 上記目的を達成するために、本発明に係る半導体デバイスは、横型構造の半導体デバイスであって、基板と、前記基板上に積層され、GaN系化合物を含む第1半導体層と、前記第1半導体層上に積層され、前記GaN系化合物とヘテロ接合された他のGaN系化合物を含む第2半導体層と、前記第2半導体層の表面に所定間隔で形成された第1電極および第2電極と、前記第1電極および前記第2電極のそれぞれの対向面と、前記第2半導体層の表面とを一体的に覆って形成され、所定の誘電率を有する第1材料からなる第1誘電体構造と、前記第1誘電体構造上であり且つ前記第1電極および第2電極の間に形成され、前記第1材料と同じかそれ以上の誘電率を有する第2材

料からなる第2誘電体構造と、を備えることを特徴とする半導体デバイス。

[0012] 前記第1材料は SiO_2 であるのが好ましく、また、前記第2材料は、ポリイミドと同じかそれ以上の誘電率を有する材料であるのが好ましい。

[0013] また、前記第2材料が SiO_2 であるのが好ましい。

[0014] また、前記第1電極および前記第2電極が櫛歯型電極構造を形成してもよい。

[0015] さらに、前記1誘電体構造が、前記第1電極の上面の少なくとも一部と、前記第2電極の上面の少なくとも一部とを覆って形成されてもよい。

[0016] また、前記第1誘電体構造が、前記第1電極の上面および前記第2電極の上面の全面を覆って形成されてもよい。

[0017] また、前記半導体デバイスがダイオードまたはトランジスタで構成されてもよい。

[0018] 本発明に係る半導体デバイスの製造方法は、横型構造の半導体デバイスの製造方法であって、基板上に、 GaN 系化合物を含む第1半導体層を形成するステップと、前記第1半導体層上に、前記 GaN 系化合物とヘテロ接合された他の GaN 系化合物を含む第2半導体層を形成するステップと、前記第2半導体層の表面に、第1電極および第2電極を所定の間隔で形成するステップと、前記第1電極および前記第2電極のそれぞれの対向面と、前記第2半導体層の表面とを一体的に覆う第1誘電体構造を、所定の誘電率を有する第1材料で形成するステップと、前記第1誘電体構造上であり且つ前記第1電極と前記第2電極との間に、前記第1材料と同じかそれ以上の誘電率を有する材料で第2誘電体構造を形成するステップと、を備えることを特徴とする。

[0019] また、前記第1材料および前記第2材料が SiO_2 であり、前記第2誘電体構造は、カソードカップリング型PECVD法にて、前記第1誘電体構造と一体的に成形されるのが好ましい。

[0020] また、前記第1誘電体構造が、前記第1電極の上面の少なくとも一部と、前記第2電極の上面の少なくとも一部とを覆って形成されてもよい。

発明の効果

[0021] 本発明によれば、横型構造の半導体デバイスにおいて、第1誘電体構造が、第1電極および第2電極のそれぞれの対向面と、第2半導体層の表面とを一体的に覆って形成され、かつ、所定の誘電率を有する第1材料からなる。また、第2誘電体構造が、第1誘電体構造上であり且つ第1電極および第2電極の間に形成され、かつ、第1材料と同じかそれ以上の誘電率を有する第2材料からなる。すなわち、第1電極と第2電極の間で、電界集中の生じ易い各電極の近傍には第1材料の層が形成され、残りの部分については第1材料と誘電率が同じ、またはより誘電率の高い第2材料の層が形成されるので、各電極の近傍で生じ易い絶縁破壊を防止することができ、加えて誘電体構造の割れを防止することができる。したがって、電極間に高電界が生じる場合であっても信頼性を向上することができる。

[0022] また、第1誘電体構造を SiO_2 で形成し、第2誘電体構造を SiO_2 より誘電率の高いポリイミドで形成することで、誘電率は低い絶縁破壊耐圧の高い SiO_2 と、誘電率が高く、割れを生じにくいポリイミドとで電極間が埋め込まれる。したがって、各電極の近傍で生じ易い絶縁破壊を防止できると共に、割れ等が生じない信頼性の高い誘電体構造を作製することができる。

図面の簡単な説明

[0023] [図1]本発明の実施形態に係る半導体デバイスの構成を概略的に示す平面図である。

[図2]図1の線A-Aに沿う半導体デバイスの部分断面図である。

[図3]図2の誘電体構造を示す断面図であり、(a)は第1誘電体構造、(b)は第2誘電体構造を示す。

[図4]図2の半導体デバイスの変形例を示す部分断面図である。

[図5]図2の半導体デバイスの他の変形例を示す部分断面図である。

発明を実施するための形態

[0024] 以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

[0025] 図1は、本実施形態に係る半導体デバイスで、例えば、 $\text{AlGaIn}/\text{GaInAs}$

Nのヘテロ接合構造を有するダイオードである。この半導体デバイス1は、図1に示すように、櫛歯型電極を有する横型構造の半導体デバイスであって、III-V族窒化物半導体を含む積層体2と、積層体の表面に形成された櫛歯型のショットキー電極3およびオーミック電極4とを備えている。これらの電極3、4は、各電極の側方から延出する複数の櫛歯部をそれぞれ有しており、これら電極に設けられた複数の櫛歯部を交互に配置することで、素子の高密度化を実現している。

[0026] 図2は、図1の線A-Aに沿う半導体デバイス1の部分断面図である。

[0027] 半導体デバイス1は、Siからなる基板11と、該基板上に形成されたバッファ層12と、バッファ層12上に積層されたGaN層13（第1半導体層）と、GaN層13上に積層され、GaNとヘテロ接合された他のGaN系化合物を含むAlGaN層14（第2半導体層）と、AlGaN層14の表面14aに所定間隔で形成されたショットキー電極3（第1電極）およびオーミック電極4（第2電極）とを備えている。また半導体デバイス1は、ショットキー電極3およびオーミック電極4のそれぞれの対向面とAlGaN層14の表面14aとを一体的に覆って形成され、SiO₂（第1材料）からなる誘電体構造5（第1誘電体構造）と、誘電体構造5上であり且つショットキー電極3およびオーミック電極4の間に、SiO₂と同じかそれ以上の誘電率を有する材料（第2材料）からなる誘電体構造6（第2誘電体構造）とを備えている。

[0028] ショットキー電極3およびオーミック電極4は、例えば断面略矩形であり、ショットキー電極3とオーミック電極4の対向面が、それぞれ内側面3a、4aを構成している。これらショットキー電極3およびオーミック電極4は、高導電性の材料からなり、ショットキー電極3は例えば、半導体層側から順に、Ni（100nm）、Au（100nm）、AlもしくはAl合金（5～10μm）からなり、オーミック電極4は例えば、半導体層側から順に、Ti（25nm）、Al（300nm）、AlもしくはAl合金（5～10μm）からなる。また、このショットキー電極3およびオーミック電極

4は、例えば幅 $10\mu\text{m}$ で形成される。

[0029] 誘電体構造5は、具体的には、図3(a)に示すように、AlGaIn層14の表面14aに形成された底面部5aと、ショットキー電極3の内側面3aを覆う側面部5bと、ショットキー電極3の上面3bを覆う上面部5dと、オーミック電極4の内側面4aを覆う側面部5cと、オーミック電極4の上面4bを覆う上面部5eとを有している。この誘電体構造5は、例えば SiO_2 からなり、その厚さ T_1 が、例えば $2.0\mu\text{m}$ となるように形成されている。

[0030] 誘電体構造6は、図3(b)に示すように、底面部5a上に形成された層厚部6aと、上面部5d、5e上に形成された層薄部6b、6cとを有している。層厚部6aは、ショットキー電極3およびオーミック電極4の間に埋設するように形成されている。また、層薄部6b、6cは、それぞれ上面50d、50eの全体を覆って形成されている。この誘電体構造6は、具体的には、 SiO_2 より誘電率の高い有機膜、例えば誘電率が4.0以上の高誘電率ポリイミドからなり、層厚部6aの幅Dは約 $6.0\mu\text{m}$ である。このような材料を用いることによって、有機膜中の電界を $\varepsilon_1/\varepsilon_2$ (ε_1 : SiO_2 の誘電率、 ε_2 : 有機膜の誘電率) にすることができるため、有機膜の寿命を延ばすことが可能となる。

[0031] また、本実施形態において、誘電体構造5を形成する材料を第1材料、誘電体構造6を形成する材料を、第1材料より耐圧の大きい第2材料としたとき、誘電体構造5、6は直列コンデンサの関係より、その電荷が同じになるため、誘電率の低いもの程、高電界がかかる。よって、電極間における誘電体構造5、6の厚さを調整することで、低耐圧な誘電体に過剰な電圧が生じず、長寿命を実現することも可能である。具体的には、第1材料からなる誘電体構造5を必要最低限の厚さで形成し、残りの部分を第2材料で埋め込むと、相対的に誘電率の低い誘電体構造5に電界がかかることになる。このため、厚膜化による割れを防止しつつ、高電圧による絶縁破壊を防止することができる。

[0032] 上記のような $\text{AlGaIn}/\text{GaIn}$ ヘテロ接合構造を有する半導体デバイス 1 では、 $\text{AlGaIn}/\text{GaIn}$ ヘテロ接合界面の GaIn 層 13 側に、ピエゾ効果によって 2 次元電子ガス層が発生している。そして、高キャリア濃度の 2 次元電子ガス層 13a が形成された $\text{AlGaIn}/\text{GaIn}$ 層を介して、オーミック電極 4 がショットキー電極 3 と電氣的に接続される。このとき、2 次元電子ガス層がキャリアとなって $\text{AlGaIn}/\text{GaIn}$ 層が低抵抗、高移動度となるため、半導体デバイス 1 のオン抵抗を小さくし、低オン電圧を実現することが可能となっている。

[0033] 本実施形態によれば、櫛歯型電極を有する横型構造の半導体デバイス 1 において、誘電体構造 5 が、ショットキー電極およびオーミック電極のそれぞれの対向面と、第 2 半導体層の表面とを一体的に覆って形成され、かつ、所定の誘電率を有する SiO_2 からなる。また、誘電体構造 6 が、誘電体構造 5 上であり且つショットキー電極およびオーミック電極の間に形成され、かつ、 SiO_2 と同じかそれ以上の誘電率を有するポリイミドからなる。すなわち、ショットキー電極とオーミック電極の間で、電界集中の生じ易い各電極の近傍には SiO_2 層が形成され、残りの部分については SiO_2 より誘電率の高いポリイミド層が形成されるので、各電極の近傍で生じ易い絶縁破壊を防止することができ、加えて誘電体構造の割れを防止することができる。また、 SiO_2 のみでは誘電体構造全体を形成し難い場合であっても、上記関係を有する 2 つの材料を使用することで容易に作製することが可能となり、設計の自由度を向上させることができる。

[0034] さらに、電極間の絶縁破壊耐圧を向上することができるため、櫛歯型電極を高密度に配置した場合でも、電極間で絶縁破壊が生じるのを防止することができ、低オン抵抗で高耐圧な半導体デバイスを作製することが可能となる。

[0035] 図 4 は、図 2 の半導体デバイスの変形例を示す部分断面図である。図 2 の半導体デバイスは誘電体構造 5、6 を有しているが、図 4 の半導体デバイスは、一体成形された誘電体構造 20 を有している点で異なる。以下、図 2 の

半導体デバイスと異なる部分を説明する。

[0036] 図4の半導体デバイスにおいて、誘電体構造20は、ショットキー電極3およびオーミック電極4のそれぞれの対向面と、AlGaIn層14の表面14aとを一体的に覆って形成され、かつ、ショットキー電極3とオーミック電極4の間に埋設するように配置されている。すなわち、本変形例の誘電体構造20は、図2の半導体構造5、6をSiO₂にて一体的に成形したものである。この誘電体構造20は、AlGaIn層14の表面14a上に形成された層厚部20aと、上面3b、4b上に形成された層薄部20b、20cとを有している。

[0037] ここで、誘電体構造はショットキー電極3とオーミック電極4との間に埋め込んで形成する必要がある。したがって、誘電体構造の厚さはAlGaIn層14上に形成される各電極の厚さに依存することとなり、とりわけ、各電極の厚さが10μm程度まで大きくなると、アノードカップリング型PECVDのような通常のCVD法を用いた場合にSiO₂のみでは誘電体構造全体を形成できない場合がある。

[0038] 本実施形態では、誘電体構造20の厚さT2（AlGaIn層14の表面14aと接する面から上面までの距離）が、ショットキー電極3あるいはオーミック電極4の厚さ（高さ）よりも大きく形成される。このとき、誘電体構造20は、例えばカソードカップリング型PECVD法にて形成される。カソードカップリング型PECVDとは、成膜される膜にプラズマでイオン化された荷電粒子が入射してくるタイプのCVDである。入射する粒子により、SiO₂のネットワークが分断されるので内部応力が緩和され、その結果通常のCVDと比較して厚いSiO₂が成膜できると推察される。したがって、各電極の厚さが大きい場合であっても、カソードカップリング型PECVD法を採用することにより、電極間にSiO₂からなる誘電体構造20を形成することができ、誘電体構造20の更なる高耐圧を実現することができる。

[0039] 図5は、図4の半導体デバイスの変形例を示す部分断面図である。

[0040] 図5に示すように、誘電体構造30は、AlGaIn層14の表面14a上

に形成された層厚部30aと、上面3b、4b上に形成された層薄部30b、30cとを有している。そして、層薄部30bは上面3bの一部を覆って形成され、層薄部30cは上面4bの一部を覆って形成されている。すなわち、誘電体構造20では、ショットキー電極3の上面3bとオーミック電極4の一部が露出している。

[0041] このように、電極の上面において、電界が生じない位置には誘電体構造30を形成しないことにより、誘電体構造30の残留応力を減少させることができ、誘電体構造30の割れを確実に防止することができる。

[0042] 以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で変更可能である。

[0043] 例えば、本実施形態では電子デバイスはIII族窒化物半導体を有するダイオードであるが、これに限らず、III族窒化物半導体を有するトランジスタであってもよい。トランジスタの場合はソース電極とドレイン電極間の絶縁膜について本願発明を適用できる。また、SOIダイオードまたはSOIトランジスタであってもよい。

実施例

[0044] 以下、本発明の実施例を説明する。

[0045] (実施例1)

先ず、基板としてSi(111)を準備し、この基板をMOCVD装置内に導入して結晶成長を行う。具体的には、AlN層100nmを成長後、AlN/GaN=20/200nmを12回繰り返してバッファ層を成長させた。次に、炭素濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上の高抵抗GaN層を1000nm成長させ、その後、炭素濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下の低抵抗GaN層を1000nm成長させた。次いで、Al組成25%のAlGaN層を25nm成長させ、ヘテロ接合界面を形成した。

[0046] その後、オーミック電極（ドレイン電極）とショットキー電極（ゲート電極）とを、フォトリソグラフィーとスパッタリング、リフトオフ、アニール

等の工程を経て形成した。

[0047] その後、層間絶縁膜である SiO_2 をプラズマCVD法や熱CVD法により形成し、オーミック電極とショットキー電極の必要部をフォトリソグラフィーとフッ酸によるエッチングにより SiO_2 を開口した。

[0048] 次に、純AlやAl合金（AlSi、AlCu等）を $10\mu\text{m}$ 成膜させ、その後、フォトリソグラフィーと塩素系ドライエッチングによりアルミをエッチングして、アルミ配線をパターンニングした。

[0049] 次に、アノードカップリング型PECVDを用いて SiO_2 を $2\mu\text{m}$ 成膜したのち、ポリイミド（誘電率4.0）を塗布した。塗布厚は電極上面にもポリイミドが形成されるように、パターンを形成していないベアシリコン基板で $20\mu\text{m}$ となるような条件で塗布した。その後、レジストを塗って、ポリイミドをパターンニングした後、 380°C でキュアを行った。

[0050] （実施例2）

実施例1のポリイミドに代えて、ポリイミドより誘電率の高い有機膜を使用した。 SiO_2 の誘電率が3.9であり、有機膜間の誘電率がXの場合、電荷は $3.9/X$ 倍となることから、ポリイミドの場合よりも低い電圧が有機膜にかかった。

[0051] （実施例3）

アルミ配線を形成するまでは、実施例1と同様に作製した。

[0052] その後、カソードカップル型PECVDで SiO_2 を 5000nm 成膜した。そのときの原料はTEOSと酸素であった。その後、パッド部分をエチレングリコール含有の緩衝フッ酸で開口した。

[0053] （比較例）

アルミ配線を形成するまでは、実施例1と同様に作製した。

[0054] その後、ポリイミドを塗布した。塗布厚はパターンを形成していないベアシリコン基板で $20\mu\text{m}$ となるような条件で塗布した。その後、レジストを塗って、ポリイミドをパターンニングした後、 380°C でキュアを行った。

[0055] 上記のように作製した半導体デバイスの耐圧性を検証した結果、実施例1

～３の場合、電極間に高電圧が生じる場合であっても、電極間での絶縁破壊を防止することができ、高耐圧な半導体デバイスを作製できることが分かった。

符号の説明

- [0056] 1 半導体デバイス
- 2 積層体
- 3 ショットキー電極
- 3 a, 4 a 対向面
- 3 b, 4 b 上面
- 4 オーミック電極
- 5 a 底面部
- 5 b 側面部
- 5 c 側面部
- 5 d 上面部
- 5 e 上面部
- 6 a 層厚部
- 6 b, 6 c 層薄部
- 1 1 基板
- 1 2 バッファ層
- 1 3 G a N層
- 1 3 a ２次元電子ガス層
- 1 4 A l G a N層
- 1 4 a 表面
- 5 誘電体構造
- 6 誘電体構造
- 2 0 誘電体構造
- 2 0 a 層厚部
- 2 0 b, 2 0 c 層薄部

3 0 誘電体構造

3 0 a 層厚部

3 0 b, 3 0 c 層薄部

5 0 d, 5 0 e 上面

請求の範囲

- [請求項1] 横型構造の半導体デバイスであって、
基板と、
前記基板上に積層され、GaN系化合物を含む第1半導体層と、
前記第1半導体層上に積層され、前記GaN系化合物とヘテロ接合された他のGaN系化合物を含む第2半導体層と、
前記第2半導体層の表面に所定間隔で形成された第1電極および第2電極と、
前記第1電極および前記第2電極のそれぞれの対向面と、前記第2半導体層の表面とを一体的に覆って形成され、所定の誘電率を有する第1材料からなる第1誘電体構造と、
前記第1誘電体構造上であり且つ前記第1電極および第2電極の間に形成され、前記第1材料と同じかそれ以上の誘電率を有する第2材料からなる第2誘電体構造と、
を備えることを特徴とする半導体デバイス。
- [請求項2] 前記第1材料はSiO₂であることを特徴とする請求項1記載の半導体デバイス。
- [請求項3] 前記第2材料は、ポリイミドと同じかそれ以上の誘電率を有する材料であることを特徴とする、請求項1記載の半導体デバイス。
- [請求項4] 前記第2材料がSiO₂であることを特徴とする請求項1記載の半導体デバイス。
- [請求項5] 前記第1電極および前記第2電極が櫛歯型電極構造を形成することを特徴とする請求項1乃至4のいずれか1項に記載の半導体デバイス。
- [請求項6] 前記第1誘電体構造が、前記第1電極の上面の少なくとも一部と、前記第2電極の上面の少なくとも一部とを覆って形成されることを特徴とする、請求項1乃至5のいずれか1項に記載の半導体デバイス。
- [請求項7] 前記第1誘電体構造が、前記第1電極の上面および前記第2電極の

上面の全面を覆って形成されることを特徴とする、請求項 1 乃至 6 のいずれか 1 項に記載の半導体デバイス。

[請求項8] 前記半導体デバイスが、ダイオードまたはトランジスタで構成されることを特徴とする、請求項 1 乃至 7 のいずれか 1 項に記載の半導体デバイス。

[請求項9] 横型構造の半導体デバイスの製造方法であって、
基板上に、GaN系化合物を含む第 1 半導体層を形成するステップと、

前記第 1 半導体層上に、前記GaN系化合物とヘテロ接合された他のGaN系化合物を含む第 2 半導体層を形成するステップと、

前記第 2 半導体層の表面に、第 1 電極および第 2 電極を所定の間隔で形成するステップと、

前記第 1 電極および前記第 2 電極のそれぞれの対向面と、前記第 2 半導体層の表面とを一体的に覆う第 1 誘電体構造を、所定の誘電率を有する第 1 材料で形成するステップと、

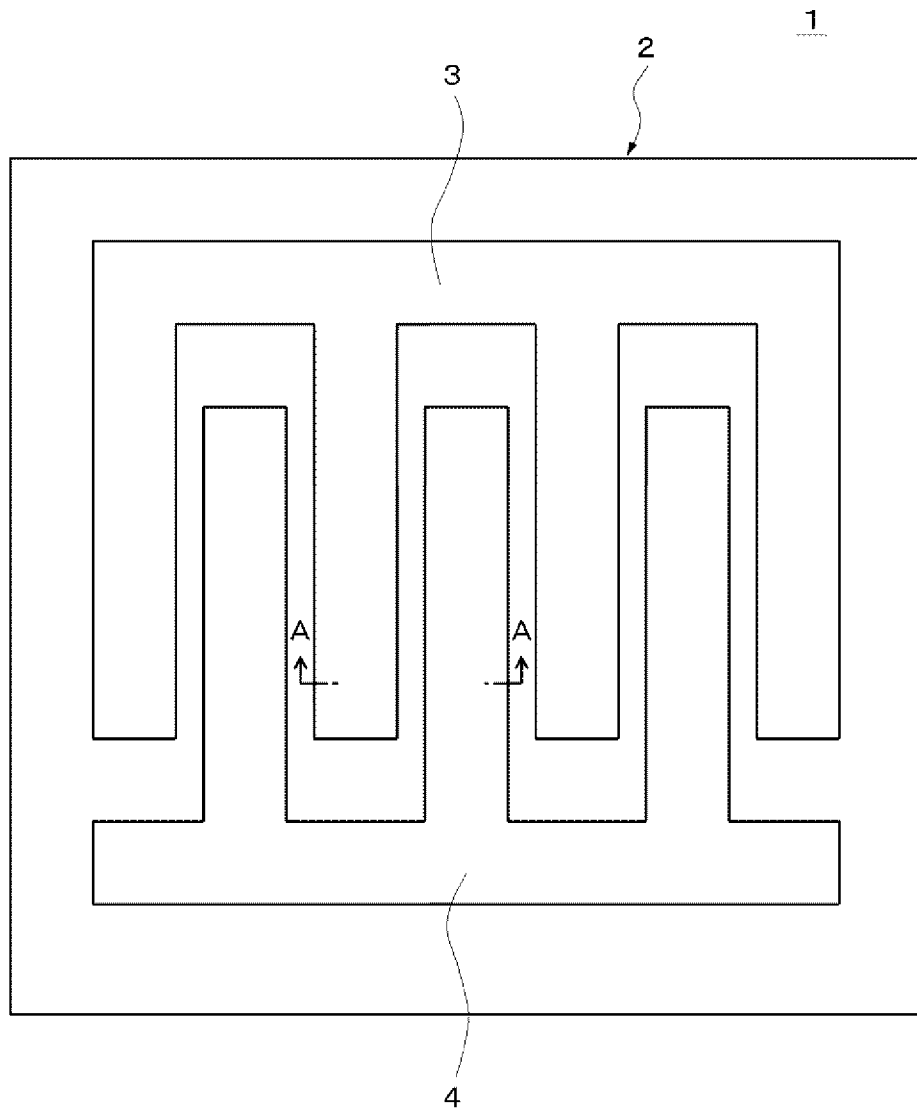
前記第 1 誘電体構造上であり且つ前記第 1 電極と前記第 2 電極との間に、前記第 1 材料と同じかそれ以上の誘電率を有する材料で第 2 誘電体構造を形成するステップと、

を備えることを特徴とする半導体デバイスの製造方法。

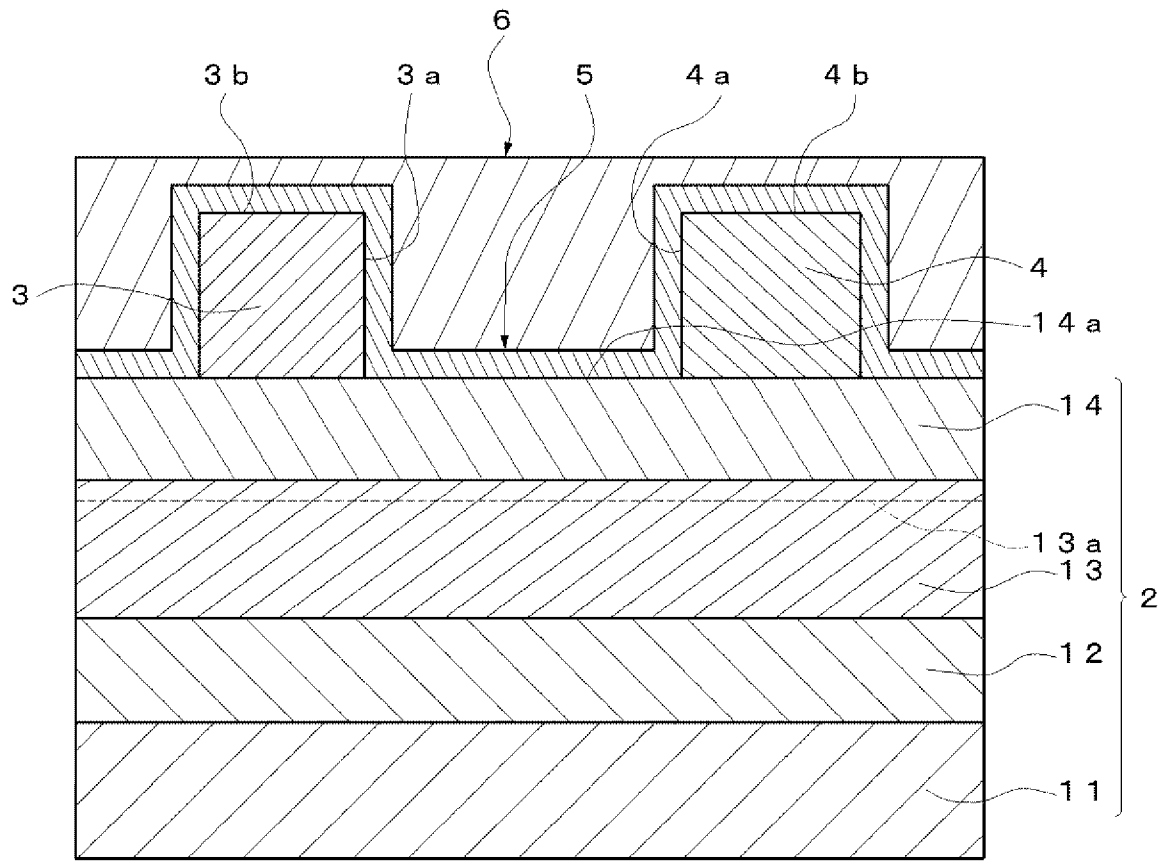
[請求項10] 前記第 1 材料および前記第 2 材料がSiO₂であり、
前記第 2 誘電体構造は、カソードカップリング型PECVD法にて、前記第 1 誘電体構造と一体的に成形されることを特徴とする、請求項 9 記載の製造方法。

[請求項11] 前記第 1 誘電体構造が、前記第 1 電極の上面の少なくとも一部と、前記第 2 電極の上面の少なくとも一部とを覆って形成されることを特徴とする、請求項 9 または 10 に記載の製造方法。

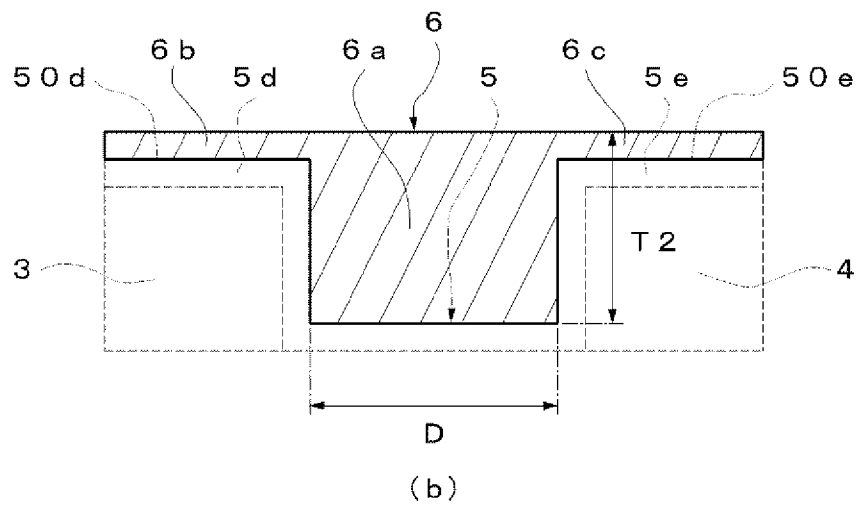
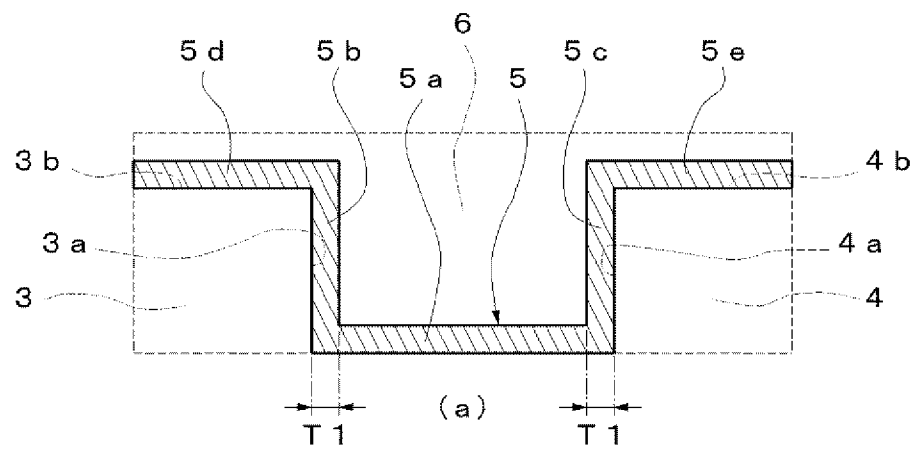
[図1]



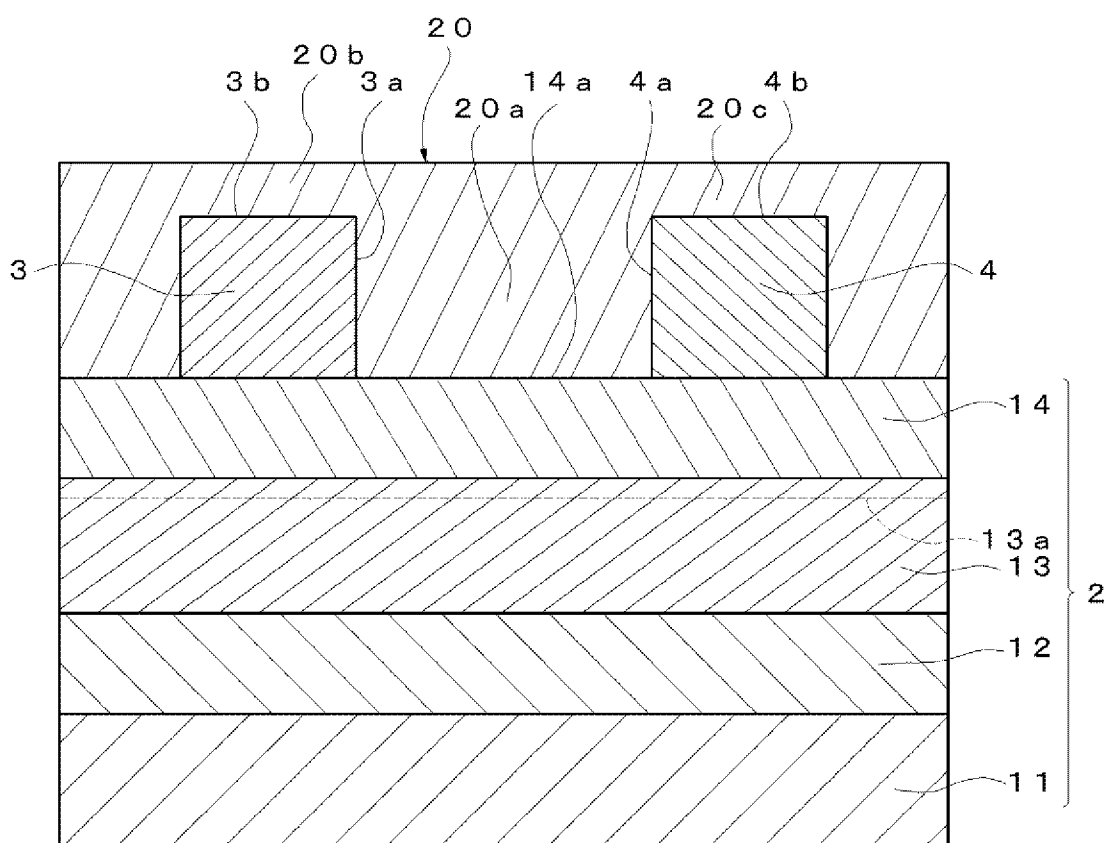
[図2]



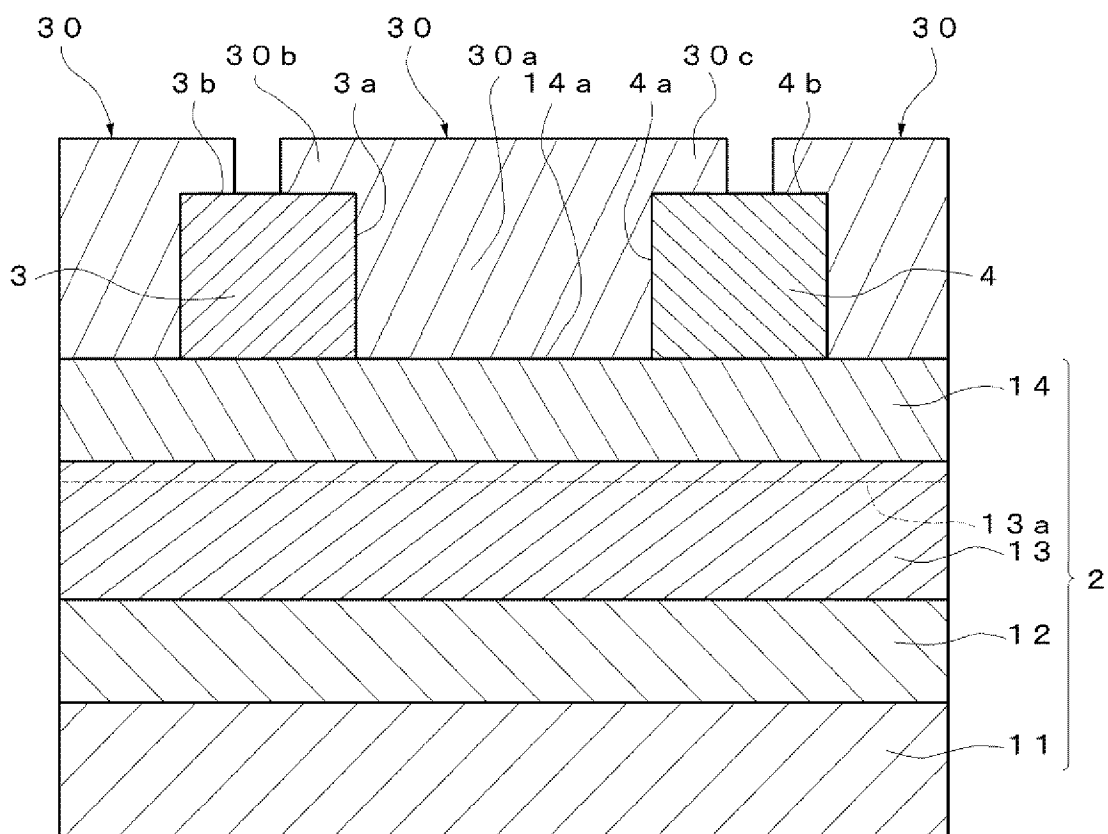
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064851

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/47(2006.01)i, H01L21/316(2006.01)i, H01L21/338(2006.01)i, H01L21/768(2006.01)i, H01L23/532(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/47, H01L21/316, H01L21/338, H01L21/768, H01L23/532, H01L29/778, H01L29/812, H01L29/861, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-199321 A (Fujitsu Ltd.), 09 September 2010 (09.09.2010), paragraphs [0015] to [0026]; fig. 1 to 2 (Family: none)	1-11
Y	JP 2011-210750 A (NEC Corp.), 20 October 2011 (20.10.2011), paragraphs [0037], [0187]; fig. 1 (Family: none)	1-11
Y	JP 2011-228719 A (Renesas Electronics Corp.), 10 November 2011 (10.11.2011), paragraph [0106] (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 June, 2013 (17.06.13)

Date of mailing of the international search report
02 July, 2013 (02.07.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064851

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-218696 A (NEC Corp.), 18 September 2008 (18.09.2008), paragraph [0012]; fig. 2 (Family: none)	1-11
A	WO 2007/040160 A1 (NEC Corp.), 12 April 2007 (12.04.2007), entire text & JP 5125512 B & US 2010/0155779 A1	1-11
A	JP 2000-3919 A (NEC Corp.), 07 January 2000 (07.01.2000), entire text & US 6100571 A & KR 10-2000-0006218 A & CN 1242608 A	1-11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/064851

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/872(2006.01) i

(According to International Patent Classification (IPC) or to both national
classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/47(2006.01)i, H01L21/316(2006.01)i, H01L21/338(2006.01)i, H01L21/768(2006.01)i,
H01L23/532(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i, H01L29/861(2006.01)i,
H01L29/868(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/47, H01L21/316, H01L21/338, H01L21/768, H01L23/532, H01L29/778, H01L29/812, H01L29/861,
H01L29/868, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-199321 A（富士通株式会社）2010.09.09, [0015] - [0026], [図 1]-[図 2]（ファミリーなし）	1-11
Y	JP 2011-210750 A（日本電気株式会社）2011.10.20, [0037], [0187], [図 1]（ファミリーなし）	1-11
Y	JP 2011-228719 A（ルネサスエレクトロニクス株式会社） 2011.11.10, [0106]（ファミリーなし）	1-11

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 6 . 2 0 1 3

国際調査報告の発送日

0 2 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

河合 俊英

5 F

3 2 3 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-218696 A (日本電気株式会社) 2008.09.18, [0012], [図 2] (ファミリーなし)	1-11
A	WO 2007/040160 A1 (日本電気株式会社) 2007.04.12, 全文 & JP 5125512 B & US 2010/0155779 A1	1-11
A	JP 2000-3919 A (日本電気株式会社) 2000.01.07, 全文 & US 6100571 A & KR 10-2000-0006218 A & CN 1242608 A	1-11