



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월21일  
(11) 등록번호 10-0806060  
(24) 등록일자 2008년02월15일

(51) Int. Cl.

H01L 21/66 (2006.01)

(21) 출원번호 10-2000-0070909

(22) 출원일자 2000년11월27일

심사청구일자 2005년11월25일

(65) 공개번호 10-2001-0051973

(43) 공개일자 2001년06월25일

(30) 우선권주장

09/450,524 1999년11월29일 미국(US)

(56) 선행기술조사문헌

JP06061314 A

US05915231A1

전체 청구항 수 : 총 9 항

(73) 특허권자

루센트 테크놀로지스 인크

미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자

가바라테디어스존

미합중국뉴저지07974머레이힐벌링턴로드62

자칼라제리코제이

미합중국뉴저지07974머레이힐로랜드로드54

(뒷면에 계속)

(74) 대리인

이병호, 장훈

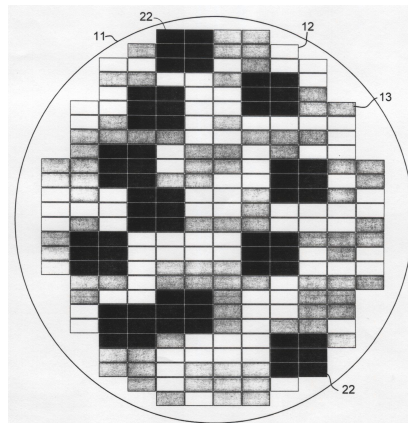
심사관 : 맹성재

(54) 멀티-칩 패키지들의 IC 칩들의 클러스터 패키징

(57) 요약

본 명세서에서는 MCM IC 패키지들에 패키징된 다수의 칩 사이트들을 갖는 단일의 집적된 클러스터 칩들을 기술한다. 충분히 기능적인, 또는 거의 기능적인 칩 사이트들의 클러스터들은 웨이퍼 레벨 검사를 사용하여 웨이퍼 레벨에서 식별된다. 클러스터들은 단일 칩으로 싱글레이트되고, 패키징된다. 단일 클러스터는, 예를 들어, 메모리 및 논리와 같은 칩 형태들의 조합들을 포함할 수 있다. 클러스터들은 일반적으로 3개 내지 25개 칩 사이트들을 구비할 것이다. 1형태 이상의 클러스터가 단일 웨이퍼에서 식별 및 생산될 수 있다. 남은 충분히 기능적인 칩들은 개별 칩들로서 싱글레이트되고, 단일 칩 패키지들 또는 MCM들 중 하나의 종래의 방법으로 패키징될 수 있다. 상호 접속 기관들은, 예를 들어, 다수의 칩 사이트들을 상호 접속하도록 실리콘-온-실리콘 배치로 클러스터들에 부착될 수 있다.

대표도 - 도2



(72) 발명자

오코너케빈존

미합중국뉴저지08833레바논크리스탈드라이브1

타이킹엘

미합중국뉴저지07922버클리하이츠하이랜드씨클95

---

## 특허청구의 범위

### 청구항 1

단일 MCM 패키지로 완전히(fully) 집적된 칩들의 그룹을 패키징함으로써 반도체 멀티-칩 모듈(MCM(multi-chip module))을 제조하는 방법으로서, 상기 완전히 집적된 칩들의 그룹은 기능적인 칩 사이트들 및 비기능적인 칩 사이트들을 포함하는 다수의 칩 사이트들을 구비한 처리된 반도체 웨이퍼로부터 다이싱되는, 상기 반도체 멀티-칩 모듈 제조 방법에 있어서,

- a. 상기 반도체 웨이퍼 상에서 상기 칩 사이트들을 전기적으로 검사하는 단계,
- b. 상기 기능적인 칩 사이트들을 식별하는 단계,
- c. 상기 반도체 웨이퍼 상에 상기 기능적인 칩들의 공간 위치를 나타내는 웨이퍼 맵을 형성하는 단계,
- d. 상기 웨이퍼 맵 상에 서로 나란히 위치하는 3개 이상의 기능적인 칩 사이트들의 클러스터들을 식별하는 단계,
- e. 완전히 집적된 칩들의 그룹으로서 각 클러스터를 남겨두고 상기 클러스터들의 주위를 절단함으로써 상기 웨이퍼를 다이싱하는 단계, 및
- f. 단일 MCM 패키지에 하나 이상의 완전히 집적된 칩들의 그룹들을 패키징하는 단계를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

### 청구항 2

단일 MCM 패키지로 완전히 집적된 칩들의 그룹을 패키징함으로써 반도체 멀티-칩 모듈(MCM)을 제조하는 방법으로서, 상기 완전히 집적된 칩들의 그룹은 기능적인 칩 사이트들 및 비기능적인 칩 사이트들을 포함하는 다수의 칩 사이트들을 구비한 처리된 반도체 웨이퍼로부터 다이싱되는, 상기 반도체 멀티-칩 모듈 제조 방법에 있어서,

- a. 상기 반도체 웨이퍼 상에서 상기 칩 사이트들을 전기적으로 검사하는 단계,
- b. 상기 기능적인 칩 사이트들을 식별하는 단계,
- c. 상기 반도체 웨이퍼 상에 상기 기능적인 칩 사이트들의 공간 위치를 나타내는 웨이퍼 맵을 형성하는 단계,
- d. 나란히 위치하는 3개 이상의 기능적인 칩 사이트들의 클러스터 기준(criterion)을 설정하는 단계,
- e. 단계 d의 상기 클러스터 기준을 충족하는 기능적인 칩 사이트들의 클러스터들을 식별하는 단계,
- f. 단계 d의 상기 기준을 충족하지 않는 기능적인 칩 사이트들을 식별하는 단계,
- g. 상기 웨이퍼를 다이싱하는 단계로서,
  - i. 완전히 집적된 다수의 칩들의 집적된 그룹을 생산하기 위해 각 클러스터의 주위를 절단하고,
  - ii. 단일 칩들을 생산하기 위해 단계 d의 상기 기준을 충족하지 않는 기능적인 칩 사이트들의 주위를 절단함으로써, 상기 웨이퍼를 다이싱하는 단계,
- h. 단일 MCM 패키지에 하나 이상의 완전히 집적된 칩들의 그룹들을 패키징하는 단계, 및
- i. 하나 이상의 단일 칩들을 패키징하는 단계를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

### 청구항 3

제 2 항에 있어서,

상기 클러스터들은 메모리 칩 사이트들 및 로직 칩 사이트들 모두를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

### 청구항 4

제 3 항에 있어서,

상기 반도체는 실리콘인, 반도체 멀티-칩 모듈 제조 방법.

## 청구항 5

제 2 항에 있어서,

상기 반도체 웨이퍼는 x-축 및 y-축을 갖고, 상기 칩 사이트들은 상기 축들을 따라 x-치수 및 y-치수를 가지며, x는 y보다 크고, 상기 클러스터들은 상기 x-치수 및 y-치수로 각각 측정되는  $n_1$  칩 사이트들 x  $n_2$  칩 사이트들이며,  $n_2$ 는  $n_1$ 보다 크거나 같은, 반도체 멀티-칩 모듈 제조 방법.

## 청구항 6

단일 MCM 패키지로 완전히 집적된 칩들의 그룹을 패키징함으로써 반도체 멀티-칩 모듈(MCM)을 제조하는 방법으로서, 상기 완전히 집적된 칩들의 그룹은 기능적인 칩 사이트들 및 비기능적인 칩 사이트들을 포함하는 다수의 칩 사이트들을 구비한 처리된 반도체 웨이퍼로부터 다이싱되는, 반도체 멀티-칩 모듈 제조 방법에 있어서,

- a. 상기 반도체 웨이퍼 상에서 상기 칩 사이트들을 전기적으로 검사하는 단계,
- b. 상기 기능적인 칩 사이트들을 식별하는 단계,
- c. 상기 비기능적인 칩 사이트들을 식별하는 단계,
- d. 상기 반도체 웨이퍼 상에 상기 기능적인 칩 사이트들 및 상기 비기능적인 칩 사이트들의 공간적 위치를 나타내는 웨이퍼 맵을 형성하는 단계,
- e. 나란히 위치하는 3개 이상의 칩 사이트들의 클러스터 기준을 설정하는 단계로서, 상기 칩 사이트들은 기능적인 칩들 및 비기능적인 칩들을 포함하는, 상기 클러스터 기준 설정 단계,
- f. 단계 e의 상기 클러스터 기준을 충족하는 칩 사이트들의 클러스터들을 식별하는 단계,
- g. 단계 e의 상기 기준을 충족하지 않는 기능적인 칩 사이트들을 식별하는 단계,
- h. 상기 웨이퍼를 다이싱하는 단계로서,
  - i. 완전히 집적된 칩들의 그룹을 생산하기 위해 단일 반도체 바디(body)로서 각 클러스터를 남겨두고 상기 클러스터들의 주위를 절단하고,
  - ii. 단일 칩들을 생산하기 위해 단계 d의 상기 기준을 충족하지 않는 기능적인 칩 사이트들의 주위를 절단함으로써, 상기 웨이퍼를 다이싱하는 단계,
- i. 단일 MCM 패키지로 하나 이상의 완전히 집적된 칩들의 그룹들을 패키징하는 단계, 및
- j. 하나 이상의 단일 칩들을 패키징하는 단계를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

## 청구항 7

단일 MCM 패키지로 완전히 집적된 칩들의 그룹을 패키징함으로써 반도체 멀티-칩 모듈(MCM)을 제조하는 방법으로서, 상기 완전히 집적된 칩들의 그룹은 기능적인 칩 사이트들 및 비기능적인 칩 사이트들을 포함하는 다수의 칩 사이트들을 구비한 처리된 반도체 웨이퍼로부터 다이싱되는, 상기 반도체 멀티-칩 모듈 제조 방법에 있어서,

- a. 상기 반도체 웨이퍼 상에서 상기 칩 사이트들을 전기적으로 검사하는 단계,
- b. 상기 기능적인 칩 사이트들을 식별하는 단계,
- c. 상기 반도체 웨이퍼 상에 상기 기능적인 칩들의 공간적 위치를 나타내는 웨이퍼 맵을 형성하는 단계,
- d. 나란히 위치하는  $N_1$  기능적인 칩 사이트들의 제 1 클러스터 기준을 설정하는 단계로서,  $N_1$ 은 3보다 큰, 상기 제 1 클러스터 기준 설정 단계,
- e. 나란히 위치하는  $N_2$  기능적인 칩 사이트들의 제 2 클러스터 기준을 설정하는 단계로서,  $N_2$ 는 3보다 크고  $N_1$ 은  $N_2$ 보다 큰, 상기 제 2 클러스터 기준 설정 단계,
- f. 단계 d의 상기 클러스터 기준을 충족하는 클러스터들의 제 1 그룹을 식별하는 단계,
- g. 단계 e의 상기 클러스터 기준을 충족하는 클러스터들의 제 2 그룹을 식별하는 단계,

- h. 단계 d 또는 단계 e 중 하나의 상기 기준을 충족하지 않는 기능적인 칩 사이트들을 식별하는 단계,
- i. 상기 웨이퍼를 다이싱하는 단계로서,
  - i. 완전히 집적된 칩들의 제 1 그룹을 생산하기 위해 클러스터들의 상기 제 1 그룹 각각의 주위를 절단하고,
  - ii. 완전히 집적된 칩들의 제 2 그룹을 생산하기 위해 클러스터들의 상기 제 2 그룹 각각의 주위를 절단하며,
  - iii. 단일 칩들을 제조하기 위해 단계 d 또는 단계 e 중 하나의 상기 기준을 충족하지 않는 기능적인 칩 사이트들의 주위를 절단함으로써, 상기 웨이퍼를 다이싱하는 단계,
- j. 단일 MCM 패키지에 하나 이상의 완전히 집적된 칩들의 상기 그룹들을 패키징하는 단계, 및
- k. 하나 이상의 단일 칩들을 패키징하는 단계를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

## 청구항 8

제 7 항에 있어서,

완전히 집적된 칩들의 상기 그룹들은 메모리 칩들 및 로직 칩들 모두를 포함하는, 반도체 멀티-칩 모듈 제조 방법.

## 청구항 9

제 2 항에 있어서,

상호 접속 기판은 완전히 집적된 칩들의 그룹에 부착되는, 반도체 멀티-칩 모듈 제조 방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <10> 발명의 분야
- <11> 본 발명은 단일 멀티-칩 모듈 패키지(MCM(multi-chip module package))에 다수의 반도체 칩들을 패키징하기 위한 칩 클러스터 방법들에 관한 것이다.
- <12> 발명의 배경
- <13> MCM 어셈블리는 일반적으로 패키징되지 않은 집적 회로(IC) 칩들 또는 베어 다이(bare die)가 실리콘, 세라믹, 또는 에폭시-유리 라미네이트의 단일 기판 상에 기계적 및 전기적으로 접속되는 고밀도 상호 접속 구조이다. 반도체 IC 칩들은 웨이퍼 형태로 처리되고, 검사되고 싱글레이트되며(singulated), 또는 그 반대로, 정렬되고 패키징된다. MCM에서, 충분히 기능적으로 개별적인 칩들은 정렬 동작에서 선택되고, 칩들의 쌍들 또는 그룹들은 MCM으로 함께 패키징된다. 상기 패키징 방법은 2개 이상의 칩 처리 동작들을 요구한다.
- <14> MCM 패키지 방법의 개발 초기에, 상당한 관심이 웨이퍼 스케일 집적, 및 전체 웨이퍼들의 패키징에 기울어져 있었다. 수율의 한계들로 인해, 실질적으로 웨이퍼 상의 모든 칩들보다 더 적은 칩이 충분히 기능적이다. 다수의 상호 접속 방법들이 결함이 있는 칩들을 다루기 위해 제안되었지만, 대부분이 상당히 고가인 종래의 라우팅 장치(routing arrangement)의 일부 종류와 관련된다. 또한, 단일 칩 상의 디바이스 밀도에서의 극적인 증가는 전체 웨이퍼 스케일 집적을 고가로 만들지만, 가장 전문화된 응용이다.
- <15> 그러나, MCM 패키징을 간단히 해야 할 필요가 있다.

#### 발명이 이루고자 하는 기술적 과제

- <16> 발명의 설명

<17> 웨이퍼 스케일 패키징의 일부 장점들만이 실현되었지만, 실용적이고 효율적인 MCM IC 패키지 집적에 대한 새로운 방법이 개발되었다. 웨이퍼 상의 칩들의 충분히 기능적인 서브세트들이 식별되는 방법이 사용되고, 서브세트들은 집적 그룹으로서 싱글레이트되고 하나의 칩으로서 패키징된다. 서브세트들은 클러스터들이라고 한다. 바람직한 실시예에서, 클러스터들은 MCM의 부분으로서 상호 접속 기판을 사용하여 상호 접속된다. 바람직하게는 상호 접속 기판은 실리콘이다. 모든 칩들이 동일한 동종의 클러스터들과, 예를 들어, 메모리 및 로직을 결합하는 이중의 클러스터들 모두는 본 발명에 따른 클러스터 MCM 패키지들에 대해 적용될 수 있다. 클러스터의 사이즈는 일반적으로 3개 내지 25개의 표준 IC 칩들이다. 3개 이상의 칩 사이트들을 갖는 클러스터들에 있어서, 하나 이상의 비기능적인 칩 사이트들은 기능적인 칩 사이트들과 함께 패키징될 수 있다. 비기능적인 칩 사이트는 상호 접속 기판들에 대해 알맞은 위치에 있다. 주어진 웨이퍼에서 충분히 기능적인 칩들의 최대 이용을 위해, 클러스터들은 식별되어 그룹들로 싱글레이트된다. 남은 충분히 기능적인 칩들은 개별적인 다이(die)로서 싱글레이트되고 단일 칩 패키지들로서 또는 종래의 멀티 칩 모듈들로 종래의 방법으로 패키징된다. 상기 기술의 성공의 열쇠는 클러스터들의 식별, 일반적인 웨이퍼 처리에서 생산되는 클러스터 패턴들을 사용하기 위한 클러스터 패키지들의 설계, 및 전체 웨이퍼 수율의 유지이다.

### 발명의 구성 및 작용

<18> 상세한 설명

<19> 도 1을 참조하면, 반도체 웨이퍼(11)에 대한 웨이퍼 맵은 공백의 양호한 칩들(12), 및 음영의 결함이 있는 칩들(13)로 도시되어 있다. 간단히 하기 위해서, 웨이퍼 상의 평면은 도시하지 않고, 244개의 칩 사이트들만을 도시한다. 이 기술분야에 숙련된 사람들은 웨이퍼 기술의 일반적인 상태가 더 많은 칩 사이트들을 가질 수 있다는 것을 인식한다. 반도체 웨이퍼는, 예를 들어, Si, GaAs, InP 등의 임의의 반도체일 수 있다. 일반적으로, 본 발명에 가장 잘 적용된 고밀도 패키지들은 실리콘 메모리/로직 응용들에 사용된다. 상기 도면에 도시된 칩들은 동일한 것으로 가정될 수 있다. 실리콘 웨이퍼들에 관한 상기 기술의 대부분의 응용들에 있어서, 관심의 MCM 패키지들은 다수의 메모리 칩들, 하나의 칩 또는 하나 이상의 로직 칩들로 패키징된 칩들을 포함한다.

<20> x-치수가 y-치수의 약 2배인 직사각형 개별 칩 사이트들이 도 1에 도시되어 있다. 상기 x-치수와 y-치수는 이하 및 첨부된 청구항들에서 참조될 것이며, 반도체 웨이퍼의 평면에서 x-축 및 y-축에 대응한다. 상기 웨이퍼 상의 결함이 있는(음영) 칩 사이트들의 수는 비교적 크며, 본 발명의 설명과 이해를 간단히 하기 위해 사용된다.

<21> 도 2를 참조하면, 2 x 3 크기의 칩 사이트들의 어두운 음영으로 도시된 칩 클러스터들(22)이 모든 이용 가능한 기능적인 칩 사이트들로부터 선택된 것으로 도시되어 있다. 한 방법은 11개의 2 x 3 클러스터들을 얻기 위해 도 2에 도시된 웨이퍼를 싱글레이트하고, 단일 칩들로서 남은 기능적인 칩들을 싱글레이트한다. 기능적인 칩 사이트들에서 이용할 수 있는 여러 개의 3 x 2 클러스터들이 있다는 것에 유념해야 한다. 그러나, 소정의 칩 기하학에서, 전체 패키지의 x-치수 및 y-치수를 더 균일하게 유지하기 위해서 3 x 2 클러스터들보다 2 x 3 클러스터들을 선택하는 것이 더 바람직하다. 간단한 관계로서 설명된  $n_1$ 로 나타낸 x-축을 따라 놓이는 클러스터의 인접 칩 사이트들의 수와  $n_2$ 로 나타낸 y-축을 따라 놓이는 클러스터의 인접 칩 사이트들의 수를 갖고, 칩 사이트들이 상기 축들을 따라 x-치수 및 y-치수를 가지며, 일반적으로 x가 y보다 크면  $n_2$ 는  $n_1$ 보다 크거나 같아야 한다. 웨이퍼 맵이 2 x 3 클러스터들보다 양호한 3 x 2 클러스터들을 나타내면, 3 x 2 선택은 수율의 관점에서 더 양호하게 된다. 그러나, 선택된 클러스터들은 일반적으로 상호 접속 방법과 패키지 설계에 의해 주로 규정될 것이다. 일반적으로, 상기 고려 사항들은 상기 관계에 더 호의적일 것이다.

<22> 용어 싱글레이트(singulate)는 일반적으로 웨이퍼를 단일 개별 칩들로 다이싱(dicing)하는 것을 나타낸다는 것을 알게 될 것이다. 그러나, 본 명세서에 사용된 것과 같이, 본 발명의 다이싱 방법에 따라 칩을 다이싱하는 것을 의미하고, 단일 개별 칩들 및 하나의 실리콘 바디로서 클러스터들 또는 칩들의 그룹들 모두를 생산하도록 한다. 또한 용어 다이싱은 칩 사이트들이 일반적으로 다이싱 후에 "다이(die)"가 되기 때문에 본 발명에 적용하기에는 다소 부적당하며, 다이는 일반적으로 단일 칩 사이트를 의미한다. 본 명세서에 사용된 것과 같이, 용어 다이싱은 웨이퍼를 서브부분들로 절단하는 것으로 설명되며, 서브부분들은 하나 이상의 칩 사이트들일 수 있다.

<23> 개별 칩들로 싱글레이트된 남은 기능적인 칩 사이트들을 갖는 도 2에 도시된 것과 같은 웨이퍼(11)에서 2 x 3 클러스터들만을 생산하기 위한 대안적인 방법은 단일 웨이퍼에서 하나 이상의 클러스터 형태를 생산하고 식별하는 것이다. 이와 같은 방법은 도 3에 도시되어 있으며, 도 2에서와 같이 11개의 2 x 3 클러스터들이 도시되지

만, 어두운 음영으로 나타난 남은 기능적 사이트들의 7개의 2 x 2 클러스터들(31)도 이용할 수 있다. 웨이퍼는 11개의 2 x 3 클러스터들, 7개의 2 x 2 클러스터들, 및 단일의 개별 칩들로서 남은 기능적 사이트들을 생산하도록 싱글레이트될 수 있다.

- <24> 이러한 점에서, 큰 클러스터를 선택하기 위한 옵션들의 수가 광범위하다. 예를 들어, 여러 가지 클러스터 조합들이 도 4 내지 도 12에 도시되어 있다. 도 4 및 도 5는 각각 2 x 1 및 1 x 2 클러스터들을 도시한다. 작은 클러스터 조합들에 대한 수율이 높아지는 것이 기대될 수 있다. 그러나 많은 경우들에, 클러스터 방법은 칩들의 쌍들에 대해 비용이 효율적이지 않을 수 있다. 소정의 클러스터 조합에 대한 웨이퍼당 수율은 클러스터의 칩들의 수가 증가할 때 상당히 감소한다. 또한, 웨이퍼당 전체 수율은 소정의 클러스터 조합에 대한 수율에 크게 영향을 미칠 수 있다. 예를 들어, 5 x 5와 같은 큰 클러스터 조합이 선택되고 웨이퍼 수율이 낮으면, 이용할 수 있는 어떤 5 x 5 클러스터들이 거의 없을 수 있다. 상기 고려 사항들에 있어서, 적어도 3개의 칩들 및 단지 25 칩들의 클러스터들은 일반적으로 가장 경제적인 결과들을 생산할 것이다.
- <25> 도 6은 1 x 3 클러스터를 도시한다. 이 점에서 3 x 1 클러스터는 패키지 모양이 어색하고 상호 접속에 대한 복잡도가 부가되기 때문에 피하게 된다는 것이 명백해진다. 칩 크기가 정방형이라면 상기 선호도는 사라지지만, 어색한 패키지 모양은 1 x 3 정방형 클러스터에 대해 남는다. 대략 MCM 패키지 모양 즉 클러스터 모양은 폭의 3배보다 크지 않은 길이를 갖는 사변형인 것이 바람직하다.
- <26> 2 x 4 클러스터가 도 7에 도시되고, 3 x 3 클러스터가 도 8에 도시된다. 상기 클러스터들에 총 8개 또는 9개 칩들을 갖고, 상기 큰 클러스터들의 모든 칩들이 비기능적이면 비용 및 설계 관점에서 만족스러울 수 있다. 이와 같은 옵션은 도 9 내지 도 11에 도시되어 있으며, 칩(41 내지 43)은 결함이 있다. 일 실시예에서, 비기능적인 사이트는 웨이퍼 상의 모든 선택된 클러스터들에 대한 클러스터 내의 동일한 위치에 위치한다. 이것은 상기 모든 사이트들에 대해 공통 상호 접속 방법을 허용한다. 다른 실시예에서, 비기능적인 클러스터는 클러스터의 어디에든 위치할 수 있다. 이 경우에, 여러가지 또는 많은 상이한 다른 상호 접속 배치들이 제공될 것이다. 그러나, 웨이퍼당 수율은 후자의 경우에 상당히 높다.
- <27> 웨이퍼당 클러스터들의 전체 수율은 도 12에 도시된 클러스터 선택을 사용하여 충분히 증가될 수 있다. 본 명세서에서 칩 사이트(51)는 결함이 있지만, 상호 접속 사이트로서 본 발명의 다른 특징에 따라 사용된다. 다음 상호 접속 레벨에 대한 러너들(runners)은 상기 칩 사이트를 가로질러 자유롭게 라우팅(route)할 수 있다. 대안적으로, 상호 접속 기관은 상기 사이트에 부착될 수 있다.
- <28> 도 1 내지 도 12에 도시된 본 발명의 실시예들에서, 웨이퍼는 각 칩 사이트 상에 동일한 칩들을 갖는다. 클러스터 방법의 장점을 취하는 대안적인 배치가 도 13 및 도 14에 도시되어 있으며, 칩 형태들이 혼합되어 있다. 도 13은 로직 칩들(62)과 혼합된 메모리 칩들(61)을 도시한다. 이러한 방법에 있어서, 클러스터들은 전체 IC 시스템 또는 서브시스템을 포함하여 선택될 수 있으며, 상호 접속들은 모든 칩들이 하나의 칩인 것처럼 최적으로 만들어질 수 있다. 유사한 배치가 도 14에 도시되어 있으며, 중앙의 로직 칩(71)은 8개의 메모리 칩들(72)과 클러스터된다. 상기 배치에 있어서, 로직 칩과 메모리 칩들 간의 상호 접속은 최적으로 짧다.
- <29> 상기 도 8 내지 도 11과 관련하여 설명된 것과 같이, 클러스터의 모든 칩들이 기능적일 필요는 없다. 도 13의 배치에서, 어느 로직 칩이라도 기능적인 클러스터들을 선택하는 것이 유리할 것이다. 상기 방법은 한 종류의 칩, 본 명세서에서 로직 칩의 수율이 다른 종류의 칩, 예를 들어, 메모리 칩들의 수율보다 충분히 낮을 때 특히 유리하다.
- <30> 본 발명에 따라 선택 및 패키징된 클러스터들에 대한 상호 접속들은 다양한 방법들로 구현될 수 있다. 바람직한 배치는 본딩 패드들(bonding pads)의 대칭 영역 어레이를 갖는 각 칩을 제공하고, 예를 들어, 볼 그리드 어레이(ball grid array)와 같은 상호 접속 기관을 부착하는 것이며, 클러스터에 칩들을 상호 접속하도록 한다. 이와 같은 배치는 도 15에 도시된 클러스터에 의해 조정되며, 칩들(81)은 본딩 패드들(82)의 영역 어레이들을 갖는다. 바람직하게, 실리콘 상호 접속 기관인 상호 접속 기관(84)은 외관상으로 도시된 영역의 클러스터에 부착되고, 솔더 범프(solder bump)를 칩 본딩 패드들에 부착하기 위해 본딩 패드들의 메이팅 어레이(mating array)를 갖는다.
- <31> 본 발명은 도 1 내지 도 3에 도시된 웨이퍼 맵들을 생성하기 위해 종래의 웨이퍼 스케일 검사를 사용하여 구현될 수 있다는 것이 이 기술분야에 숙련된 사람들에게 인식될 것이다.
- <32> 자체 전기적 검사 절차는 종래의 절차이며, 전기적 검사 접촉들의 어레이에 검사 전압들을 인가하는 단계, 검사 전압을 측정하는 단계, 측정된 검사 전압과 한 세트의 미리 결정된 IC 디바이스 전압들을 비교하는 단계, 및 미



리 결정된 IC 디바이스 전압들의 세트를 충족하는 검사 전압들을 갖는 IC 디바이스들을 선택하는 단계를 포함한다. 이 기술분야에 숙련된 사람들이 이해할 수 있을 것과 같이, 측정, 비교 및 선택의 단계는 자동 소프트웨어 구동 수단에 의해 수행된다. 동일한 소프트웨어가 본 발명에 따라 클러스터들을 식별하고 다이싱 장치가 동작하도록 사용되어, 클러스터들을 가변 크기들의 단일 실리콘 바디들로서 웨이퍼들과 분리하도록 한다. 용어 클러스터는 본 명세서에서 다이싱되지 않은 웨이퍼 상에서 칩들을 그룹화하는 것으로 설명된다. 클러스터 사이트들 주변의 절단 및 바람직한 실시예에서 개별적인 충분한 기능적인 칩들 주변의 절단의 다이싱 단계는 클러스터들로부터 완전히 집적된 칩들의 그룹들과 남은 사이트들로부터 단일 칩들을 생산하는 클러스터 기준을 충족하지 않는다. 둘은 모두 단일 칩들로서, 또는 단일 칩들의 다수의 모듈들로, 또는 하나의 클러스터 또는 클러스터들의 멀티칩 모듈들로 패키징된다.

**<33>** 종래의 웨이퍼 소잉(sawing) 동작들은 클러스터 싱크레이션에 적절하지만, 개선된 기술들은 클러스터 수율을 향상시키기 위해 사용될 수 있는 레이저, 초음파 또는 다른 기계적 수단을 사용할 수 있는 것이 명백하다.

<34> 본 발명의 여러 가지 추가 변형들이 이 기술분야에 숙련된 사람들에게 발생할 것이다. 상기 명세서의 특정 교훈에서 벗어나는 모든 것은 기본적으로 원리들 및 설명되고 청구된 것과 같이 본 발명의 범위 내에서 적당히 고려되는 개선된 기술을 통해 그에 상응하는 것을 따른다.

## 발명의 효과

**<35>** 본 발명을 통해 다수의 칩 사이트들을 갖는 단일의 집적된 클러스터 칩들을 MCM IC 패키지에 패키징하고, 단일 클러스터는 메모리 칩 및 로직 칩의 조합을 포함할 수 있으며, 클러스터들을 식별하고 일반적인 웨이퍼 처리에서 생산되는 클러스터 패턴들을 사용하는 클러스터 패키지들의 설계와 웨이퍼의 수율을 유지한다.

## 도면의 간단한 설명

<1> 도 1은 양호한 칩들과 결함이 있는 칩들의 웨이퍼 맵의 개략도.

<2> 도 2 및 도 3은 칩 클러스터 선택 방법들을 도시하는 도 1의 웨이퍼 맵(wafer map)의 개략도들.

<3> 도 4 내지 도 12는 본 발명에 적합한 클러스터 형태들의 개략도들.

<4> 도 13은 클러스터 상호 접속 방법의 일 실시예를 도시하는 평면도.

<5> 도 14는 본 발명에 따른 웨이퍼들을 매핑하기에 유용한 웨이퍼 스케일 검사 장치의 개략도.

<6> \* 도면의 주요 부분에 대한 부호의 설명 \*

<7>      11 : 반도체 웨이퍼                          12 : 양호한 칩

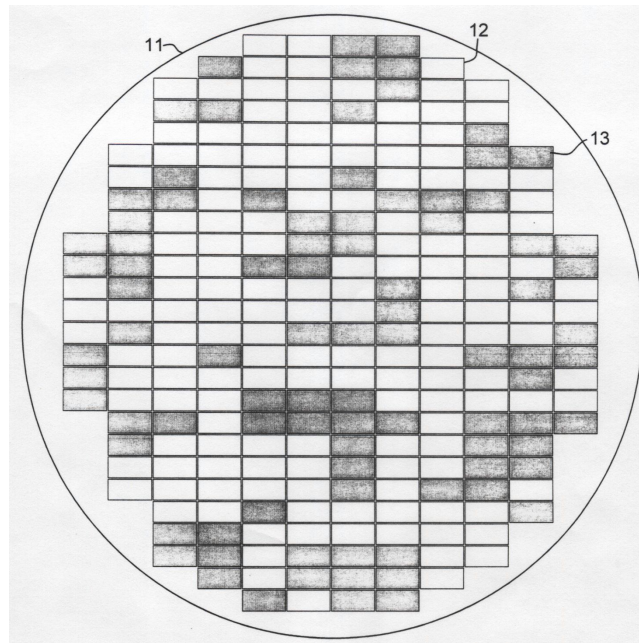
<8>      13 : 결합이 있는 칩                      22 : 칩 클러스터

<9>      71 : 논리 칩                          72 : 메모리 칩

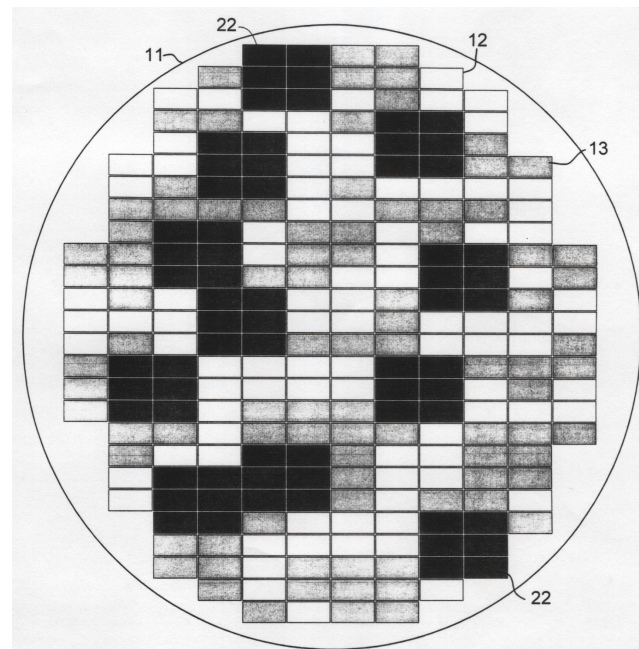


도면

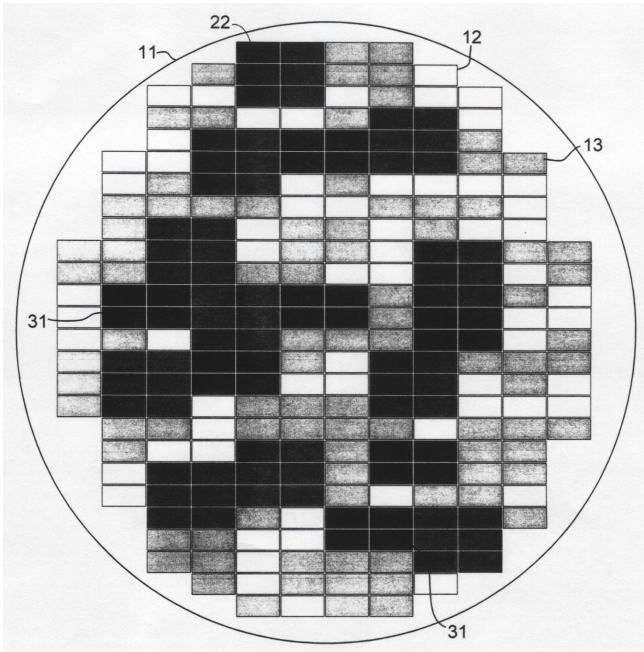
도면1



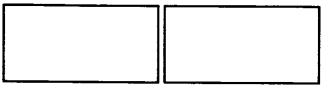
도면2



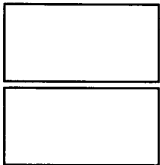
도면3



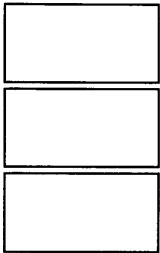
도면4



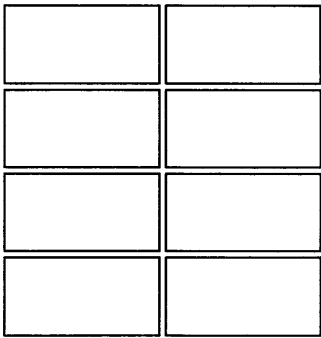
도면5



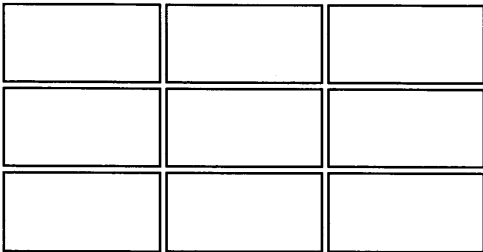
도면6



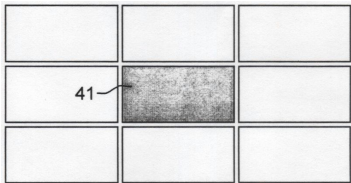
도면7



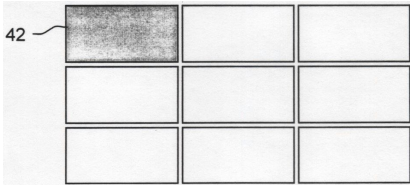
도면8



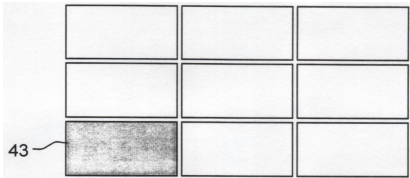
도면9



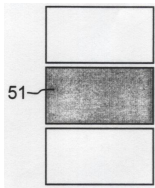
도면10



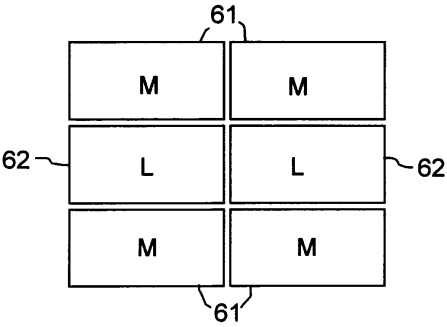
도면11



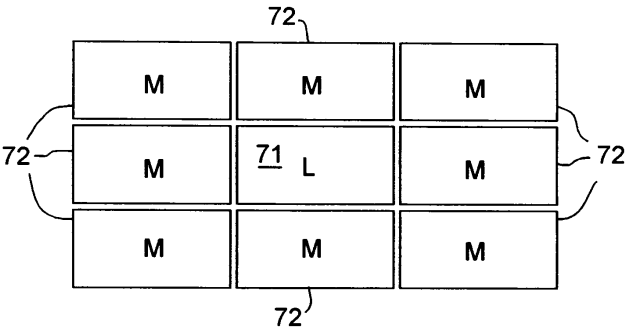
도면12



도면13



도면14



도면15

