

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 4 月 24 日 (24.04.2014)



(10) 国际公布号
WO 2014/059564 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2012/001539
- (22) 国际申请日: 2012 年 11 月 13 日 (13.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210392980.5 2012 年 10 月 16 日 (16.10.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 秦长亮 (QIN, Changliang); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 殷华湘 (YIN, Huaxiang); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD); 中国香港特别行政区

区湾仔港湾道 23 号鹰君中心 22 字楼, Hong Kong 100011 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 发明名称: 半导体器件制造方法

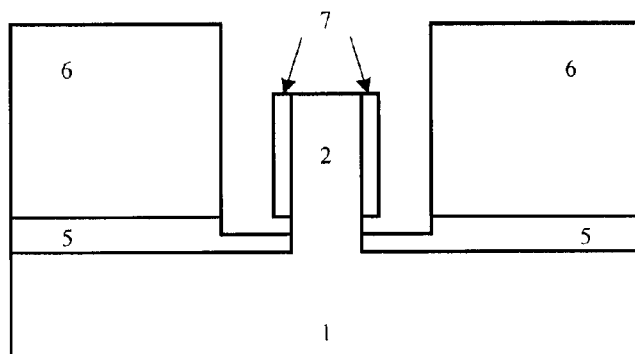


图 9 / Fig. 9

(57) Abstract: A bulk silicon FinFET manufacturing method, using a gate-last process, involves forming a dummy gate (4) first, then forming an inter dielectric layer (6), removing the dummy gate (4), and forming protective dielectric layers (7), then etching the STI (5) to expose a part of side walls of a semiconductor pole (2); removing a part of or all of the exposed semiconductor pole (2) by etching, and oxidizing the last material, thus as, forming an insulated isolation structure (9) between the channel region and the substrate (1) of the transistor, avoiding the formation of leak circuit, at the same time, the heat created by the transistor can radiates through the portion connecting the source/drain regions and the substrate, ensures the advantages of the bulk silicon FinFET.

(57) 摘要: 一种体硅 FinFET 制造方法, 采用了后栅工艺, 首先形成了虚设栅极 (4), 然后通过形成中介介质层 (6), 去除虚设栅极 (4), 并形成保护介质层 (7), 之后对 STI (5) 进行腐蚀, 暴露出部分半导体柱 (2) 的侧面; 腐蚀去除部分或者全部暴露出的半导体柱 (2), 并对剩余材料进行氧化, 这样, 在晶体管沟道区域与衬底 (1) 之间形成了绝缘隔离结构 (9), 避免了泄漏电流的产生, 同时, 晶体管产生的热量可以经由源漏区域与衬底相连的部分而散出, 确保了体硅 FinFET 的优点。



WO 2014/059564 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件制造方法

优先权要求

本申请要求了2012年10月16日提交的、申请号为201210392980.5、
5 发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体器件制造方法领域，特别地，涉及一种基于体
10 硅衬底的FinFET（鳍状场效应晶体管）器件制造方法。

背景技术

近30年来，半导体器件一直按照摩尔定律等比例缩小，半导体集成电路的特征尺寸不断缩小，集成度不断提高。随着技术节点进入深
15 亚微米领域，例如100nm以内，甚至45nm以内，传统场效应晶体管（FET），也即平面FET，开始遭遇各种基本物理定律的限制，使其等比例缩小的前景受到挑战。众多新型结构的FET被开发出来，以应对现实的需求，其中，FinFET就是一种很具等比例缩小潜力的新结构器件。

20 FinFET，鳍状场效应晶体管，是一种多栅半导体器件。由于结构上的独有特点，FinFET成为深亚微米集成电路领域很具发展前景的器件。顾名思义，FinFET包括一个垂直于体硅的衬底的Fin，Fin被称为鳍状半导体柱，不同的FinFET被STI结构分割开来。不同于常规的平面FET，FinFET的沟道区位于Fin之内。栅极绝缘层和栅极在侧面和
25 顶面包围Fin，从而形成至少两面的栅极，即位于Fin的两个侧面上的栅极；同时，通过控制Fin的厚度，使得FinFET具有极佳的特性：更好的短沟道效应抑制能力，更好的亚阈值斜率，较低的关态电流，消除了浮体效应，更低的工作电压，更有利于按比例缩小。

目前的FinFET制造方法中，存在一些必须解决的技术难题，同时
30 还存在与传统工艺相兼容的问题。通常，FinFET的衬底有两种：SOI（Silicon On Insulator）衬底和体硅（Bulk Silicon）衬底。SOI衬底包括顶层硅、背衬底和他们之间的埋氧层，由于埋氧层的存在，在SOI

衬底上实现 FinFET 制作较容易, 且源漏之间、器件之间形成自然的电学隔离, 可以有效抑制漏电和避免闩锁效应。然而, SOI 衬底存在几个问题: 高晶圆成本, 高缺陷密度, 自热效应。二氧化硅的热导率低 (大约比硅小两个数量级), SOI 衬底埋氧层的存在使器件产生的热量不能快速扩散出去, 在沟道积累, 使器件温度升高, 产生自加热效应。器件的迁移率、阈值电压、漏端电流、亚阈值斜率都会受到温度的影响, 由此引起器件性能衰退, 并不可避免的引入大的寄生参数, 而且 SOI 衬底本身的造价较高, 增加了制造成本。体硅衬底在成本、缺陷密度和热传输能力方面都优于 SOI 衬底, 因此受到广泛的关注。对于体硅 FinFET 器件, Fin 与体硅衬底直接相连, 器件的散热问题比基于 SOI 的 FinFET 好得多, 但是, 同样由于 Fin 与体硅衬底直接相连, 漏电流以及短沟道效应等问题相对基于 SOI 的 FinFET 更为严重。为了基于体硅衬底的 FinFET 器件的上述问题, 需要提供一种新的 FinFET 器件制造方法, 在保证体硅 FinFET 器件优点的同时克服其现有的缺陷。

15

发明内容

本发明针对体硅衬底 FinFET 器件漏电流以及短沟道效应的问题, 提出了新型的体硅衬底 FinFET 制造方法。

根据本发明的一个方面, 本发明提供一种 FinFET 制造方法, 其中, 包括如下步骤:

提供半导体衬底, 在该半导体衬底上形成鳍状半导体柱, 所述鳍状半导体柱与半导体衬底直接相连;

形成 STI 结构;

形成 FinFET 的虚设栅极绝缘层, 虚设栅极, 栅极间隙壁, 源漏区域;

全面形成沉积中介质层;

采用 CMP 工艺, 去除部分所述中介质层, 打开所述虚设栅极的顶面;

去除所述虚设栅极和所述虚设虚设栅极绝缘层, 暴露出所述鳍状半导体柱中的 FinFET 沟道区域;

在暴露出的所述鳍状半导体柱上形成保护介质层;

去除部分厚度的 STI 结构, 暴露出位于所述保护介质层下方的部

分所述鳍状半导体柱侧面；

对暴露的出位于所述保护介质层下方的部分所述鳍状半导体柱侧面进行腐蚀，去除部分暴露出的所述鳍状半导体柱的材料，在所述鳍状半导体柱中 FinFET 沟道区域的下部形成比所述鳍状半导体柱厚度更

5 薄的减薄半导体部分；

对所述减薄半导体部分进行氧化，形成氧化隔离部；

去除所述保护介质层；

依次形成栅极绝缘层和栅极。

在本发明的这一方法中，所述保护介质层为 Si_3N_4 ，厚度为

10 5-100nm。

在本发明的这一方法中，所述虚设栅极绝缘层为 SiO_2 ，所述虚设栅极为多晶硅或非晶硅；所述栅极绝缘层为高 K 绝缘材料，所述栅极为金属或掺杂多晶硅。

在本发明的这一方法中，所述中间介质层为 TEOS。

15 根据本发明的另一个方面，本发明提供一种 FinFET 制造方法，其中，包括如下步骤：

提供半导体衬底，在该半导体衬底上形成鳍状半导体柱，所述鳍状半导体柱与半导体衬底直接相连；

形成 STI 结构；

20 形成 FinFET 的虚设栅极绝缘层，虚设栅极，栅极间隙壁，源漏区域；

全面形成沉积中间介质层；

采用 CMP 工艺，去除部分所述中间介质层，打开所述虚设栅极的顶面；

25 去除所述虚设栅极和所述虚设栅极绝缘层，暴露出所述鳍状半导体柱中的 FinFET 沟道区域；

在暴露出的所述鳍状半导体柱上形成保护介质层；

去除部分厚度的 STI 结构，暴露出位于所述保护介质层下方的部分所述鳍状半导体柱侧面；

30 对暴露的出位于所述保护介质层下方的部分所述鳍状半导体柱侧面进行腐蚀，去除全部暴露出的所述鳍状半导体柱的材料，在所述鳍状半导体柱中 FinFET 沟道区域的下部形成空洞；

去除所述保护介质层；
依次形成栅极绝缘层和栅极。

在本发明的这另一方法中，在所述鳍状半导体柱中 FinFET 沟道区域的下部形成空洞之后，对所述空洞暴露的半导体材料进行氧化。

5 在本发明的这另一方法中，所述保护介质层为 Si_3N_4 ，厚度为 5-100nm。

在本发明的这另一方法中，所述虚设栅极绝缘层为 SiO_2 ，所述虚设栅极为多晶硅或非晶硅；所述栅极绝缘层为高 K 绝缘材料，所述栅极为金属或掺杂多晶硅。

10 在本发明的这另一方法中，所述中间介质层为 TEOS。

本发明的优点在于：采用了后栅工艺，首先形成了虚设栅极，然后通过形成中间介质层，去除虚设栅极，并形成保护介质层，之后对 STI 进行腐蚀，暴露出部分半导体柱的侧面；腐蚀去除部分或者全部暴露出的半导体柱，并对剩余材料进行氧化，这样，在晶体管沟道区域
15 与衬底之间形成了绝缘隔离结构，避免了泄漏电流的产生，同时，晶体管产生的热量可以经由源漏区域与衬底相连的部分而散出，确保了体硅 FinFET 的优点。

附图说明

20 图 1-16 本发明的 FinFET 器件制造方法流程及其结构示意图。

具体实施方式

以下，通过附图中示出的具体实施例来描述本发明。但是应该理解，这些描述只是示例性的，而并非要限制本发明的范围。此外，在
25 以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本发明的概念。

首先，本发明提供一种 FinFET 制造方法，其制造流程参见附图 1-16。

首先，参见附图 1，在半导体衬底 1 上形成 Fin（鳍状半导体柱）2，
30 虚设栅极绝缘层 3 和虚设栅极 4，以及隔离各个 FinFET 的 STI 结构 5。提供半导体衬底 1，本实施例中为体硅衬底。在半导体衬底 1 上形成具有顶面和侧面的 Fin 2，具体包括：先在半导体衬底 1 上沉积一层硬掩

膜层（未图示），然后涂布光刻胶，接着光刻出 Fin 2 图形，依次刻蚀应掩膜层和半导体衬底，从而获得 Fin 2，这样获得的 Fin 2 与衬底 1 直接相连，硬掩膜层留于 Fin 2 的顶面上。接着，通过常规工艺，形成 STI 结构 5。之后，形成虚设栅极绝缘层 3 和虚设栅极 4，具体包括：

- 5 首先沉积虚设栅极绝缘层 3 的材料，例如是 SiO_2 ，然后，沉积虚设栅极 4 的材料，例如是多晶硅或者非晶硅，然后图案化和光刻，形成虚设栅极的图形。其中，虚设栅极绝缘层 3 的厚度为 0.5-10nm，虚设栅极 4 的厚度为 100-300nm。图 1 中，虚设栅极 4 横跨 Fin 2，包围了 Fin 2 的两个侧面和顶面。图 2 为图 1 中沿 Fin 2 延伸方向的截面示意图，
10 图 3 为沿垂直 Fin 2 延伸方向的截面示意图，也即沿虚设栅极延伸方向截面示意图。在形成虚设栅极绝缘层 3 和虚设栅极 4 之后，形成有栅极间隙壁（未图示），并且，在形成栅极间隙壁之后，进行源漏区域注入，在 Fin 2 上形成源漏区域（未标示出）。

- 接着，参见附图 4 和 5，分别是沿垂直 Fin 2 延伸方向的截面示意图和沿 Fin 2 延伸方向的截面示意图，全面性沉积中介质层 6，并通过
15 通过 CMP 工艺，打开虚设栅极 4 的顶面。其中，中介质层 6 的材料通常为 TEOS，沉积厚度覆盖整个 FinFET。通过 CMP 工艺，除去部分厚度的中介质层 6，直至虚设栅极 4 的顶面暴露出来。

- 接着，参见附图 6 和 7，分别是沿垂直 Fin 2 延伸方向的截面示意图和沿 Fin 2 延伸方向的截面示意图，依次去除虚设栅极 4 和虚设栅极
20 绝缘层 3，可以采用湿法腐蚀去除虚设栅极 4 和虚设栅极绝缘层 3。这样，FinFET 的 Fin 2 被部分暴露，也即 FinFET 的沟道区域被暴露出。

- 接着，参见附图 8，为沿垂直 Fin 2 延伸方向的截面示意图，在暴露的 Fin 2 部分的侧面形成保护介质层 7。具体包括：沉积一层保护介
25 质层的材料，例如为 Si_3N_4 ，然后进行回刻蚀，形成保护介质层 7。保护介质层 7 的厚度为 5-100nm，用以保护 Fin 2 在随后的刻蚀工艺中不受损伤。

- 接着，参见附图 9，为沿垂直 Fin 2 延伸方向的截面示意图，去除部分厚度的 STI 结构 5，暴露出位于保护介质层 7 下方的部分 Fin 2 的
30 侧面。

接着，参见附图 10，其为沿垂直 Fin 2 延伸方向的截面示意图，对暴露出的部分 Fin 2 的侧面进行腐蚀，去除部分 Fin 2 的材料，在 Fin 2

的下部形成比 Fin 2 厚度更薄的减薄半导体部分 2'。接着, 参见附图 13 和 14, 分别是沿垂直 Fin 2 延伸方向的截面示意图和沿 Fin 2 延伸方向的截面示意图, 对减薄半导体部分 2' 进行氧化, 在 Fin 2 沟道区域的下部形成氧化隔离部 9。

- 5 可选地, 参见附图 11 和 12, 分别是沿垂直 Fin 2 延伸方向的截面示意图和沿 Fin 2 延伸方向的截面示意图, 将暴露出的部分 Fin 2 的侧壁腐蚀贯通, 即完全去除 Fin 2 下部的半导体材料, 从而在 Fin 2 沟道区域的下部形成空洞 8。若将暴露出的部分 Fin 2 的侧壁腐蚀贯通而形成空洞 8, 则可选地进行氧化处理, 对空洞 8 暴露的半导体材料进行氧化, 获得良好的绝缘效果, 也可以不进行该步骤的氧化, 空洞 8 即可成为以空气作为绝缘材料的隔离部。

氧化隔离部 9 (可选地, 空洞 8 和/或空洞 8 暴露的被氧化的半导体材料) 位于 FinFET 的 Fin 2 沟道区域与半导体衬底 1 之间, 阻挡了沟道区的泄漏电流, 改善了 FinFET 的短沟道效应。同时, 由于 FinFET 15 的 Fin 2 两端的源漏区域仍然与半导体衬底 1 直接相连, 可以提供优良的散热效果, 保留了体硅 FinFET 器件的优点。

之后, 参见附图 15 和 16, 均为沿垂直 Fin 2 延伸方向的截面示意图, 分别示意了 Fin 2 沟道区下部形成氧化硅隔离部 9 和空洞 8 的实施例, 去除保护介质层 7, 依次形成栅极绝缘层 10 和栅极 11。其中, 形成栅极绝缘层 10 和栅极 11 具体包括: 首先沉积栅极绝缘层的材料, 其优选为高 K 栅绝缘材料, 通常, 高 K 栅绝缘材料层选自以下材料之一或其组合构成的一层或多层: Al_2O_3 , HfO_2 , 包括 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 以及 HfLaSiO_x 至少之一在内的 20 钪基高 K 介质材料, 包括 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、或 Y_2O_3 至少之一在内的稀土基高 K 介质材料; 接着, 沉积栅极材料, 其优选为金属, 也可以采用掺杂多晶硅, 之后, 进行 CMP 工艺, 去除多余的栅极绝缘层的材料和栅极材料, 完成栅极绝缘层 10 和栅极 11 的制造。

至此, 本发明详细描述了一种体硅 FinFET 器件的制造方法。在本发明中, 采用了后栅工艺, 首先形成了虚设栅极, 然后通过形成中间 30 介质层, 去除虚设栅极, 并形成保护介质层, 之后对 STI 进行腐蚀, 暴露出部分半导体柱的侧面; 腐蚀去除部分或者全部暴露出的半导体柱, 并对剩余材料进行氧化, 这样, 在晶体管沟道区域与衬底之间形

成了绝缘隔离结构，避免了泄漏电流的产生，同时，晶体管产生的热量可以经由源漏区域与衬底相连的部分而散出，确保了体硅 FinFET 的优点。

5 以上参照本发明的实施例对本发明予以了说明。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围，本领域技术人员可以做出多种替换和修改，这些替换和修改都应落在本发明的范围之内。

权 利 要 求

1. 一种半导体器件制造方法，用于制造 FinFET 器件，其特征在于包括如下步骤：

5 提供半导体衬底，在该半导体衬底上形成鳍状半导体柱，所述鳍状半导体柱与半导体衬底直接相连；

形成 STI 结构；

形成 FinFET 的虚设栅极绝缘层，虚设栅极，栅极间隙壁，源漏区域；

10 全面形成沉积中间介质层；

采用 CMP 工艺，去除部分所述中间介质层，打开所述虚设栅极的顶面；

去除所述虚设栅极和所述虚设栅极绝缘层，暴露出所述鳍状半导体柱中的 FinFET 沟道区域；

15 在暴露出的所述鳍状半导体柱上形成保护介质层；

去除部分厚度的 STI 结构，暴露出位于所述保护介质层下方的部分所述鳍状半导体柱侧面；

对暴露出的位于所述保护介质层下方的部分所述鳍状半导体柱侧面进行腐蚀，去除部分暴露出的所述鳍状半导体柱的材料，在所述鳍状半导体柱中 FinFET 沟道区域的下部形成比所述鳍状半导体柱厚度更薄的减薄半导体部分；

对所述减薄半导体部分进行氧化，形成氧化隔离部；

去除所述保护介质层；

依次形成栅极绝缘层和栅极。

25 2. 根据权利要求 1 所述的方法，其特征在于，所述保护介质层为 Si_3N_4 ，厚度为 5-100nm。

3. 根据权利要求 1 所述的方法，其特征在于，所述虚设栅极绝缘层为 SiO_2 ，所述虚设栅极为多晶硅或非晶硅；所述栅极绝缘层为高 K 绝缘材料，所述栅极为金属或掺杂多晶硅。

30 4. 根据权利要求 1 所述的方法，其特征在于，所述中间介质层为 TEOS。

5. 一种半导体器件制造方法，用于制造 FinFET 器件，其特征在于

包括如下步骤:

提供半导体衬底, 在该半导体衬底上形成鳍状半导体柱, 所述鳍状半导体柱与半导体衬底直接相连;

形成 STI 结构;

5 形成 FinFET 的虚设栅极绝缘层, 虚设栅极, 栅极间隙壁, 源漏区域;

全面形成沉积中间介质层;

采用 CMP 工艺, 去除部分所述中间介质层, 打开所述虚设栅极的顶面;

10 去除所述虚设栅极和所述虚设栅极绝缘层, 暴露出所述鳍状半导体柱中的 FinFET 沟道区域;

在暴露出的所述鳍状半导体柱上形成保护介质层;

去除部分厚度的 STI 结构, 暴露出位于所述保护介质层下方的部分所述鳍状半导体柱侧面;

15 对暴露出的位于所述保护介质层下方的部分所述鳍状半导体柱侧面进行腐蚀, 去除全部暴露出的所述鳍状半导体柱的材料, 在所述鳍状半导体柱中 FinFET 沟道区域的下部形成空洞;

去除所述保护介质层;

依次形成栅极绝缘层和栅极。

20 6. 根据权利要求 5 所述的方法, 其特征在于, 在所述鳍状半导体柱中 FinFET 沟道区域的下部形成空洞之后, 对所述空洞暴露的半导体材料进行氧化。

7. 根据权利要求 5 所述的方法, 其特征在于, 所述保护介质层为 Si_3N_4 , 厚度为 5-100nm。

25 8. 根据权利要求 5 所述的方法, 其特征在于, 所述虚设栅极绝缘层为 SiO_2 , 所述虚设栅极为多晶硅或非晶硅; 所述栅极绝缘层为高 K 绝缘材料, 所述栅极为金属或掺杂多晶硅。

9. 根据权利要求 5 所述的方法, 其特征在于, 所述中间介质层为 TEOS。

30

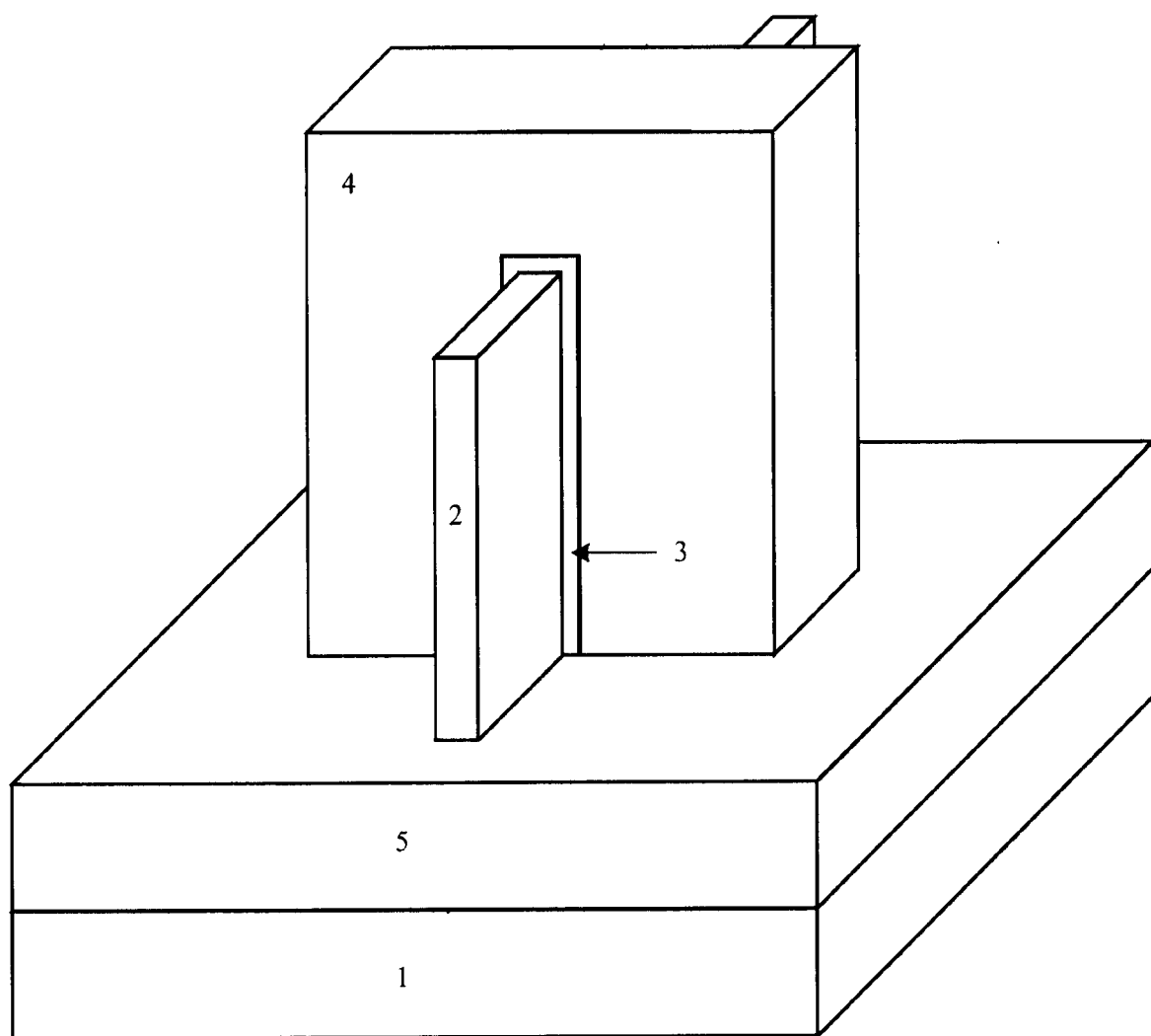


图 1

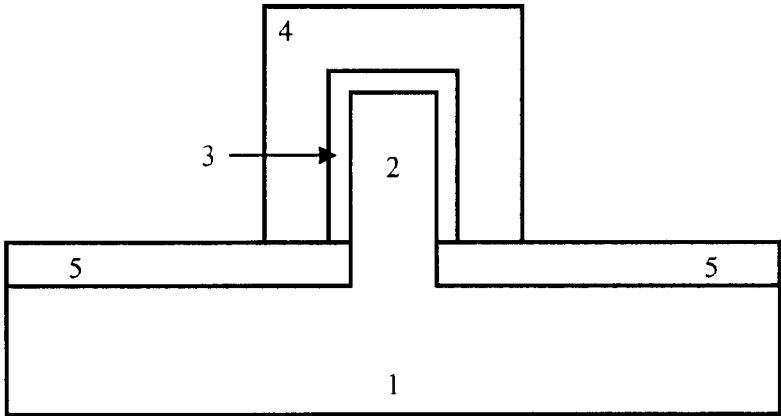


图 2

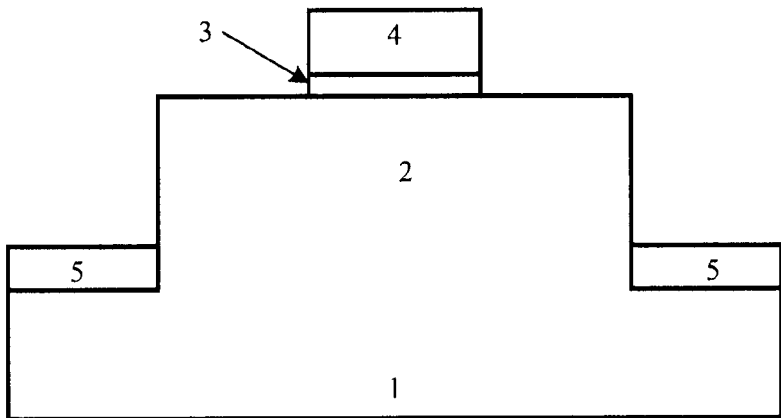


图 3

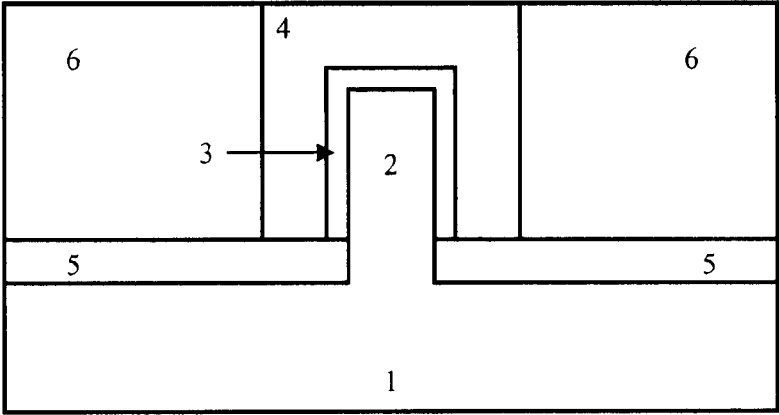


图 4

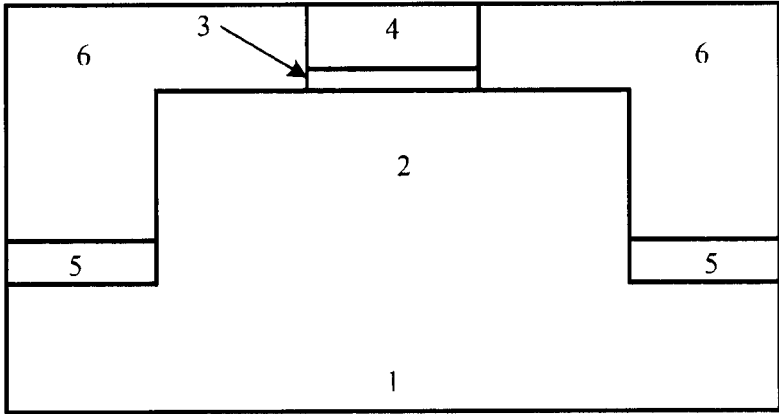


图 5

4/9

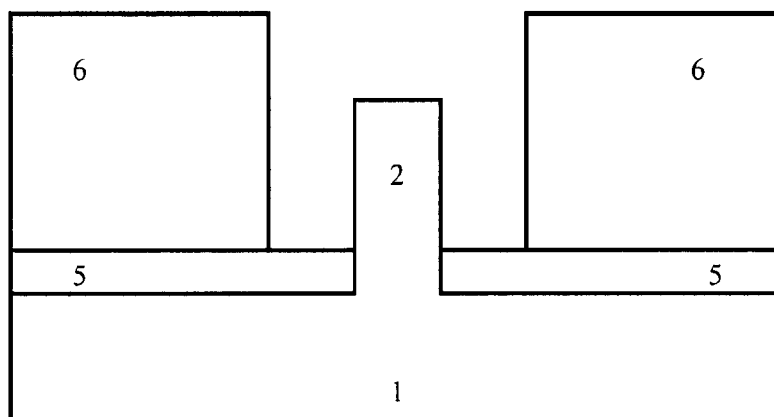


图 6

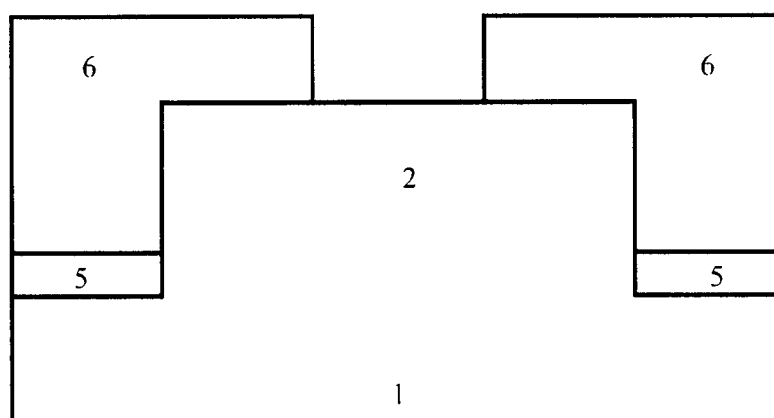


图 7

5/9

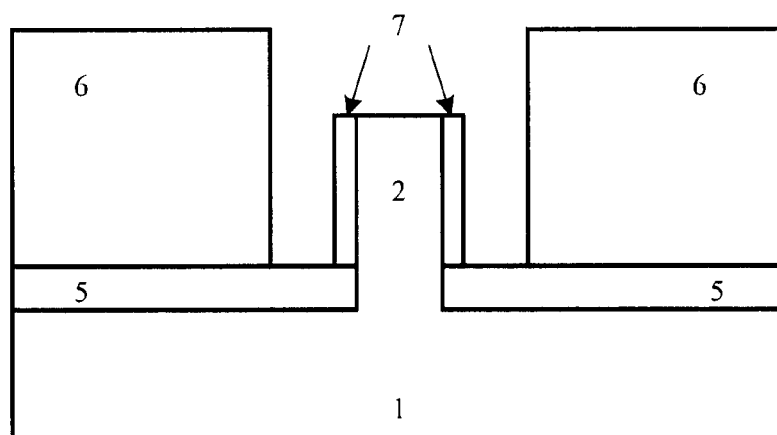


图 8

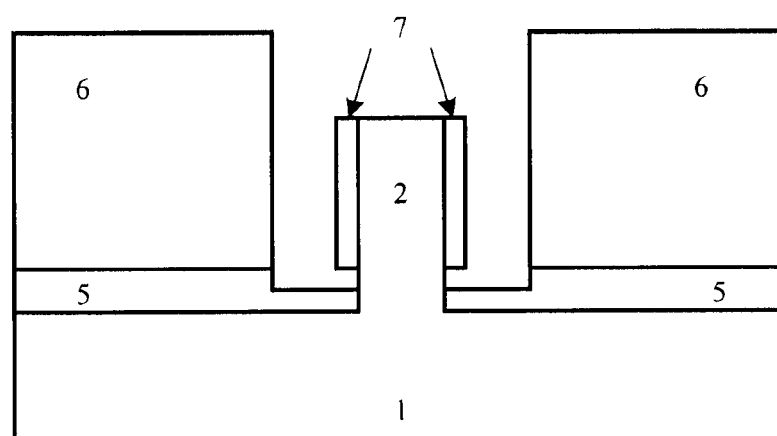


图 9

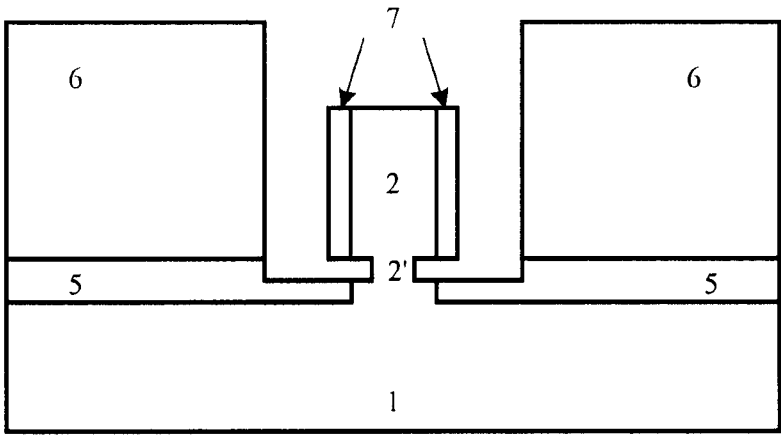


图 10

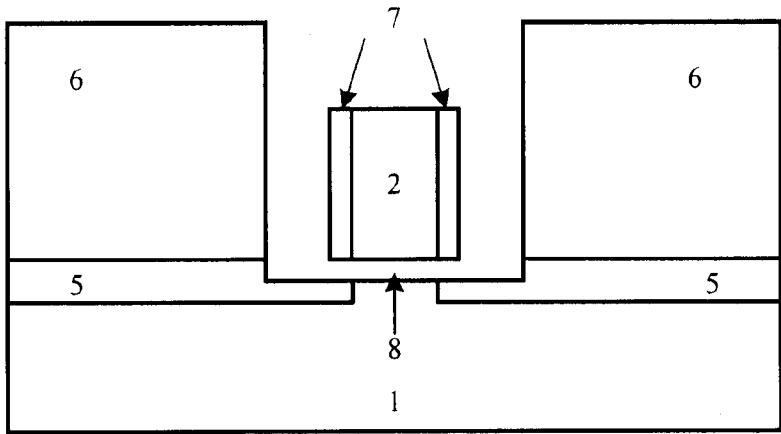


图 11

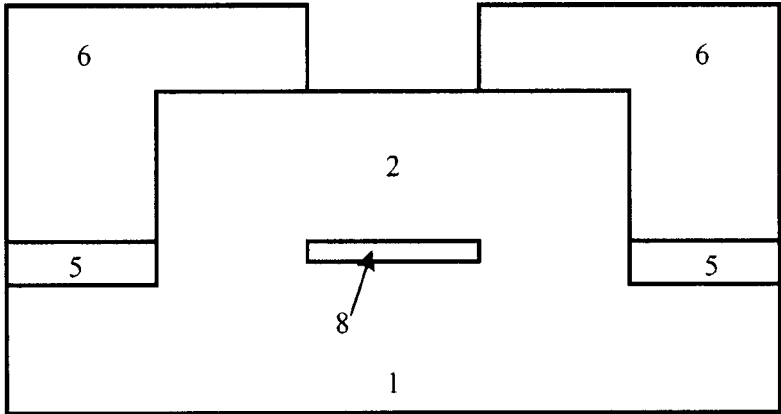


图 12

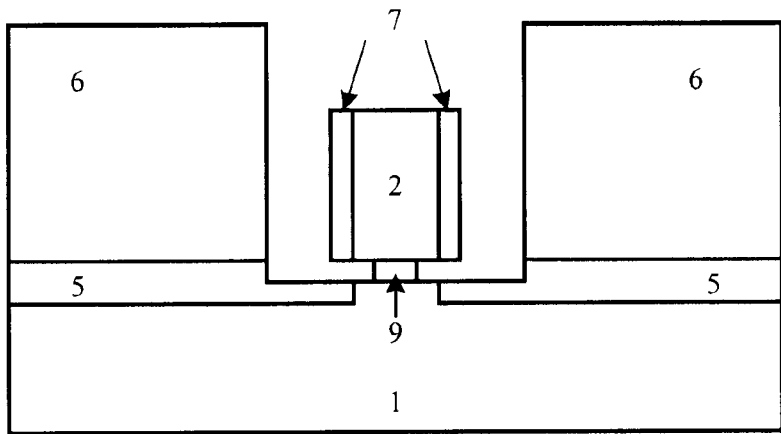


图 13

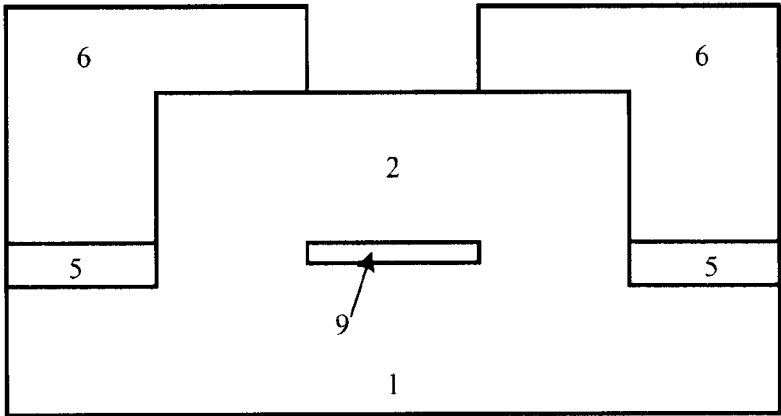


图 14

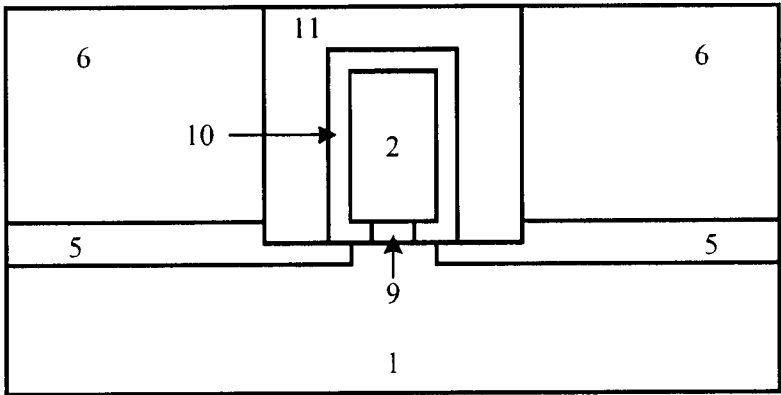


图 15

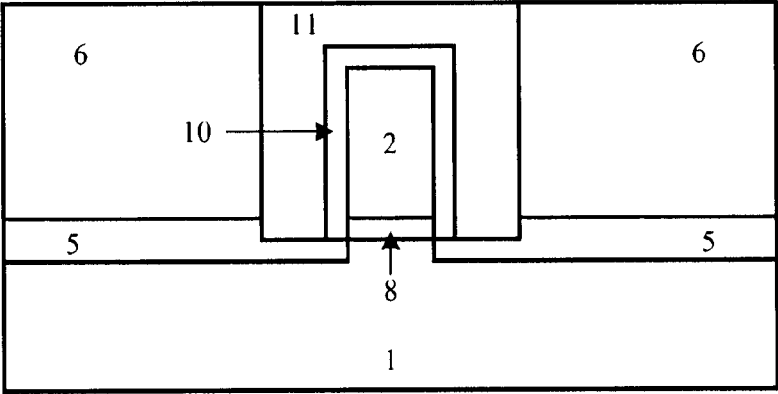


图 16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/001539

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 29/-; H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNKI, IEEE, CPRS: field effect transistor, fin, FINFET, wafer, substrate, gate, electrode, metal, insulate, column, dielectric

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1714439 A (INTERNATIONAL BUSINESS MACHINE CORP.), 28 December 2005 (28.12.2005), the whole document	1-9
A	CN 1694262 A (INTERNATIONAL BUSINESS MACHINE CORP.), 09 November 2005 (09.11.2005), the whole document	1-9
A	CN 101490857 A (FREESCALE SEMICONDUCTOR INC.), 22 July 2009 (22.07.2009), the whole document	1-9
A	US 2011207279 A1 (LIN et al.), 25 August 2011 (25.08.2011), the whole document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search

13 December 2012 (13.12.2012)

Date of mailing of the international search report

25 April 2013 (25.04.2013)

Name and mailing address of the ISA/CN:
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

LI, Jiesheng

Telephone No.: (86-10) **62411794**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/001539

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1714439 A	28.12.2005	EP 1581968 A1	05.10.2005
		US 7087499 B2	08.08.2006
		EP 1581968 B1	12.05.2010
		IN 220433 B	29.08.2008
		JP 2006511093 A	30.03.2006
		US 2006128071 A1	15.06.2006
		KR 20050093768 A	23.09.2005
		KR 100781615 B1	07.12.2007
		JP 4418760 B2	24.02.2010
		DE 60236375 D1	24.06.2010
		IN 200501337 P4	17.08.2007
		WO 2004059726 A1	15.07.2004
		AU 2002368525 A1	22.07.2004
		CN 1314124 C	02.05.2007
CN 1694262 A	09.11.2005	US 2005161739 A1	28.07.2005
		US 7224029 B2	29.05.2007
		TW 200539393 A	01.12.2005
		JP 2005217418 A	11.08.2005
		TWI 335067 B	21.12.2010
		CN 100461451 C	11.02.2009
		JP 4166758 B2	15.10.2008
CN 101490857 A	22.07.2009	KR 20090031525 A	26.03.2009
		CN 101490857 B	01.12.2010
		US 2008003725 A1	03.01.2008
		WO 2008005612 A1	10.01.2008
		TW 200802616 A	01.01.2008
US 2011207279 A1	25.08.2011	US 7629220 B2	08.12.2009
		US 8034677 B2	11.10.2011

国际检索报告

国际申请号

PCT/CN2012/001539

A. 主题的分类

H01L 21/336 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L29/-; H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC,CNKI,IEEE,CPRS:鳍, 翅, 场效应晶体管, 基板, 栅, 电极, 金属, 绝缘, 柱, 介质, fin, FINFET, wafer, substrate, gate, electrode, metal, insulate, column, dielectric

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1714439 A (国际商业机器公司) 28.12 月 2005 (28.12.2005) 全文	1-9
A	CN 1694262 A (国际商业机器公司) 09.11 月 2005 (09.11.2005) 全文	1-9
A	CN 101490857 A (飞思卡尔半导体公司) 22.7 月 2009 (22.07.2009) 全文	1-9
A	US 2011207279 A1 (LIN et al.) 25.8 月 2011 (25.08.2011) 全文	1-9



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.12 月 2012(13.12.2012)

国际检索报告邮寄日期

25.4 月 2013 (25.04.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

李介胜

电话号码: (86-10) 62411794

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/001539

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1714439 A	28.12.2005	EP1581968 A1	05.10.2005
		US7087499 B2	08.08.2006
		EP1581968 B1	12.05.2010
		IN220433 B	29.08.2008
		JP2006511093 A	30.03.2006
		US2006128071 A1	15.06.2006
		KR20050093768 A	23.09.2005
		KR100781615 B1	07.12.2007
		JP4418760 B2	24.02.2010
		DE60236375 D1	24.06.2010
		IN200501337 P4	17.08.2007
		WO2004059726 A1	15.07.2004
		AU2002368525 A1	22.07.2004
		CN1314124 C	02.05.2007
CN1694262 A	09.11.2005	US2005161739 A1	28.07.2005
		US7224029 B2	29.05.2007
		TW200539393 A	01.12.2005
		JP2005217418 A	11.08.2005
		TWI335067 B	21.12.2010
		CN100461451 C	11.02.2009
CN101490857 A	22.07.2009	JP4166758 B2	15.10.2008
		KR20090031525 A	26.03.2009
		CN101490857 B	01.12.2010
		US2008003725 A1	03.01.2008
		WO2008005612 A1	10.01.2008
		TW200802616 A	01.01.2008
US2011207279 A1	25.08.2011	US7629220 B2	08.12.2009
		US8034677 B2	11.10.2011