



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년07월28일
(11) 등록번호 10-0972761
(24) 등록일자 2010년07월22일

(51) Int. Cl.

G11C 29/00 (2006.01) G11C 5/14 (2006.01)

(21) 출원번호 10-2008-0095929

(22) 출원일자 2008년09월30일

심사청구일자 2008년09월30일

(65) 공개번호 10-2009-0033807

(43) 공개일자 2009년04월06일

(30) 우선권주장

JP-P-2007-00258132 2007년10월01일 일본(JP)

(56) 선행기술조사문헌

KR1020030009100 A

JP2003017993 A

(73) 특허권자

야마하 가부시카이가이샤

일본국 시즈오카켄 하마마츠시 나카쿠 나카자와쵸 10번 1고

(72) 발명자

츠치야 히로토시

일본국 시즈오카켄 이와타시 마츠노키지마 203, 야마하 하이테크 디자인 가부시카이가이샤 나이

야에자와 신지

일본국 시즈오카켄 이와타시 마츠노키지마 203, 야마하 하이테크 디자인 가부시카이가이샤 나이

(뒷면에 계속)

(74) 대리인

하영욱

전체 청구항 수 : 총 11 항

심사관 : 장호근

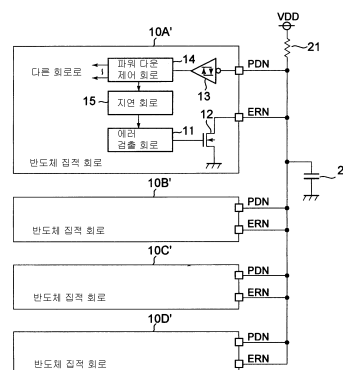
(54) 반도체 집적 회로

(57) 요약

(과제) 복수의 반도체 집적 회로가 출력하는 에러 검출 신호의 와이어드 OR을 취해 각 반도체 집적 회로에 파워 다운 지령 신호로서 부여하는 경우에 각 반도체 집적 회로를 안정되게 파워 다운 상태로 이행시킨다.

(해결 수단) 외부로부터의 파워 다운 지령 신호(PDN)가 인버터(13)의 임계값을 하회했을 때에 파워 다운 제어 신호를 액티브 레벨로 하는 파워 다운 제어 회로(14)와, 파워 다운 제어 신호가 비액티브 레벨일 때에 에러의 검출에 따라 N채널 전계효과 트랜지스터(12)를 온상태로 해서 에러 검출 신호(ERN)를 액티브 레벨로 하는 에러 검출 회로(11) 사이에 지연 회로(15)를 삽입하여 파워 다운 지령 신호(PDN)가 인버터(13)의 임계값을 하회한 후에도 에러 검출 신호(ERN)가 비액티브 레벨로부터 액티브 레벨을 향하는 방향의 변화를 계속하도록 했다.

대표도 - 도1



(72) 발명자

하시모토 유야

일본국 시즈오카켄 하마마츠시 나카쿠 나카자와쵸
10반 1고, 야마하 가부시키키가이샤 나이

나카모리 토루

일본국 시즈오카켄 하마마츠시 나카쿠 나카자와쵸
10반 1고, 야마하 가부시키키가이샤 나이

키시이 타츠야

일본국 시즈오카켄 하마마츠시 나카쿠 나카자와쵸
10반 1고, 야마하 가부시키키가이샤 나이

특허청구의 범위

청구항 1

외부로부터 부여되는 파워 다운 지령 신호를 이진화하는 입력 회로;

상기 입력 회로에 의해 이진화된 파워 다운 지령 신호가 액티브 레벨일 때 반도체 집적 회로를 소비전력이 적은 파워 다운 상태로 이행시키는 파워 다운 제어 신호를 액티브 레벨로 하는 파워 다운 제어 회로;

상기 반도체 집적 회로의 외부로 에러 검출 신호를 출력하는 출력 단자에 일단이 접속되고, 온상태로 됨으로써 상기 에러 검출 신호를 액티브 레벨로 하는 스위칭 소자;

상기 파워 다운 제어 신호를 소정 시간만큼 지연시키는 지연 회로; 및

상기 지연 회로에 의해 지연된 파워 다운 제어 신호가 비액티브 레벨이며, 또한, 상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 스위칭 소자를 온상태로 해서 상기 출력 단자로부터 출력되는 에러 검출 신호를 액티브 레벨로 하고, 상기 지연 회로에 의해 지연된 파워 다운 제어 신호가 액티브 레벨일 때 상기 스위칭 소자를 오프상태로 하는 에러 검출 회로를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 2

소정 전압이 인가된 배선 상에 접속된 2개 이상의 반도체 집적 회로를 갖는 전자기기에 있어서:

상기 반도체 집적 회로는,

상기 배선 전압의 저하에 의해 상기 배선 전압이 제 1 임계값을 하회했을 때 출력 신호를 액티브 레벨로 하고, 상기 배선 전압의 상승에 의해 상기 배선 전압이 제 2 임계값을 상회했을 때 상기 출력 신호를 비액티브 레벨로 하는 인버터;

상기 인버터로부터 입력된 상기 출력 신호가 액티브 레벨일 때 상기 반도체 집적 회로의 구성 요소를 제어하는 파워 다운 제어 신호를 액티브 레벨로 하고, 상기 인버터로부터 입력된 상기 출력 신호가 비액티브 레벨일 때 상기 파워 다운 제어 신호를 비액티브 레벨로 하는 파워 다운 제어 회로;

상기 파워 다운 제어 신호를 입력하고, 소정 지연 시간만큼 지연시켜서 출력하는 지연 회로; 및

상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 배선 전압을 저하시키고, 상기 지연 회로로부터 입력된 상기 파워 다운 제어 신호가 액티브 레벨인 경우에 상기 배선 전압을 상승시키는 에러 검출 회로를 구비하는 것을 특징으로 하는 전자기기.

청구항 3

제 2 항에 있어서, 상기 2개 이상의 반도체 집적 회로 사이에서는 상기 제 1 임계값에 불균일의 상한과 하한이 있고,

상기 소정 지연 시간은 상기 에러 검출 회로에 의한 상기 배선 전압의 저하에 따라 상기 배선 전압이 상기 상한으로부터 상기 하한까지 저하되는 시간보다 긴 것을 특징으로 하는 전자기기.

청구항 4

제 3 항에 있어서, 상기 배선 전압이 상기 상한으로부터 상기 하한까지 저하되는 시간은 미리 시뮬레이션에 의해 구한 것을 특징으로 하는 전자기기.

청구항 5

제 2 항에 있어서, 상기 제 1 임계값은 상기 제 2 임계값보다 작은 값인 것을 특징으로 하는 전자기기.

청구항 6

소정의 전압이 인가된 배선 상에 접속된 2개 이상의 반도체 집적 회로를 갖는 전자기기에 있어서:

상기 반도체 집적 회로는,

상기 배선 전압의 상승에 의해 상기 배선 전압이 제 1 임계값을 상회했을 때 출력 신호를 액티브 레벨로 하고, 상기 배선 전압의 저하에 의해 상기 배선 전압이 제 2 임계값을 하회했을 때 상기 출력 신호를 비액티브 레벨로 하는 인버터;

상기 인버터로부터 입력된 상기 출력 신호가 액티브 레벨일 때 상기 반도체 집적 회로의 구성 요소를 제어하는 파워 다운 제어 신호를 액티브 레벨로 하고, 상기 인버터로부터 입력된 상기 출력 신호가 비액티브 레벨일 때 상기 파워 다운 제어 신호를 비액티브 레벨로 하는 파워 다운 제어 회로;

상기 파워 다운 제어 신호를 입력하고, 소정 지연 시간만큼 지연시켜서 출력하는 지연 회로; 및

상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 배선 전압을 상승시키고, 상기 지연회로부터 입력된 상기 파워 다운 제어 신호가 액티브 레벨인 경우에 상기 배선 전압을 저하시키는 에러 검출 회로를 구비하는 것을 특징으로 하는 전자기기.

청구항 7

제 6 항에 있어서, 상기 2개 이상의 반도체 집적 회로 사이에서는 상기 제 1 임계값에 불균일의 상한과 하한이 있고,

상기 소정 지연 시간은 상기 에러 검출 회로에 의한 상기 배선 전압의 상승에 따라 상기 배선 전압이 상기 하한으로부터 상기 상한까지 상승되는 시간보다 긴 것을 특징으로 하는 전자기기.

청구항 8

제 7 항에 있어서, 상기 배선 전압이 상기 하한으로부터 상기 상한까지 상승되는 시간은 미리 시뮬레이션에 의해 구한 것을 특징으로 하는 전자기기.

청구항 9

제 6 항에 있어서, 상기 제 1 임계값은 상기 제 2 임계값보다 큰 값인 것을 특징으로 하는 전자기기.

청구항 10

반도체 집적 회로가 접속되는 배선 전압의 저하에 의해 상기 배선 전압이 제 1 임계값을 하회했을 때 출력 신호를 액티브 레벨로 하고, 상기 배선 전압의 상승에 의해 상기 배선 전압이 제 2 임계값을 상회했을 때 상기 출력 신호를 비액티브 레벨로 하는 인버터;

상기 인버터로부터 입력된 상기 출력 신호가 액티브 레벨일 때 상기 반도체 집적 회로의 구성 요소를 제어하는 파워 다운 제어 신호를 액티브 레벨로 하고, 상기 인버터로부터 입력된 상기 출력 신호가 비액티브 레벨일 때 상기 파워 다운 제어 신호를 비액티브 레벨로 하는 파워 다운 제어 회로;

상기 파워 다운 제어 신호를 입력하고, 소정 지연 시간만큼 지연시켜서 출력하는 지연 회로; 및

상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 배선 전압을 저하시키고, 상기 지연 회로로부터 입력된 상기 파워 다운 제어 신호가 액티브 레벨인 경우에 상기 배선 전압을 상승시키는 에러 검출 회로를 구비하는 것을 특징으로 하는 반도체 집적 회로.

청구항 11

반도체 집적 회로가 접속되는 배선 전압의 상승에 의해 상기 배선 전압이 제 1 임계값을 상회했을 때 출력 신호를 액티브 레벨로 하고, 상기 배선 전압의 저하에 의해 상기 배선 전압이 제 2 임계값을 하회했을 때 상기 출력 신호를 비액티브 레벨로 하는 인버터;

상기 인버터로부터 입력된 상기 출력 신호가 액티브 레벨일 때 상기 반도체 집적 회로의 구성 요소를 제어하는 파워 다운 제어 신호를 액티브 레벨로 하고, 상기 인버터로부터 입력된 상기 출력 신호가 비액티브 레벨일 때 상기 파워 다운 제어 신호를 비액티브 레벨로 하는 파워 다운 제어 회로;

상기 파워 다운 제어 신호를 입력하고, 소정 지연 시간만큼 지연시켜서 출력하는 지연 회로; 및

상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 배선 전압을 상승시키고, 상기 지연 회로로부터 입력된 상기 파워 다운 제어 신호가 액티브 레벨인 경우에 상기 배선 전압을 저하시키는 에러 검출 회로를

구비하는 것을 특징으로 하는 반도체 집적 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 에러 검출 기능 및 파워 다운 기능을 구비한 반도체 집적 회로에 관한 것이다.

배경 기술

[0002] 전자기기에 있어서 페일세이프(fail-safe) 기능을 실현하기 위해서 전자기기에 장착되는 반도체 집적 회로에 에러 검출 회로가 설치되는 경우가 많다. 이 에러 검출 회로는 예를 들면 반도체 집적 회로가 발열되어 고온으로 되거나, 반도체 집적 회로나 그 부하에 과전류가 흐른 경우에 반도체 집적 회로 외부로 에러 검출 신호를 출력하는 회로이다. 전자기기에 설치된 호스트 프로세서는 이러한 에러 검출 신호가 반도체 집적 회로로부터 출력된 경우에 그 반도체 집적 회로에 대한 전원 공급을 끊거나 하는 조치를 취한다. 이것에 의해 반도체 집적 회로나 그 부하의 파괴라는 치명적인 피해의 발생이 방지된다. 이러한 종류의 페일세이프 기능을 갖는 반도체 집적 회로의 일례로서는 특허문헌1에 개시된 반도체 집적 회로가 있다.

[0003] 또한, 반도체 집적 회로 중에는 파워 다운 제어 회로를 구비한 것이 있다. 이것은 외부로부터 파워 다운 지령이 부여된 경우에 반도체 집적 회로의 동작 클럭을 정지시키거나, 소비전력이 큰 회로를 정지시키거나, 반도체 집적 회로의 출력 트랜지스터를 오프상태로 함으로써 반도체 집적 회로를 소비전력이 적은 파워 다운 상태로 이행시키는 회로이다.

[0004] 이러한 파워 다운 제어 회로를 반도체 집적 회로에 설치하는 주된 목적은 물론, 반도체 집적 회로에 불필요한 전력을 소비시키지 않는 데에 있다. 그러나, 반도체 집적 회로의 구성에 따라서는 파워 다운 상태로의 이행은 발열이나 과전류의 발생이라는 에러가 발생된 경우에 반도체 집적 회로나 부하로의 피해가 확대되는 것을 저지하는 피해 확대 방지책이 되는 경우가 많다. 이 때문에, 전자기기에 있어서 페일세이프 기능을 실현하기 위해서 에러 검출 회로와 파워 다운 제어 회로를 연동시키는 구성이 채용되는 경우가 있다. 즉, 반도체 집적 회로에 있어서의 에러 검출 신호의 출력 단자와 파워 다운 지령 신호의 입력 단자를 연결하는 신호 전달 경로를 반도체 집적 회로의 외부에 설치하는 것이다. 이러한 구성에 의하면, 반도체 집적 회로에 있어서 발열이나 과전류의 발생이라는 에러가 발생되어 에러 검출 회로가 에러 검출 신호를 출력한 경우에 이것이 파워 다운 지령 신호로서 파워 다운 제어 회로에 부여된다. 따라서, 호스트 프로세서를 통하지 않고 에러 발생에 기인한 피해의 확대를 방지할 수 있다.

[0005] (특허문헌1) 일본 특허 공표 2003-506951호 공보

발명의 내용

[0006] 그런데, 에러 검출 회로와 파워 다운 제어 회로를 구비한 복수의 반도체 집적 회로를 전자기기에 탑재하는 경우가 있다. 또한, 이러한 전자기기에 있어서 복수의 반도체 집적 회로 중 적어도 1개의 반도체 집적 회로의 에러 검출 회로가 에러 검출 신호를 출력한 경우에 모든 반도체 집적 회로를 파워 다운 상태로 이행시키고 싶은 경우가 있다. 이러한 요구를 만족시키기 위한 반도체 집적 회로 및 그것을 사용한 전자기기의 구성으로서, 예를 들면 도 3에 나타내는 것이 고려된다.

[0007] 도 3에 나타내는 예에 있어서, 전자기기에는 반도체 집적 회로(10A, 10B, 10C, 10D)가 탑재되어 있다. 반도체 집적 회로(10A)는 에러 검출 회로(11)와, 스위칭 소자로서의 N채널 전계효과 트랜지스터(12)와, 인버터(13)와, 파워 다운 제어 회로(14)를 갖고 있다. 여기에서, N채널 전계효과 트랜지스터(12)는 소스가 접지되어 있고, 에러 검출 신호(ERN)를 출력하는 반도체 집적 회로(10A)의 출력 단자에 드레인이 접속되어 있어 오픈 드레인형 출력 회로를 구성하고 있다. 에러 검출 회로(11)는 반도체 집적 회로(10A)에 있어서 에러를 검출했을 때에 N채널 전계효과 트랜지스터(12)를 온상태로 해서 N채널 전계효과 트랜지스터(12)로부터 반도체 집적 회로(10A)의 외부

로 출력되는 에러 검출 신호(ERN)를 액티브 레벨(L레벨)로 한다.

- [0008] 인버터(13)는 반도체 집적 회로(10A)의 외부로부터 파워 다운 지령 신호(PDN)를 받아서 파워 다운 제어 회로(14)에 넘겨주는 입력 회로로서의 역할을 한다. 이 인버터(13)는 입출력 전달 특성이 히스테리시스 특성을 갖고 있다. 즉, 파워 다운 지령 신호(PDN)가 전원 전압(VDD)으로부터 접지 레벨을 향해서 하강하는 과정에서는 파워 다운 지령 신호(PDN)가 예를 들면 임계값(VLa)을 하회할 때에 인버터(13)의 출력 신호가 L레벨로부터 H레벨로 상승하지만, 파워 다운 지령 신호(PDN)가 접지 레벨로부터 전원 전압(VDD)을 향해서 상승하는 과정에서는 파워 다운 지령 신호(PDN)가 임계값(VLa)보다 높은 임계값(VHa)을 상회할 때에 인버터(13)의 출력 신호가 H레벨로부터 L레벨로 하강한다.
- [0009] 파워 다운 제어 회로(14)는 인버터(13)의 출력 신호가 액티브 레벨(H레벨)로 되었을 때 반도체 집적 회로(10A) 내의 파워 다운 제어의 대상이 되는 각 부로 보내는 파워 다운 제어 신호를 액티브 레벨로 하고, 인버터(13)의 출력 신호가 비액티브 레벨(L레벨)로 되었을 때 이 파워 다운 제어 신호를 비액티브 레벨로 한다. 이 파워 다운 제어의 대상에는 에러 검출 회로(11)도 포함된다. 에러 검출 회로(11)는 파워 다운 제어 신호가 액티브 레벨일 때에는 N채널 전계효과 트랜지스터(12)를 강제적으로 오프상태로 하고, 파워 다운 제어 신호가 비액티브 레벨일 때에는 에러의 검출의 유무에 따라 N채널 전계효과 트랜지스터(12)의 온/오프 스위칭을 행한다.
- [0010] 이상, 반도체 집적 회로(10A)를 예로 들어 구성을 설명했지만, 다른 반도체 집적 회로(10B, 10C, 10D)에도 반도체 집적 회로(10A)의 것과 동일한 에러 검출 회로(11)와, N채널 전계효과 트랜지스터(12)와, 인버터(13)와, 파워 다운 제어 회로(14)가 설치되어 있다(도시 생략).
- [0011] 그리고, 도 3에 예시하는 전자기기에서는 반도체 집적 회로(10A, 10B, 10C, 10D)의 에러 검출 신호(ERN)의 출력 단자가 공통접속되고, 이 공통 접속점과 전원 전압(VDD)의 전원 사이에 풀업 저항(21)이 삽입되어 와이어드 OR 회로가 구성되어 있다. 또한 에러 검출 신호(ERN)의 각 출력 단자의 공통 접속점과 접지선 사이에는 커패시터(22)가 삽입되어 있다. 그리고, 와이어드 OR 회로의 출력 단자, 즉, 반도체 집적 회로(10A, 10B, 10C, 10D)의 에러 검출 신호(ERN)의 각 출력 단자의 공통 접속점이 반도체 집적 회로(10A, 10B, 10C, 10D)의 파워 다운 지령 신호(PDN)의 각 입력 단자에 접속되어 있다.
- [0012] 이러한 구성에 의하면, 반도체 집적 회로(10A, 10B, 10C, 10D) 중 어느 하나의 에러 검출 회로(11)가 그 N채널 전계효과 트랜지스터(12)를 온상태로 하면 에러 검출 신호(ERN)가 액티브 레벨로 변화되고, 이 에러 검출 신호(ERN)가 파워 다운 지령 신호(PDN)로서 반도체 집적 회로(10A, 10B, 10C, 10D)에 부여된다. 따라서, 반도체 집적 회로(10A, 10B, 10C, 10D)의 각 인버터(13)의 임계값(반도체 집적 회로(10A)의 임계값(VLa)에 상당하는 것)이 일치되어 있으면 모든 반도체 집적 회로(10A, 10B, 10C, 10D)가 일제히 파워 다운 상태로 이행된다. 그러나, 반도체 집적 회로(10A, 10B, 10C, 10D)에는 제조 불균일이 있으므로, 각 반도체 집적 회로(10A, 10B, 10C, 10D)의 인버터(13)의 임계값을 일치시키는 것은 곤란하다. 이 때문에, 도 3에 나타내는 구성에서는 에러 검출 신호(ERN)의 발생에 따른 파워 다운 제어의 동작이 불안정한 것으로 된다는 문제가 생긴다.
- [0013] 도 4는 이 불안정한 파워 다운 제어의 동작예를 나타내는 파형도이다. 이 예에서는, 반도체 집적 회로(10A)의 에러 검출 회로(11)가 에러를 검출해서 N채널 전계효과 트랜지스터(12)를 온상태로 하여 에러 검출 신호(ERN)를 하강시키고 있다. 도시의 예에서는, 이 에러 검출 신호(ERN)가 반도체 집적 회로(10A)의 인버터(13)의 임계값(VLa)을 하회했을 때 반도체 집적 회로(10A)의 파워 다운 제어 회로(14)는 반도체 집적 회로(10A)내의 각 부로 보내는 파워 다운 제어 신호를 액티브 레벨로 해서 반도체 집적 회로(10A)를 파워 다운 상태로 이행시키고 있다. 그리고, 파워 다운 제어 신호가 액티브 레벨로 됨으로써 에러 검출 회로(11)는 N채널 전계효과 트랜지스터(12)를 오프상태로 한다. 이 때문에, 풀업 저항(21)을 통한 커패시터(22)의 충전이 시작되고, 에러 검출 신호(ERN)는 풀업 저항(21)의 저항값과 커패시터(22)의 용량값을 곱했을 때 정수에 따른 속도로 상승되어 간다. 그리고, 에러 검출 신호(ERN)가 반도체 집적 회로(10A)의 인버터(13)의 임계값(VHa)을 상회했을 때 반도체 집적 회로(10A)의 파워 다운 제어 회로(14)는 파워 다운 제어 신호를 비액티브 레벨로 해서 반도체 집적 회로(10A)를 통상의 동작 상태로 복귀시킨다. 이렇게, 반도체 집적 회로(10A)는 에러 검출 신호(ERN)가 임계값(VLa)을 하회한 후, 임계값(VHa)으로 상승될 때까지의 기간에 파워 다운 상태로 된다.
- [0014] 그러나, 도 4에 나타내는 예에서는, 반도체 집적 회로(10B)의 인버터(13)의 임계값(VLb)이 반도체 집적 회로(10A)의 인버터(13)의 임계값(VLa)보다 낮다. 그리고, 에러 검출 신호(ERN)는 임계값(VLa)을 하회한 후, 임계값(VLb)에 도달하지 않고 전원 전압(VDD)을 향해서 상승된다. 이 때문에, 반도체 집적 회로(10B)에서는 인버터(13)의 출력 신호가 비액티브 레벨(L레벨)인 채로 변화되지 않고, 파워 다운 상태로의 이행은 행해지지 않는다. 이상, 반도체 집적 회로(10B)를 예로 들어 설명했지만, 반도체 집적 회로(10C, 10D)의 인버터(13)의 임계값(임

계값(VLa)에 상당하는 것)이 임계값(VLa)보다 낮은 경우에는 반도체 집적 회로(10C, 10D)에서도 파워 다운 상태로의 이행은 행해지지 않는다.

[0015] 본 발명은 이상에서 설명한 사정을 감안하여 이루어진 것으로, 복수의 반도체 집적 회로가 출력하는 에러 검출 신호의 와이어드 OR을 취해서 각 반도체 집적 회로에 파워 다운 지령 신호로서 공급하도록 한 경우에 각 반도체 집적 회로를 안정되게 파워 다운 상태로 이행시키는 것을 가능하게 하는 기술적 수단을 제공하는 것을 목적으로 한다.

[0016] 본 발명은 외부로부터 부여되는 파워 다운 지령 신호를 이진화하는 입력 회로와, 상기 입력 회로에 의해 이진화된 파워 다운 지령 신호가 액티브 레벨일 때 상기 반도체 집적 회로를 소비전력이 적은 파워 다운 상태로 이행시키는 파워 다운 제어 신호를 액티브 레벨로 하는 파워 다운 제어 회로와, 상기 반도체 집적 회로의 외부로 에러 검출 신호를 출력하는 출력 단자에 일단이 접속되고, 온상태로 됨으로써 상기 에러 검출 신호를 액티브 레벨로 하는 스위칭 소자와, 상기 파워 다운 제어 신호를 소정 시간만큼 지연시키는 지연 회로와, 상기 지연 회로에 의해 지연된 파워 다운 제어 신호가 비액티브 레벨이며, 또한, 상기 반도체 집적 회로에 있어서 발생된 에러를 검출했을 때 상기 스위칭 소자를 온상태로 해서 상기 출력 단자로부터 출력되는 에러 검출 신호를 액티브 레벨로 하고, 상기 지연 회로에 의해 지연된 파워 다운 제어 신호가 액티브 레벨일 때 상기 스위칭 소자를 오프상태로 하는 에러 검출 회로를 구비하는 것을 특징으로 하는 반도체 집적 회로를 제공한다.

[0017] 이러한 발명에 의하면, 복수의 반도체 집적 회로가 출력하는 에러 검출 신호의 와이어드 OR을 취해서 각 반도체 집적 회로에 파워 다운 지령 신호로서 공급하도록 한 경우에 어느 하나의 반도체 집적 회로의 에러 검출 회로가 스위칭 소자를 온상태로 하면 에러 검출 신호가 비액티브 레벨로부터 액티브 레벨을 향하는 방향으로 변화되고, 각 반도체 집적 회로에 부여되는 파워 다운 지령 신호도 비액티브 레벨로부터 액티브 레벨을 향해서 변화된다. 여기에서, 스위칭 소자를 온상태로 해서 에러 검출 신호를 비액티브 레벨로부터 액티브 레벨을 향해서 변화시킨 반도체 집적 회로에서는 입력 회로에 의해 이진화된 파워 다운 지령 신호가 액티브 레벨로 된 것을 검지하여 파워 다운 제어 회로가 파워 다운 제어 신호를 액티브 레벨로 해서 파워 다운 상태로의 이행을 행하게 한다. 그러나, 에러 검출 회로에는 파워 다운 제어 회로로부터 출력된 파워 다운 제어 신호가 지연 회로에 의해 지연되어 도달한다. 따라서, 파워 다운 지령 신호가 입력 회로의 임계값을 가로지른 후, 에러 검출 회로가 스위칭 소자를 오프상태로 할 때까지의 동안에 지연 회로의 지연 시간 상당의 지연이 생기고, 이 동안에 파워 다운 지령 신호(에러 검출 신호)는 비액티브 레벨로부터 액티브 레벨을 향하는 방향의 변화를 계속한다. 그리고, 지연 회로의 지연 시간이 충분히 긴 경우에는 파워 다운 지령 신호(에러 검출 신호)를 이진화하는 입력 회로의 임계값이 복수의 반도체 집적 회로 사이에서 불균일해졌다 해도 파워 다운 지령 신호(에러 검출 신호)는 모든 반도체 집적 회로의 입력 회로의 임계값을 가로지른다. 따라서, 모든 반도체 집적 회로에 있어서 파워 다운 상태로의 이행이 행해진다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 도면을 참조해서 본 발명의 실시형태를 설명한다.

[0019] 도 1은 본 발명의 실시형태인 반도체 집적 회로를 복수개 사용한 전자기기의 구성예를 나타내는 회로도이다. 도 1에 있어서, 반도체 집적 회로(10A', 10B', 10C', 10D')는 모두 본 실시형태에 의한 반도체 집적 회로이다. 상기 도 3의 구성과 마찬가지로, 도 1에 나타내는 전자기기에서는 각 반도체 집적 회로(10A', 10B', 10C', 10D')가 출력하는 에러 검출 신호(ERN)의 와이어드 OR이 취해지고, 파워 다운 지령 신호(PDN)로서 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 부여된다.

[0020] 본 실시형태에 의한 반도체 집적 회로(10A', 10B', 10C', 10D')와, 상기 도 3의 반도체 집적 회로(10A, 10B, 10C, 10D)의 차이점은 전자의 것에는 후자의 것에는 없는 지연 회로(15)가 설치되어 있다 점에 있다. 이 지연 회로(15)는 파워 다운 제어 회로(14)로부터 출력되는 파워 다운 제어 신호 중 에러 검출 회로(11)로의 것을 소정의 지연 시간(td)만큼 지연시켜서 에러 검출 회로(11)에 부여하는 것이다.

[0021] 도 2는 본 실시형태의 동작예를 나타내는 파형도이다. 이 동작예에서는 상기 도 3과 마찬가지로, 반도체 집적 회로(10A')의 에러 검출 회로(11)가 에러를 검출하고, N채널 전계효과 트랜지스터(12)를 온상태로 하고, 에러 검출 신호(ERN)를 하강시키고 있다. 그리고, 에러 검출 신호(ERN)가 반도체 집적 회로(10A)의 인버터(13)의 임계값(VLa)을 하회했을 때 인버터(13)의 출력 신호가 H레벨로 되고, 반도체 집적 회로(10A')의 파워 다운 제어 회로(14)는 반도체 집적 회로(10A')내의 각 부로 보내는 파워 다운 제어 신호를 액티브 레벨로 해서 반도체 집적 회로(10A')를 파워 다운 상태로 이행시키고 있다.

- [0022] 그러나, 에러 검출 회로(11)로의 파워 다운 제어 신호는 지연 회로(15)에 의해 지연 시간(td)만큼 지연되어 에러 검출 회로(11)에 도달한다. 에러 검출 회로(11)는 이 지연 회로(15)에 의해 지연된 파워 다운 제어 신호가 액티브 레벨로 되었을 때 N채널 전계효과 트랜지스터(12)를 오프상태로 한다. 이 때문에, 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 반도체 집적 회로(10A')의 인버터(13)의 임계값(VLa)을 하회하여 인버터(13)의 출력 신호가 액티브 레벨(H레벨)로 된 것을 파워 다운 제어 회로(14)가 검지한 후, 에러 검출 회로(11)가 N채널 전계효과 트랜지스터(12)를 오프상태로 할 때까지의 동안에 지연 회로(15)의 지연 시간(td) 상당의 지연이 발생하고, 이 동안에 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))는 비액티브 레벨(H레벨)로부터 액티브 레벨(L레벨)을 향한 변화를 계속한다.
- [0023] 따라서, 지연 시간(td)이 충분히 길면 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))를 이진화해서 파워 다운 제어 회로(14)로 넘겨주는 인버터(13)의 임계값이 각 반도체 집적 회로(10A'~10D') 사이에 있어서 불균일해졌다 해도 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))는 모든 반도체 집적 회로(10A'~10D')의 인버터(13)의 임계값을 가로지른다. 이 때문에, 모든 반도체 집적 회로(10A', 10B', 10C', 10D')에 있어서 파워 다운 상태로의 이행이 행해진다.
- [0024] 도 2에 나타내는 예에서는, 반도체 집적 회로(10B')의 인버터(13)의 임계값(VLb)이 반도체 집적 회로(10A')의 임계값(VLa)보다 낮다. 그리고, 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 반도체 집적 회로(10A')의 인버터(13)의 임계값(VLa)을 하회한 후, 지연 시간(td) 동안, 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 반도체 집적 회로(10B')의 인버터(13)의 임계값(VLb)을 하회하는 형태가 나타나어져 있다. 반도체 집적 회로(10B')는 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 저하되어 인버터(13)의 임계값(VLb)을 하회한 시점으로부터 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 상승해서 인버터(13)의 임계값[VHb(>VLb)]을 상회하는 시점까지의 동안 파워 다운 상태가 된다. 도면에 나타내지는 않지만, 다른 반도체 집적 회로(10C', 10D')의 인버터(13)의 임계값(임계값(VLa)에 상당하는 것)이 반도체 집적 회로(10A')의 임계값(VLa)보다 낮은 경우에 대해서도 마찬가지이다.
- [0025] 본 실시형태에서는 반도체 집적 회로(10A', 10B', 10C', 10D') 중 어느 것이 에러 검출 신호(ERN)를 비액티브 레벨로부터 액티브 레벨을 향해서 변화시켰다 해도 모든 반도체 집적 회로(10A', 10B', 10C', 10D')를 파워 다운 상태로 이행시킬 필요가 있다. 그것을 위해서는 제조 불균일이 존재하는 경우에 있어서의 모든 반도체 집적 회로(10A', 10B', 10C', 10D')의 인버터(13)의 임계값(임계값(VLa)에 상당하는 것)의 불균일의 범위를 구해서 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 이 인버터(13)의 임계값의 불균일 범위의 상한에 도달하고나서 하한에 도달할 때까지의 시간에 비해 지연 회로(15)의 지연 시간(td)을 길게 하면 좋다. 인버터(13)의 임계값의 불균일의 범위나, 파워 다운 지령 신호(PDN)(에러 검출 신호(ERN))가 인버터(13)의 임계값의 불균일 범위의 상한에 도달하고나서 하한에 도달할 때까지의 시간은 예를 들면 시뮬레이션 등에 의해 구하는 것이 가능하다.
- [0026] 이상에서 설명한 바와 같이, 본 실시형태에 의하면, 복수의 반도체 집적 회로(10A', 10B', 10C', 10D')가 출력하는 에러 검출 신호(ERN)의 와이어드 OR을 취해서 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 파워 다운 지령 신호(PDN)로서 공급하도록 한 경우에 각 반도체 집적 회로(10A', 10B', 10C', 10D')를 안정되게 파워 다운 상태로 이행시킬 수 있다.
- [0027] 이상, 본 발명의 일 실시형태를 설명했지만, 본 발명에는 그 외에도 각종의 실시형태가 고려된다. 예를 들면 다음과 같다.
- [0028] (1)상기 실시형태에서는 각 반도체 집적 회로(10A', 10B', 10C', 10D')가 받는 파워 다운 지령 신호(PDN)를 로우 액티브의 입력 신호로 하고, 각 반도체 집적 회로(10A', 10B', 10C', 10D')가 출력하는 에러 검출 신호(ERN)도 로우 액티브의 출력 신호로 했다. 그러나, 각 반도체 집적 회로(10A', 10B', 10C', 10D')가 받는 파워 다운 지령 신호(PDN)를 하이 액티브의 입력 신호로 하고, 각 반도체 집적 회로(10A', 10B', 10C', 10D')가 출력하는 에러 검출 신호(ERN)도 하이 액티브의 출력 신호로 해도 된다. 이 경우, 에러 검출 회로(11)가 온/오프 스위칭을 행하는 스위칭 소자를 P채널 전계효과 트랜지스터로 하고, 각 반도체 집적 회로(10A', 10B', 10C', 10D')의 각 P채널 전계효과 트랜지스터의 각 소스를 전원 전압(VDD)에 고정하고, 각 드레인을 반도체 집적 회로의 외부에 있어서 공통 접속하고, 이 공통 접속점과 접지선 사이에 풀다운 저항을 삽입해서 와이어드 OR 회로를 구성하고, 이 와이어드 OR 회로의 출력 신호를 파워 다운 지령 신호로서 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 부여하면 된다.
- [0029] (2)상기 실시형태에서는 각 반도체 집적 회로(10A', 10B', 10C', 10D')를 전계효과 트랜지스터에 의해 구성했지

만, 각 반도체 집적 회로(10A', 10B', 10C', 10D')를 바이폴러 트랜지스터에 의해 구성해도 된다.

[0030] (3)상기 실시형태에서는 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 있어서 파워 다운 지령 신호(PDN)를 이진화하는 입력 회로로서 2개의 임계값을 갖는 히스테리시스 특성을 갖는 인버터(13)를 채용하고, 파워 다운 지령 신호(PDN)가 저하되어 낮은 임계값을 하회했을 때 파워 다운 상태로 이행시키고, 파워 다운 지령 신호가 상승되어 높은 임계값을 상회했을 때 파워 다운 상태에서부터 통상의 상태로 복귀시키도록 했다. 그러나, 파워 다운 상태에서부터 통상의 상태로 복귀시키는 트리거로서 파워 다운 지령 신호(PDN) 이외의 신호를 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 부여하도록 해도 된다. 이 경우, 각 반도체 집적 회로(10A', 10B', 10C', 10D')에 있어서 파워 다운 지령 신호(PDN)를 이진화하는 입력 회로는 히스테리시스 특성을 갖지 않는 통상의 인버터 등이어도 된다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일실시형태인 반도체 집적 회로를 복수개 사용한 전자기기의 구성예를 나타내는 회로도이다.

[0032] 도 2는 동 전자기기의 동작예에 있어서의 각 부의 파형을 나타내는 파형도이다.

[0033] 도 3은 예러 검출 회로와 파워 다운 제어 회로를 구비한 반도체 집적 회로를 복수개 갖고, 각 반도체 집적 회로의 예러 검출 회로가 출력하는 예러 검출 신호의 와이어드 OR을 취하고, 풀다운 지령 신호로서 각 반도체 집적 회로의 파워 다운 제어 회로에 부여하도록 한 전자기기의 구성예를 나타내는 회로도이다.

[0034] 도 4는 도 3에 나타내는 전자기기에 있어서 파워 다운 상태로의 이행이 불안정해지는 동작예를 나타내는 파형도이다.

[0035] (부호의 설명)

[0036] 10A', 10B', 10C', 10D'...반도체 집적 회로 11...예러 검출 회로

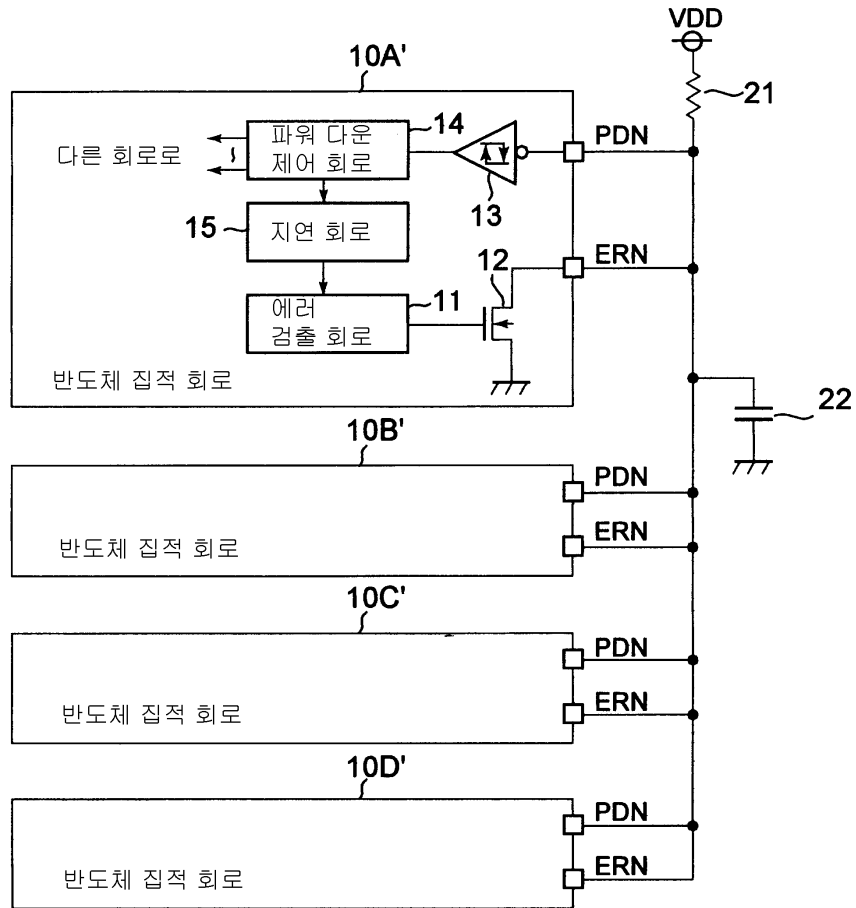
[0037] 12...N채널 전계효과 트랜지스터 13...인버터

[0038] 14...파워 다운 제어 회로 15...지연 회로

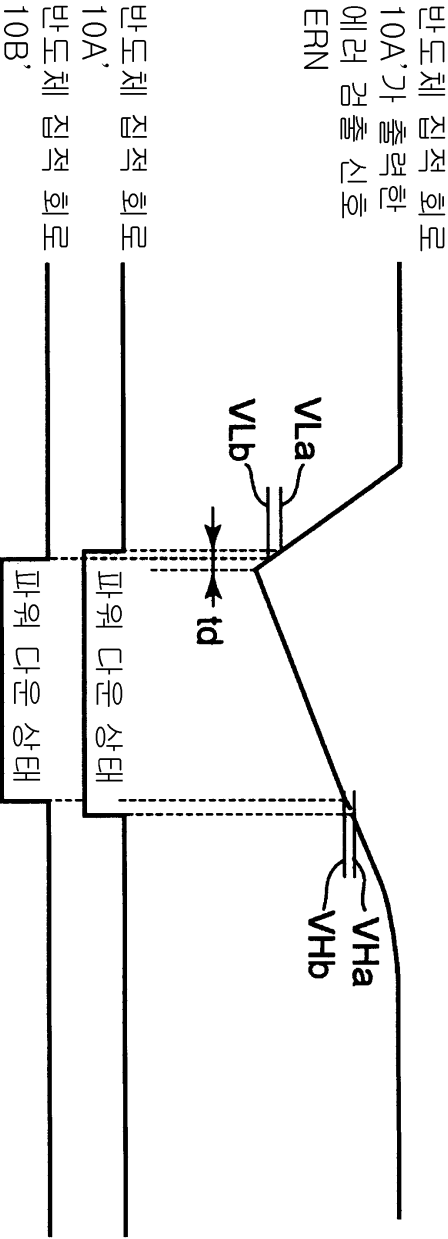
[0039] 21...풀업 저항 22...커패시터

도면

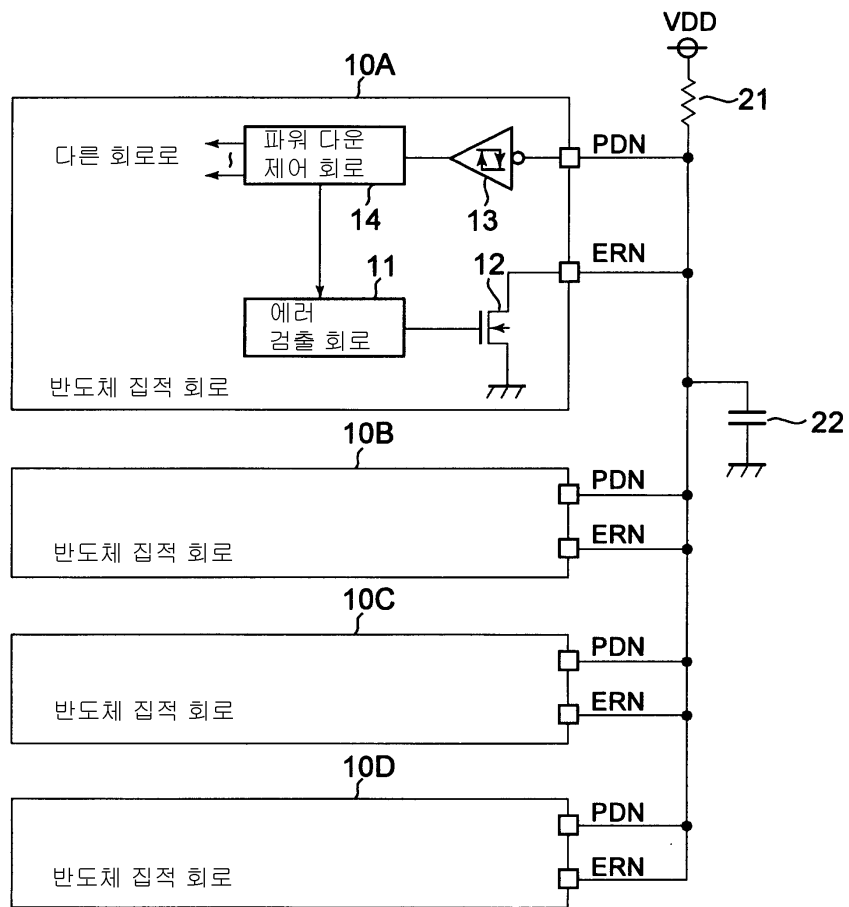
도면1



도면2



도면3



도면4

