

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/76

(11) 공개번호 특2001-0046153
(43) 공개일자 2001년06월05일

(21) 출원번호	10-1999-0049792
(22) 출원일자	1999년11월10일
(71) 출원인	주식회사 하이닉스반도체 박종섭
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 박진요
(74) 대리인	경기도이천시대월면사동리현대아파트107동701호 박대진, 정은섭

심사청구 : 없음

(54) 반도체장치의 트렌치 구조의 소자분리막 형성방법

요약

본 발명은 반도체장치의 트렌치 구조의 소자분리막 형성방법에 관한 것으로서, 특히, 이 방법은 기판 상부에 패드 산화막 및 패드 질화막 패턴을 형성한 후에 상기 패턴에 의해 드러난 기판내에 트렌치를 형성하고, 160℃에서 H₃PO₄ 용액을 이용한 습식 식각공정으로 패드 산화막 및 패드 질화막의 측면 부위를 소정 부분 식각하고, 건식 식각 공정을 실시하여 트렌치 상부 모서리 부분을 완만하게 식각하고, 트렌치 내부에 갭필 산화막을 매립한 후에 그 표면을 연마하고, 패드 질화막을 제거한 후에 세정공정을 실시하여 기판내에 갭필 산화막으로 이루어진 소자분리막을 형성한다. 이에 따라, 본 발명은 통상의 트렌치 모서리의 라운딩을 위해 실시해오던 희생 산화 공정시 트렌치 바닥 부분에서 발생하던 실리콘 피트 발생을 예방할 수 있고, 라운딩해진 트렌치 상부 모서리에 의해 이후 소자 동작시 소자분리막 모서리 부분에 집중되는 전계가 분산되어 소자의 전기적 특성을 향상시킬 수 있다.

대표도

도2a

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 종래 기술에 의한 반도체장치의 STI 구조의 소자분리막을 형성하는 제조 공정을 순서적으로 나타낸 단면도들이고,

도 2a 내지 도 2h는 본 발명에 따른 반도체장치의 STI 구조의 소자분리막을 형성하는 제조 공정을 순서적으로 나타낸 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 실리콘기판 102 : 패드 산화막
104 : 패드 질화막 106 : 트렌치
107 : 식각된 질화막 107' : 트렌치 상부 모서리 부분
108 : 측벽 산화막 110 : 갭필 산화막
150 : 소자분리 영역 A : 활성 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 소자분리막 형성방법에 관한 것으로서, 특히, 트렌치 상부 모서리 라운딩 효과를 크게 하여 소자분리 공정의 전기적 특성을 높일 수 있는 반도체장치의 트렌치 구조의 소자분리막 형성방법에 관한 것이다.

일반적으로, 반도체기판 상에 반도체소자, 예를 들어 트랜지스터 및 커패시터 등을 형성하기 위하여 기판에 소자분리막을 형성함으로써 전기적으로 통전이 가능한 활성영역(active region)과 전기적으로 통전되는 것을 방지하면서 소자를 서로 분리하도록 하는 비활성 영역인 소자분리영역(isolation region)을 구분

하고 있다.

이와 같이, 소자를 분리시키기 위한 소자 분리공정은 통상적으로 많이 알려진 LOCOS공정(LOCOS: Local Oxidation of Silicon)이 있다. 이는 반도체기판에 패드 산화막과 패드 질화막을 적층한 후에, 이들 막을 선택 식각하고, 산화 공정을 실시하여 그 식각된 부위에 드러난 기판에 소자분리막을 형성하는 것이다.

하지만, 최근의 반도체 기술은 소자의 고집적화 및 저전력화를 달성하기 위해 약 0.25 μm 정도의 소자 분리 기술까지 요구함에 따라 상기 LOCOS 공정을 이용한 소자 분리 방법으로는 한계가 있었다. 예컨대, 마스크 패턴인 패드 산화막과 패드 질화막의 응력으로 인하여, 산화공정시 반도체기판에 결정결함이 발생하여 누설전류가 증가하고, 또한 장시간의 고온산화로 인하여 채널저지이온의 측면 확산 및 측면산화에 의해 소자의 전기적 특성을 저하시키는 원인으로 작용하는 버즈비크(bird's beak)가 발생하게 되었다.

그리고, 상기 LOCOS공정시 발생하는 소자분리막의 버즈비크 현상을 개선한 PBL(Poly Buffered LOCOS)공정이 있는데, 이는 패드 산화막과 패드 질화막 사이에 버퍼역할을 하는 폴리실리콘막을 개재하여 소자분리막을 형성하는 것이다.

그러나, 이 PBL 공정 또한 LOCOS와 마찬가지로 고집적 반도체장치의 소자분리영역을 형성하는데 한계가 있었다.

그러므로, 현재에는 새로운 소자분리기술의 필요성과 식각 기술의 발달로 미세한 좁은 부위, 예컨대 폭 1 \AA 이하, 깊이가 수십 내지 수백 \AA 정도의 트렌치(trench) 구조의 소자분리 기술이 나오게 되었다. 이 트렌치를 이용한 소자분리기술은 종래의 LOCOS 기술에 비해 80%에 가까운 소자분리영역의 축소가 가능해졌다.

더욱이, 최근에는 웨이퍼기판에 가해지는 스트레스를 크게 줄이면서 트렌치 소자분리막의 문제점을 개선한 STI(Shallow Trench Isolation) 공정이 등장하게 되었다. 이 STI 공정은 반도체기판에 일정한 깊이를 갖는 트렌치를 형성하고서 이 트렌치에 산화물질을 증착시키고서 화학기계적 연마공정(chemical mechanical polishing:)으로 이 산화막의 불필요한 부분을 식각해서 반도체기판에 소자분리막을 형성하는 것이다.

도 1a 내지 도 1f는 종래 기술에 의한 반도체장치의 STI 구조의 소자분리막을 형성하는 제조 공정을 순서적으로 나타낸 단면도들로서, 이를 참조하면 종래 소자분리막 형성방법은 다음과 같다.

우선, 도 1a에 나타난 바와 같이, 반도체기판으로서 실리콘기판(10) 상부에 얇은 두께의 패드 산화막(12) 및 이보다 두꺼운 두께의 패드 질화막(14)을 순차적으로 적층하고, 소자 분리용 마스크를 이용한 사진 공정을 실시하여 패드 질화막(14) 상부에 포토레지스트 패턴(도시하지 않음)을 형성한다. 그리고, 식각 공정으로 상기 포토레지스트 패턴에 맞추어 패드 질화막(14) 및 패드 산화막(12)을 패터닝한 후에 개방된 기판(10) 내에 2000~8000 \AA 정도의 깊이로 트렌치(16)를 형성한다.

그리고, 도 1b 및 도 1c에 도시된 바와 같이, 상기 결과물에 트렌치 식각시 발생한 기판 손상을 줄이면서 트렌치 모서리 부분을 라운딩하게 하기 위해서 산화 공정을 실시하여 트렌치 내에 희생 산화막(18)을 150~200 \AA 정도로 형성하고, 이를 제거한다. 그러면, 상기 희생 산화 공정으로 인해 도면부호 17과 같이, 트렌치 모서리 특히, 상부가 라운딩해진다.

그 다음, 도 1d에 도시된 바와 같이, 다시 기판의 트렌치(16) 내부에 측벽 산화막(20)을 형성한다.

계속해서, 도 1e에 도시된 바와 같이, 고밀도 플라즈마(high density plasma) 방식을 이용하여 트렌치 내부를 충분히 매립할 정도의 두께로 갭필 산화막(22)을 증착한다. 그리고, 화학기계적 연마공정을 실시하여 트렌치 영역의 갭필 산화막(22) 표면을 패드 질화막(14)이 드러날때까지 연마한다.

그 다음, 도 1e에 도시한 바와 같이, 패드 질화막(14)을 선택적으로 제거하고, 세정 공정을 실시하여 기판의 패드 산화막(12)을 제거함으로써 소자분리 영역(ISO)과 활성 영역(A)을 구분하는 STI 구조의 소자분리막(22,20)을 완성한다.

한편, 종래 기술에 의한 STI형 소자 분리막 제조 공정은 트렌치 내부의 기판 손상을 보상하면서 소자분리막의 모서리 부분에 전기장이 집중되는 현상을 방지하고자 트렌치 모서리 부분을 완만하게 하기 위하여 희생 산화막(18)을 성장한 후에 이를 제거하는 공정을 실시하고 있다. 이때, 희생 산화막은 대개 고온의 건식 산화 공정에 의해 형성된다.

하지만, 고온 건식 산화 공정을 이용할 경우 트렌치 상부의 모서리 라운딩 효과는 좋으나, 하부의 모서리(도면 부호 19)에서는 스트레스를 증가시켜 소자의 전기적 특성을 열화시키게 되는 실리콘 피트(silicon pit)를 유발하는 단점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 기판내에 트렌치를 식각한 후에 습식 식각 공정으로 패드 질화막의 측면을 일부 제거하고 플라즈마를 이용한 건식 식각공정으로 트렌치 상부를 라운딩해지도록 식각함으로써 트렌치 모서리부분에 전계가 집중되는 소자의 전기적 특성이 열화되는 현상을 방지할 수 있는 반도체소자의 트렌치 구조의 소자분리막 형성방법을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체기판에 소자의 활성 영역과 비활성 영역을 구분하는 트렌치구조의 소자분리막을 형성함에 있어서, 기판에 패드 산화막 및 패드 질화막을 순차적으로 적층하고, 소자분리 마스크 공정 및 식각 공정으로 상기 패드 질화막 및 패드 산화막을 패터닝한 후에 드러난 기판내에 트렌치를 형성하는 단계와, 트렌치가 형성된 기판에 습식 식각공정으로 패드 산화막 및 패드 질화막의 측면 부위를 소정 부분 식각하는 단계와, 건식 식각 공정을 실시하여 트렌치 상부 모서리 부분을 완만하게 식각하는 단계와, 트렌치 내부에 갭필 산화막을 매립하고 그 표면을 연마하는 단계와, 패드 질화막을

제거하고 세정공정을 실시하여 기판내에 갭필 산화막으로 이루어진 소자분리막을 형성하는 단계를 포함한다.

본 발명의 제조방법에 있어서, 상기 습식 식각공정은 160℃에서 H₃PO₄ 용액을 사용하고 그 타임 타겟의 조건은 30분이하로 한다. 그리고, 건식 식각 공정은 플라즈마를 이용하는 것이 바람직하다.

본 발명의 제조방법에 있어서, 상기 트렌치 내부에 갭필 산화막을 매립하기 전에, 산화 공정을 실시하여 기판의 트렌치 내에 측벽 산화막을 얇게 형성하도록 한다.

본 발명에 따르면, 반도체 기판 내에 트렌치를 식각하고 160℃에서 H₃PO₄ 용액을 이용하여 트렌치 식각 블록킹막으로 사용되는 패드 질화막 측면을 일부분 제거하여 기판 표면이 노출되도록 한 후에, 건식 식각공정을 진행하여 트렌치 상부면을 라운딩하게 식각한다. 이에 따라, 본 발명의 소자분리막 제조 공정은 통상의 트렌치 모서리의 라운딩을 위해 실시해오던 희생 산화 공정시 트렌치 바닥 부분에서 발생하던 실리콘 피트 발생을 예방할 수 있고, 라운딩해진 트렌치 상부 모서리에 의해 이후 소자 동작시 소자분리막 모서리 부분에 집중되는 전계가 분산되어 소자의 전기적 특성을 향상시킨다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하고자 한다.

도 2a 내지 도 2h는 본 발명에 따른 반도체장치의 트렌치 구조의 소자분리막을 형성하는 제조 공정을 순서적으로 나타낸 단면도들이다.

우선, 도 2a에 도시된 바와 같이, 반도체기판으로서 실리콘기판(100) 상부에 얇은 두께의 패드 산화막(102) 및 이보다 두꺼운 두께의 패드 질화막(104)을 순차적으로 적층한다.

그리고, 도 2b에 도시된 바와 같이, 소자 분리용 마스크를 이용한 사진 공정을 실시하여 패드 질화막(104) 상부에 포토레지스트 패턴(105)을 형성한다. 그리고, 식각 공정으로 상기 포토레지스트 패턴(105)에 맞추어 패드 질화막(104) 및 패드 산화막(102)을 패터닝한 후에 개방된 기판(100) 내에 2000~8000 Å 정도의 깊이로 트렌치(106)를 형성한다.

그리고, 도 2c에 도시된 바와 같이, 상기 포토레지스트 패턴(105)을 제거하고, 세정공정을 실시하여 잔여물을 제거한다. 이때, 세정공정은 순서적으로 H₂SO₄, NH₄OH, HF 용액을 이용하거나 또는 H₂SO₄, H₂O₂, NH₄OH, HF, BOE 등을 사용하도록 한다.

그 다음, 도 2d에 도시된 바와 같이, 트렌치가 형성된 기판에 습식 식각공정으로 패드 산화막(102) 및 패드 질화막(104)의 측면 부위를 소정 부분 식각한다. 여기서, 습식 식각공정은 160℃에서 H₃PO₄ 용액을 사용하고, 이때 타임 타겟 조건은 30분이하로 한다. 그러면, 도면부호 107과 같이, 패드 질화막(104)이 수평/수직 방향인 등방성으로 식각된다. 그러나, 트렌치(106)가 형성된 기판(100)은 H₃PO₄ 용액의 식각 선택비에 의해 거의 식각이 이루어지지 않는다.

계속해서, 도 2e에 도시된 바와 같이, 건식 식각 공정으로서 플라즈마 공정을 이용하여 날카롭게 노출된 기판의 트렌치(106) 상부 모서리 부분을 라운딩(107')하게 식각한다. 이렇게 기판의 트렌치 상부 모서리 부분이 라운딩(107')해지면 이후 소자 분리막 모서리 부분이 라운딩해지게 되어 반도체소자의 활성 영역의 누설 전류를 줄일 수 있고 소자의 G01 특성을 강화시키게 된다.

그 다음, 도 2f에 도시된 바와 같이, 식각 손상을 보상하고 기판의 하부 모서리 부분의 라운딩 효과 및 후속 공정인 트렌치로의 갭필 산화 공정을 용이하게 하기 위하여 희생 산화 공정을 실시해서 희생 산화막을 생성한 후에 이를 제거하고, 다시 산화 공정을 실시하여 기판의 트렌치(106)내에 측벽 산화막(108)을 얇게 형성한다. 여기서, 희생 산화 공정은 상기 측벽 산화 공정에 의해서도 충분히 식각 손상을 보상받을 수 있기 때문에 스킵할 수 있다. 본 발명의 제조 공정시, 측벽 산화막 생성을 위한 산화 공정은 종래에 비해 온도 및 그 두께를 감소시킬 수 있는데, 종래의 측벽 산화막을 위한 산화 온도는 1100℃이며 그 두께는 약 150Å인데 반하여 본 발명에 의한 측벽 산화막(108)의 산화 온도는 800℃이며 그 두께는 약 50Å로 줄어든다.

이어서, 도 2g에 도시된 바와 같이, 고밀도 플라즈마 방식을 이용하여 트렌치(106) 내부를 충분히 매립할 정도의 두께로 갭필 산화막(110)을 증착한다. 그리고, 화학기계적 연마공정을 실시하여 트렌치 영역의 갭필 산화막(110) 표면을 패드 질화막(104')이 드러날때까지 연마한다.

그 다음, 도 2h에 도시한 바와 같이, 패드 질화막(104')을 선택적으로 제거하고, 세정 공정을 실시하여 기판의 패드 산화막(102')을 제거함으로써 소자분리 영역(ISO)과 활성 영역(A)을 구분하는 STI 구조의 소자분리막(110, 108)을 완성한다.

이에 따라, 본 발명에 따른 소자분리막과 기판의 경계 모서리 부분(107')에서는 완만한 굴곡 형태를 이루고 있어 이후 기판의 활성 영역(A)에 형성될 반도체소자의 활성 영역의 누설 전류를 줄일 수 있으며 G01 특성을 강화시키게 된다.

발명의 효과

따라서, 상기한 바와 같이, 본 발명에 따른 반도체장치의 트렌치 구조의 소자분리막 형성방법을 이용하면 트렌치 내측에 통상적으로 실시해오던 희생 산화막 형성 및 이를 제거하는 공정을 적용하지 않아도 되므로 제조 공정을 단순화하면서 희생 산화 공정으로 인한 트렌치 바닥 부분의 실리콘 피트 결함을 미연에 예방할 수 있다.

그리고, 본 발명은 STI구조의 소자분리막의 모서리 부분을 라운딩시켜서 소자의 정선 누설 및 G01 특성을 향상시킬 뿐만 아니라, 후속 공정인 갭필 특성을 양호하게 한다.

(57) 청구의 범위**청구항 1**

반도체기판에 소자의 활성 영역과 비활성 영역을 구분하는 트렌치구조의 소자분리막을 형성함에 있어서, 상기 기판에 패드 산화막 및 질화막을 순차적으로 적층하고, 소자분리 마스크 공정 및 식각 공정으로 상기 패드 질화막 및 산화막을 패터닝한 후에 드러난 기판내에 트렌치를 형성하는 단계;

상기 트렌치가 형성된 기판에 습식 식각공정으로 상기 패드 산화막 및 질화막의 측면 부위를 소정 부분 식각하는 단계;

건식 식각 공정을 실시하여 상기 트렌치 상부 모서리 부분을 완만하게 식각하는 단계;

상기 트렌치 내부에 갭필 산화막을 매립하고 그 표면을 연마하는 단계; 및

상기 패드 질화막을 제거하고 세정공정을 실시하여 기판내에 갭필 산화막으로 이루어진 소자분리막을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체장치의 트렌치 구조의 소자분리막 형성방법.

청구항 2

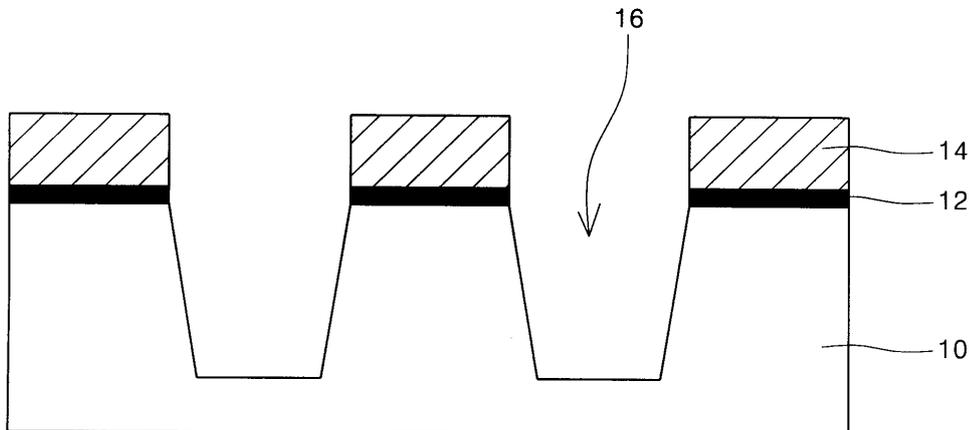
제 1항에 있어서, 상기 습식 식각공정은 160℃에서 H_3PO_4 용액을 사용하고, 그 타임 타겟의 조건은 30분이 하로 하는 것을 특징으로 하는 반도체장치의 트렌치 구조의 소자분리막 형성방법.

청구항 3

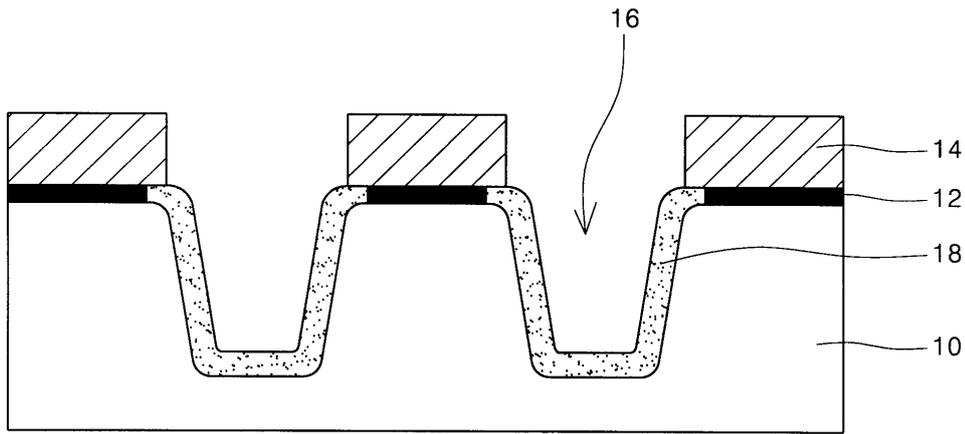
제 1항에 있어서, 상기 건식 식각 공정은 플라즈마를 이용하는 것을 특징으로 하는 반도체장치의 트렌치 구조의 소자분리막 형성방법.

청구항 4

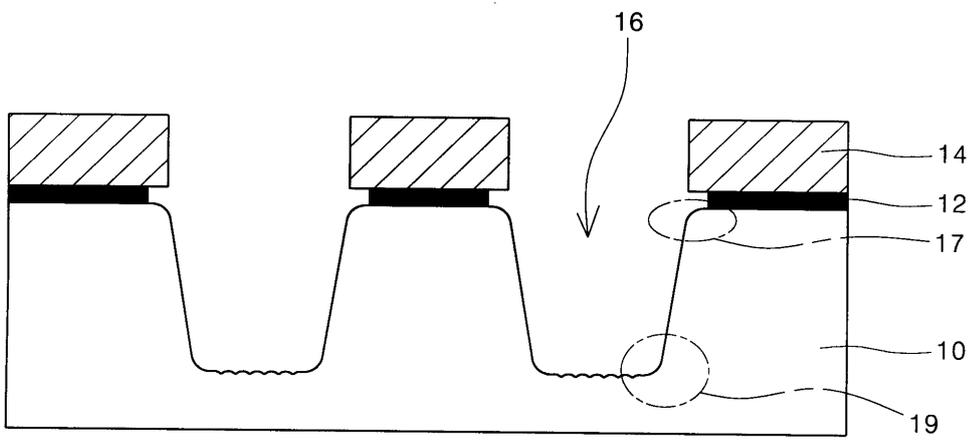
제 1항에 있어서, 상기 트렌치 내부에 갭필 산화막을 매립하기 전에, 산화 공정을 실시하여 기판의 트렌치 내에 측벽 산화막을 얇게 형성하는 것을 특징으로 하는 반도체장치의 트렌치 구조의 소자분리막 형성방법.

도면**도면 1a**

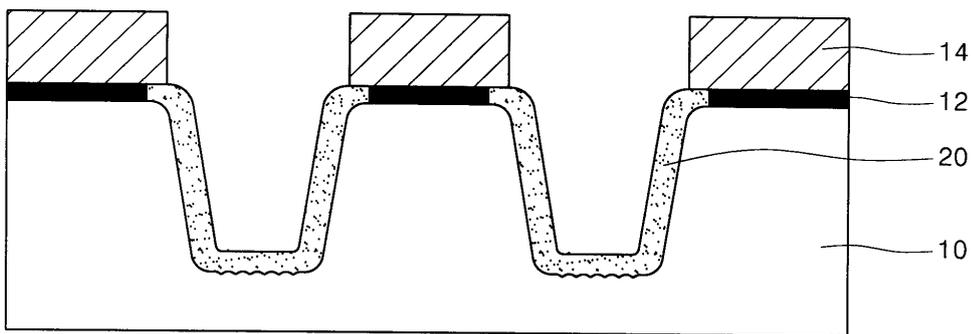
도면 1b



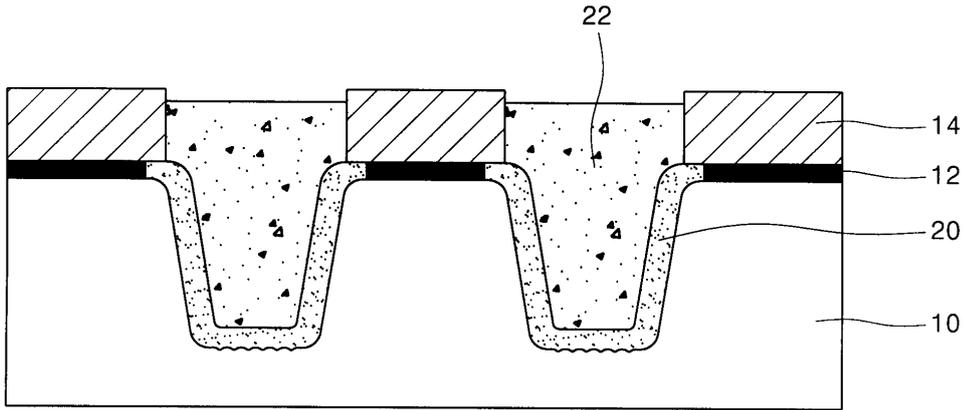
도면 1c



도면 1d

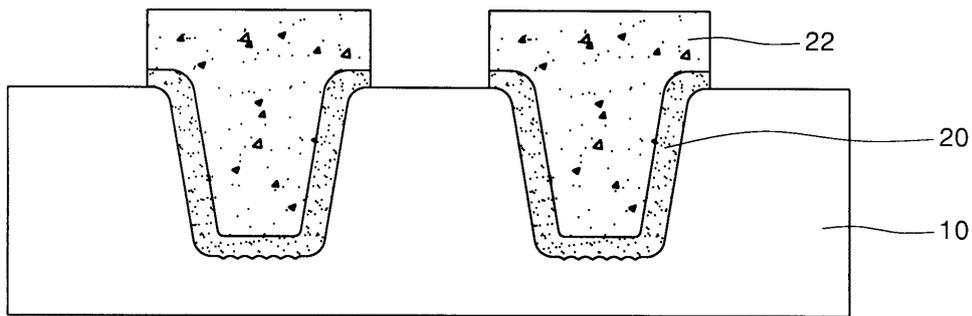


도면1e

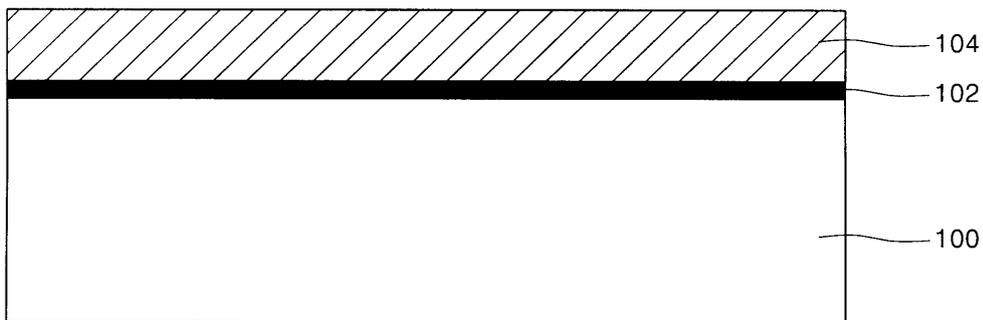


도면1f

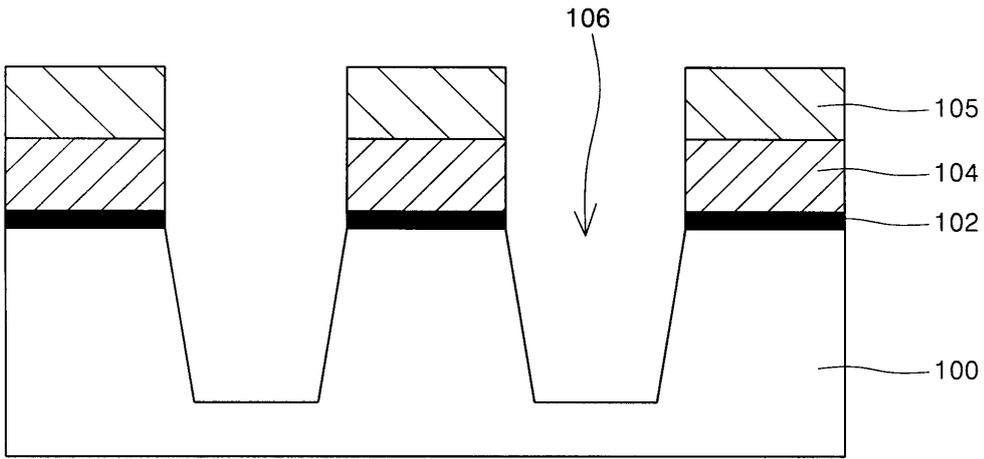
← A → ← ISO → ← A → ← ISO → ← A →



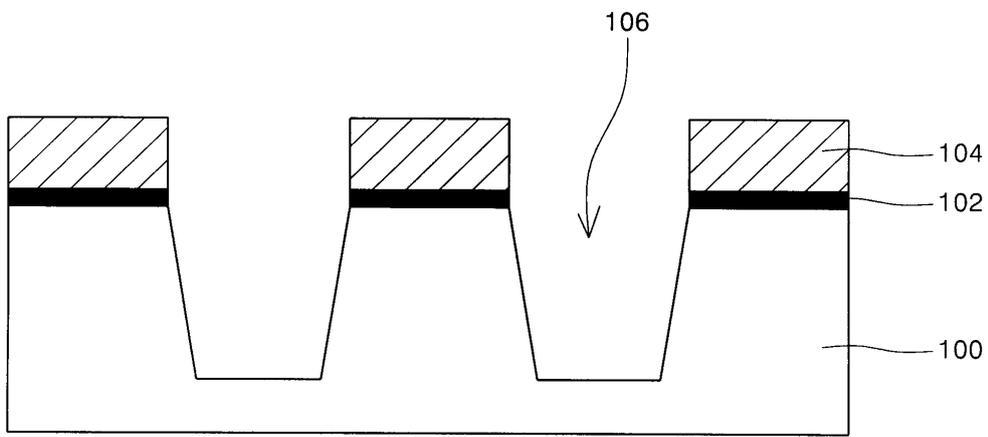
도면2a



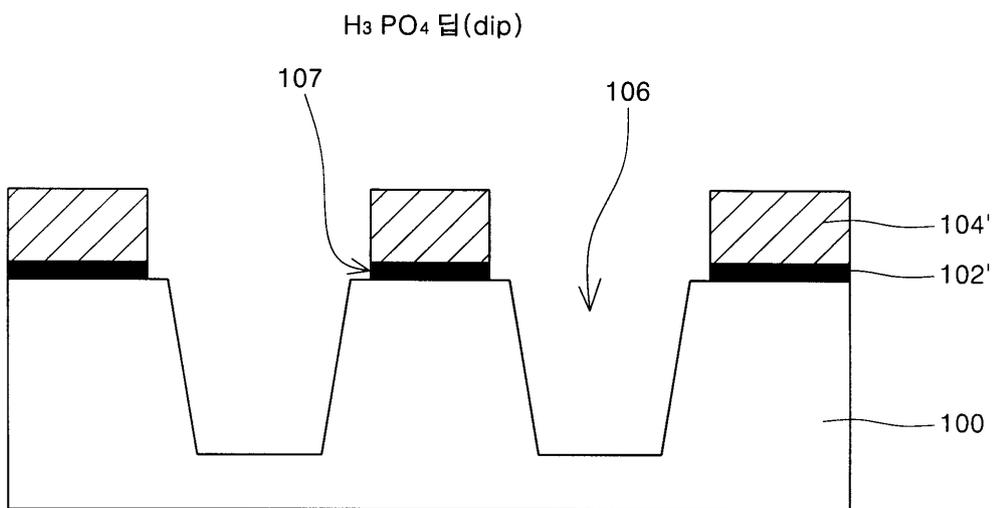
도면2b



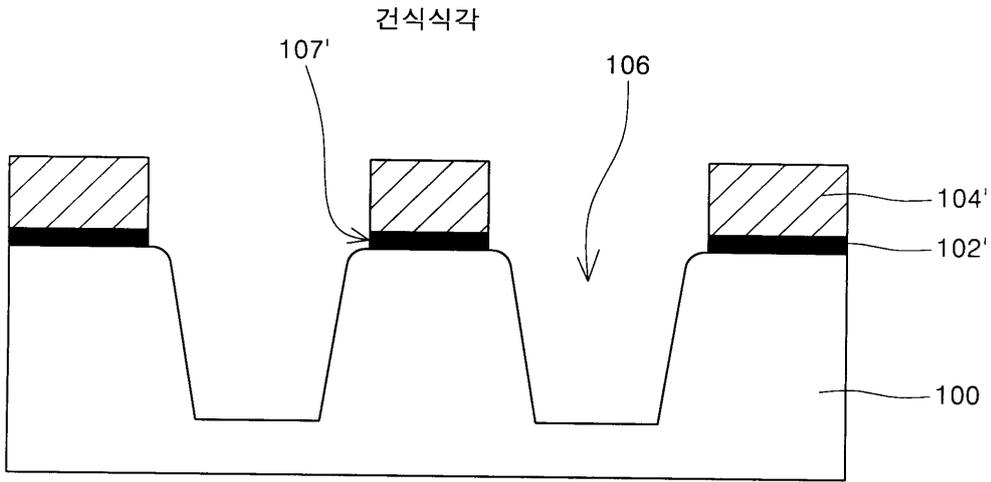
도면2c



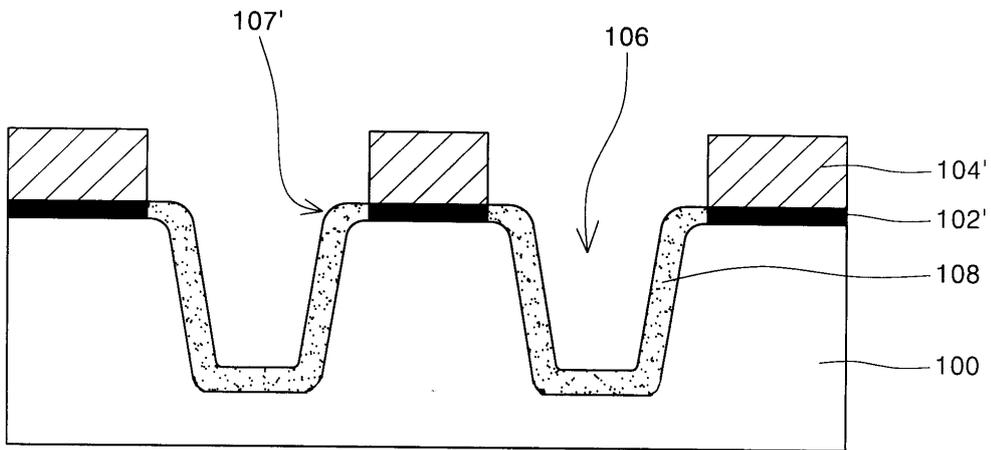
도면2d



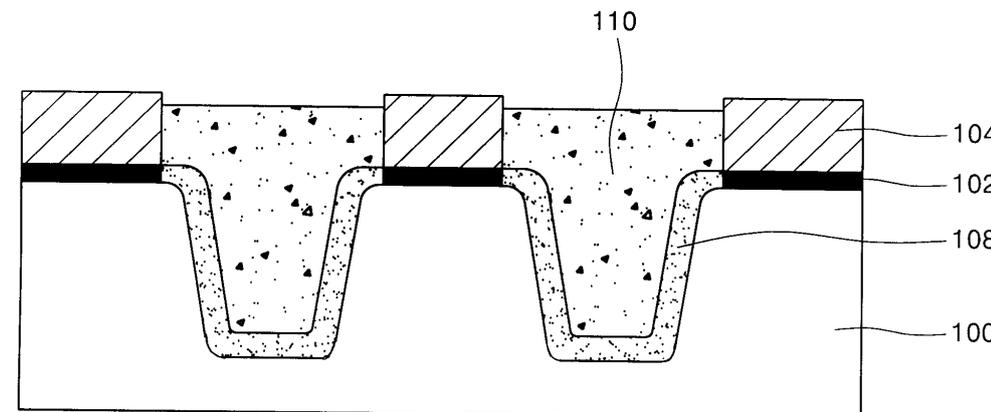
도면2e



도면2f



도면2g



도면2h

