



(12)

Patentschrift

(21) Aktenzeichen: **10 2010 053 571.0**
(22) Anmeldetag: **06.12.2010**
(43) Offenlegungstag: **09.06.2011**
(45) Veröffentlichungstag
der Patenterteilung: **10.07.2014**

(51) Int Cl.: **H01L 27/11 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

61/267,341 **07.12.2009** **US**
12/890,132 **24.09.2010** **US**

(62) Teilung in:
10 2010 064 570.2

(73) Patentinhaber:
**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:
**TER MEER STEINMEISTER & PARTNER
PATENTANWÄLTE, 81679, München, DE**

(72) Erfinder:
Liaw, Jhon-Jhy, Hsinchu, TW

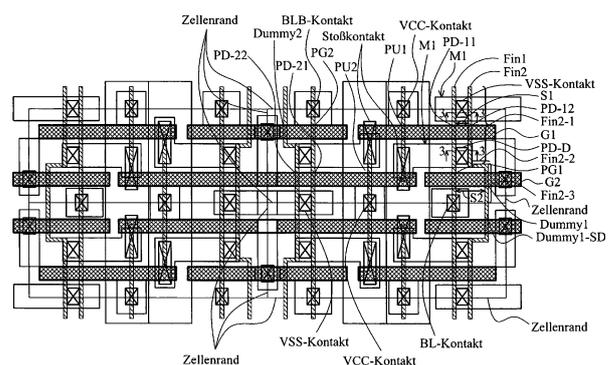
(56) Ermittelter Stand der Technik:
US 2008 / 0 308 848 A1
US 2008 / 0 308 880 A1

(54) Bezeichnung: **SRAM-Struktur mit FinFETs mit mehreren Rippen**

(57) Hauptanspruch: Eine integrierte Schaltkreisstruktur, umfassend:
eine statische Direktzugriffsspeicherzelle SRAM, umfassend:

- eine erste gerade Rippe (Fin1);
- eine gebogene Rippe (Fin2) mit einem ersten Bereich (Fin2-1) und einem zweiten Bereich (Fin2-2) parallel zur ersten geraden Rippe (Fin1), wobei der erste Bereich (Fin2-1) der gebogenen Rippe (Fin2) und die erste gerade Rippe (Fin1) einen ersten Abstand (S1) zueinander aufweisen, und der zweite Bereich (Fin2-3) der gebogenen Rippe (Fin2) und die erste gerade Rippe (Fin1) einen zweiten Abstand (S2) zueinander aufweisen, der größer als der erste Abstand (S1) ist; wobei der erste Abstand (S1) senkrecht vom ersten Bereich (Fin2-1) der gebogenen Rippe (Fin2) zur ersten geraden Rippe (Fin1) und der zweite Abstand (S2) senkrecht vom zweiten Bereich (Fin2-3) der gebogenen Rippe (Fin2) zur ersten Rippe (Fin1) gemessen wird,
- einen nicht parallel zur ersten geraden Rippe (Fin1) verlaufenden dritten Bereich (Fin2-2) der gebogenen Rippe (Fin2), der den ersten Bereich (Fin2-1) mit dem zweiten Bereich (Fin2-3) verbindet;
- einen Pull-Down-Transistor (PD), enthaltend einen Bereich eines ersten Gate-Streifens (G1), wobei der erste Gate-Streifen (G1) einen ersten Sub-Pull-Down-Transistor (PD11) und einen zweiten Sub-Pull-Down-Transistor (PD12) mit der ersten geraden Rippe (Fin1) und mit dem ersten Bereich (Fin2-1) der gebogenen Rippe (Fin2) entsprechend bildet; und

– einen Pass-Gate-Transistor (PG1), enthaltend einen Bereich eines zweiten Gate-Streifens (G2), wobei der zweite Gate-Streifen (G2) mit der ersten geraden Rippe (Fin1) einen ersten Sub-Pass-Gate-Transistor und mit dem zweiten Bereich (Fin2-2) der gebogenen Rippe (Fin2) einen Dummy-Transistor (Dummy1-SD) bildet.



Beschreibung

TECHNISCHES GEBIET

[0001] Die Erfindung betrifft im Allgemeinen integrierte Schaltkreise, und insbesondere Speicherzellen, und ganz besonders die Layoutgestaltung und Herstellungsverfahren von statischen Direktzugriffsspeicherzellen (SRAM) mit FinFETs.

HINTERGRUND

[0002] Fin-Feldeffekttransistoren (FinFETs) finden aufgrund ihrer verglichen mit Planartransistoren größeren Gateweite verbreitet Einsatz in integrierten Schaltungen. Eine der größten Vorteile der FinFETs ist, dass sie kleine Chipflächen verwenden. Um diesen Vorteil maximal nutzen zu können, werden FinFETs, wenn sie in Vorrichtungen mit hoher Dichte eingesetzt werden, beispielsweise in statischen Direktzugriffsspeicher (SRAM)-Arrays, oft als Einzelrippen-FinFETs ausgestaltet.

[0003] SRAMs mit Einzelrippen-FinFETs leiden jedoch unter einem kleinen Zellverhältnis, wie beispielsweise einem kleinen Beta-Verhältnis. Die Beta-Verhältnisse sind die Verhältnisse der Treiberströme der Pull-Down-Transistoren zu den Treiberströmen der entsprechenden Pass-Gate-Transistoren. Die Beta-Verhältnisse sind für die Zellenstabilität wichtig. Im Allgemeinen sind die Beta-Verhältnisse vorzugsweise größer als 1. Bei der Herstellung von hochdichten SRAM-Arrays bereitet dieses Erfordernis jedoch Prozessschwierigkeiten. Beispielsweise ist es schwierig, dieses Erfordernis zu erfüllen und gleichzeitig die Zellengröße klein zu halten.

[0004] US 2008/0 308 880 A1 beschreibt eine Halbleitervorrichtung, die eine Rippe umfasst, die von einer Halbleiterschicht gebildet wird und gerade von einem Halbleitersubstrat hervorsteht.

[0005] US 2008/0 308 848 A1 beschreibt eine Halbleitervorrichtung, die einen n-leitenden FinFET enthält, der auf einem Halbleitersubstrat angebracht ist und der eine erste Rippe und eine erste Gate-Elektrode enthält.

ZUSAMMENFASSUNG DER ERFINDUNG

[0006] Aufgabe ist es deshalb eine integrierte Schaltkreisstruktur für hochdichte SRAM-Arrays mit einer geringen Zellengröße anzugeben, die ein hohes Beta-Verhältnis aufweist, um eine ausreichende Zellenstabilität zu erhalten.

[0007] Die Aufgabe wird durch die Merkmale der unabhängigen Ansprüche gelöst. Vorteilhafte Ausgestaltungen sind den Unteransprüchen zu entnehmen.

[0008] Gemäß einem Aspekt der Erfindung umfasst eine integrierte Schaltkreisstruktur: eine statische Direktzugriffsspeicherzelle (SRAM), umfassend: eine erste gerade Rippe; eine gebogene Rippe mit einem ersten Bereich und einem zweiten Bereich parallel zur ersten geraden Rippe, wobei der erste Bereich der gebogenen Rippe und die erste gerade Rippe einen ersten Abstand aufweist, und der zweite Bereich der gebogenen Rippe and die erste gerade Rippe einen zweiten Abstand aufweist, der größer als der erste Abstand ist; einen nicht parallel zur ersten geraden Rippe verlaufenden dritten Bereich der gebogenen Rippe, der den ersten Bereich mit dem zweiten Bereich verbindet; einen Pull-Down-Transistor, enthaltend einen Bereich eines ersten Gate-Streifens, wobei der erste Gate-Streifen einen ersten Sub-Pull-Down-Transistor und einen zweiten Sub-Pull-Down-Transistor mit der ersten gerade Rippe und mit dem ersten Bereich der gebogenen Rippe entsprechend bildet; und einen Pass-Gate-Transistor, enthaltend einen Bereich eines zweiten Gate-Streifens, wobei der zweite Gate-Streifen mit der ersten geraden Rippe einen ersten Sub-Pass-Gate-Transistor und mit dem zweiten Bereich der gebogenen Rippe einen Dummy-Transistor bildet.

[0009] Vorzugsweise ist die gebogene Rippe elektrisch mit der ersten geraden Rippe verbunden und physikalisch von dieser getrennt.

[0010] Vorzugsweise beträgt der zweite Abstand mehr als 125 Prozent des ersten Abstands.

[0011] Vorzugsweise ist der erste Abstand gleich einem durch die Herstellungstechnologie für die integrierte Schaltkreise vorgegebenen Minimalabstand, wobei die integrierte Schaltkreisstruktur weiter umfasst: einen ersten epitaxialen Halbleiterbereich auf einem Bereich der ersten geraden Rippe; einen zweiten epitaxialen Halbleiterbereich auf dem ersten Bereich der gebogenen Rippe, der mit dem ersten epitaxialen Halbleiterbereich einen kontinuierlichen Halbleiterbereich bildet; und einen elektrisch mit der ersten geraden Rippe und der gebogenen Rippe über die ersten und zweiten epitaxialen Halbleiterbereiche verbundenen Steckkontakt.

[0012] Vorzugsweise ist der erste Abstand gleich einem durch die Herstellungstechnologie für die integrierte Schaltkreise vorgegebenen Minimalabstand, wobei die integrierte Schaltkreisstruktur weiter einen Steckkontakt umfasst, der sich über die erste gerade Rippe und den ersten Bereich der gebogenen Rippe erstreckt, sowie elektrisch mit diesen verbunden ist.

[0013] Vorzugsweise besitzt eine Endkappe des zweiten Bereichs der gebogenen Rippe von allen Rändern der SRAM-Zelle einen Abstand.

[0014] Gemäß einem anderen Aspekt der Erfindung umfasst eine integrierte Schaltkreisstruktur: eine statische Direktzugriffsspeicherzelle (SRAM), umfassend: eine erste gerade Rippe; eine zweite gerade Rippe, die parallel zur ersten und physikalisch von dieser getrennt ist; einen Pull-Down-Transistor, enthaltend einen Bereich eines ersten Gate-Streifens, wobei der erste Gate-Streifen einen ersten Sub-Pull-Down-Transistor und einen zweiten Sub-Pull-Down-Transistor mit einem ersten Bereich der ersten geraden Rippe und mit einem ersten Bereich der zweiten geraden Rippe entsprechend bildet; und einen Pass-Gate-Transistor, enthaltend einen Bereich eines zweiten Gate-Streifens, wobei der zweite Gate-Streifen mit einem zweiten Bereich der ersten geraden Rippe einen ersten Sub-Pass-Gate-Transistor des Pass-Gate-Transistors bildet, und wobei sich der zweite Gate-Streifen direkt über einen zweiten Bereich der zweiten geraden Rippe erstreckt und mit diesem einen Dummy-Transistor bildet.

[0015] Vorzugsweise besitzt eine Endkappe der zweiten geraden Rippe von allen Rändern der SRAM-Zelle einen Abstand.

[0016] Vorzugsweise umfasst die integrierte Schaltkreisstruktur, weiter eine physikalisch von der ersten und zweiten geraden Rippe getrennte und parallel zu diesen verlaufende dritte gerade Rippe, wobei die erste gerade Rippe und die dritte gerade Rippe einen ersten Abstand aufweisen, und die erste gerade Rippe und die zweite gerade Rippe einen zweiten Abstand aufweisen, der größer ist als der erste, und wobei sich der erste Gate-Streifen zur Bildung eines dritten Sub-Pull-Down-Transistors des Pull-Down-Transistors weiter direkt über die dritte gerade Rippe erstreckt, und sich der zweite Gate-Streifen zur Bildung eines zweiten Sub-Pass-Gate-Transistors des Pass-Gate-Transistors weiter direkt über die dritte gerade Rippe erstreckt.

[0017] Andere Ausführungsformen sind ebenfalls beschrieben.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0018] Für ein umfassendes Verständnis der Ausführungsformen und deren Vorteile wird nun auf die folgende Beschreibung in Verbindung mit den angefügten Zeichnungen verwiesen:

[0019] Fig. 1 zeigt einen Schaltplan einer statischen Direktzugriffsspeicherzelle (SRAM-Zelle), bei dem die Pull-Down-Transistoren der SRAM-Zelle Mehrfachrippen-FinFETs sind;

[0020] Fig. 2 zeigt ein Layout der SRAM-Zelle aus Fig. 1 gemäß einer Ausführungsform;

[0021] Fig. 3a und Fig. 3b zeigen Querschnitte der SRAM-Zelle aus Fig. 2; und

[0022] Fig. 4 zeigt ein Layout einer SRAM-Zelle mit Mehrfachrippen-FinFETs;

[0023] Fig. 5 bis Fig. 7 zeigen Layouts der SRAM-Zelle.

DETAILLIERTE BESCHREIBUNG ERLÄUTERNDER AUSFÜHRUNGSFORMEN

[0024] Es werden ein neuer statischer Direktzugriffsspeicher (SRAM) mit Mehrrippen-Fin-Feldeffekttransistoren (Mehrrippen-FinFETs) sowie die entsprechende Layouts vorgestellt. Variationen der Ausführungsformen werden anschließend diskutiert. Im Zuge verschiedener Ansichten und erläuternden Ausführungsformen werden gleiche Bezugszeichen zur Kennzeichnung von gleichen Elementen verwendet.

[0025] Fig. 1 zeigt einen Schaltplan einer SRAM-Zelle gemäß einer Ausführungsform. Die SRAM-Zelle umfasst Pass-Gate-Transistoren PG1 und PG2, Pull-Up-Transistoren PU1 und PU2, und Pull-Down-Transistoren PD1 und PD2. Die Gates der Pass-Gate-Transistoren PG1 und PG2 werden von der Wortleitung WL gesteuert, die bestimmt ob die vorliegende SRAM-Zelle ausgewählt ist oder nicht. Ein Signalspeicher, bestehend aus den Pull-Up-Transistoren PU1 und PU2 und den Pull-Down-Transistoren PD1 und PD2, speichert ein Bit. Das gespeicherte Bit kann über die Bit-Leitungen BL und BLB in die SRAM-Zelle geschrieben oder aus ihr ausgelesen werden. Die Stromversorgung der SRAM-Zelle geschieht über einen positiven Stromquellenknoten VCC und einen Stromquellenknoten VSS, welcher eine elektrische Masse sein kann.

[0026] Die Pull-Down-Transistoren PD1 und PD2 können Mehrrippen-FinFETs sein, wobei jede aus mehr als einer Halbleiterrippe besteht. Hingegen können die Pass-Gate-Transistoren PG1 und PG2 und die Pull-Up-Transistoren PU1 und PU2 Einzelrippen- oder Mehrfachrippen-FinFETs sein. Demzufolge kann durch eine Anpassung der Anzahl von Rippen in den Pull-Down-Transistoren PD1 und PD2 und den Pass-Gate-Transistoren PG1 und PG2 das Beta-Verhältnis, das als I_{PD1}/I_{PG1} oder I_{PD2}/I_{PG2} (wobei I_{PD1} , I_{PD2} , I_{PG1} und I_{PG2} die Treiberströme der Transistoren PD1, PD2, PG1 und PG2 sind) angegeben werden kann, an die gewünschten Werte angepasst werden, beispielsweise zu größer als 1. Die Alpha-Verhältnisse, welche die Verhältnisse I_{PU1}/I_{PG1} oder I_{PU2}/I_{PG2} (wobei I_{PU1} und I_{PU2} die Treiberströme der Transistoren PU1 und PU2 sind) sein können, können ebenfalls an gewünschte Werte angepasst werden.

[0027] Fig. 2 zeigt gemäß einer Ausführungsform das Layout der in Fig. 1 gezeigten SRAM-Zelle, wobei die Transistoren in der SRAM-Zelle markiert sind. Die Ränder von Einheitszellen sind ebenfalls markiert. Der gezeigte Bereich umfasst vier identische SRAM-Zellen, die ein 2×2 -Array bilden. In einer Ausführungsform haben die Rippen, wie Fin1 und Fin2 in der SRAM-Zelle, dieselbe Breite, wenn gleich sie auch verschiedene Breiten haben können. In der folgenden Beschreibung wird lediglich eine erste Schnittstelle der SRAM-Zelle mit den Transistoren PG1, PD1 und PU1 im Detail diskutiert, wobei der komplementäre zweite Bereich mit den Transistoren PG2, PD2 und PU2 im Wesentlichen dieselben Eigenschaften wie die entsprechenden Transistoren in der ersten Schnittstelle aufweist. Die Details der zweiten Schnittstelle werden deshalb nicht wiederholt. In den Fig. 2 und Fig. 4 bis Fig. 7 werden verschiedene Komponenten wie ein VCC-Kontakt, ein VSS-Kontakt, ein Stoßkontakt, ein BL-Kontakt und ein BLB-Kontakt gezeigt, wobei sich ihre Funktion aus ihrem Namen ableiten lässt. Im Rahmen der Beschreibung wird ein Kontakt auch als Steckkontakt bezeichnet.

[0028] Der Pull-Down-Transistor PD1 (der die mit PD-11 und PD-12 bezeichneten Transistoren enthält) umfasst zwei Rippen, Fin1 und Fin2, die physikalisch voneinander getrennt sind. Demzufolge ist der Pull-Down-Transistor PD1 ein Doppelrippen-Transistor mit Sub-Transistoren PD-11 und PD-12, wobei der Sub-Transistor PD-11 aus der Rippe Fin1 und dem Gate-Streifen G1 (welcher ein Polysiliziumstreifen oder ein Streifen aus einer Metallverbindung sein kann) besteht, und mit einem Sub-Transistor PD-12, der aus der Rippe Fin2 und dem Gate-Streifen G1 besteht.

[0029] Der Pass-Gate-Transistor PG1 umfasst lediglich eine einzelne Rippe, nämlich Fin1. Demzufolge ist der Pass-Gate-Transistor PG1 ein Einzelrippen-Transistor, der aus der Rippe Fin1 und dem Gate-Streifen G2 besteht. Es wird festgehalten, dass sich der Gate-Streifen G2 auch über die Rippe Fin2 erstreckt. Der Source/Drain-Bereich Dummy1-SD des aus der Rippe Fin2 und dem Gate-Streifen G2 bestehenden Transistors (im Folgenden als Dummy-Transistor Dummy1 bezeichnet) ist jedoch elektrisch vom Bit-Leitungskontakt BL-Kontakt getrennt, und somit ist der Transistor Dummy1 ein Dummy-Transistor, der nicht gleichzeitig mit dem Pass-Gate-Transistor PG1 an- und ausgeschaltet wird. Entsprechend ist in den Ausführungen, in denen alle Rippen dieselbe Rippenweite aufweisen, das Beta-Verhältnis in etwa 2. Ähnlich umfasst die zweite Schnittstelle der SRAM-Zelle einen Dummy-Transistor Dummy2.

[0030] In einer Ausführungsform ist die Rippe Fin1 eine gerade Rippe, während die Rippe Fin2 eine gebogene Rippe mit drei Bereichen Fin2-1, Fin2-2, Fin2-3 ist. Bereich Fin2-1 bildet die Source, die Drain

und das Kanalgebiet des Sub-Transistors PD-12. Bereich Fin2-3 bildet zusammen mit dem Gate-Streifen G2 den Dummy-Transistor Dummy1. Die Bereiche Fin2-1 und Fin2-3 sind parallel zur Rippe Fin1, während der Bereich Fin2-2 nicht parallel zur geraden Rippe Fin1 ist, und sogar senkrecht dazu sein kann.

[0031] Die Fig. 3A und Fig. 3B zeigen einen Querschnitt der Struktur aus Fig. 2, wobei sich der Querschnitt aus den Ebenen ergibt, die die Linie 3-3 in Fig. 2 kreuzen. Die Ebenen kreuzen die Source- und Drain-Bereiche der Sub-Transistoren PD-11 und PD-12. Bezug nehmend auf Fig. 3A sind die Rippen Fin1 und Fin2 nahe beieinander gelegen. In einer Ausführungsform ist der Abstand S1 zwischen den Rippen Fin1 und Fin2 gleich einem durch die Herstellungstechnologie vorgegebenen Minimalabstand. Beispielsweise kann der Abstand S1 in der 45 nm-Technologie etwa 60 bis 90 nm sein. In einer alternativen Ausführungsform ist S1 kleiner als 60 nm. Ein Fachmann wird jedoch erkennen, dass die im Rahmen der Beschreibung genannten Abmessungen lediglich beispielhaft sind, und diese mit den verschiedenen Herstellungsverfahren variieren. Die Rippen Fin1 und Fin2 können aus demselben Material wie das unterliegende Substrat 20 bestehen, welches aus Silizium, Silizium-Germanium, Silizium-Kohlenstoff oder dergleichen sein kann. Die Epitaxialschicht 22 ist auf den Rippen Fin1 und Fin2 ausgebildet und verbindet die physikalisch getrennten Rippen Fin1 und Fin2 elektrisch. Der Bereich der auf der Rippe Fin1 ausgebildeten Epitaxialschicht 22 ist mit dem auf Rippe Fin2 ausgebildeten Bereich der Epitaxialschicht 22 verbunden, um eine kontinuierliche Halbleiterschicht 22 auszubilden. Die Epitaxialschicht 22 kann eine unterschiedliche Zusammensetzung, als die der Rippen Fin1 und Fin2 aufweisen. Der Source-/Drain-Silizid-Bereich 24 kann auf der Epitaxialschicht 22 ausgebildet sein. Ein Kontakt, der ein VSS-Kontakt oder ein PD-D-Kontakt (Fig. 2) sein kann, ist auf dem Source-/Drain-Silizid-Bereich 24 ausgebildet und somit elektrisch mit den Rippen Fin1 und Fin2 verbunden. In einer Ausführung sind die Kontakte VSS-Kontakt und PD-D horizontal zwischen den Rippen Fin1 und Fin2 angeordnet, wobei sie ebenso direkt über einer oder beiden Rippen Fin1 und Fin2 ausgebildet sein können. In dieser Ausführungsform können die Kontakte VSS-Kontakt und PD-D in der Draufsicht quadratische Formen haben (Fig. 2).

[0032] Fig. 3B zeigt eine alternative Ausführungsform, bei der entweder keine Epitaxialschicht 22 auf den Rippen Fin1 und Fin2 ausgebildet ist (gestrichelte Linie), oder die Epitaxialschicht 22 zwar ausgebildet ist, aber die Bereiche der Epitaxialschicht 22 auf den Rippen Fin1 und Fin2 nicht verbunden sind. Der Kontakt VSS-Kontakt erstreckt sich direkt darüber und verbindet die Sources der Sub-Transistoren PD-11 und PD-12. Der Kontakt PD-D erstreckt sich direkt darüber und verbindet die Drains der Sub-Trans-

sistoren PD-11 und PD-12. In dieser Ausführungsform können die Kontakte VSS-Kontakt und PD-D in der Draufsicht rechteckige Formen mit verschiedenen Längen und Breiten haben.

[0033] Rückbezogen auf **Fig. 2** wird festgehalten, dass die Bereiche der Rippen Fin1 und Fin2 in den Source- und Drain-Bereichen der Sub-Pull-Down-Transistoren PD-11 und PD-12 physikalisch voneinander getrennt sind. Dies ist herstellungsfreundlich, da das Verbinden der Rippen Fin1 und Fin2 ernsthafte Herstellungsschwierigkeiten mit sich bringt, insbesondere wenn eine 45 nm-Technologie oder Technologien unterhalb 45 nm verwendet werden. Das Problem ist noch schwerwiegender, falls der Abstand S1 zwischen den Rippen Fin1 und Fin2 klein ist. Jedoch können die Rippen Fin1 und Fin2 durch die Verwendung der Anordnungen aus **Fig. 3A** oder **Fig. 3B** ohne das Auftreten von Herstellungsschwierigkeiten elektrisch miteinander verbunden werden. Des Weiteren kann der Abstand S1 zwischen den Rippen Fin1 und Fin2 bis auf einen durch die Herstellungstechnologie vorgegebenen Minimalabstand reduziert werden. Demzufolge belegt die entsprechende SRAM-Zelle eine kleine Chipfläche.

[0034] Der Rippenbereich Fin2-3 ist von der Rippe Fin1 durch einen Abstand S2 getrennt, der größer ist als der Abstand S1. In einer Ausführungsform ist der Abstand S2 größer als etwa 125 Prozent, größer als etwa 150 Prozent, oder sogar größer als etwa 80 Prozent des Abstands S1. Demzufolge wird der Kontakt BL-Kontakt, der mit einem Source-/Drain-Bereich des Pass-Gate-Transistors PG1 verbunden ist, keine unerwünschte elektrische Verbindung der entsprechenden Source-/Drain-Bereiche des Pass-Gate-Transistors PG1 und des Dummy-Transistors Dummy1 herstellen.

[0035] **Fig. 4** zeigt ein nicht erfindungsgemäßes Layout des SRAM. Soweit nicht anderweitig spezifiziert, repräsentieren die Bezugszeichen in den **Fig. 4** bis **Fig. 7** dieselben Komponenten wie in den **Fig. 2** bis **Fig. 3B** und werden daher hier nicht wiederholt. Das Layout in **Fig. 4** ist im Wesentlichen dasselbe wie in **Fig. 3**, mit Ausnahme davon, dass der Rippenbereich Fin2-3 vom Rippenbereich Fin2-3 der benachbarten SRAM-Zelle getrennt ist. Im Vergleich dazu erstreckt sich der Rippenbereich Fin2-3 einer SRAM-Zelle in **Fig. 2** die ganze Strecke bis zu einem Rand, und bildet eine einzige kontinuierliche Rippe mit dem Rippenbereich Fin2-3 einer benachbarten SRAM-Zelle. **Fig. 4** zeigt auch das Muster eines Cut-Gates Cut-Gate, dass das Muster in einer anderen Lithografiefarbe ist. Die Herstellung der Rippen umfasst einen Schritt des Ausbildens der Rippen und einen Schritt zum Entfernen unerwünschter Bereiche, wobei das Muster Cut-Gate zum Entfernen der unerwünschten Bereiche der Rippen verwendet wird. Es wird festgestellt, dass, falls der Abstand S2 größer als der

Abstand S1 ist, es ein Leichtes ist, die Rippe Fin2 zu schneiden ohne die Rippe Fin1 aus Versehen zu schneiden. Als Resultat des Schneidens der Rippe Fin2 ist die Endkappe Fin-End des Rippenbereichs Fin2-3 von allen Zellenrändern räumlich getrennt.

[0036] **Fig. 5** zeigt ein alternatives Layout der SRAM-Zelle aus **Fig. 1**. In dieser Ausführungsform ist eine gerade Rippe Fin3 hinzugefügt, die parallel zur geraden Rippe Fin1 ist. Der Abstand S3 zwischen der Rippe Fin1 und Fin3 kann gleich oder größer dem Abstand S1 sein. Der Pull-Down-Transistor PD kann somit ein Dreifachrippen-Transistor sein, umfassend die Sub-Transistoren PD-11, PD-12 und PD-13. Die Kontakte VSS-Kontakt und PD-D können mit den Source- und Drain-Bereichen der Sub-Pull-Down-Transistoren PD-11, PD-12 und PD-13 verbunden sein, unter Verwendung der im Wesentlichen gleichen Anordnungen wie in den **Fig. 3A** und **Fig. 3B**, in welchen entweder durch die Epitaxialschicht oder die großen Kontakte, die sich direkt über den Rippen Fin1, Fin2 und Fin3 erstrecken, alle drei Rippen Fin1, Fin2 und Fin3 elektrisch miteinander verbunden sind.

[0037] Der Pass-Gate-Transistor PG1 (bezeichnet als PG-11 und PG-12) ist ein Doppelrippen-Transistor, umfassend die Sub-Transistoren PG-11 und PG-12. Die Kontakte VSS-Kontakt und PD-D können mit den Source- und Drain-Bereichen der Sub-Pull-Down-Transistoren PD-11, PD-12 und PD-13 verbunden sein, unter Verwendung der im Wesentlichen gleichen Anordnungen wie in **Fig. 3A** oder **Fig. 3B**. Die SRAM-Zelle hat ein Beta-Verhältnis von etwa 1, 5. Des Weiteren ist der Pull-Up-Transistor PU1 ein Doppelrippen-Transistor, umfassend die Sub-Transistoren PU-11 und PU-12, welche aus den Rippen Fin4 und Fin5 und dem Gate-Streifen G1 bestehen. Der Kontakt VCC-Kontakt kann mit den Source-Bereichen der Pull-Up-Transistoren verbunden sein, unter Verwendung der im Wesentlichen selben Anordnungen wie in **Fig. 3A** oder **Fig. 3B**. Demzufolge hat die SRAM-Zelle ein Alpha-Verhältnis von etwa 1.

[0038] **Fig. 6** zeigt ein alternatives Layout des in **Fig. 1** gezeigten SRAM. Diese Ausführung ist im Wesentlichen dieselbe wie die in **Fig. 5** gezeigte Ausführung, mit Ausnahme davon, dass der Rippenbereich Fin2-3 vom Rippenbereich Fin2-3' einer benachbarten SRAM-Zelle getrennt ist. In ähnlicher Weise kann zum Schneiden der Rippe Fin2 das Cut-Gate Cut-Gate verwendet werden. Damit ist die Endkappe der Rippe Fin2 räumlich von allen Zellenrändern getrennt. Ähnlich ist es, wenn der Abstand S2 größer als der Abstand S1 ist, ein Leichtes die Rippen Fin2 zu schneiden ohne die Rippe Fin1 unbeabsichtigt zu schneiden.

[0039] **Fig. 7** zeigt noch ein anderes Layout der in **Fig. 1** gezeigten SRAM-Zelle gemäß einer anderen Ausführungsform. In dieser Ausführungsform sind al-

le Rippen Fin1, Fin2 und Fin3 parallel, sowie alle gerade. Die Rippen Fin1 und Fin3 haben einen Abstand S1, der dem durch die Herstellungstechnologie vorgegebenen Minimalabstand entsprechen kann. Die Rippen Fin1 und Fin2 besitzen einen Abstand S2, der größer als der Abstand S1 ist. Exemplarische Werte der Abstände S1 und S2 (siehe Fig. 3) werden im nachfolgenden Abschnitt diskutiert und deshalb hier nicht wiederholt.

[0040] In Fig. 7 sind, mit dem kleinen Abstand zwischen den Rippen Fin1 und Fin3, die Source-Bereiche (und Drain-Bereiche) der Sub-Transistoren PD-11 und PD-13 verbunden, unter Verwendung der im Wesentlichen selben Anordnungen wie in Fig. 3A oder Fig. 3B (beispielsweise über einen Kontakt VSS-Kontakt1). Hingegen ist der Abstand S2 groß genug, und somit sind die Source-Bereiche (und Drain-Bereiche) der Sub-Transistoren PD-11 und PD-12 nicht verbunden, unter Verwendung der in Fig. 3A und Fig. 3B gezeigten Schemata. Stattdessen ist der Kontakt VSS-Kontakt2 (der mit der Source des Sub-Transistors PD-12 verbunden ist) elektrisch mit den Sources der Sub-Pull-Down-Transistoren PD-11 und PD-13 über eine Metalleitung M1-Connect verbunden. Die Metalleitung M1-Connect kann in der Bodenmetallisierungsschicht ausgebildet sein (allgemein bekannt als M1, siehe Fig. 3A und Fig. 3B), die direkt oberhalb der Kontakte VSS-Kontakt1 und VSS-Kontakt2 ausgebildet ist. Die Drain-Seitenverbindung der Sub-Pull-Down-Transistoren PD-11, PD-12, und PD-13 kann im Wesentlichen dieselbe sein wie die an der Source-Seite.

[0041] Der Pass-Gate-Transistor PG1 (umfassend die als PG-11 und PG-12 bezeichneten Transistoren) ist ein Doppelrippen-Transistor, umfassend den Sub-Transistor PG-11, welcher die Rippe Fin3 und den Gate-Streifen G2 aufweist, und den Sub-Transistor PG-12, der die Rippe Fin1 und den Gate-Streifen G2 aufweist. Es wird festgestellt, dass sich der Gate-Streifen G2 auch über die Rippe Fin2 erstreckt. Der Source-/Drain-Bereich Dummy1-SD des Transistors Dummy1 ist elektrisch vom Bit-Leitungskontakt BL-Contact getrennt, und somit ist der Transistor Dummy1 ein Dummy-Transistor, der nicht gleichzeitig mit den Sub-Pass-Gate-Transistoren PG-11 und PG-12 an- und ausgeschaltet wird. Dementsprechend ist das Beta-Verhältnis der in Fig. 7 gezeigten SRAM-Zelle in etwa 1,5. Auf ähnliche Weise ist das Alpha-Verhältnis in etwa 1.

[0042] In den Ausführungen sind die mehreren Rippen der Pull-Down-Transistoren elektrisch verbunden sowie physikalisch getrennt. Dies wird durch ein Biegen der Rippen und durch die Ausbildung von Dummy-Transistoren erreicht. Das entsprechende Layout ist herstellungsfreundlich, insbesondere für kleinste integrierte Schaltkreise, beispielsweise 45 nm oder weniger. Die Beta-Verhältnisse der ent-

sprechenden SRAM-Zellen werden auf größer als 1 erhöht, wodurch die Zellenstabilität verbessert wird.

Patentansprüche

1. Eine integrierte Schaltkreisstruktur, umfassend: eine statische Direktzugriffsspeicherzelle SRAM, umfassend:

- eine erste gerade Rippe (Fin1);
- eine gebogene Rippe (Fin2) mit einem ersten Bereich (Fin2-1) und einem zweiten Bereich (Fin2-2) parallel zur ersten geraden Rippe (Fin1), wobei der erste Bereich (Fin2-1) der gebogenen Rippe (Fin2) und die erste gerade Rippe (Fin1) einen ersten Abstand (S1) zueinander aufweisen, und der zweite Bereich (Fin2-3) der gebogenen Rippe (Fin2) und die erste gerade Rippe (Fin1) einen zweiten Abstand (S2) zueinander aufweisen, der größer als der erste Abstand (S1) ist; wobei der erste Abstand (S1) senkrecht vom ersten Bereich (Fin2-1) der gebogenen Rippe (Fin2) zur ersten geraden Rippe (Fin1) und der zweite Abstand (S2) senkrecht vom zweiten Bereich (Fin2-3) der gebogenen Rippe (Fin2) zur ersten Rippe (Fin1) gemessen wird,
- einen nicht parallel zur ersten geraden Rippe (Fin1) verlaufenden dritten Bereich (Fin2-2) der gebogenen Rippe (Fin2), der den ersten Bereich (Fin2-1) mit dem zweiten Bereich (Fin2-3) verbindet;
- einen Pull-Down-Transistor (PD), enthaltend einen Bereich eines ersten Gate-Streifens (G1), wobei der erste Gate-Streifen (G1) einen ersten Sub-Pull-Down-Transistor (PD11) und einen zweiten Sub-Pull-Down-Transistor (PD12) mit der ersten geraden Rippe (Fin1) und mit dem ersten Bereich (Fin2-1) der gebogenen Rippe (Fin2) entsprechend bildet; und
- einen Pass-Gate-Transistor (PG1), enthaltend einen Bereich eines zweiten Gate-Streifens (G2), wobei der zweite Gate-Streifen (G2) mit der ersten geraden Rippe (Fin1) einen ersten Sub-Pass-Gate-Transistor und mit dem zweiten Bereich (Fin2-2) der gebogenen Rippe (Fin2) einen Dummy-Transistor (Dummy1-SD) bildet.

2. Die integrierte Schaltkreisstruktur nach Anspruch 1, weiter umfassend eine zweite gerade Rippe (Fin3), wobei der Pull-Down-Transistor (PD) weiter einen dritten Pull-Down-Transistor (PD13) enthält, der einen ersten Bereich der zweiten geraden Rippe (Fin3) und einen weiteren Bereich des ersten Gate-Streifens (G1) umfasst, und wobei der Pass-Gate-Transistor (PG) einen zweiten Sub-Pass-Gate-Transistor enthält, der einen zweiten Bereich der zweiten geraden Rippe (Fin3) und einen weiteren Bereich des zweiten Gate-Streifens (G2) umfasst.

3. Die integrierte Schaltkreisstruktur nach Anspruch 1, wobei sich der zweite Bereich (Fin2-3) der gebogenen Rippe (Fin2) zu einem Rand der SRAM-Zelle hin erstreckt und zusammen mit einer weiteren Rippe eines weiteren Dummy-Transistors (Dum-

my1) in einer weiteren SRAM-Zelle eine kontinuierliche Halbleiterrippe bildet.

4. Eine integrierte Schaltkreisstruktur, umfassend: eine statische Direktzugriffsspeicherzelle (SRAM), umfassend:

- eine erste gerade Rippe (Fin1);
- eine zweite gerade Rippe (Fin2), die parallel zur ersten und physikalisch von dieser getrennt ist;
- einen Pull-Down-Transistor (PD), enthaltend einen Bereich eines ersten Gate-Streifens (G1), wobei der erste Gate-Streifen (G1) einen ersten Sub-Pull-Down-Transistor (PD11) und einen zweiten Sub-Pull-Down-Transistor (PD12) mit einem ersten Bereich der ersten geraden Rippe (Fin1) und mit einem ersten Bereich der zweiten geraden Rippe (Fin2) entsprechend bildet; und
- einen Pass-Gate-Transistor (PG), enthaltend einen Bereich eines zweiten Gate-Streifens (G2), wobei der zweite Gate-Streifen (G2) mit einem zweiten Bereich der ersten geraden Rippe (Fin1) einen ersten Sub-Pass-Gate-Transistor (PD11) des Pass-Gate-Transistors (PD) bildet, und wobei sich der zweite Gate-Streifen (G2) direkt über einen zweiten Bereich der zweiten geraden Rippe (Fin2) erstreckt und mit diesem einen Dummy-Transistor (Dummy1) bildet.

5. Die integrierte Schaltkreisstruktur nach Anspruch 4, wobei sich die zweite gerade Rippe (Fin2) zu einem Rand der SRAM-Zelle hin erstreckt und zusammen mit einer weiteren Rippe eines weiteren Dummy-Transistors (Dummy1-SD) in einer weiteren SRAM-Zelle eine kontinuierliche Halbleiterrippe bildet.

Es folgen 8 Seiten Zeichnungen

Anhängende Zeichnungen

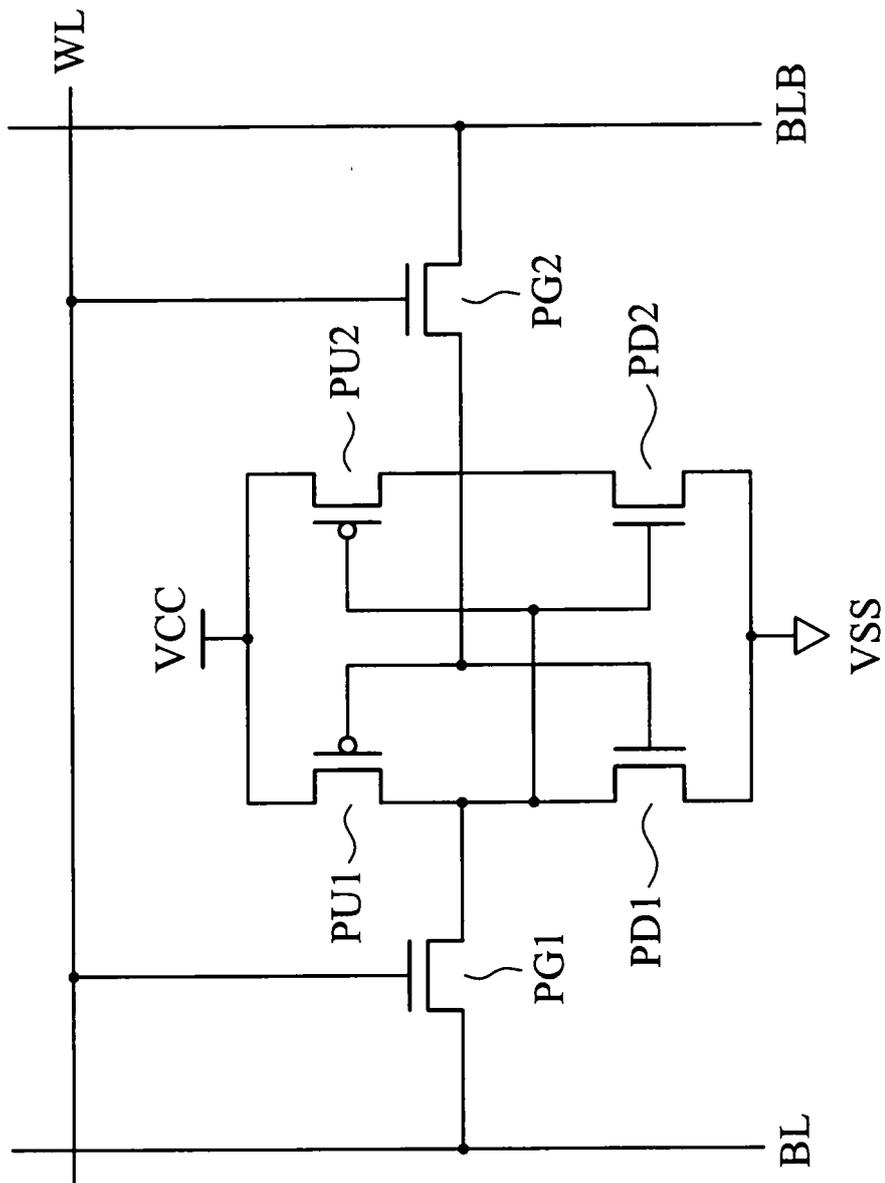


FIG. 1

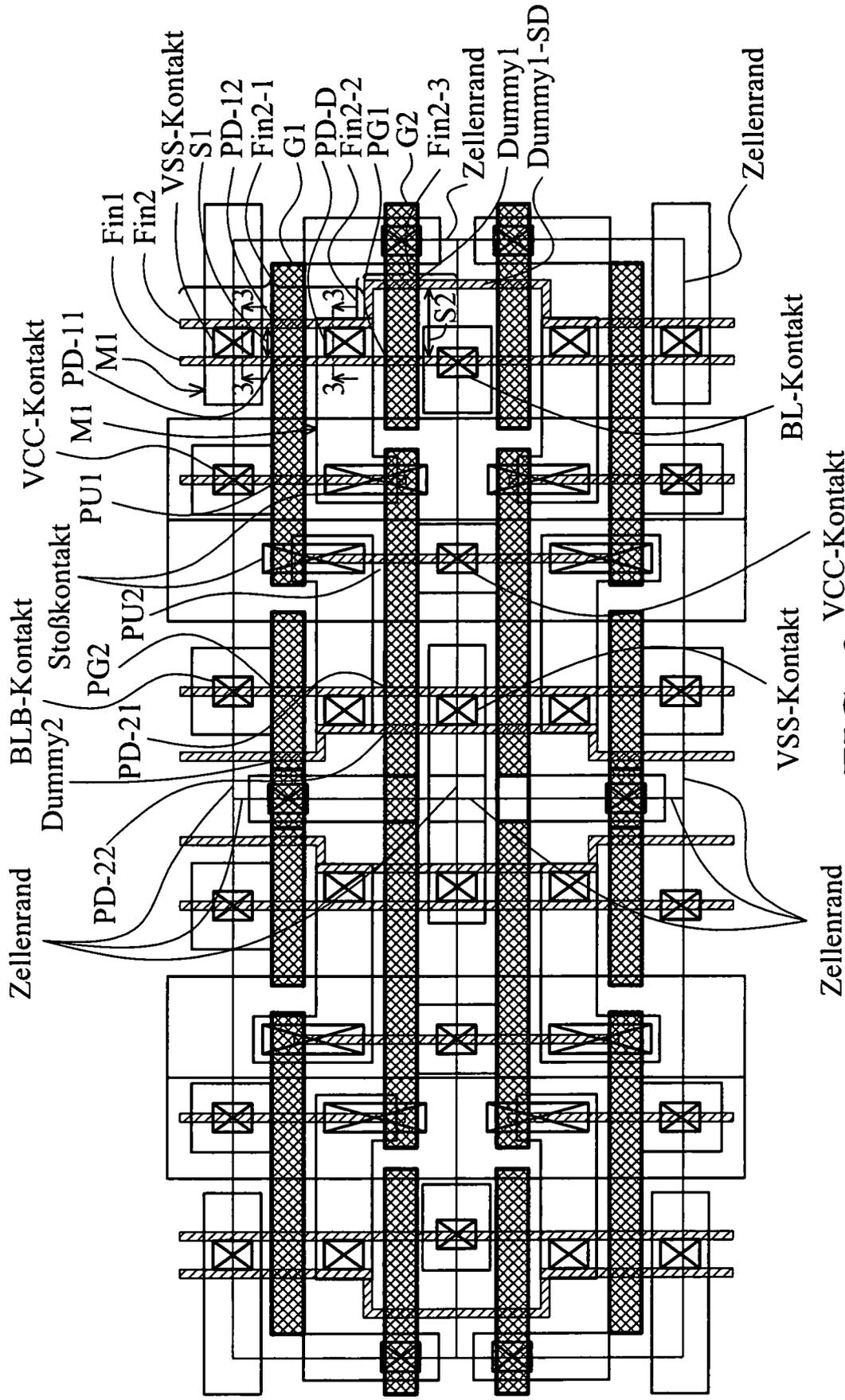


FIG. 2

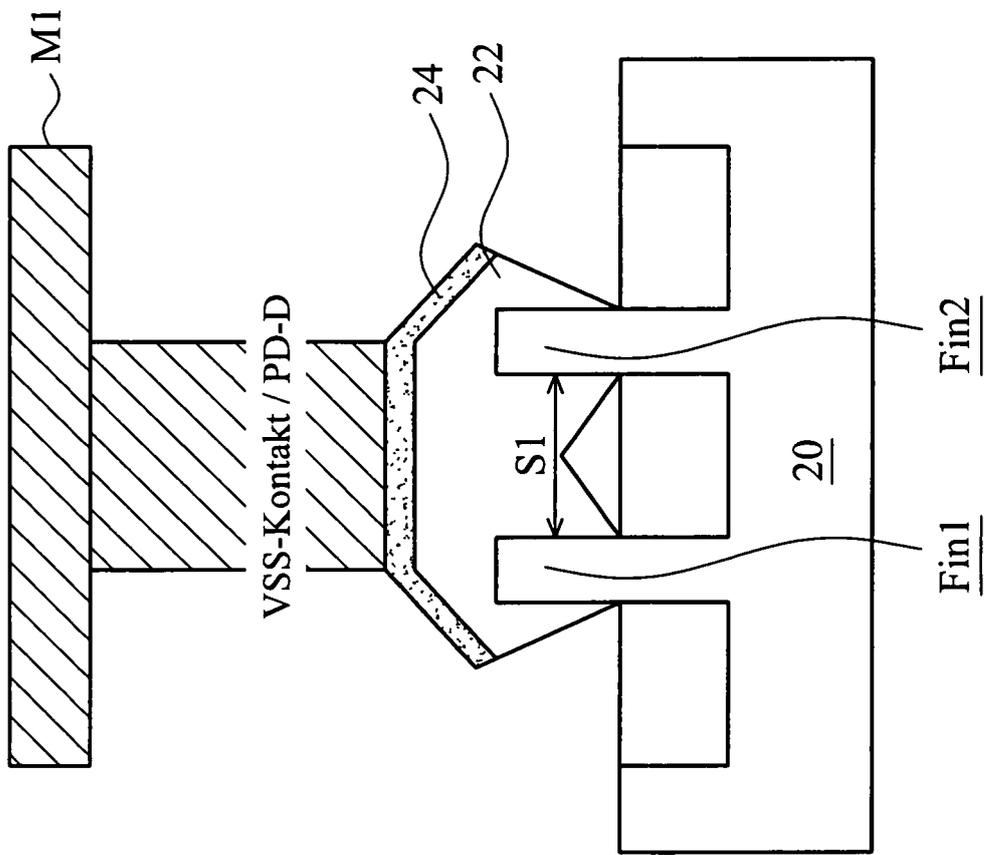


FIG. 3A

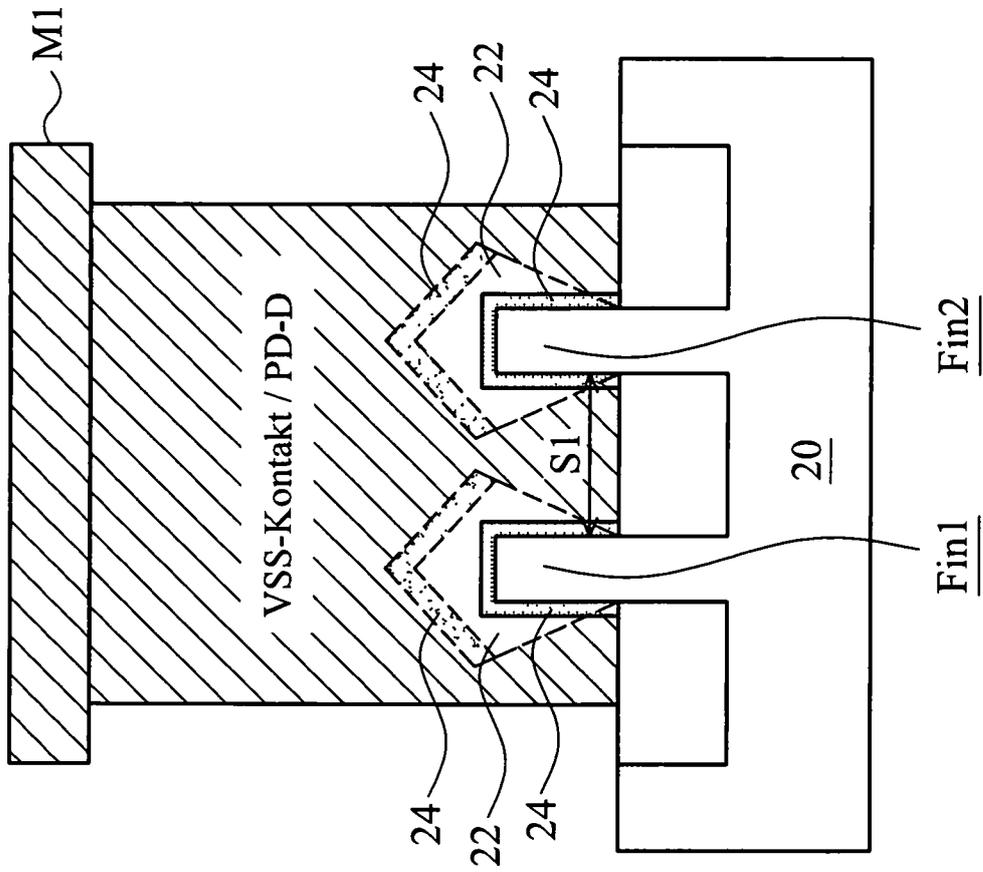


FIG. 3B

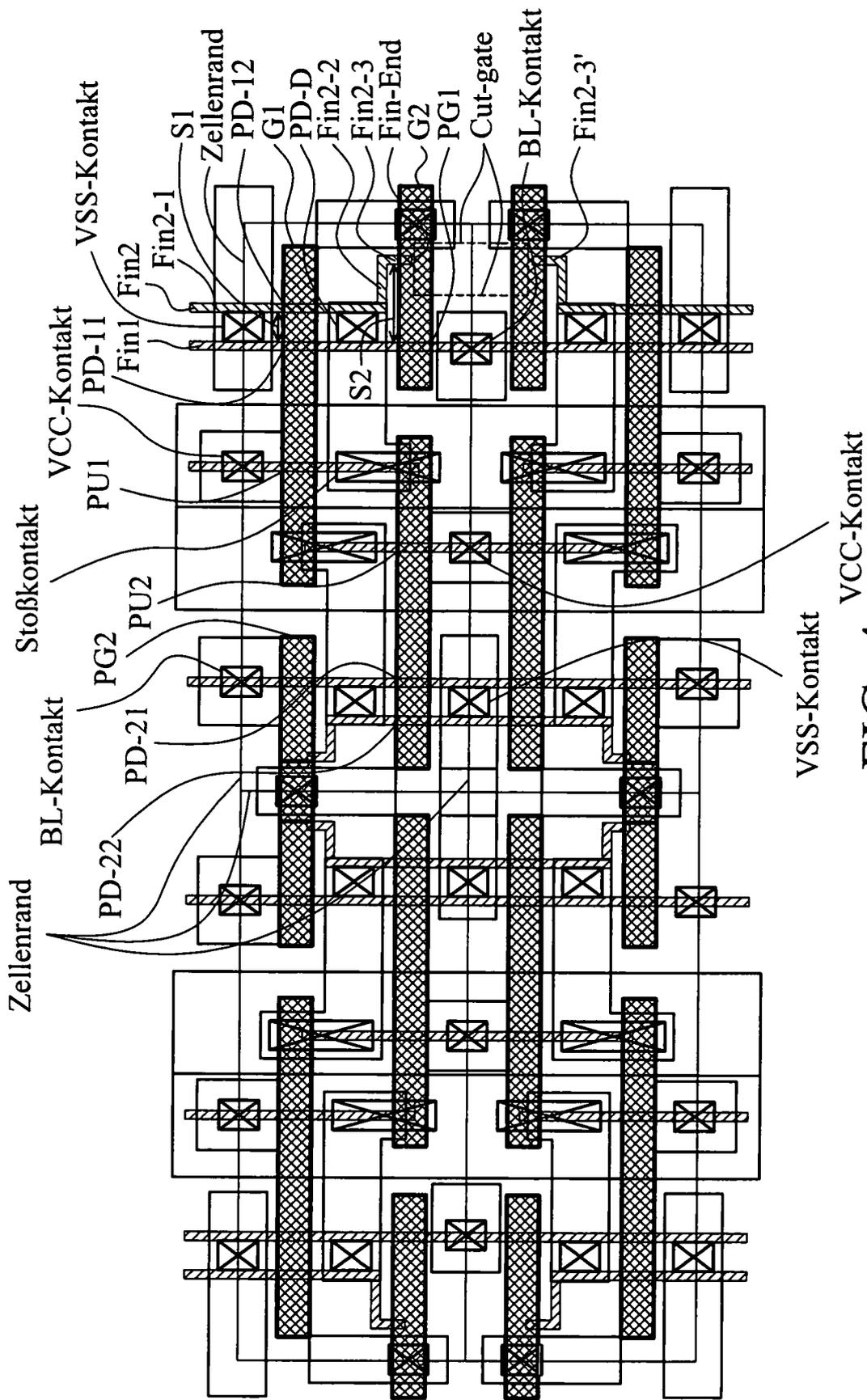


FIG. 4

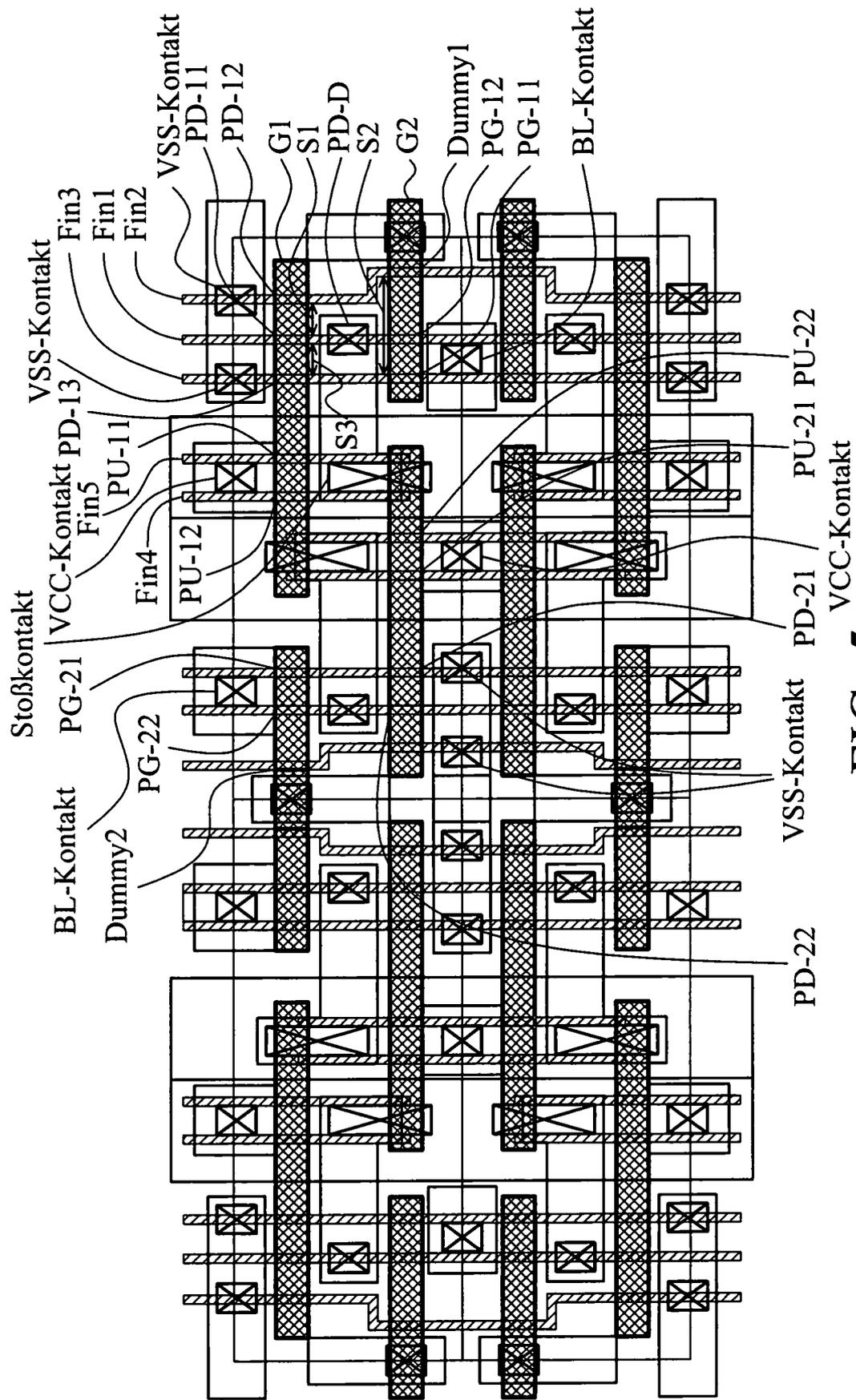


FIG. 5

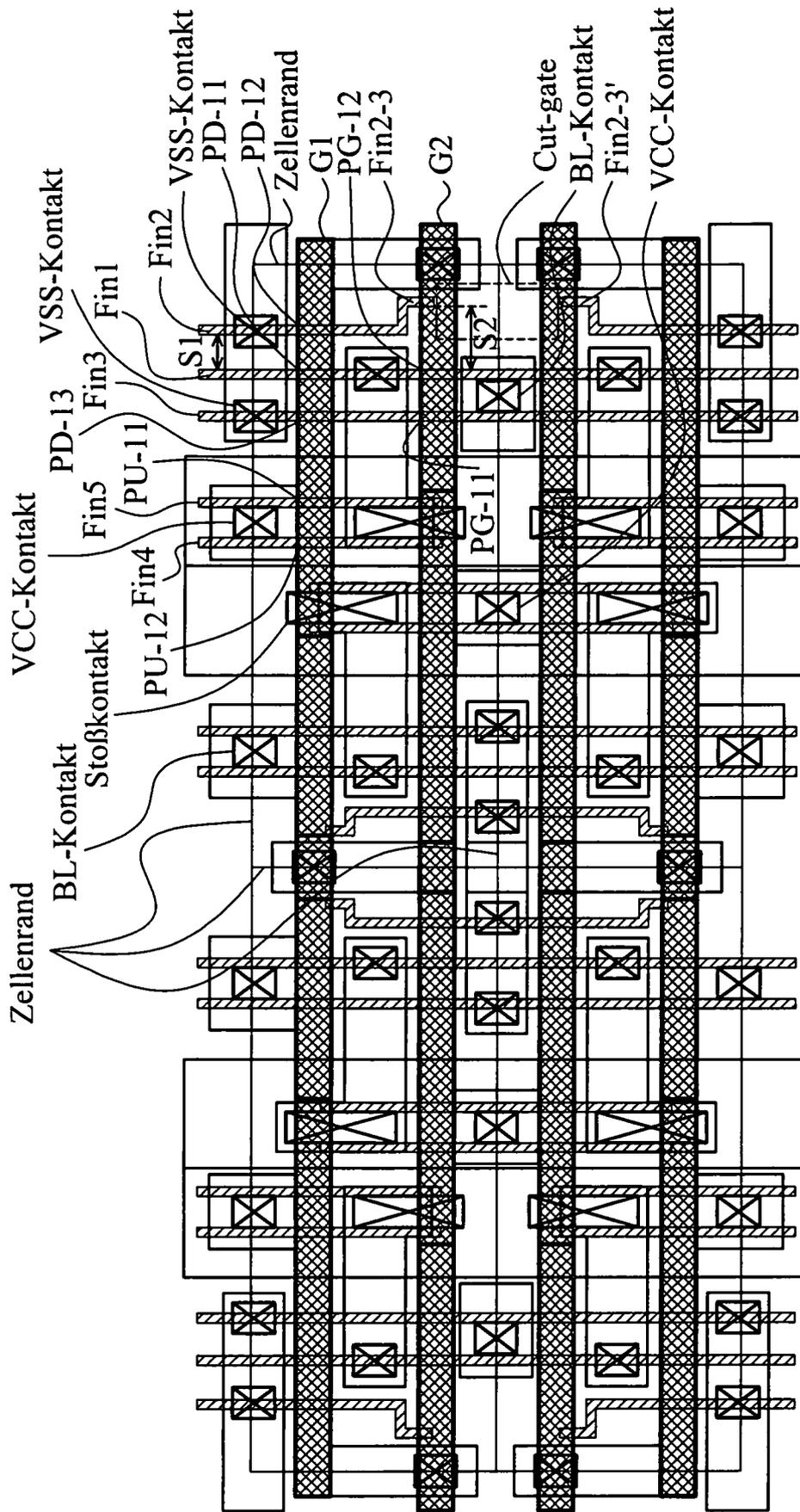


FIG. 6

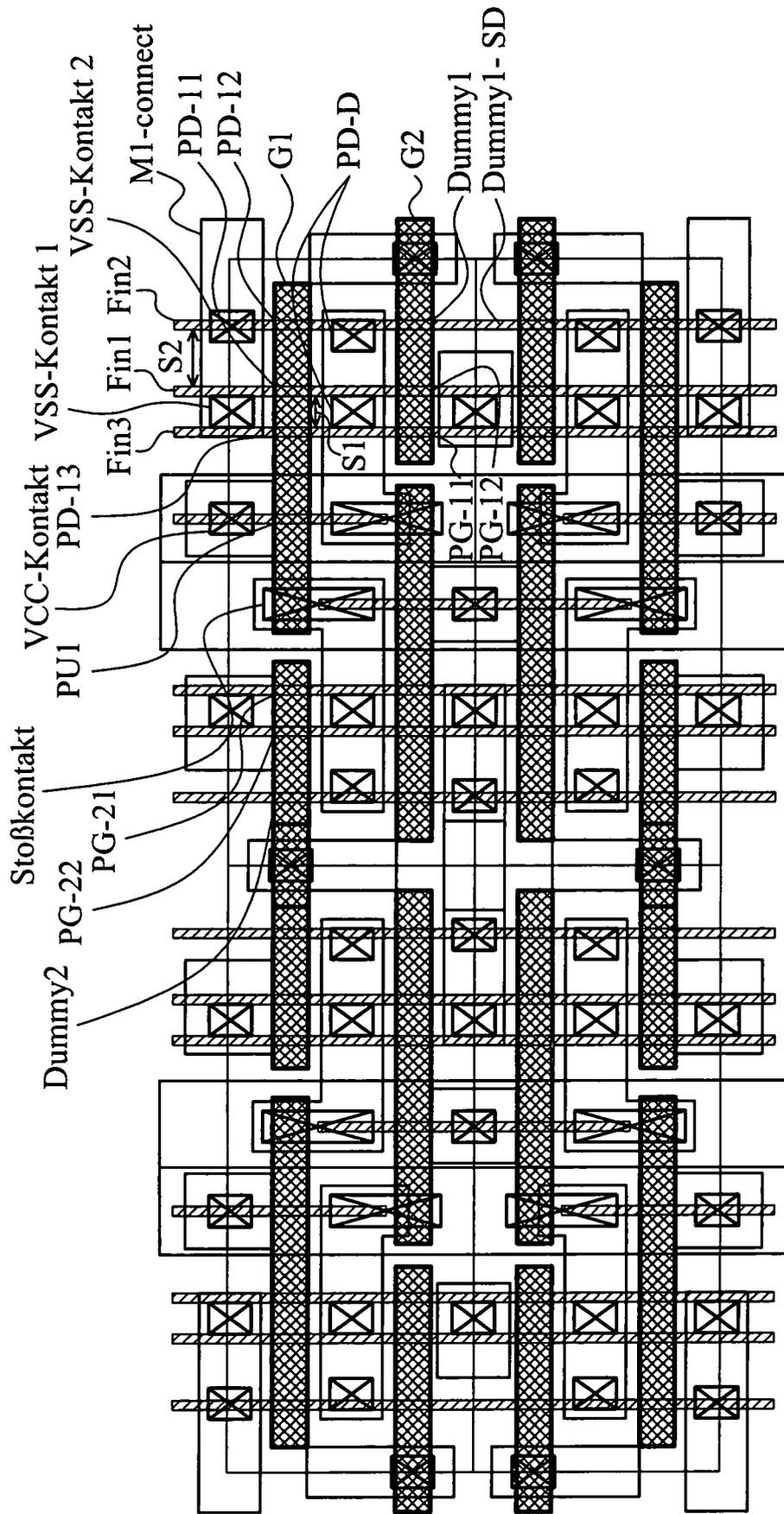


FIG. 7