



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2008년09월03일
 (11) 등록번호 10-0856175
 (24) 등록일자 2008년08월27일

(51) Int. Cl.

H01L 21/00 (2006.01)

(21) 출원번호 10-2001-0029896
 (22) 출원일자 2001년05월30일
 심사청구일자 2006년05월30일
 (65) 공개번호 10-2002-0061458
 (43) 공개일자 2002년07월24일

(30) 우선권주장
 2001-7158 2001년01월16일 일본(JP)

(56) 선행기술조사문헌
 JP01225125 A*
 JP10256231 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고

(72) 발명자

요코가와켄에츠

일본국사이타마켄즈루가시마시카미히로야245-11
모모노이요시노리일본국도쿄도고쿠분지시니시코이가쿠보4-14-6B103
(뒷면에 계속)

(74) 대리인
 특허법인 원전

전체 청구항 수 : 총 7 항

심사관 : 조천환

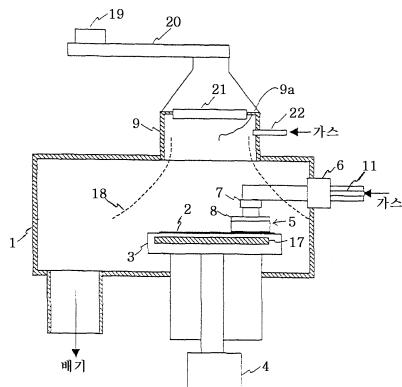
(54) 반도체장치의 제조방법

(57) 요 약

반도체 기판에 대한 드라이 에칭 등의 가공, 및 가공 후의 이물제거를 위한 세정을 효율 좋게 실현한다.

본 발명은, 플라즈마 생성수단(9)에 의해 생성하는 플라즈마의 전기적 작용과, 웨이퍼(2) 면에 근접하여 배치하는 패드형 구조체(5)로 형성하는 고속가스류의 마찰응력에 의한 물리적 작용을 병용하여 이물을 제거하는 공정을 포함하는 반도체 장치의 제조방법에 있다

대표도 - 도1



(72) 발명자
츠지모토카즈노리
일본국도쿄도히가시야마토시사쿠라가오카3-44-175-
305호

타치신이치
일본국사이타마켄사야마시카시와바라2520-62

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

기판을 처리실 내로 반송하는 공정과,

상기 처리실 내를 감압상태로 하는 공정과,

상기 처리실 내에 예칭용 가스를 도입하고, 플라즈마 분위기를 형성하여 상기 기판을 상기 플라즈마 분위기에 노출시키며, 상기 기판의 주면 상에 존재하는 이물의 상기 기판에 대한 흡착력을 완화하는 공정과,

상기 이물(異物)의 흡착력을 완화시킨 상기 기판의 영역에서,

상기 기판에 대한 대향주면에 세정용의 가스분출부가 설치된 패드형 구조체를 상기 기판에 대향하여 배치하는 공정과,

상기 세정용의 가스분출부로부터 Ar, He, Ne 또는 질소 가스를 분출시키는 공정과,

상기 기판과 상기 패드형 구조체 사이의 가스압을 소정의 값으로 하기 위해, 상기 기판과 상기 패드형 구조체의 간격을 제어하는 공정과,

상기 기판에 대하여 상기 패드형 구조체를 상대적으로 이동시키는 공정과,

상기 기판에 대하여 프로세스 가공처리를 행하는 프로세스 가공공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 56

반도체 기판의 프로세스 가공처리가 행해지는 제1 처리실과 상기 반도체 기판의 세정이 행해지는 제2 처리실의 사이에서 상기 반도체 기판을 이동시키는 이동공정과,

상기 제1과 제2 처리실을 감압 상태로 하는 공정과,

상기 제2 처리실 내에서,

예칭용의 가스를 도입하고, 플라즈마 분위기를 형성하여 상기 기판을 상기 플라즈마 분위기에 노출시키고, 상기 기판의 주면 상에 존재하는 이물(異物)의 상기 기판에 대한 흡착력을 완화하는 공정과,

상기 이물의 흡착력을 완화시킨 상기 기판의 영역에서, 상기 기판의 표면에 대해서, 세정용의 가스를 분출하는 제2 가스분출부가 설치된 패드형 구조체를 상기 기판에 대향하여 배치하는 공정과,

상기 세정용의 가스 분출부로부터 Ar, He, Ne 또는 질소 가스를 분출시키는 공정과,

상기 기판과 상기 패드형 구조체 사이의 가스압을 소정의 값으로 하기 위해, 상기 기판과 상기 패드형 구조체의 간격을 제어하는 공정과,

상기 기판에 대해 상기 패드형 구조체를 상대적으로 이동시키는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 57

진공배기수단을 구비한 진공용기와,

상기 진공용기 내에 반도체 기판을 재치(載置)하는 반도체기판 설치수단과,

상기 기판의 표면상에 존재하는 이물의 상기 기판에 대한 흡착력을 완화하기 위한 플라즈마 분위기를 상기 기판 상에 형성하는 플라즈마 에칭가스 생성수단과,

상기 기판의 표면에 대향하는 대향주면을 구비한 패드형 구조체와,

상기 기판상의 상기 플라즈마에 노출된 영역에서, 상기 패드형 구조체의 대향주면과 상기 반도체기판의 주면 사이에, 세정용의 가스류(流)를 형성하는 세정용 가스 분출수단과,

상기 패드형 구조체의 이동기구와,

상기 패드형 구조체와 상기 기판 사이에 작용하는 가중(加重)을 검출하는 가중검출수단과,

상기 가중검출수단의 검출결과에 기초하여, 상기 가스류를 원하는 가스압으로 제어하기 위해, 상기 기판과 상기 패드형 구조체의 간격을 제어하는 수단을 구비한 것을 특징으로 하는 반도체장치의 세정장치.

청구항 58

제 57 항에 있어서,

상기 세정 가스는 Ar, He, Ne 또는 질소 가스 중 어느 하나인 것을 특징으로 하는 반도체장치의 세정장치.

청구항 59

제 57 항에 있어서,

상기 반도체기판 설치수단은 반도체기판의 온도를 제어하는 수단을 구비한 것을 특징으로 하는 반도체 장치의 세정장치.

청구항 60

진공배기수단을 구비한 진공용기와,

상기 진공용기 내에 반도체 기판을 재치하는 반도체기판 설치수단과,

상기 기판의 표면상에 존재하는 이물(異物)과 상기 기판의 흡착력을 완화하기 위한 플라즈마 분위기를 상기 기판상에 형성하는 플라즈마 에칭가스 생성수단과,

상기 기판의 표면에 대향하는 대향주면을 구비한 패드형 구조체와,

상기 기판상의 상기 플라즈마에 노출된 영역에서, 상기 패드형 구조체의 대향주면과 상기 반도체기판의 주면 사이에, 세정용의 가스류(流)를 형성하는 세정용 가스 분출수단과,

상기 패드형 구조체의 이동기구와,

상기 패드형 구조체와 상기 기판의 사이에 작용하는 가중을 검출하는 가중검출수단과,

상기 가중검출수단의 검출결과에 기초하여, 상기 가스류를 원하는 가스압으로 제어하기 위해, 상기 기판과 상기 패드형 구조체의 간격을 제어하는 수단을 구비하고,

상기 기판에 대하여 프로세스 가공처리를 행하는 프로세스 가공수단을 포함하는 것을 특징으로 하는 반도체장치의 제조장치.

청구항 61

반도체 기판의 프로세스 가공처리가 행해지는 제1 처리실과,
 상기 기판의 세정이 행해지는 제2 처리실과,
 상기 제1과 제2 처리실의 사이에서 상기 기판을 이동시키는 이동수단과,
 상기 제1과 제2 처리실을 감압 상태로 하는 수단과,
 상기 제2 처리실 내에서,
 상기 기판을 재치하는 반도체기판 설치수단과,
 상기 기판의 표면상에 존재하는 이물의 상기 기판에 대한 흡착력을 완화하기 위한 플라즈마 분위기를 상기 기판
 상에 형성하는 플라즈마 에칭가스 생성수단과,
 상기 기판의 표면에 대향하는 대향주면을 구비한 패드형 구조체와,
 상기 기판상의 상기 플라즈마에 노출된 영역에서, 상기 패드형 구조체의 대향주면과 상기 반도체기판의 주면
 사이에, 세정용의 가스류(流)를 형성하는 세정용 가스 분출수단과,
 상기 패드형 구조체의 이동기구와,
 상기 패드형 구조체와 상기 기판 사이에 작용하는 가중을 검출하는 가중검출수단과,
 상기 가중검출수단의 검출결과에 기초하여, 상기 가스류를 원하는 가스압으로 제어하기 위해 상기 기판과 상기
 패드형 구조체의 간격을 제어하는 수단을 구비한 것을 특징으로 하는 반도체장치의 제조장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <47> 본 발명은, 세정을 포함하는 반도체장치의 제조기술, 특히 반도체 웨이퍼 표면에 잔존하는 이물 등을 제거하는 세정공정을 포함하는 반도체장치의 제조기술에 관한 것이다.
- <48> 반도체장치(LSI, VLSI 등)의 제조기술은 미세화가 급속하게 진행되고 있다. 이와 같은 상황하에서, 반도체장치의 제조공정에서의 반도체 웨이퍼의 세정은 반도체장치의 제조 수율 향상을 위한 중요한 프로세스의 하나이다. 이 때문에, 성막이나 에칭과 같은 각각의 제조공정에서의 전처리 혹은 후처리로서 세정이 행해진다.
- <49> 종래, 반도체 웨이퍼(이하, 웨이퍼라 함)의 세정은, 순수(純水) 또는 순수에 각종 산(酸)이나 알카리 용액을 희석한 용액을 이용하여, 이 용액중에 웨이퍼를 담그거나 또는 용액을 분무하는 방법으로 웨이퍼 표면의 이물을 씻어내는 것으로 실시되고 있다. 또, 웨이퍼를 용액에 담금과 동시에 브러시로 웨이퍼 표면을 기계적으로 세정하는 방법 등도 이용되고 있다. 그리고, 이들의 세정방법은 용액을 이용함으로 웨트(Wet)세정이라 불리고 있다.
- <50> 그러나, 웨트세정에서는 세정외에 그 세정에 이어서 린스, 건조를 처리하는 공정이 필요하게 되며, 제조공정의 증가를 초래하는 문제가 있었다.
- <51> 이와 같은 웨트세정의 문제 해결을 이루는 세정방법으로서, 드라이(Dry)세정이 있다.
- <52> 그 드라이세정의 하나는 예컨대, 일본 특개평 8-131981호 공보(이하, 공지문현 1이라 함)에 개시되어 있다. 이 공지문현 1에 의하면, 피세정물(시료)은 예컨대 단결정 실리콘을 슬라이스, 래핑, 폴리싱한 반도체용 6인치 실리콘 웨이퍼를 대상으로 하고, 정전기의 대전에 의해 그 피세정물에 부착한 부착물의 세정을 활성화된 공기를 이용하여 상온건식으로 세정을 행하는 것이 기재되어 있다. 즉, 그 활성공기는 공기이온과, 물클러스터를 포함하고, 고습도 분위기를 형성하며, 유동하면서 세정실내의 피세정물에 접촉하여 그것을 행한다. 공기이온은 피세정물의 전하를 중화하고, 물클러스터는 부착물을 피세정물 표면에서 유리(遊離)시킨다. 유동하는 활성공기는 피세정에서 부착물을 박리하여 그것을 제거한다. 또한 이 공지문현 1은 구체적으로는 웨이퍼 메이커로부터 Si웨이

퍼를 구입 후, LSI 제조시의 전처리 세정에 대해서 개시하고 있다.

<53> 또, 다른 드라이세정으로서, 일본 특개평 8-85887호 공보(이하, 공지문현 2라 함)에 개시의 기술이 있다. 이 공지문현 2에 의하면, 피에칭재가 W를 이용한 단층막 혹은 적층막을 가진 시료의 에칭처리 후, 그 시료는 진공반송장치에 의해 후처리장치(다음 공정의 처리장치)에 반송된다. 그리고, 시료를 대기에 노출시키지 않으며 동처리장치(진공중) 내에서 레지스트와 부착물을 동시에 제거(플라즈마 애싱)하는 것이다.

<54> 그리고 또한, 일본 특개평 9-17776호 공보(이하, 공지문현 3이라 함)에 개시의 드라이세정이 있다. 이 공지문현 3에 의하면, 반도체 기판상의 흡착유기물에 의해 성막시의 막두께 형성에 영향을 받기 쉬운 막의 형성에 대해, 그 하지막의 성막 전에, 동일의 반도체 제조장치 내부에서 실온 또는 고온으로 O₃ 크리닝을 행함으로써 흡착유기물을 제거하고, 반도체 기판의 표면상태에 영향을 받기 쉬운 성막의 안정화를 도모하는 것이다. 즉, 공지문현 3에 기재의 발명에 의하면, 반도체 기판 상에 하층배선 패턴을 형성한 반도체 제조장치를 그대로 사용하고, O₃ 가스를 도입하여 반도체 기판을 크리닝하며, 반도체 기판 표면의 잔류유기물과 반응시켜, CO 혹은 CO₂와 같은 화발 생성물로서 제거하고, 잔류유기물의 제거 후에 하지막을 통해 유기물에 대해 불안정한 막을 충간절연막으로서 잔류유기물의 영향을 받지않고 성막하는 것이 개시되어 있다.

발명이 이루고자 하는 기술적 과제

<55> 최근, DRAM으로 대표되는 소품종 다량생산에서 단품종 소량생산으로 상징되는 시스템·온·칩(이른바 시스템 LSI)이 주류가 되고 있다. 단품종 소량생산의 경우, 생산효율을 높이기 위해, 단TAT(Trun Around Time)화가 중요시되고 있다.

<56> 이 때문에, 반도체장치의 제조공정의 전처리 혹은 후처리로서 행하는 세정은, 드라이세정에 의해 반도체 제조효율의 향상을 도모하는 것이 요구되고 있다.

<57> 또, 반도체장치의 제조 수율 향상을 위해, 그 드라이세정의 세정능력의 향상이 요구되고 있다.

<58> 본 발명의 목적은, 기판에 대한 가공 및 그 가공 후의 이물제거를 위한 세정을 효율 좋게 행하는데 있다.

<59> 본 발명의 다른 목적은, 미세화에 알맞은 신규한 반도체장치의 제조방법을 제공하는데 있다.

<60> 본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기술 및 첨부 도면에서 명백하게 될 것이다.

발명의 구성 및 작용

<61> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면, 다음과 같다.

<62> 본 발명은 감압상태를 유지한 처리실내에서, 반도체 기판 주면에 부착한 이물을 그 주면에 가스류를 공급하여 제거하는 것을 특징으로 하는 것이다.

<63> 또, 본 발명은, 감압상태를 유지한 처리실내에서 반도체 기판 주면에 부착한 이물의 결합력을 완화시켜서, 그 주면에 대해 가스류를 공급하여, 그 가스류에 의해 이물을 제거하는 것을 특징으로 하는 것이다.

<64> 이하, 본 발명의 실시형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위해 전도면에 있어서, 동일의 기능을 가지는 부재에는 동일의 부호를 붙여, 그 반복의 설명은 생략한다.

<65> (실시형태 1)

<66> 첫째로, 본 발명의 제1 실시형태에 사용되는 드라이 세정장치의 기본구성에 대해, 도 1을 이용하여 설명한다.

<67> 도 1에 나타낸 드라이 세정장치는 감압상태를 유지한 처리실, 즉 일반적으로는 진공용기라 불리는 처리실(1)을 가진다. 소망의 처리(플라즈마 에칭이나 플라즈마 CVD 등의 처리)가 다른 처리실내에서 처리된 웨이퍼는 이 처리실(1) 내에서 세정이 행해진다.

<68> 도 1에서, 진공배기수단(진공펌프 : 도시하지 않음)을 가지는 진공용기(1) 내에, 처리해야할 웨이퍼(2)를 설치하기 위한 웨이퍼 설치수단(웨이퍼 지지대)(3) 및 웨이퍼(2)를 원주방향으로 회전하는 회전기구(4)가 설치되어 있다.

<69> 웨이퍼 설치수단(3)은, 평면이 웨이퍼(2)와 같은 평판형상을 가지고, 웨이퍼(2)의 안정한 지지를 위해 그 웨이퍼의 지름보다도 크다. 웨이퍼 설치수단(3)에서의 웨이퍼의 고정은 기계적으로 웨이퍼 주변을 사이에 끼우는 기

구 또는 전기적으로 웨이퍼를 유지하는 정전체이 채용된다. 그리고, 이 웨이퍼 설치수단(3)에는 온도제어수단(16)이 설치되어 있으며, 웨이퍼(2)의 온도를 실온(25°C)에서 300°C의 범위로 제어할 수 있는 구조로 되어 있다. 웨이퍼(2)에 대한 온도의 제어에 대해서는 나중에 설명한다. 웨이퍼(2) 상에는 웨이퍼 세정을 위한 패드형 구조체(5)가 그 웨이퍼(2) 표면에 근접하여 배치된다. 이 패드형 구조체(5)가 본 발명을 이루는데 있어 중요한 역할을 한다. 패드형 구조체(5)에는, 웨이퍼(2) 상에서의 수평방향의 이동을 가능하게 하는 주사기구(6)와, 웨이퍼(2)에 근접 배치하기 위한 상하 이동기구(7)가 설치되어 있다. 또, 패드형 구조체(5)에는, 패드형 구조체(5)와 웨이퍼(2) 사이에 작용하는 가중을 검출하는 가중검출수단(8)이 설치되어 있다. 그리고, 패드형 구조체(5)와 웨이퍼(2) 사이에 작용하는 가중에 의해 상하 이동기구(7)에서의 이동량을 제어하는 것으로 패드부 구조체(5)와 웨이퍼(2)와의 간격을 제어하고 있다. 이 간격을 제어함으로써, 나중에 서술하는 바와 같이 세정을 위한 가스의 유속이 제어된다.

<70> 진공용기(1)의 상부에는 플라즈마 생성수단(9)이 설치되어 있다. 본 실시형태에서는 마이크로파대(구체적으로는 2.45GHz)의 전자파를 이용한 플라즈마 생성수단을 이용했다. 플라즈마 생성수단(9)은 마이크로파 발진부(19), 도파관(20) 및 유전체창(21)을 구성하고 있다. 가스 도입부(21)에서 플라즈마 생성부(9a)에 CF4 가스가 공급된다. 본 실시형태에서는 플라즈마 생성수단(9)에 마이크로파대의 전자파를 이용했지만, 다른 UHF대 전자파나 라디오파대 전자파, 또는 그들 전자파에 영구자석으로 자장을 인가하여 플라즈마를 생성해도 같은 효과를 가진다. 플라즈마 생성수단(9)에 의해 생성되는 플라즈마(18)의 확산영역에 웨이퍼(2)를 배치하는 구조로 했다. 확산영역에 웨이퍼를 배치하는 것으로 플라즈마에 의한 과잉한 손상 등을 웨이퍼에 미치는 것을 막을 수 있다.

<71> 패드형 구조체(5)에 대해서, 도 2, 도 3을 참조하여 이하에서 상세하게 설명한다.

<72> 도 2는, 패드형 구조체(5)의 부분 단면도와 패드부(10)의 평면도를 나타내고 있다. 패드형 구조체(5)는 테프론으로 형성된 패드부(10), 가스 도입부(11), 패드 지지부(12), 가중검출수단(8), 주사기구(6) 그리고 상하 이동기구(7)에의 접속기구(13)로 이루어진다. 패드부(10)는, 도시한 바와 같이, 웨이퍼 주면에 대한 원형의 대향주면(10a)을 가진다. 접속기구(13)는 지점(14)을 중심으로 웨이퍼(2)의 주면과 패드부(10)의 주면과의 평행을 제어할 수 있는 관절기능을 가지는 구조로 되어 있다. 가스 도입부(11)는, 내부가 중공구조로 되어 있는 패드 지지부(12)에 접속되어 있다. 가스 도입부(11)에 공급된 이물 제거용 가스는 패드 지지부(12)를 통해 패드부(10)의 주면(10a)에 설치된 가스 분출부(15)에서 분출한다. 본 실시형태에서는 패드부(10)의 중앙부에 하나 설치된 가스 분출부(15)에서 가스를 분출한다.

<73> 도 3은, 이물 제거능력을 높이기 위한 패드형 구조체(5)의 부분 단면도와 패드부(10)의 평면도를 나타내고 있다. 도 3에 나타내는 바와 같이, 패드형 구조체(5)는 패드부(10)의 면내에 균등 배치한 복수개의 구멍인 가스 분출부(16)가 설치되어 있다. 즉, 패드부(10)의 중앙부에 하나의 가스 분출부(16)가 설치되고, 그 가스 분출부(16)를 중심으로 좌우대칭으로 2개의 가스 분출부가 패드부(10)의 외주부에 설치되어 있다. 또, 그 가스 분출부(16)를 중심으로 상하 대칭으로 2개의 가스 분출부가 패드부(10)의 외주부에 설치되어 있다. 가스 분출부 부근은 유속이 빠르므로, 도 3에 나타내는 바와 같이 복수의 가스 분출부를 설치하는 것으로 이물 제거효과의 향상, 또 이물 제거의 스루풋을 향상시킬 수 있다. 또한, 패드부(10)의 외주부에 설치된 서로 인접하는 가스 분출부에서 분출된 쌍방의 분출가스의 작용에 의해 정류하려고 하는 이물은, 패드부(10)의 중앙부에 위치한 가스 분출부(16)에서 분출한 가스에 의해 압출되어, 웨이퍼 면내의 이물은 제거된다.

<74> 도 2 및 도 3에 나타낸 패드형 구조체(5)의 패드부(10)는, 웨이퍼(2) 표면에 손상을 미치지 않도록, 웨이퍼(2) 표면의 재질보다 부드러운 재질인 테프론을 이용했지만, 그밖에 폴리비닐알콜, 데루린, 베스페루, 캡톤, 폴리산화비닐, 폴리에스테르, 산화실리콘, 실리콘, 산화알루미늄을 이용해도 동일한 효과가 있는 것은 말할 필요도 없다. 패드부(10)는, 세정시에 웨이퍼(2) 표면에 접촉하는 경우도 있을 수 있다. 이 때문에 기본적으로 패드부의 재질로는 웨이퍼(2) 표면의 재질보다 부드러운 재질을 이용하는 것이 바람직하다. 즉, 웨이퍼(2)의 표면 및 이면에 배치한 구조체(4, 5)의 꾀처리 웨이퍼면에 근접하는 부분의 재질은 웨이퍼 표면을 구성하는 재질보다 경도가 낮은 재료가 이용된다.

<75> 또, 본 실시형태에서는, 패드형 구조체(5)의 웨이퍼에 대향하는 주면의 크기는 직경 3cm로 했다. 이것은 웨이퍼(2)에 플라즈마 생성수단(5)에 의해 생성된 활성종의 도달효율을 용이하게 하기 위해서이다. 즉, 패드형 구조체(5)가 너무 크면 그 패드형 구조체(2)에 의해 웨이퍼 면이 덮여져 버려, 플라즈마에 의한 활성종이 도달되지 않게 되기 때문이다. 따라서, 패드형 구조체(5)의 크기는 웨이퍼의 크기보다 작은 것이 필요하다.

<76> 다음에, 도 1을 참조하여, 실시형태 1에서의 세정공정 예를 설명한다.

- <77> 먼저, 세정의 대상이 되는 웨이퍼(2)는 웨이퍼 설치수단(3) 상에 배치된다. 이 웨이퍼(2)는, 예컨대, 직경이 약 300mm의 원판상의 실리콘 단결정 기판이 이용된다. 그리고, 이 웨이퍼(2)의 주면에는 전 공정에서 드라이 에칭 가공된 스루홀(개구)부를 가지는 절연막이 설치되어 있다.
- <78> 웨이퍼(2)를 웨이퍼 설치수단(3) 상에 설치한 후, 진공용기(1) 내는 진공배기수단에 의해 진공배기된다. 이 때의 실행배기속도는 진공용기 내에 이물(즉, 파티클)을 남기지 않게 제어된다.
- <79> 이어서, 웨이퍼(2)는 회전기구(4)에 의해 원주방향으로 회전된다. 본 실시형태에서는, 웨이퍼(2)의 회전속도를 200회전/분으로 했다. 이 회전속도는, 이물 제거의 스루풋에 관계하고, 임의로 제어된다. 또, 온도제어기구(16)에 의해 웨이퍼의 온도를 100°C로 설정했다. 웨이퍼의 온도를 높이는 것으로, 웨이퍼 표면에서의 화학반응효율을 높일 수 있고, 세정효율을 높일 수 있다. 그러나, 웨이퍼의 온도를 너무 높이면 웨이퍼 내에 형성된 반도체 디바이스의 특성에 영향을 미친다. 따라서, 바람직하게는 웨이퍼(2)를 300°C 이하로 가열하는 것이 좋다.
- <80> 웨이퍼(2)를 회전시켜, 안정된 회전상태가 된 후, 가스 도입부(11)에서 패드형 구조체(5)(도 2)를 통해 Ar 가스(불활성가스)를 20 l /분의 유량으로 웨이퍼(2) 표면에 분출시킨다. 그리고, 주사기구(6)에 의해 패드형 구조체(5)를 웨이퍼(2) 방향으로 이동시킨다. 동시에, 플라즈마 생성수단(9)에 의해 별도 설치한 제2의 가스 도입수단(22)으로 도입한 CF₄ 가스(에칭 가스)와, 가스 도입부(11)에서 패드형 구조체(5)를 통해 도입한 Ar 가스의 혼합가스의 플라즈마(18)를 진공용기(1) 내에서 생성한다.
- <81> 플라즈마 생성 중, 패드형 구조체(5)를 상하 기구(7)에 의해 웨이퍼(2)에 근접시킨다. 이 때, 가중검출수단(8)에 의해 패드형 구조체(5)와 웨이퍼(2) 사이에 작용하는 힘을 검출하는 것으로 패드부 표면과 웨이퍼(2) 면과의 간격을 제어한다. 구체적으로는, 패드형 구조체(5)에서 공급한 Ar 가스에 의해 패드면과 웨이퍼(2) 면 사이는 고가스 압력상태로 된다. 패드부(10)가 웨이퍼에 접하지 않아도 패드부 및 웨이퍼(2) 사이에 가중이 생기므로, 그 가중과 흐르는 가스의 유량을 관리하는 것으로 패드부 표면과 웨이퍼(2) 면과의 간격을 제어할 수 있다. 가중검출수단(8)에는 압전소자, 왜계(歪計), 용수철, 탄력재, 추 등 각각 또는 그들을 조합시킨 부재를 이용할 수 있다. 본 실시형태에서는, 패드부 표면과 웨이퍼(2) 면의 간격이 5 ~ 20μm가 되도록 제어했다. 단, 패드부 표면과 웨이퍼(2) 주면의 간격을 1 ~ 100μm의 범위로 하더라도 같은 효과가 얻어진다. 세정력만을 고려하면 패드부 표면과 웨이퍼(2) 면의 간격이 좁을 수록 높은 세정력이 얻어지지만, 간격을 일정하게 유지하는 것이 곤란하게 됨과 동시에 너무 지나치게 근접시키면 접촉될 가능성이 높게 되어 웨이퍼(2) 표면에 대미지를 유발시킨다. 이 때문에, 1 ~ 100μm의 간격이 가장 효과적이다.
- <82> 본 실시형태에서는, 패드형 구조체(5)에서 공급하는 가스에 Ar을 이용했지만, 그 밖에 질소, He, Xe, Ne를 이용해도 동일한 효과가 있는 것은 말할 필요도 없다. 또 본 실시형태에서는 패드형 구조체(5)와 웨이퍼(2) 사이에 흐르는 가스 유량을 20 l /분으로 했지만, 0.5에서 500 l /분의 유량이라도 같은 효과가 얻어진다. 당연히, 세정력만을 생각하면 가스 유량은 많을 수록 세정력을 높일 수 있지만, 가스소비에 의한 코스트 등에서 0.5 ~ 500 l /분이 실용적인 범위가 된다.
- <83> 또, 본 실시형태에서는, 웨이퍼(2)와의 간격이 제어된 패드형 구조체(5)를 주사기구(6)에 의해 웨이퍼(2) 상에 주사하는 것으로 웨이퍼의 회전과 맞추어 웨이퍼(2) 전면을 패드형 구조체(2)로 주사하는 것이 가능한 구조로 되어 있다.
- <84> 또한, 본 실시형태에서는 웨이퍼를 회전시키는 회전기구(4)를 이용했지만, 그 밖에 패드형 구조체(5)를 회전하는 기구 또는 웨이퍼를 회전시키는 기구와 패드형 구조체를 회전시키는 기구를 병용하는 경우에 있어서도 같은 효과가 있다.
- <85> 다음에, 세정의 메카니즘을 도 13을 이용하여 설명한다.
- <86> 첫째, 패드형 구조체(5)의 기능을 설명한다. 패드형 구조체(5)는 주로 웨이퍼(2) 표면에 흡착한 이물에 물리적 힘을 작용시켜 제거하는 기능을 한다. 그러나, 직접 패드형 구조체(5)가 웨이퍼(2) 면에 접하면 작용하는 물리적 힘이 지나치게 커져, 웨이퍼 면에 대미지를 생기게 한다. 그 때문에, 본 실시형태는 패드형 구조체(5)와 웨이퍼(2) 사이에 Ar 가스를 흘려, 그 가스를 통해 웨이퍼(2) 면에 간접적으로 물리적 힘을 작용시키는 구조로 하고 있다. 패드형 구조체(5)와 웨이퍼(2) 사이에 가스류를 생성하는 것으로, 이 가스류의 마찰응력이 웨이퍼 표면에 작용할 수 있고, 비접촉인 채 큰 물질 이동력을 생성할 수 있다. 즉, 본 발명의 사고의 하나는 마찰응력을 이용하여 그 가스류에 의해 웨이퍼 면에 부착해 있는 이물(26)을 제거하는 것이다.
- <87> 상하 이동기구(7)는 조동기구(7a)와 미동기구(7b)로 구성되어 있다. 그리고, 미동기구(7b)와 패드부(10)와의 사

이에 가중검출수단(8)이 설치되어 있다. 이 가중검출수단(8)에 의해 조동기구(7a)와 미동기구(7b)를 제어하여, 패드형 구조체(5)와 웨이퍼(2)와의 미소간격을 얻고 있다.

<88> 본 실시형태에 의하면, 패드형 구조체(5)와 웨이퍼(2)와의 미소간격(구체적으로는 5 μm ~ 50 μm)에 가스를 도입하는 것으로 넓은 범위에서 세정력을 가지는 고속의 가스류를 생성하는 것이 가능하게 되며, 또 그 가스 유속에 의한 세정력은 극간 간격과 가스 유량으로 결정되는 것으로 패드형 구조체(5)와 웨이퍼(2)의 사이에 작용하는 힘과 흐르는 가스의 유량을 제어하는 것만으로 정밀하게 세정력을 제어할 수 있다. 이 정밀한 세정력 제어기능에 의해 저(低)대미지성과 고(高)세정력의 양립을 얻을 수 있다. 고속의 가스류는, 웨이퍼(2) 면에 형성된 미세 구조의 모든 부분에 세정력을 작용시키는 것이 가능하며, 웨트세정에서는 표면장력에 의해 세정작용이 미치지 않게 되는 극미세 반도체구조의 고효율인 물리적 세정력이 얻어진다.

<89> (실시형태 2)

<90> 플라즈마 생성수단(9)의 기능에 의해 상기 가스류의 이물 제거를 어시스트시키는 원리를 도 4, 5, 6을 이용하여 설명한다.

<91> 상기 한 패드형 구조체(5)에 의한 물리작용만으로는 제거 곤란한 이물이 웨이퍼(2)의 표면에 흡착하고 있는 경우가 있다. 플라즈마의 기능은 그와 같은 이물의 흡착력을 완화하고, 세정효율을 높이는데 있다. 즉, 본 실시형태에 의하면, 이하에 설명하는 이물의 흡착력의 완화와, 상기의 물리작용을 작용시키는 것으로 효율 좋게 이물을 제거하고 있다.

<92> 먼저, 도 4에서는 정전적으로 흡착한 이물의 플라즈마에 의한 흡착력 완화의 메커니즘을 나타낸다.

<93> 플라즈마 에칭이나 스퍼터라는 플라즈마를 이용한 반도체 제조 프로세스 후의 웨이퍼 표면에는 대전에 의한 이물(26)의 정전흡착이 생긴다. 플라즈마 처리중에 플라즈마 내에서 부유하고 있는 이물(26)은 플라즈마 내의 전자의 우선적인 대전에 의해 마이너스의 전하를 가진다. 이 대전상태가 플라즈마 처리종료 후도 지속하고, 웨이퍼 표면에 플라즈마 처리 후, 비래하여 흡착하는 것으로 제거하기 어려운 상태가 된다.

<94> 여기서, 본 실시형태에 의한 플라즈마 생성수단(9)에서 발생하는 희박 플라즈마(23)에 재차, 이 정전흡착상태의 이물(26)이 흡착한 웨이퍼를 노출시킨다. 희박 플라즈마(23)에 웨이퍼를 노출시키면, 플라즈마와 웨이퍼 표면(27) 사이에 이온시스(ionsheath)(24)가 형성된다. 이 이온시스(24)는 웨이퍼 표면(27)에 비해 희박 플라즈마(23) 쪽이 전위가 높은 상태가 된다. 즉, 플라즈마와 웨이퍼 표면(27) 사이에 전계가 생긴다. 예컨대, 그 전계 강도는 500 ~ 600V/cm으로 된다. 이온시스의 전위차는 대전한 이물(26)과 웨이퍼 표면(27) 사이의 정전흡착력과 반대의 전위차가 되기 때문에 흡착력을 완화하는 작용이 되며, 웨이퍼(27)에 흡착한 이물(26)의 제거가 용이하게 된다. 이 메커니즘에 의해 흡착력이 완화된 이물을 패드형 구조체(5)에 의한 물리작용으로 제거 가능하게 된다. 도 4에서 설명한 플라즈마에 의한 정전흡착력 완화의 메커니즘은 일예이며, 그 밖에 불명확한 기구를 포함한 여러가지 작용에 의해 정전흡착력을 완화하는 메커니즘이 존재한다.

<95> 다음에, 도 5는 이물이 웨이퍼 면에 화학흡착하고 있는 경우의 흡착력 완화 메커니즘의 설명도이다.

<96> 통상, 이물이 웨이퍼(27)에 화학흡착하는 경우, 이물(26)과 웨이퍼의 접촉면에서 화학흡착층(29)이 형성되어 산화반응이 생긴다. 이 상태는 화학반응론적으로는, 이물(26)과 웨이퍼 표면 사이에서 화학흡착층(29)을 통해 전자의 이동이 행해지는 것으로 흡착력이 생기게 된다. 여기서 산소가스를 공급하여 플라즈마를 생성하는 것으로 오존 또는 산소라지칼(28) 등의 산화성이 강한 활성종을 생성하고, 이 활성종을 이물에 흡착시키는 것으로 전자의 교환을 웨이퍼 표면에서 이물(26)과 이 오존 또는 산소라지칼(28) 등의 활성종 사이에 이행하는 것으로 화학흡착력이 완화된다. 같은 효과는 플라즈마에 질소, 수소 또는 산소도 포함한 이를 산화환원성 가스의 혼합에 의해서도 같은 효과가 있는 것은 말할 필요도 없다.

<97> 또한, 도 6에 나타내는 리프트오프기능에 대해서 설명한다.

<98> 본 실시형태에서는, 패드형 구조체(5)에서 공급하는 Ar 가스와는 별도로, 플라즈마 생성수단(9)부에 CF4 가스를 공급하고 있다. 이 CF4 가스는 플라즈마 생성에 의해 F, CF3라는 반응성이 높은 할로겐라지칼(31)로 분해된다. 이 CF4 가스는 플라즈마 생성에 의해 F, CF3라는 반응성이 높은 할로겐라지칼(31)로 분해된다. 이를 할로겐라지칼(31)이 세정전 웨이퍼 표면(30)의 실리콘 또는 실리콘 산화막을 극소량 에칭하는(리프트오프한다) 것으로, 그 웨이퍼 표면에 녹아 들어가거나 또는 침투한 이물(26)을 제거하기 쉽게 하고, 패드형 구조체(5)에 의한 물리작용의 세정력을 높일 수 있다.

- <99> 본 실시형태에서는 CF₄ 가스의 분리종을 이용했지만, C₂F₆, C₃F₈, Cl₂, F₂, HF, NF₃, 암모니아, 수소가스를 이용해도 같은 리프트오프 효과가 얻어진다.
- <100> 또, 웨이퍼에 흡착하는 이물은, 여러가지 형태로 흡착하고 있기 때문에, 도 4, 5, 6을 이용하여 설명한 작용을 각각 독립적이 아니고, 혼합하여 작용시켜 이를 제거를 행하는 것은 말할 필요도 없다.
- <101> 이상의 패드형 구조체에 의한 물리적 작용과 플라즈마에 의한 화학적 작용 및 전기적 작용에 의해 감압 중에서의 웨이퍼의 고효율 세정을 행할 수 있다.
- <102> 특히, 본 발명에 의한 드라이 세정방법을 0.3μm 이하의 스루홀 구조를 가지는 반도체 장치의 제조에 이용하는 것으로, 그 미세부에 세정효과를 발휘할 수 있다. 이 때문에 저코스트, 고수율 반도체 장치의 제조가 가능하게 된다.
- <103> 상기의 실시형태에서는, 패드형 구조체(5)에 의한 물리적 세정작용을 플라즈마의 반응성에 의해 어시스트하는 형태로 했지만, 다른 실시형태로서 플라즈마 생성수단(9)의 변화에 자외선 광원을 이용하고 이 자외선에 의해 진공내에 도입한 반응가스를 여기해도 같은 화학적 작용이 얻어져 패드형 구조체(5)에 의한 물리작용을 어시스트할 수 있다.
- <104> 또, 동일하게 다른 실시형태로서 불화수소산증기 또는 불화수소산과 수증기의 혼합기체를 플라즈마 생성 대신에 실시하는 것으로 앞선 실시형태에서의 실리콘 혹은 실리콘 산화막의 리프트오프기능이 실현되고, 패드형 구조체(5)에 의한 물리작용을 어시스트할 수 있다.
- <105> 또, 본 실시형태와 같은 이물 제거에 대한 어시스트는, 상기 가스류에 의한 이물 제거와의 조합 이외에, 다른 수단에 의한 이물 제거에도 적용 가능하다. 예컨대, 진공용기 내의 고속배기(실효배기속도가 800 l /sec. 이상)와의 조합도 생각할 수 있다.
- <106> 또, 도 1에 나타내는 반도체 제조방치의 진공용기(1)(처리실) 내에서 주 프로세스(산화막의 에칭)와 세정을 연속적으로 행해도 좋다. 패드형 구조체(5)가 덮여있지 않은 곳의 웨이퍼 주면에서는 에칭이 행해지고, 패드형 구조체(5)가 덮여있는 곳의 웨이퍼 주면에서는 세정이 행해진다.
- <107> 이와 같은 방법에서는, 에칭과 함께, 그 에칭시에 발생한 이물이 되는 반응생성물의 세정이 효율 좋게 행해진다.
- <108> (실시형태 3)
- <109> 실시형태 3을 도 7을 참조하여, 이하에 설명한다.
- <110> 도 7은 드라이 에칭, 플라즈마 CVD 또는 스퍼터 장치에, 본 발명의 세정기능을 부가한 반도체 제조장치의 구성도이다.
- <111> 도 7에 나타내는 반도체 제조장치는, 주 프로세스 챔버(에칭 챔버) 외에 세정 챔버가 부가되어, 주 프로세스와 세정 프로세스를 진공처리실 내에서 일관되게 행하는 것이다. 즉, 도 7에 나타낸 반도체 제조장치는, 주 프로세스 챔버(32, 33), 세정 챔버(34, 35), 웨이퍼 반송실(37), 웨이퍼 반송암(36), 웨이퍼 입구 카세트(38) 및 웨이퍼 출구 카세트로 구성되어 있다. 세정 챔버(34, 35)는 주 프로세스 챔버(32, 33) 각각에 대응하여 설치되어 있다. 이것에 의해, 세정의 대기시간을 없애, 스루풋을 향상시키고 있다. 이들 세정 챔버(34, 35)는 각각 도 1에 나타낸 패드형 구조체를 가지는 세정장치로 구성되어 있다. 그리고, 각각의 챔버 내에서의 웨이퍼 처리는 웨이퍼 한장씩의 매엽처리로 행해진다.
- <112> 다음에, 본 실시형태에 의한 반도체 장치의 제조 프로세스를 도 7을 참조하여 설명한다. 본 실시형태는, 예컨대, 포토리소그래피 공정에 이어서 절연막 에칭공정을 행하는 제조 프로세스이다. 포토리소그래피 공정은 포토레지스트막의 코팅, 노광, 현상 및 건조의 스텝으로 이루어지는 주지의 포토리소그래피 기술이 채용된다.
- <113> 웨이퍼 입구 카세트(38) 내에 수납되어 있는 웨이퍼(도시하지 않음)는, 포토리소그래피 공정이 완료한 것이다. 즉, 그 웨이퍼는, 반도체 기판 표면에 절연막(산화막)이 형성되고, 그 절연막 표면에 포토레지스트(마스크)가 패턴 형성되어 있다.
- <114> 먼저, 주 프로세스에 앞서, 전세정이라 불리는 웨이퍼의 세정을 행한다. 즉, 처리되어야 할 웨이퍼는, 웨이퍼 입구 카세트(38)에서 웨이퍼 반송암(36)에 의해 세정 챔버(34)에 반송된다. 이 세정 챔버(34) 내에서, 웨이퍼의 드라이세정이 행해진다.

- <115> 이어서, 세정된 웨이퍼는 웨이퍼 반송암(36)에 의해 세정 챔버(34)에서 추출되어, 주 프로세스 챔버(예칭 챔버)(32)에 반송된다.
- <116> 이어서, 예칭 챔버(32) 내에서 웨이퍼에 대해 예칭처리가 행해진다. 예칭 챔버(32)는, 예컨대, 일본 특개평 9-321031호 공보에 개시된 플라즈마 처리장치로 구성되어 있다.
- <117> 상기 예칭처리 후, 후세정이라 불리는 웨이퍼의 세정을 행한다. 즉, 예칭 처리된 웨이퍼는, 예칭 챔버(32)에서 웨이퍼 반송암(36)에 의해 세정 챔버(34)로 반송된다. 이 세정 챔버(34) 내에서, 재차, 웨이퍼의 드라이세정이 행해진다.
- <118> 그리고, 후세정을 종료한 후, 웨이퍼는 웨이퍼 반송암(36)에 의해 웨이퍼 출구 카세트(39)에 반송된다.
- <119> 이상과 같이, 웨이퍼는 대기에 노출되지 않고 세정을 포함하는 예칭공정이 행해진다.
- <120> 또, 세정 챔버(35) 및 주 프로세스 챔버(예칭 챔버)(33)에 있어서도, 상기와 같은 웨이퍼 처리가 행해진다.
- <121> 이어서, 예칭공정이 완료한 웨이퍼가 수납된 웨이퍼 출력 카세트(39)는, 다음의 공정, 예컨대 레지스트 제거공정(레지스트 애싱)을 행하기 위해 반송된다.
- <122> 본 실시형태에 의하면, 웨이퍼에 대해 주 프로세스 챔버(32, 33)에서 주 프로세스가 종료된 후, 그 웨이퍼를 대기에 개방하지 않고 웨이퍼 반송실(37) 내의 웨이퍼 반송암(36)에 의해 세정 챔버(33, 34)로 이송한다. 그리고, 그 웨이퍼에 대해, 세정 챔버(33, 34) 내에서, 상기 제1의 실시형태 혹은 상기 제2의 실시형태의 각각, 혹은 그들 조합에 의해 세정을 행한다.
- <123> 본 실시형태에 의하면, 토탈(total)로는 웨트세정에 동반하는 여분의 공정을 삭감할 수 있고, 반도체 장치의 제조코스트를 저감할 수 있다.
- <124> 또, 진공중에서 일관처리되기 때문에 프로세스 처리 후의 표면개질을 일으키는 확립이 저하하고, 디바이스 특성 및 수율이 향상됨과 동시에 스루풋도 빠르게 된다. 즉, 반도체 장치의 제조에서의 단TAT화가 도모된다.
- <125> (실시형태 4)
- <126> 도 7에 나타낸 주 프로세스 챔버(33)는 레지스트 제거공정으로서의 애샤로서 치환해도 좋다.
- <127> 이 경우, 세정 챔버(34)에서 후세정이 행해진 후, 웨이퍼(36)에 의해 주 프로세스 챔버(33)에 전송된다. 그리고, 주 프로세스 챔버(33) 내에서의 플라즈마 처리에 의한 레지스트 제거공정이 행해진다. 그리고, 레지스트 제거공정이 종료한 후, 웨이퍼는 세정 챔버(35)에 반송되고, 드라이 세정이 행해진다.
- <128> 본 실시형태에 의하면, 상기 제3의 실시형태와 같은 단일한 처리 뿐아니라, 복수의 진공내 처리, 즉 예칭공정, 레지스트 제거공정 및 그들 공정의 전후에 행하는 세정공정이 대기에 노출되지 않고 행해진다.
- <129> 본 실시형태에 의하면, 예칭처리 후에 애싱처리를 행하고, 그 후 본 발명에서의 세정처리를 진공중에서 일관하여 실시하는 것으로 예칭처리 후의 웨트 세정공정이 불필요하게 되며, 또, 표면개질 및 미세구조부에서의 이물도 제거되는 것으로서 그 후의 공정에서의 정밀도와 수율이 향상한다.
- <130> 또한, 예칭공정으로부터 레지스트 제거공정까지의 TAT가 단축된다.
- <131> (실시형태 5)
- <132> 도 8에 나타낸 반도체 제조장치는, 도 7에 나타낸 실시형태의 또 다른 응용예이다.
- <133> 본 실시형태는, 주 프로세스 챔버(32, 33) 외에, 주 프로세스 챔버(32, 33)에 대한 후처리실(애샤)(40, 41)을 각각 설치한 반도체 제조장치이다. 주 프로세스 챔버(32, 33)에서는 주처리인 예칭공정이 행해지고, 후처리실(40, 41)에서는 레지스트 마스크의 제거를 행하는 애싱 처리공정이 행해진다. 즉, 본 실시형태는 이하의 순서에 의해 웨이퍼가 처리된다.
- <134> 웨이퍼 입구 카세트(38) 내에 수납되어 있는 웨이퍼(도시하지 않음)는, 포토리소그래피 공정을 완료한 것이다. 즉, 그 웨이퍼는 반도체 기판 표면에 절연막(산화막)이 형성되고, 그 절연막 표면에 포토레지스트(마스크)가 패턴 형성되어 있다.
- <135> 먼저, 주 프로세스에 앞서, 처리되어야 할 웨이퍼는 웨이퍼 입구 카세트(38)에서 웨이퍼 반송암(36)에 의해 세정 챔버(34)로 반송된다. 이 세정 챔버(34) 내에서, 웨이퍼의 드라이세정이 행해진다.

- <136> 이어서, 세정된 웨이퍼는 웨이퍼 반송암(36)에 의해 세정 챔버(34)로부터 추출되고, 주 프로세스 챔버(에칭 챔버)(32)에 반송된다. 이어서, 에칭 챔버(32) 내에서 웨이퍼에 대해 에칭처리가 행해진다. 에칭 챔버(32)는 예컨대, 상기 실시형태 3과 마찬가지로 일본 특개평 9-321031호 공보에 개시된 플라즈마 처리장치로 구성되어 있다.
- <137> 상기 에칭처리 후, 에칭처리된 웨이퍼는, 에칭 챔버(32)에서 웨이퍼 반송암(36)에 의해 후처리실(애샤)(40)에 반송된다. 그리고, 이 후처리실(애샤)(40) 내에서, 플라즈마 처리에 의한 레지스트 제거공정이 행해진다.
- <138> 이어서, 레지스트 제거공정을 완료한 후, 웨이퍼는 세정 챔버(34)에 반송되고, 드라이세정이 행해진다.
- <139> 그리고, 세정을 종료한 후, 웨이퍼는 웨이퍼 반송암(36)에 의해 웨이퍼 출력 카세트(39)에 반송된다.
- <140> 이상과 같이, 웨이퍼는 대기에 노출되지 않고 세정을 포함하는 에칭공정 및 레지스트 제거공정이 행해진다.
- <141> 세정 챔버(35), 주 프로세스 챔버(에칭 챔버)(33) 및 후처리실(애샤)(40)에 있어서도, 상기와 같은 웨이퍼 처리가 평행하게 행해진다.
- <142> 본 실시형태에 의하면, 상기 실시형태 4와 같은 효과가 얻어진다.
- <143> 또, 특히, 주 프로세스 챔버(에칭 챔버), 후처리실(애샤) 및 세정 챔버가 좌우대칭으로 배치되고, 웨이퍼 처리가 평행하게 행해지기 때문에, 웨이퍼 처리능력의 향상이 도모된다.
- <144> (실시형태 6)
- <145> 반도체 장치의 제조에 있어서, 복수의 진공내 처리를 일관되게 행하는 다른 실시형태를 도 9 및 도 10을 참조하여, 이하에 설명한다.
- <146> 도 9에 나타낸 반도체 제조장치는, 복수의 처리 챔버(43)가 멀티 챔버 반송실(42)로 접속되어 있다. 그리고, 적어도 하나 이상을 도 1에 나타낸 구성의 세정 챔버(43)가 멀티 챔버 반송실(42)에 접속되어 있다. 도 9에 나타내는 본 실시형태는 처리 챔버를 4개로 하고, 세정 챔버를 2개 접속한 모듈이다.
- <147> 본 실시형태에 의해 진공 내에서 고효율 세정처리를 실현할 수 있고, 진공 일관처리가 되는 공정이 많게 된다. 진공 내에서 일련으로 처리할 수 있는 공정이 증가되면 증가될수록 반도체 장치의 제조코스트 저감 및 스루풋이 높아지고, 또 가공 정밀도도 향상되기 때문에, 저코스트이며 고성능인 반도체 장치를 제조하는 것이 가능하게 된다.
- <148> 도 9에 나타낸 모듈에 의해 작성되는 반도체 장치의 제조 프로세스를 도 10을 참조하여, 이하에 설명한다.
- <149> 도 10은, 산화막에 $0.3\mu m$ 이하의 홀 지름으로, 어스팩트비(막두께/홀 지름) : 50 이상의 스루홀을 형성하기 위한 프로세스를 나타내는 공정 단면도이다. 산화막(100)은, 예컨대 상층 배선과 하층 배선과의 사이에 형성된 층간절연막이다.
- <150> (a) 산화막(100) 상에 폴리실리콘 마스크(101)가 패터닝 형성된 반도체 기판(웨이퍼)이 준비된다. 폴리실리콘 마스크(101)는, 스루홀 형성용의 개구부(101a)가 통상의 포토리소그래피 기술에 의해 패터닝된 것이다.
- <151> 패터닝 형성된 것이다. 그리고, 웨이퍼(2)는 도 9에 나타내는 웨이퍼 입구 카세트(38)에 수납된다.
- <152> (b) 이어서, 도 9에 나타내는 바와 같이 예비실(42a)을 통해 멀티 챔버 반송실(42)로 반송된다. 그리고, 먼저, 웨이퍼(2)는, 웨이퍼 반송암(36)에 의해, 처리 챔버(A) 내에 반송된다. 처리 챔버(A) 내에서, 패터닝된 폴리실리콘(다결정 실리콘)(101) 상에, 더욱 폴리실리콘(102)을 CVD법에 의해 퇴적시킨다.
- <153> (c) CVD 처리후, 웨이퍼(2)를 세정 챔버(A)로 세정을 행한다. 그후, 웨이퍼(2)는 처리 챔버(B)에 이송되고, 폴리실리콘(102)의 드라이 에칭(이방성 에칭)에 의해, 마스크(101)의 개구부 측벽에 폴리실리콘(102)를 남긴다. 이 방법에 의하면, 마스크(101)의 개구부(101a)에 대해, 자기정합적으로 개구부(101a)의 자름보다도 작은 개구부(101b)를 형성할 수 있다.
- <154> (d) 이어서, 웨이퍼를 도 9에 나타내는 세정 챔버(B)로 세정을 행한다. 그리고, 처리 챔버(C)로 산화막(101)의 드라이 에칭을 행하고, 산화막(101)에 스루홀(100a)을 형성한다. 또한, 처리 챔버(C)는 예컨대 일본 특개평 9-321031호 공보에 개시된 플라즈마 처리장치로 구성되어 있다.
- <155> (e) 산화막 에칭 후, 산화막 에칭 중에 퇴적한 유기막을 처리 챔버(D)로 애싱하여 제거한다.
- <156> 이 일련의 프로세스에 의해, 초기에 폴리실리콘 마스크를 패터닝한 사이즈보다 축소한 사이즈로 산화막을 가공

할 수 있고, 리소그래피의 한계 이하의 사이즈로 가공하는 것이 가능하게 된다.

<157> 또한, 본 실시형태는 도 9에 나타낸 본 발명에 의한 모듈로 실현하는 것으로, 통상, 각 처리중에 실시하는 세정을 웨트세정으로 행하는 경우에 비해 현격하게 저코스트로 실현하는 것이 가능하게 된다.

<158> 또, 본 실시형태에 의하면, CVD공정, 폴리실리콘 예칭공정, 산화막 예칭공정 및 애싱공정의 연속처리가 진공으로 일관되게 이루어지기 때문에, 대기 노출에 의한 자연산화막 형성 등에 동반하는 수율 저하 요인이 없어지게 된다. 그리고, 스루홀의 가공치수 정밀도도 향상된다.

<159> (실시형태 7)

<160> 반도체 장치의 기본 부분인 MISFET 형성 프로세스에, 본 발명의 세정을 적용한 실시형태를 도 11을 참조하여, 이하에 설명한다.

<161> MISFET의 형성은, 거의 도 11에 나타내는 바와 같이, (a) 소자분리형성 및 게이트용 폴리실리콘 퇴적, (b) 게이트 전극형성(폴리실리콘 예칭), (c) 이온주입에 의한 익스텐션(N-영역)형성, (d) 질화막퇴적, (e) 게이트전극 측벽 보호막 형성(질화막 예칭), (f) 실리사이드층 형성의 순으로 행해진다. 상기 (a) ~ (f)의 각 공정의 사이에서는 상기 실시형태 1에서 서술한 세정이 행해진다.

<162> 상기 (a) ~ (f)의 각 공정을 이하에 간단하게 설명한다.

<163> (a) 실리콘 기판(45)에 소자간 분리를 위해 홈 분리영역(46)이 형성된다. 또한, 실리콘 기판(45)은 P형 기판에 P웰이 형성된 것이다. 이어서, 게이트 산화막(도시하지 않음)을 통해 게이트용 폴리실리콘(47)이 퇴적된다. 이 게이트용 폴리실리콘(47)은 진공처리실 내에서 CVD법에 의해 형성된다.

<164> (b) 진공처리실 내에서 폴리실리콘의 드라이 예칭가공이 행해지고, 게이트 전극(49)이 형성된다.

<165> (c) 이온주입법에 의해, 게이트 전극(49)에 정합된 익스텐션(N-영역 50, 51)이 형성된다. 이 익스텐션은 핫 일렉트론 대책으로서 형성된 비교적 저농도를 가지는 소스·드레인 영역이다.

<166> (d) 플라즈마 CVD법에 의해 질화막(52)이 게이트 전극(49)을 가지는 반도체 기판(45) 상에 퇴적된다.

<167> (e) 질화막(52)을 드라이 예칭(이방성 예칭)함으로써, 게이트 전극(49)의 측벽에 게이트 측벽 보호막(53)을 형성한다. 이후, 상기 실시형태 1에서 서술한 드라이 세정을 행한다. 그리고, 이온주입법에 의해, 게이트 측벽 보호막(53)에 정합된 비교적 고농도를 가지는 콘택트용 N+ 영역(소스, 드레인 영역 50S, 51D)이 형성된다.

<168> (f) 이어서, 저저항화를 위해 소스, 드레인 영역(50S, 51D) 표면 및 게이트 전극(49) 표면에 실리사이드층(54)이 각각 형성된다. 실리사이드층(54)은, 예컨대 코발트를 소스, 드레인 영역(50S, 51D) 표면 및 게이트 전극(49) 표면에 부착시켜, 열처리함으로써 형성된다.

<169> 이상, 본 실시형태에 의하면, MISFET형성 프로세스에서, 각 공정간의 세정을 드라이세정으로 행하고 있으므로, 제조 수율 향상과 함께 저코스트이며 고성능인 반도체 장치를 제조하는 것이 가능하게 된다.

<170> 또한, 본 실시형태에서는, 도 11에 나타낸 하나의 MISFET를 예로 반도체 장치의 제조 프로세스를 설명했다. 실제로는, 이와 같은 MISFET가 하나의 반도체 기판에 복수개 형성되고, LSI, VLSI와 같이 반도체 집적회로장치를 구성한다. 따라서, 웨이퍼 주면에는 도 12a 및 도 12b에 나타내는 0.3μm 이하의 초미세구조가 여러 곳에 존재한다. 이와 같은 초미세 구조를 가지는 웨이퍼 면에서의 세정효과를 이하에 설명한다.

<171> 도 12a는 깊은 콘택트 구멍(55) 내부에 부착한 이물(59)을 제거하는 기능의 설명도이며, 도 12b는 배선(60)의 코너부(배선의 단차부)에 부착한 이물(59)을 제거하는 기능의 설명도이다.

<172> 도 12a 및 도 12b에 나타낸 바와 같이, 패드형 구조체(56)와 웨이퍼의 표면부(2a)와의 간격(57)에 있어서, 이물(59)을 제거하기 위한 물리적인 작용을 가스의 흐름(58)에 의한 점성마찰이 생기게 함으로서, 가스류가 미치는 범위이면 세정효과를 발휘할 수 있다.

<173> 종래의 웨트세정에서는 액체의 표면장력에 의해 미세부에 액체가 진입하기 어렵고, 0.3μm 이하의 구조에서는 충분한 세정효과가 얻어지지 않는 경우가 상정된다. 그러나, 본 발명에서는 상기 한 바와 같이 표면장력이 없는 가스류를 이용하기 때문에, 이후, 점점 미세화하는 반도체 장치의 세정에 효과를 발휘할 수 있다.

<174> 본 발명의 제조방법은, 단TAT가 요구되는 시스템 LSI, 예컨대 메모리 LSI와 로직 LSI가 칩상에 혼재한 LSI의 제조에 있어 유효하며, 세정을 효율 좋게 행함으로써 단시간에 저코스트, 고수율의 시스템 LSI를 제조할 수 있다.

<175> 이상, 본 발명자 등에 의해 행해진 발명을 그 실시형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 말할 필요도 없다.

발명의 효과

<176> 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면 이하와 같다.

<177> 본 발명에 의하면, 감압처리실에서 처리하는 공정 사이의 세정을 대기에 노출시키지 않고 실현할 수 있으며, 미세한 패턴을 가지는 반도체 장치의 신뢰성, 제조수율을 향상시킬 수 있다.

도면의 간단한 설명

<1> 도 1은 실시형태 1에서의 기본 구성도,
 <2> 도 2는 본 발명의 실시형태 1에서 이용한 제1의 패드형 구조체의 상세 설명도,
 <3> 도 3은 본 발명의 실시형태 1에서 이용한 제2의 패드형 구조체의 상세 설명도,
 <4> 도 4는 본 발명의 실시형태 2에서의 플라즈마에 의한 세정효과의 설명도,
 <5> 도 5는 본 발명의 실시형태 2에서의 플라즈마에 의한 세정효과의 설명도,
 <6> 도 6은 본 발명의 실시형태 2에서의 플라즈마에 의한 세정효과의 설명도,
 <7> 도 7은 본 발명의 실시형태 3에서의 반도체 제조장치의 개략도,
 <8> 도 8은 본 발명의 실시형태 5에서의 반도체 제조장치의 개략도,
 <9> 도 9는 본 발명의 실시형태 6에서의 반도체 제조장치의 개략도,
 <10> 도 10은 도 9의 장치를 이용하여 진공 일관(一貫)하여 반도체 장치를 제조하는 공정을 나타내는 단면도,
 <11> 도 11은 본 발명의 실시형태 7에서의 반도체 장치의 제조를 나타내는 공정 단면도,
 <12> 도 12의 a는 본 발명의 실시형태 7에서 이용한 미세구멍에서의 세정효과를 나타내는 개념도, b는 본 발명의 실시형태 7에서 이용한 미세구조 단차부에서의 세정효과를 나타내는 개념도,
 <13> 도 13은 본 발명의 실시형태 1에서의 플라즈마에 의한 세정효과의 설명도이다.

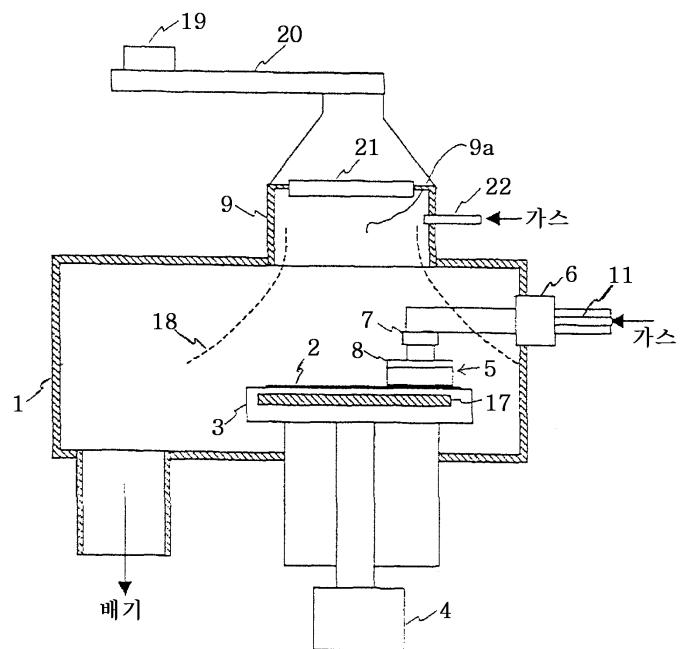
<14> (부호의 설명)

<15>	1	진공용기	2	웨이퍼
<16>	3	웨이퍼 설치수단	4	회전기구
<17>	5	패드형 구조체	6	주사(走査)기구
<18>	7	상하 이동기구	8	가중검출수단
<19>	9	플라즈마 생성수단	10	패드부
<20>	11	가스 도입부	12	패드 지지부
<21>	13	접속기구	14	지점
<22>	15	가스 분출부	16	복수의 가스 분출부
<23>	17	온도제어수단	18	플라즈마
<24>	19	마이크로파 발진부	20	도파관
<25>	21	유전체창	22	플라즈마용 가스 도입부
<26>	23	플라즈마	24	이온시스
<27>	25	흡인력	26	이물

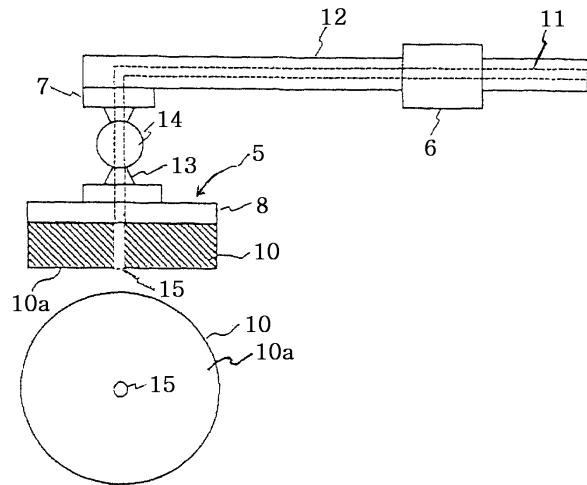
<28>	27	웨이퍼 면	28	산소 또는 오존라지칼
<29>	29	화학흡착층	30	세정전 웨이퍼 표면
<30>	31	할로겐 라지칼	32	주 프로세스 챔버
<31>	33	주 프로세스 챔버	34	세정 챔버
<32>	35	세정 챔버	36	웨이퍼 반송암
<33>	37	웨이퍼 반송실	38	웨이퍼 입구 카세트
<34>	39	웨이퍼 출구 카세트	40	후처리 챔버1
<35>	41	후처리 챔버2	42	멀티챔버 반송실
<36>	43	처리 챔버	44	세정 챔버
<37>	45	실리콘 기판	46	소자분리
<38>	47	폴리실리콘	48	소자분리
<39>	49	게이트 전극	50	소스
<40>	51	드레인	52	질화막
<41>	53	게이트 측벽 보호막	54	실리사이드
<42>	55	미세홀 구조	56	패드형 구조체
<43>	57	패드형 구조체와 웨이퍼의 간격		
<44>	58	고속가스류		
<45>	59	이물		
<46>	60	미세배선 단면		

도면

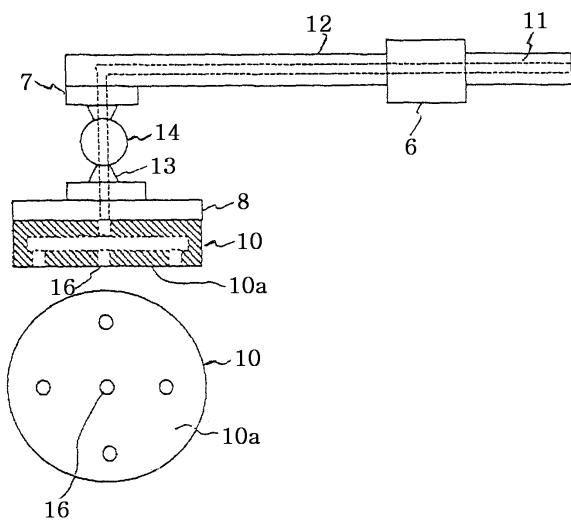
도면1



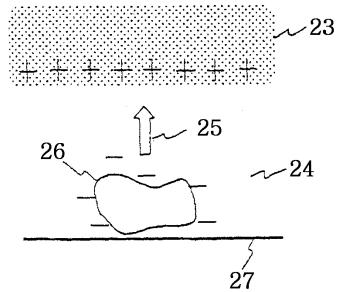
도면2



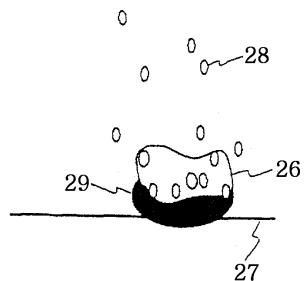
도면3



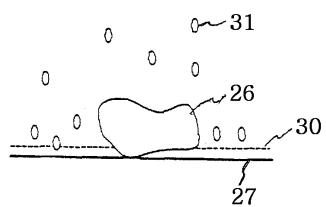
도면4



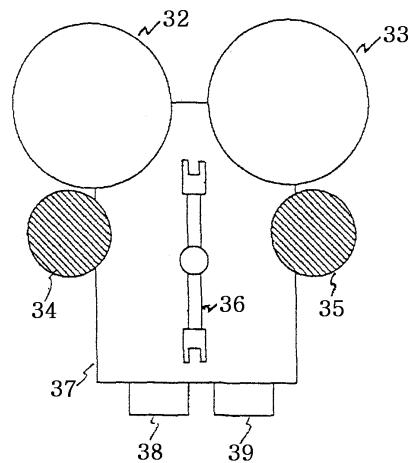
도면5



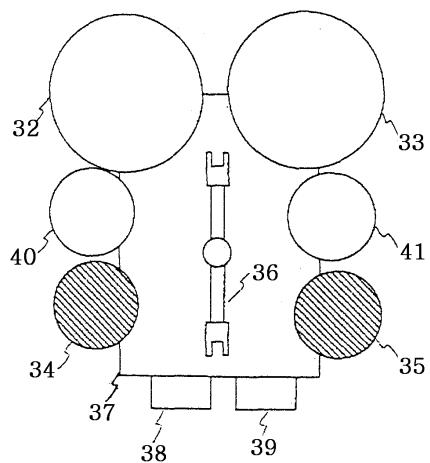
도면6



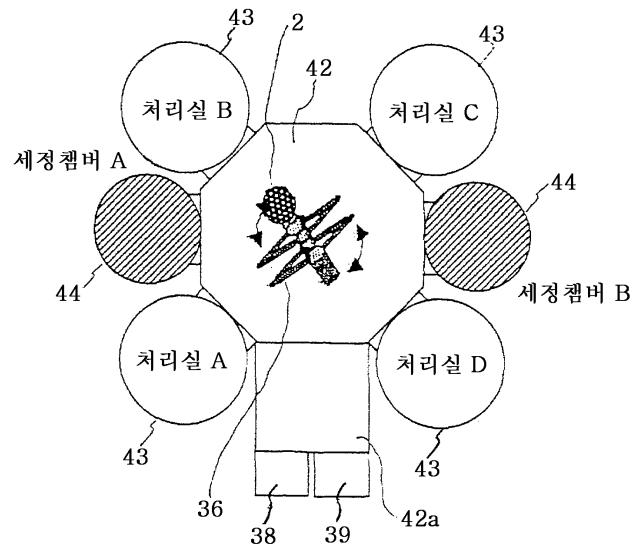
도면7



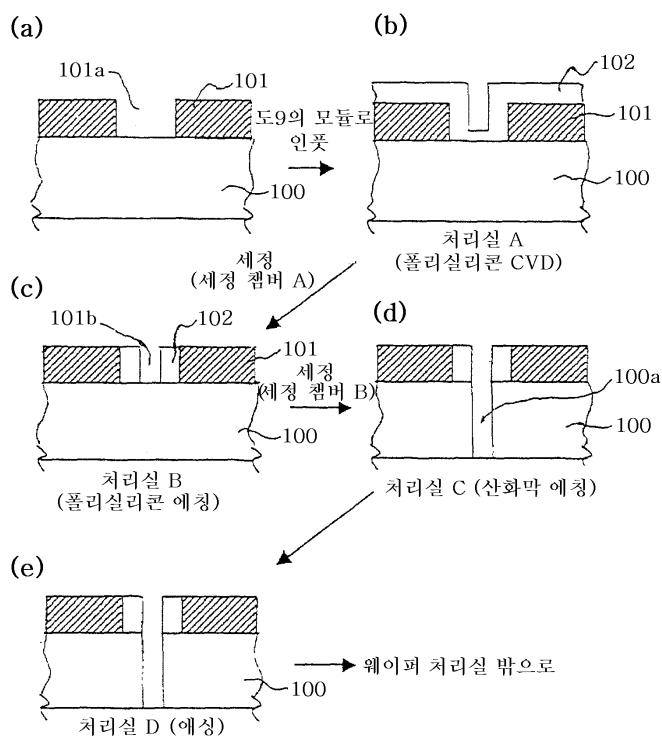
도면8



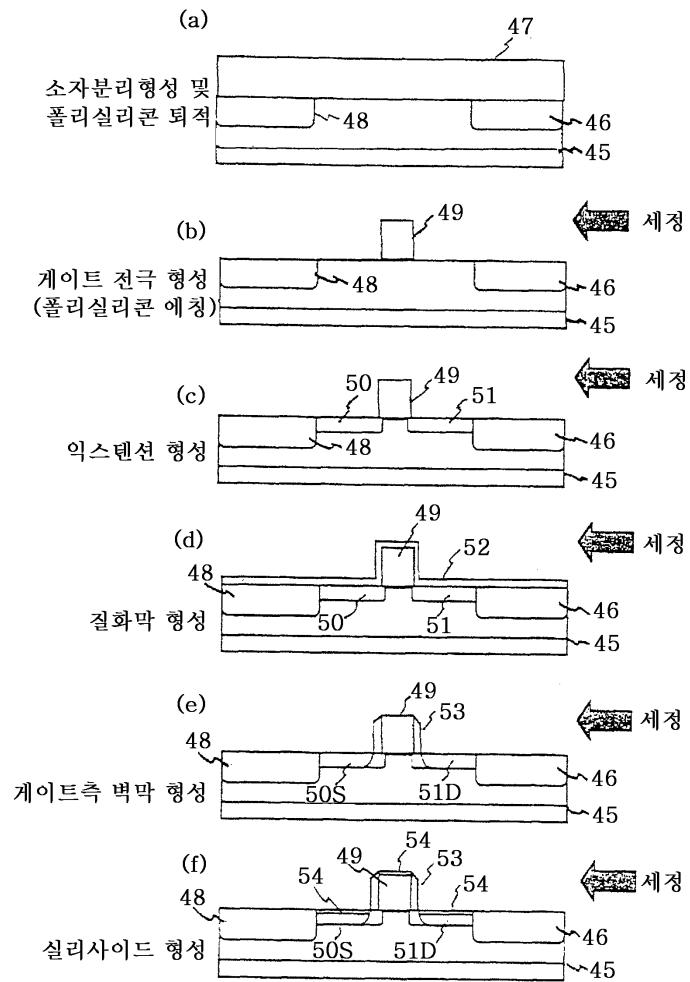
도면9



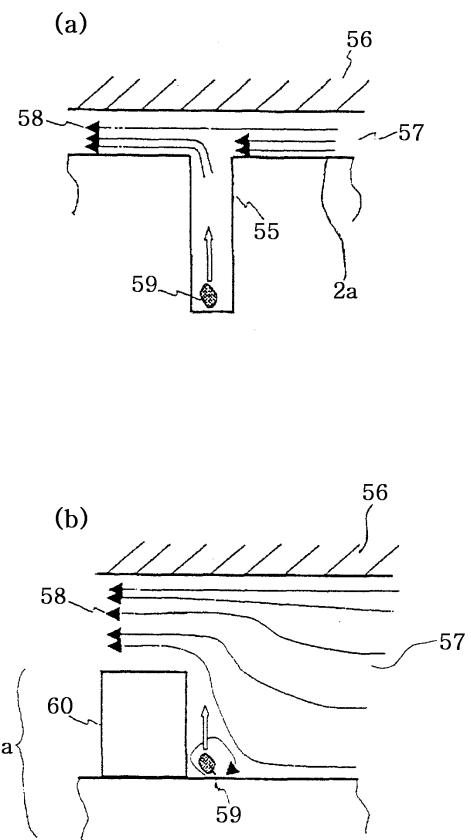
도면10



도면11



도면12



도면13

