

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-533032
(P2024-533032A)

(43)公表日 令和6年9月12日(2024.9.12)

(51)国際特許分類
H 0 3 F 1/30 (2006.01)
H 0 3 F 3/24 (2006.01)

F I
H 0 3 F 1/30
H 0 3 F 3/24

テーマコード (参考)
5 J 5 0 0

審査請求 未請求 予備審査請求 未請求 (全19頁)			
(21)出願番号	特願2024-505107(P2024-505107)	(71)出願人	310009199
(86)(22)出願日	令和4年8月31日(2022.8.31)		メイコム テクノロジー ソリューションズ
(85)翻訳文提出日	令和6年1月26日(2024.1.26)		ホールディングス インコーポレイテッド
(86)国際出願番号	PCT/US2022/075737		アメリカ合衆国 マサチューセッツ州 01851
(87)国際公開番号	WO2023/049615		ローウェル チェムスフォード
(87)国際公開日	令和5年3月30日(2023.3.30)		ストリート 100
(31)優先権主張番号	63/248,751	(74)代理人	100116322
(32)優先日	令和3年9月27日(2021.9.27)		弁理士 桑垣 衛
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	グエン、ドゥイ
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,最終頁に続く		アメリカ合衆国 01851 マサチューセッツ州 ローウェル チェルムスフォード ストリート 100
		(72)発明者	モロニー、レイ
			アメリカ合衆国 01851 マサチューセッツ州 ローウェル チェルムスフォード ストリート 100 最終頁に続く

(54)【発明の名称】 バイアス安定化を備えたシングルエンド増幅器

(57)【要約】

バイアス安定化を備えた増幅器の態様が説明される。一例では、増幅器は、入力端子を有する出力増幅段と、入力端子に結合されたバイアスノードを有するバイアスレッグと、出力増幅段の入力端子とバイアスレッグとの間に結合されたバイアスフィードバックネットワークとを含む。バイアスフィードバックネットワークは、一例では、差動増幅器、バイパス段、および基準電圧生成器を含むことができる。差動増幅器は、出力増幅段のベース端子におけるバイアス電圧と基準電圧生成器によって生成された電圧基準との間の差に基づいてバイアス制御信号を生成することができる。バイアスフィードバックネットワークは、バイアス制御信号を生成し、フィードバックに基づいてバイアス電圧を制御して、安定した性能のために、プロセス変動、温度変動、利得変動、および他の変動にわたってバイアス電圧およびバイアス電流を一定に維持する。

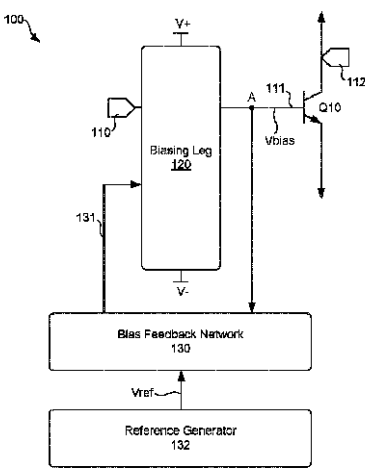


FIG. 2

【特許請求の範囲】

【請求項 1】

バイアス安定化を備えた増幅器であって、
入力端子を含む出力増幅段と、
前記出力増幅段の前記入力端子に結合されたバイアスノードを含むバイアスレグと、
前記出力増幅段の前記入力端子と前記バイアスレグとの間に結合されたバイアスフィードバックネットワークと、を備える増幅器。

【請求項 2】

前記バイアスレグは、第 1 のバイアストランジスタおよび第 2 のバイアストランジスタを含む、請求項 1 に記載の増幅器。

10

【請求項 3】

前記第 1 のバイアストランジスタは、電源電圧に結合されたコレクタと、前記第 2 のバイアストランジスタに結合されたエミッタと、前記増幅器の入力に結合されたベースとを含んでおり、

前記第 2 のバイアストランジスタは、前記第 1 のバイアストランジスタに結合されたコレクタと、接地に結合されたエミッタと、前記バイアスフィードバックネットワークからのバイアス制御信号に結合されたベースとを含んでいる、請求項 2 に記載の増幅器。

【請求項 4】

前記バイアスレグは、前記第 1 のバイアストランジスタの前記エミッタと前記第 2 のバイアストランジスタの前記コレクタとの間に直列に結合された電圧降下抵抗器をさらに含んでいる、請求項 3 に記載の増幅器。

20

【請求項 5】

前記バイアスレグの前記バイアスノードは、前記電圧降下抵抗器と前記第 2 のバイアストランジスタの前記コレクタとの間に配置されている、請求項 4 に記載の増幅器。

【請求項 6】

前記バイアスフィードバックネットワークは、差動増幅器と、バイパス段と、基準電圧生成器とを含んでいる、請求項 1 乃至 5 のいずれか一項に記載の増幅器。

【請求項 7】

前記差動増幅器の第 1 の入力は、前記出力増幅段の前記入力端子に結合されており、
前記差動増幅器の第 2 の入力は、前記基準電圧生成器の出力に結合されており、
前記差動増幅器は、前記差動増幅器の前記第 1 の入力と前記第 2 の入力との間の差に基づいてバイアス制御信号を生成する、請求項 6 に記載の増幅器。

30

【請求項 8】

前記バイアス制御信号は、前記バイアスレグへの入力として結合される、請求項 7 に記載の増幅器。

【請求項 9】

前記バイアス制御信号は、前記出力増幅段の前記入力端子に結合された、前記バイアスレグの前記バイアスノードにおける電位を制御する、請求項 7 に記載の増幅器。

【請求項 10】

前記差動増幅器の動作帯域幅は、前記出力増幅段の動作帯域幅よりも小さい、請求項 7 に記載の増幅器。

40

【請求項 11】

前記出力増幅段は、バイポーラ接合トランジスタを含んでいる、請求項 1 乃至 10 のいずれか一項に記載の増幅器。

【請求項 12】

前記出力増幅段は、ベースバイアス型のバイポーラ接合トランジスタを含んでいる、請求項 1 乃至 11 のいずれか一項に記載の増幅器。

【請求項 13】

バイアス安定化を備えた増幅器であって、
シングルエンド出力トランジスタ段であって、前記シングルエンド出力トランジスタ段

50

のベースにある入力端子を含んでおり、前記シングルエンド出力トランジスタ段は、ベースバイアス型である、前記シングルエンド出力トランジスタ段と、

前記増幅器のための入力、および前記シングルエンド出力トランジスタ段の前記入力端子に結合されたバイアスノードを含むバイアスレグと、

前記シングルエンド出力トランジスタ段の前記入力端子と前記バイアスレグとの間に結合されたバイアスフィードバックネットワークと、を備える増幅器。

【請求項 14】

前記バイアスレグは、コレクタ接地入力トランジスタおよびエミッタ接地バイアストランジスタを含んでいる、請求項 13 に記載の増幅器。

【請求項 15】

前記バイアスレグは、前記コレクタ接地入力トランジスタのエミッタと前記エミッタ接地バイアストランジスタのコレクタとの間に直列に結合された電圧降下抵抗器をさらに含んでいる、請求項 14 に記載の増幅器。

【請求項 16】

前記バイアスレグの前記バイアスノードは、前記電圧降下抵抗器と前記エミッタ接地バイアストランジスタの前記コレクタとの間に配置されている、請求項 15 に記載の増幅器。

【請求項 17】

前記バイアスフィードバックネットワークは、差動増幅器および基準電圧生成器を含んでおり、

前記差動増幅器は、前記シングルエンド出力トランジスタ段の前記入力端子と前記基準電圧生成器との間の差に基づいてバイアス制御信号を生成し、

前記バイアス制御信号は、前記バイアスレグの前記バイアスノードに結合される、請求項 13 乃至 16 のいずれか一項に記載の増幅器。

【請求項 18】

バイアス安定化を備えた増幅器であって、

シングルエンド出力トランジスタ段と、

前記増幅器のための入力と、前記シングルエンド出力トランジスタ段の入力端子に結合されたバイアスノードとを含むバイアスレグと、

前記シングルエンド出力トランジスタ段の前記入力端子と前記バイアスレグとの間に結合されたバイアスフィードバックネットワークと、を備える増幅器。

【請求項 19】

前記バイアスレグは、

エミッタ接地入力トランジスタおよびコレクタ接地バイアストランジスタと、

前記エミッタ接地入力トランジスタのエミッタと前記コレクタ接地バイアストランジスタのコレクタとの間に直列に結合された電圧降下抵抗器と、を備え、前記バイアスレグの前記バイアスノードが、前記電圧降下抵抗器と前記コレクタ接地バイアストランジスタの前記コレクタとの間に配置されている、請求項 18 に記載の増幅器。

【請求項 20】

前記バイアスフィードバックネットワークは、差動増幅器および基準電圧生成器を含んでおり、

前記差動増幅器は、前記シングルエンド出力トランジスタ段の前記入力端子と前記基準電圧生成器との間の差に基づいてバイアス制御信号を生成し、

前記バイアス制御信号は、前記バイアスレグの前記バイアスノードに結合される、請求項 18 および 19 のいずれか一項に記載の増幅器。

【発明の詳細な説明】

【背景技術】

【0001】

増幅器は、入力信号の電力レベルを増加させるように設計された電子回路またはデバイスである。増幅器は、通常、少なくとも特定の周波数範囲または帯域幅にわたって線形利

10

20

30

40

50

得を有するように設計されている。増幅器は、他の特性の中でも特に、入力に対する出力の特性に従って定義することができる。一例として、利得は、増幅器の出力信号と入力信号の大きさの間の比として定義することができ、利得は単位がなく、デシベルで表すことができる。増幅器は、典型的に、特定の動作周波数範囲または帯域幅にわたって線形利得を有するように設計されるが、増幅器はまた、用途に応じて、ある範囲の異なる性能特性を達成するように設計されることもできる。増幅器の他の特性は、他の入力および出力特性、小信号パラメータ、散乱パラメータ、および他の動作特性に従って定義することができる。

【0002】

トランジスタは、一般的に、増幅器として、または増幅器回路の一部として使用される。バイポーラ接合トランジスタ（BJT）などのトランジスタは、トランジスタのどの端子がトランジスタの入力と出力の両方に共通であるかに基づいて、特定のタイプまたはクラスの増幅器として構成され得る。バイポーラ接合トランジスタの場合、増幅器クラスは、エミッタ接地（common emitter）、ベース接地（common base）、およびコレクタ接地（common collector）を含む。電界効果トランジスタ（FET）の場合、増幅器クラスは、ソース接地、ゲート接地、およびドレイン接地を含む。

【発明の概要】

【0003】

本明細書では、バイアス安定化を備えた増幅器について説明する。一例では、増幅器は、入力端子を有する出力増幅段と、入力端子に結合されたバイアスノードを有するバイアスレグと、出力増幅段の入力端子とバイアスレグとの間に結合されたバイアスフィードバックネットワークとを含む。バイアスフィードバックネットワークは、一例では、差動増幅器、バイパス段、および基準電圧生成器を含むことができる。差動増幅器は、出力増幅段のベース端子におけるバイアス電圧と基準電圧生成器によって生成された電圧基準との間の差に基づいてバイアス制御信号を生成することができる。バイアスフィードバックネットワークは、バイアス制御信号を生成し、フィードバックに基づいてバイアス電圧を制御して、増幅器の安定した性能のために、プロセス変動、温度変動、利得変動、および他の変動にわたってバイアス電圧を一定に維持する。

【0004】

実施形態の一態様では、バイアスレグは、第1のバイアストランジスタおよび第2のバイアストランジスタを含む。第1のバイアストランジスタは、電源電圧に結合されたコレクタと、第2のバイアストランジスタに結合されたエミッタと、増幅器の入力に結合されたベースとを含む。第2のバイアストランジスタは、第1のバイアストランジスタに結合されたコレクタと、接地に結合されたエミッタと、バイアスフィードバックネットワークからのバイアス制御信号に結合されたベースとを含む。他の態様では、バイアスレグは、第1のバイアストランジスタのエミッタと第2のバイアストランジスタのコレクタとの間に直列に結合された電圧降下抵抗器をさらに含む。バイアスレグのバイアスノードは、電圧降下抵抗器と第2のバイアストランジスタのコレクタとの間に配置されている。

【0005】

実施形態の他の態様では、バイアスフィードバックネットワークは、差動増幅器、バイパス段、および基準電圧生成器を含む。差動増幅器の第1の入力は出力増幅段の入力端子に結合され、差動増幅器の第2の入力は基準電圧生成器の出力に結合されている。差動増幅器は、差動増幅器の第1の入力と第2の入力との間の差に基づいてバイアス制御信号を生成する。バイアス制御信号は、バイアスレグへの入力として結合される。バイアス制御信号は、出力増幅段の入力端子に結合された、バイアスレグのバイアスノードにおける電位を制御する。

【0006】

他の態様では、差動増幅器の動作帯域幅は、出力増幅段の動作帯域幅よりも小さい。出力増幅段は、バイポーラ接合トランジスタとして具現化され得る。出力増幅段は、ベース

10

20

30

40

50

バイアス型のバイポーラ接合トランジスタとして具現化され得る。ベースバイアス型のバイポーラ接合トランジスタは、一例では、シリコンゲルマニウム（SiGe）バイポーラ接合トランジスタとして具現化され得るが、他のタイプのトランジスタ増幅器が出力増幅段のために用いられ得る。

【0007】

別の例では、バイアス安定化を備えた増幅器は、シングルエンド出力トランジスタ段であって、シングルエンド出力トランジスタ段のベースにある入力端子を有しており、シングルエンド出力トランジスタ段は、ベースバイアス型である、シングルエンド出力トランジスタ段を含む。増幅器はまた、増幅器のための入力と、出力トランジスタ段の入力端子に結合されたバイアスノードとを有するバイアスレッグを含む。増幅器はまた、シングル

10

【0008】

実施形態の一態様では、バイアスレッグは、コレクタ接地入力トランジスタおよびエミッタ接地バイアストランジスタを含む。バイアスレッグはまた、コレクタ接地入力トランジスタのエミッタとエミッタ接地バイアストランジスタのコレクタとの間に直列に結合された電圧降下抵抗器を含む。バイアスレッグのバイアスノードは、電圧降下抵抗器とエミッタ接地バイアストランジスタのコレクタとの間に配置されている。

【0009】

実施形態の他の態様では、バイアスフィードバックネットワークは、差動増幅器および基準電圧生成器を含む。差動増幅器は、シングルエンド出力トランジスタ段の入力端子と基準電圧生成器との間の差に基づいてバイアス制御信号を生成し、バイアス制御信号は、バイアスレッグのバイアスノードに結合される。

20

【0010】

別の例では、バイアス安定化を備えた増幅器は、シングルエンド出力トランジスタ段と、増幅器のための入力およびシングルエンド出力トランジスタ段の入力端子に結合されたバイアスノードを含むバイアスレッグと、出力トランジスタ段の入力端子とバイアスレッグとの間に結合されたバイアスフィードバックネットワークとを含む。バイアスレッグは、エミッタ接地入力トランジスタおよびコレクタ接地バイアストランジスタと、エミッタ接地入力トランジスタのエミッタとコレクタ接地バイアストランジスタのコレクタとの間に直列に結合された電圧降下抵抗器とを含む。バイアスレッグのバイアスノードは、電圧降下抵抗器とコレクタ接地バイアストランジスタのコレクタとの間に配置されている。

30

【0011】

実施形態の態様では、バイアスフィードバックネットワークは、差動増幅器および基準電圧生成器を備え、差動増幅器は、シングルエンド出力トランジスタ段の入力端子と基準電圧生成器との間の差に基づいてバイアス制御信号を生成し、バイアス制御信号は、バイアスレッグのバイアスノードに結合されている。

【図面の簡単な説明】

【0012】

本開示の態様については、以下の図面を参照してより良く理解することができる。図面中の要素は、必ずしも一定の縮尺ではなく、その代わりに、事例の原理を図示することに重点が置かれていることに留意されたい。図面では、類似の参照番号は、いくつかの図を通して、類似の又は対応する要素であるが、必ずしも同じではない要素を示す。

40

【図1】本明細書で説明する様々な例による差動増幅器を示す図である。

【図2】本明細書で説明する実施形態の様々な態様による、バイアス安定化を備えたシングルエンド増幅器のブロック図である。

【図3】本明細書で説明する実施形態の様々な態様による、バイアス安定化を備えたシングルエンド増幅器を示す図である。

【発明を実施するための形態】

【0013】

50

上述したように、トランジスタは一般に増幅器として使用される。トランジスタは、トランジスタのどの端子が入力と出力回路の両方に共通であるかに基づいて、特定のタイプまたはクラスの増幅器として構成され得る。シングルバイポーラ接合トランジスタの場合、増幅器クラスは、エミッタ接地、ベース接地、およびコレクタ接地を含む。シングル電界効果トランジスタの場合、増幅器クラスは、ソース接地、ゲート接地、およびドレイン接地を含む。いくつかのトランジスタを互いに結合して、1つまたは複数の増幅段を含む、より大きくかつより複雑な増幅器回路を形成することもできる。そのような増幅器回路の例は、差動増幅器、分布増幅器、専用前置増幅段、低雑音段、出力段、および他の段を含む増幅器を含む。

【0014】

増幅器の設計は、増幅器バイアス、利得、動作帯域幅、入出力特性、小信号パラメータ、安定性、および他の動作特性など、増幅器のいくつかの動作特性の評価を含む。増幅器の安定性は、1つの動作特性として、タイプ（例えば、半導体構造および材料）、バイアス、電力、温度、帯域幅、ならびに増幅器および用途に関連する他の要因に依存する可能性があり、各増幅器設計について安定化特性を評価するとともに、安定化手法を精緻化することが重要である。様々な目的のために増幅器を安定化させるために、いくつかの手法が用いられ得る。一例として、ゲート接地トランジスタを周波数範囲にわたって安定化させるために、シャント接続型ゲートコンデンサ、シャント接続型抵抗器-コンデンサゲートネットワーク、ドレイン-ゲート抵抗器-コンデンサネットワーク、それらの組合せ、および抵抗器およびコンデンサの他のゲート接続ネットワークが用いられ得る。適切な増幅器バイアスはまた、増幅器の安定性にとって重要であり、増幅器バイアスでは、他の考慮事項の中でも特に、増幅器の動作入力バイアスおよび出力範囲を考慮する必要がある。1つの用途に対して1つのタイプの増幅器を安定化させるために用いられる手法は、別の用途に対して別のタイプの増幅器を安定化させるのに適していない場合がある。

【0015】

シングルエンド増幅器は、他の増幅器トポロジに一般的に必要とされる出力インピーダンス平衡が不要で、設計および実装がシンプルであるなどのいくつかの利点を提供する。トランジスタバイアスは、シングルエンド増幅器のいくつかの構成において特に懸念され得る。例えば、バイポーラトランジスタ出力増幅段は、プロセス、電圧、および温度範囲にわたって特に敏感であるそのベース端子で動作するようにバイアスされ得る。このような出力増幅段のコレクタにおける電流出力の指標は、トランジスタのベースにおける電位の指数関数である。出力増幅段のベースに供給されるバイアス電圧のわずかな変化であっても、コレクタ電流の大幅な変動が生じて、増幅器の性能が変化または劣化する可能性がある。

【0016】

上記で概説した状況において、本明細書では、バイアス安定化を備えたシングルエンド増幅器の態様について説明する。一例では、シングルエンド増幅器は、入力端子を有する出力増幅段と、入力端子に結合されたバイアスノードを有するバイアスレグと、出力増幅段の入力端子とバイアスレグとの間に結合されたバイアスフィードバックネットワークとを含む。バイアスフィードバックネットワークは、一例では、差動増幅器、バイパス段、および基準電圧生成器を含むことができる。差動増幅器は、出力増幅段のベース端子におけるバイアス電圧と基準電圧生成器によって生成された電圧基準との間の差に基づいてバイアス制御信号を生成することができる。バイアスフィードバックネットワークは、バイアス制御信号を生成し、フィードバックに基づいてバイアス電圧を制御して、増幅器の安定した性能のために、プロセス変動、温度変動、利得変動、および他の変動にわたってバイアス電圧を一定に保持する。

【0017】

図面を参照すると、図1は、本明細書で説明される様々な例による差動増幅器10を示す。差動増幅器10は、ディスクリート部品を使用して、1つまたは複数の基板上に形成された集積回路デバイスとして、または個別部品と集積デバイスとの組合せとしてなど、

10

20

30

40

50

様々な態様で具現化することができる。差動増幅器 10 は、従来の差動増幅器の代表例として提供され、図 2 および図 3 を参照して以下に説明されるシングルエンド増幅器およびバイアス安定化を備えたシングルエンド増幅器と対比される。

【0018】

差動増幅器 10 は、電源電圧（または電位） $V+$ とシンク電圧（または電位） $V-$ との間でそれぞれ動作する。差動増幅器 10 は、トランジスタ $Q1$ 、 $Q2$ と、抵抗器 $R1$ 、 $R2$ と、電流源 $I2$ と、を含む。トランジスタ $Q1$ および $Q2$ のエミッタは電流源 $I2$ に電氣的に結合され、電流源 $I2$ は、トランジスタ $Q1$ および $Q2$ のエミッタとシンク電圧 $V-$ との間に結合されている。電流源 $I2$ は、差動増幅器 10 の動作のための定電流バイアスを供給する。電流源 $I2$ は、一例では電流ミラーとして具現化することができるが、他のタイプの電流源を用いることもできる。トランジスタ $Q1$ および $Q2$ は、図示の例ではバイポーラ接合トランジスタとして具現化することができる。しかしながら、本明細書で説明される概念は、他のタイプのトランジスタおよび能動デバイスに適用可能であるため、任意の特定のタイプのトランジスタに限定されない。

10

【0019】

抵抗器 $R1$ および $R2$ は、電源電圧 $V+$ とトランジスタ $Q1$ および $Q2$ のコレクタとの間にそれぞれ接続されている。トランジスタ $Q1$ のベースは、差動増幅器 10 の非反転入力 I_{n+} として機能する。トランジスタ $Q2$ のベースは、差動増幅器 10 の反転入力 I_{n-} として機能する。トランジスタ $Q1$ のコレクタは、差動増幅器 10 の反転出力 O_{ut-} として機能し、トランジスタ $Q2$ のコレクタは、差動増幅器 10 の非反転出力 O_{ut+} として機能する。

20

【0020】

電源電圧 $V+$ は、差動増幅器 10 の用途に応じて任意の適切な電圧とすることができ、シンク電圧 $V-$ は、電源電圧 $V+$ よりも低い任意の適切な電圧または電位（例えば、場合によっては接地電位）とすることができ、電源電圧 $V+$ とシンク電圧 $V-$ との間の電位差は、例えば $50V \sim 3V$ の範囲の電位差などの任意の適切な電位差であり得るが、より大きい電位差、またはより小さい電位差を用いることもできる。

【0021】

差動増幅器 10 および差動増幅器 10 の変形例は、広範囲の用途において有用である。例として、差動増幅器 10 は、シングル入力構成およびデュアル入力構成、平衡出力構成および不平衡出力構成、ならびに他の構成で 사용할ことができる。しかしながら、差動増幅器 10 は全ての目的に対して理想的なものではない。一例として、差動増幅器 10 の出力が O_{ut+} 出力で取り出される場合、差動増幅器 10 が平衡出力インピーダンスを経験するように、 O_{ut-} 出力を接地に対して整合されたインピーダンスで終端することが有用であり、時には必要であり得る。この終端は、整合されたインピーダンスがインピーダンスマッチングのためにのみ用いられるため、電力の損失または浪費をもたらし得る。

30

【0022】

シングルエンド増幅器は、場合によっては、差動増幅器 10 を含む差動増幅器と比較して利点を提供する。しかしながら、シングルエンド増幅器のいくつかの構成によっては、トランジスタのバイアスが特に問題となることがある。例えば、バイポーラトランジスタ出力増幅段は、プロセス、電圧、および温度範囲にわたって特に敏感であるベース端子で動作するようにバイアスされ得る。ベースバイアス型の出力増幅段のコレクタにおける電流は、トランジスタのベースにおける電位の指数関数である。従って、出力増幅段のベースに供給されるバイアス電圧のわずかな変化であっても、コレクタ電流の大幅な変動が生じて、増幅器の性能が変化または劣化する可能性がある。シングルエンド増幅器のためのバイアス安定化および関連する技法について、図 2 および図 3 を参照しつつ以下に説明する。概念は、例としてバイポーラトランジスタに関連して説明されるが、概念は、FET を含む他のタイプのトランジスタに拡張することができる。従って、バイポーラトランジスタのベースへの言及は、FET のゲートにも適用される。バイポーラトランジスタのエミッタへの言及は FET のソースにも適用され、バイポーラトランジスタのコレクタへの

40

50

言及は F E T のドレインにも適用される。

【 0 0 2 3 】

図 2 は、本明細書で説明する実施形態の様々な態様による、バイアス安定化を備えたシングルエンド増幅器 1 0 0 を示す。増幅器 1 0 0 は、光通信、無線周波数 (R F) 通信、または他の目的のためのドライバ増幅器として使用することができるが、これらに限定されない。増幅器 1 0 0 は、以下でさらに詳細に説明されるように、バイアス安定化のための回路を組み込んでおり、増幅器 1 0 0 は、本明細書で説明されるバイアス安定化の概念を組み込む増幅器の一例として提供される。他のタイプおよび構成の増幅器も、バイアス安定化の概念を組み込むことができる。

【 0 0 2 4 】

可能性のある他の構成要素の中でも特に、増幅器 1 0 0 は、入力 1 1 0 、出力 1 1 2 、バイアスレグ 1 2 0 、バイアスフィードバックネットワーク 1 3 0 、基準生成器 1 3 2 、および出力増幅段 Q 1 0 を含む。出力増幅段 Q 1 0 は、図 2 におけるバイポーラ接合トランジスタとして示されている。出力増幅段 Q 1 0 は、ベース端子、コレクタ端子、およびエミッタ端子を含む。出力増幅段 Q 1 0 のコレクタは、増幅器 1 0 0 のための上側レール電圧または他の電圧 (または電源) に結合され、出力増幅段 Q 1 0 のコレクタは、増幅器 1 0 0 のための下側レール電圧 (または接地) に結合される。場合によっては、抵抗器 (または抵抗器ネットワーク) が、Q 1 0 のコレクタと上側レール電圧との間に結合され得る。同様に、抵抗器 (または抵抗器ネットワーク) が、場合によっては、Q 1 0 のエミッタと下側レール電圧 (または接地) との間に結合され得る。

【 0 0 2 5 】

出力増幅段 Q 1 0 は、増幅器 1 0 0 のための上側レール電圧 (または他の電圧または電源) と下側レール電圧との間でベースがバイアスされる。出力増幅段 Q 1 0 のベース端子は、図 2 のノード A に電気的に結合されている。以下でさらに詳細に説明するように、出力増幅段 Q 1 0 は、バイアスレグ 1 2 0 およびバイアスフィードバックネットワーク 1 3 0 の動作に基づいて、ノード A においてバイアスされる。

【 0 0 2 6 】

出力増幅段 Q 1 0 は、一例では、シリコンゲルマニウム (S i G e) バイポーラ接合トランジスタとして具現化され得るが、他のタイプのトランジスタとしても具現化することができ、本明細書で説明する概念は、任意の特定のタイプのトランジスタとともに使用することに限定されるものではない。S i G e バイポーラトランジスタは、シリコンバイポーラトランジスタよりも高い順方向利得および低い逆方向利得を有することができる。従って、S i G e バイポーラトランジスタは、より良好な低電流性能および高周波性能を有することができる。ヘテロ接合 S i G e バイポーラトランジスタはまた、調整可能なバンドギャップを有することができ、これは、シリコンバイポーラトランジスタよりも柔軟なバンドギャップ調整を提供する。しかしながら、S i G e トランジスタの動作特性は、プロセス変動、電圧変動、および温度変動に特に敏感であり、バイアス安定化は、S i G e および他の高利得トランジスタにとって特に重要であり得る。

【 0 0 2 7 】

出力増幅段 Q 1 0 のコレクタを流れる電流は、ベース (即ち、ノード A) に印加される電圧の指数関数である。従って、ノード A に印加される電圧のわずかな変化であっても、動作中に出力増幅段 Q 1 0 を流れる電流の著しい変動が生じる可能性がある。さらに、S i G e トランジスタの動作特性は、他のタイプのトランジスタと同様に、プロセス変動、電圧変動、および温度変動に特に敏感である。例として、出力増幅段 Q 1 0 のアルファ α 、ベータ β 、および他の特性は、プロセス変動、電圧変動、および温度変動に敏感である。従って、出力増幅段 Q 1 0 の直流 (D C) バイアス (即ち、特に D C ベースーエミッタ電圧 V_{be}) は、広範囲の動作条件にわたって増幅器 1 0 0 の適切な動作のために、厳密な制御下で安定化されかつ維持されるべきである。これに関連して、バイアスフィードバックネットワーク 1 3 0 は、バイアスレグ 1 2 0 の動作を制御して、増幅器 1 0 0 のノード A において正確で制御可能なバイアス電圧 (動作中に時間とともに変動し得る) を供

10

20

30

40

50

給するように設計されている。

【0028】

バイアスレグ120は、いくつかのトランジスタ、抵抗器、および他の構成要素を含む。バイアスレグ120は、上側電圧 $V+$ と下側電圧 $V-$ （または接地電位）との間に結合される。 $V+$ および $V-$ 電位は、出力増幅段Q10が間に結合される上側レール電圧（または電位）および下側レール電圧（または電位）と同じであっても、異なってもよい。増幅器100の入力110はバイアスレグ120に結合されており、RF入力信号などの任意の入力信号が増幅器100による増幅のために入力110に印加され得る。

【0029】

バイアスレグ120は、バイアスされた入力信号111を出力増幅段Q10に供給するように構成されている。バイアスレグ120は、入力110において供給される入力信号と、バイアスフィードバックネットワーク130から供給されるバイアス制御信号131とに基づいて、バイアスされた入力信号111を生成する。バイアスされた入力信号111は、出力増幅段Q10による増幅のための信号成分とともに、出力増幅段Q10のためのバイアス成分（ V_{bias} とも呼ばれる）を含む。

【0030】

バイアスレグ120は、バイアスフィードバックネットワーク130から供給されるバイアス制御信号131に少なくとも部分的に基づいて、バイアスされた入力信号111のバイアス成分DC（バイアス電位であり得る）を設定する。従って、バイアスされた入力信号111のバイアス成分は、ベースバイアス型の出力増幅段Q10のベースにバイアス電位を設定する。バイアス成分は、バイアスレグ120内の特定のノードで取り出された、バイアスレグ120内の上側電圧 $V+$ と下側電圧 $V-$ との間の電圧降下に基づいて設定され得る。一例として、バイアスレグ120を流れる電流の量は、バイアス制御信号131によって制御され、バイアスされた入力信号111は、バイアスレグ120内の特定のノードと結合され得る。増幅のためのRF信号成分であり得るバイアスされた入力信号111の信号成分は、バイアスされた入力信号111が取り出される同じノード上に存在する、出力増幅段Q10および増幅器100によって増幅された信号である。バイアスレグ120のより具体的な例は、図3を参照して以下に説明される。

【0031】

バイアスフィードバックネットワーク130は、他の構成要素の中でも特に、差動増幅器として具現化することができ、場合によってはRFバイパス段を含み得る。RFバイパス段は、増幅器100のためのバイアス制御に集中するために、増幅器100によって増幅されている信号の成分をバイパスする（ $bypass$ ）ことができる。バイアスフィードバックネットワーク130は、バイアスレグ120のための入力としてバイアス制御信号131を生成するように構成され得る。例えば、バイアスフィードバックネットワーク130内の差動増幅器は、基準生成器132によって供給される基準電圧 V_{ref} と、ノードAにおけるバイアスされた入力信号111のバイアス成分 V_{bias} とを比較し、 V_{ref} と V_{bias} との差または比較に基づいてバイアス制御信号131を生成することができる。従って、バイアス制御信号131は、基準電圧 V_{ref} とバイアス成分 V_{bias} との間の差を表す。バイアスフィードバックネットワーク130によって提供される制御ループは、出力増幅段Q10に関する所望のバイアスまたは目標バイアスに基づいて、 V_{ref} と V_{bias} との間の差を最小化または低減するように機能する。バイアスフィードバックネットワーク130のより具体的な例は、図3を参照して以下に説明される。

【0032】

基準生成器132は、電流ミラー、抵抗器、および好ましくは異なる動作電圧、温度範囲などにわたって適切な精度で基準電圧 V_{ref} を生成することができる他の回路部品を使用して具現化することができる。場合によっては、基準生成器132は、1つまたは複数の異なる基準電圧を経時的に、またはある範囲の複数の基準電圧を経時的に生成するように、プログラム可能または制御可能であり得る。上記で説明したように、バイアスレ

10

20

30

40

50

グ 1 2 0 およびバイアスフィードバックネットワーク 1 3 0 の動作に基づいて、ノード A におけるバイアスされた入力信号 1 1 1 のバイアス成分 V_{bias} は、基準電圧 V_{ref} に追従することになる。従って、ノード A における出力増幅段 Q 1 0 のためのバイアス電位は、基準生成器 1 3 2 によって生成された基準電圧 V_{ref} に基づいて設定され得る。

【 0 0 3 3 】

バイアスレグ 1 2 0 およびバイアスフィードバックネットワーク 1 3 0 は、バイアスフィードバックネットワーク 1 3 0 を含むフィードバック制御ループに基づいて、増幅器 1 0 0 の動作中、 V_{bias} をノード A において維持する。従って、動作中の増幅器 1 0 0 の電圧変動および温度変動に加えて、出力増幅段（例えば、Q 1 0 などを含む）のプロセス変動の範囲にわたっても、 V_{bias} は、出力増幅段 Q 1 0 に対して維持され得る。

10

【 0 0 3 4 】

より具体的な例を参照すると、図 3 は、本明細書で説明する実施形態の様々な態様による、バイアス安定化を備えたシングルエンド増幅器 2 0 0 の詳細図を示す。増幅器 2 0 0 は、光通信用のドライバ増幅器として、RF 通信用の増幅器として、または他の目的のために使用することができるが、これらに限定されない。増幅器 2 0 0 は、以下でさらに詳細に説明されるように、バイアス安定化のための回路を組み込んでおり、増幅器 2 0 0 は、本明細書で説明されるようなバイアス安定化の概念を組み込むことができる増幅器の一例として提供される。増幅器の他のタイプおよび構成もまた、本明細書で説明されるバイアス安定化の概念を組み込むことができる。

【 0 0 3 5 】

20

増幅器 2 0 0 は、可能性のある他の構成要素の中でも特に、入力 2 1 0、出力 2 1 2、バイアスレグ 2 2 0、バイアスフィードバックネットワーク 2 3 0、および出力増幅段 Q 1 0 を含む。図 3 の増幅器 2 0 0 の図は網羅的なものではなく、増幅器 2 0 0 は、場合によっては、図示されていない追加の構成要素を含むことができる。他の場合には、図示された構成要素のうちの 1 つまたは複数を省略することができる。増幅器 2 0 0 は、半導体基板上に形成された集積回路デバイス、個別部品、又は個別部品と集積回路との組み合わせを含む様々な態様で実施することができる。

【 0 0 3 6 】

図 2 の増幅器 1 0 0 と同様に、出力増幅段 Q 1 0 は、ベース端子、コレクタ端子、およびエミッタ端子を含む。出力増幅段 Q 1 0 のコレクタは、増幅器 1 0 0 のための上側レール電圧（または他の電源）に結合され、出力増幅段 Q 1 0 のコレクタは、増幅器 1 0 0 のための下側レール電圧（または接地）に結合される。場合によっては、抵抗器（または抵抗器ネットワーク）が、Q 1 0 のコレクタと上側レール電圧（または電源）との間に結合され得る。同様に、抵抗器（または抵抗器ネットワーク）が、場合によっては、Q 1 0 のエミッタと下側レール電圧（または接地）との間に結合され得る。

30

【 0 0 3 7 】

出力増幅段 Q 1 0 は、増幅器 1 0 0 に関する上側レール電圧（または他の電源）と下側レール電圧との間でベースがバイアスされる。出力増幅段 Q 1 0 のベース端子は、図 3 においてノード A として識別される。以下でさらに詳細に説明するように、出力増幅段 Q 1 0 は、バイアスレグ 2 2 0 およびバイアスフィードバックネットワーク 2 3 0 の動作に基づいて、入力端子 A においてバイアスされる。出力増幅段 Q 1 0 は、一例では S i G e バイポーラ接合トランジスタとして具現化することができるが、他のタイプのトランジスタとして具現化することもできる。上述したように、S i G e トランジスタの動作特性は、プロセス変動、電圧変動、および温度変動に特に敏感であり、バイアス安定化は、S i G e および他の高利得トランジスタにとって特に重要であり得る。Q 1 0 は、S i G e バイポーラ接合トランジスタとして具現化することができるが、この概念は、F E T を含む他のタイプのトランジスタに拡張することができる。従って、以下に説明するように、Q 1 0 のベースへの言及は、Q 1 0 が F E T として具現化される場合、F E T のゲートにも適用される。エミッタへの言及は F E T のソースにも適用され、バイポーラトランジスタのコレクタへの言及は F E T のドレインにも適用される。

40

50

【0038】

バイアスレグ220は、上側電圧 $V+$ と下側電圧 $V-$ （または接地）電位との間に結合される。 $V+$ および $V-$ 電位は、出力増幅段Q10が間に結合される上側下側レール電圧（または電位）および下側レール電圧（または電位）と同じであっても、異なってもよい。増幅器200用の入力210は、バイアスレグ220に結合されており、RF信号などの任意の入力信号が増幅器200による増幅のために入力210に印加され得る。

【0039】

図示の例では、バイアスレグ220は、可能性のある他の構成要素の中でも特に、トランジスタQ11およびQ12ならびに抵抗器R11およびR12を含む。出力増幅段Q10と同様に、トランジスタQ11およびQ12もSiGeバイポーラ接合トランジスタとして具現化することができるが、他のタイプのトランジスタを用いることもできる。トランジスタQ11はバイアスレグ220においてコレクタ接地として結合され、トランジスタQ12はバイアスレグ220においてエミッタ接地として結合される。トランジスタQ11のコレクタは電源電圧 $V+$ に結合され、増幅器200の入力210はトランジスタQ11のベースに結合され、トランジスタQ11のエミッタは抵抗器R12の第1の端子に結合されている。R12およびR11の個々の抵抗値は、以下に説明するように、バイアスレグ120内のバイアスノードBにおけるバイアス電圧の範囲を、バイアスレグ120に流れる電流 I_a に基づいて許容するために選択され得る。R12の抵抗値は、ノードBにおけるバイアス電圧の範囲を許容するために、一例では、抵抗器R11よりも大きくすることができる。

【0040】

トランジスタQ12のコレクタは、ノードBにおいて抵抗器R12の第2の端子に結合されている。トランジスタQ12のベースは、バイアスフィードバックネットワーク230によって生成されるバイアス制御信号241に結合され、トランジスタQ12のエミッタは、抵抗器R13の第1の端子に結合されている。R13の第2の端子は、図示の例では接地されている。図示のように、抵抗器R12およびR13は、バイアスレグ220内のトランジスタQ11およびQ12と直列に結合されている。

【0041】

電源電圧 $V+$ から抵抗器R12（およびトランジスタQ11）を横断する電圧の降下がノードBにおける電圧を決定または設定するため、抵抗器R12は電圧降下抵抗器とも呼ばれる。即ち、電源電圧 $V+$ から開始して、ノードBにおける電圧は、トランジスタQ11および抵抗器R12を横断する電圧の降下によって決定され、この電圧降下は、バイアスレグ220を流れる電流 I_a に依存する。バイアスレグ220を流れる電流 I_a は、トランジスタQ12のベースに供給されるバイアスフィードバックネットワーク230から供給されるバイアス制御信号231によって制御することができる。

【0042】

増幅器200は、出力増幅段Q10のベースにおいて、ノードBとノードAとの間に結合された抵抗器R11をも含む。増幅器200は、トランジスタQ11のエミッタとノードAとの間に結合されたコンデンサC11を含む。抵抗器R11は、出力増幅段Q10のベースに流れ込む電流を制限するインピーダンスを有する。R11は、ベース電流を制限するために比較的高いインピーダンスとすることができる。コンデンサC11は、トランジスタQ11のエミッタと出力増幅段Q10のベースとの間のRF信号に関する直接結合（即ち、短絡回路に類似する）を提示する。C11の容量は、適切な動作のために増幅器200の動作周波数範囲に基づいて選択され得る。

【0043】

入力210に供給される入力信号は、トランジスタQ11によって部分的に増幅されるとともに、トランジスタQ11のエミッタにおいて出力として提供される。次に、コンデンサC11は、出力増幅段Q10による増幅のために、トランジスタQ11のエミッタからのこの信号のRF成分を出力増幅段Q10のノードAに結合する。増幅器200の出力

212は、例えば、図3に示されるように、出力増幅段Q10のコレクタにおいて取り出されるか、または場合によっては、出力増幅段Q10のエミッタにおいて取り出され得る。

【0044】

バイアスレグ220は、バイアスされた入力信号211を出力増幅段Q10に供給するように構成される。バイアスレグ220は、入力110において供給される入力信号と、バイアスフィードバックネットワーク130から供給されるバイアス制御信号231とに基づいて、バイアスされた入力信号211を生成する。バイアスされた入力信号211は、出力増幅段Q10による増幅のための信号成分とともに、Vbiasとも呼ばれる出力増幅段Q10のためのバイアス成分を含む。

10

【0045】

バイアスレグ220は、バイアスフィードバックネットワーク230から供給されるバイアス制御信号231に基づいて、DCバイアス電位であり得るバイアスされた入力信号211のバイアス成分を設定する。従って、バイアスされた入力信号211のバイアス成分は、ベースバイアス型の出力増幅段Q10のベースにおけるバイアス電位を設定する。バイアス成分は、バイアスレグ120に沿ったノードBで取り出される、上側電圧V+と下側電圧V-との間の電圧降下に基づいて設定され得る。図示される例では、バイアスレグ220を流れるIa電流は、Q12に印加されるバイアス制御信号231によって制御され、これは、最終的に、上述したようにノードBにおける電圧を確立する。出力増幅段Q10に対するバイアスされた入力信号211は、バイアスレグ120に沿ったノードBにおいて取り出される。バイアスされた入力信号211の信号成分は、入力210に供給された入力信号に基づいて、Q11のエミッタに供給されるとともに、コンデンサC11を介してノードAに結合される。

20

【0046】

バイアスフィードバックネットワーク230は、差動増幅器234、RFバイパス段236、基準電圧生成器232、および抵抗器R12を含む。差動増幅器234は、一例として、反転入力及び非反転入力を有する高利得演算増幅器又は同様の増幅器として具現化することができる。図3に示すように、差動増幅器234の非反転（即ち、+）入力は、抵抗器R15を介して、出力増幅段Q10のベースにおけるノードAに結合されている。差動増幅器234の反転（即ち、-）入力は、基準電圧生成器238によって生成される基準電圧Vrefに結合されている。実施形態の一態様では、差動増幅器234の動作帯域幅（例えば、差動増幅器234が信号を増幅することができる周波数限界間の差）は、増幅器200全体の動作帯域幅よりも比較的小さい（特に、出力増幅段Q10の動作帯域幅よりも小さい）ため、差動増幅器234は、入力210において印加されるとともに、ノードAにおいて結合される高周波信号に高利得を提供しないか、または提示しない。このため、差動増幅器234は、入力210に印加される高周波信号成分をフィルタリング除去し、増幅しない（または、それほど増幅しない）。

30

【0047】

基準電圧生成器232は、電流ミラー、抵抗器、および好ましくは異なる動作電圧、温度範囲などにわたって適切な精度で基準電圧Vrefを生成することができる他の回路部品を使用して具現化することができる。場合によっては、基準電圧生成器232は、1つまたは複数の異なる基準電圧を経時的に、またはある範囲の基準電圧を経時的に生成するように、プログラム可能であるか、または制御可能であり得る。

40

【0048】

差動増幅器234は、バイアス制御信号（またはバイアス制御電圧）231を出力する。バイアス制御信号231は、差動増幅器234の反転入力と非反転入力との間の電圧差を表し、これは、基準電圧生成器232からのVrefとノードAにおけるVbiasとの間の差である。バイアス制御信号231は、コンデンサC12および抵抗器R14を含むRFバイパス段236に供給される。コンデンサC12は、バイアス制御信号242上の高周波成分に対して接地へのRF短絡を提供する。C12の容量は、増幅器200の動

50

作周波数範囲に基づいて選択され得る。抵抗器 R 1 4 は、バイアスレグ 1 2 0 内のトランジスタ Q 1 2 のベースに流れ込む電流を制限するインピーダンスを有する。R 1 4 は、ベース電流を制限するために比較的高いインピーダンスとすることができる。

【 0 0 4 9 】

動作時、差動増幅器 2 3 4 は、トランジスタ Q 1 2 に供給されるバイアス制御信号 2 3 1 を制御することによって、V r e f と V b i a s との間の差を最小化または低減しようとする。バイアス制御信号 2 3 1 の増加した電圧は、Q 1 2 のベースに印加されると、バイアスレグ 2 2 0 を流れる増加した I a 電流を生じさせる。増加した I a は、Q 1 1 および R 1 2 を横断する（および主に R 1 2 を横断する）電圧のより大きい降下に基づいて、ノード B におけるより低い電圧または電位（例えば、V − により近い電圧）を生じさせる。バイアス制御信号 2 3 1 の減少した電圧は、Q 1 2 に印加されると、バイアスレグ 2 2 0 を流れる減少した I a 電流を生じさせる。減少した I a は、Q 1 1 および R 1 2 を横断する（および主に R 1 2 を横断する）電圧のより小さい降下に基づいて、ノード B におけるより高い電圧または電位を生じさせる。

【 0 0 5 0 】

従って、ノード B における電圧およびノード A におけるバイアス電圧 V b i a s は、差動増幅器 2 3 4 によって生成されるバイアス制御信号 2 3 1 によって制御され得る。差動増幅器 2 3 4 は、基準電圧生成器 2 3 2 からの V r e f とノード A における V b i a s との間の差である、差動増幅器 1 3 4 の反転入力と非反転入力との間の電圧の差に基づいてバイアス制御信号 2 3 1 を出力する。従って、バイアスフィードバックネットワーク 2 3 0 は、出力増幅段 Q 1 0 のベース端子を適切にバイアスするために、V r e f と V b i a s との間の差を最小化するように構成される。

【 0 0 5 1 】

集積デバイスとして具現化される場合、増幅器 1 0 0 および 2 0 0 は、任意の適切な 1 つまたは複数の半導体製造プロセスを使用して形成され得る。個別部品と集積デバイスとの組合せとして具現化される場合、増幅器 1 0 0 および 2 0 0 は、任意の適切な 1 つまたは複数の製造プロセスを使用して形成された集積デバイスを含むことができる。他の実施形態では、増幅器 1 0 0 および 2 0 0 は、1 つまたは複数の回路シミュレータ、半導体デバイスモデリング、半導体プロセスシミュレーション、または関連する技術コンピュータ支援設計（T C A D : T e c h n o l o g y C o m p u t e r A i d e d D e s i g n）ソフトウェアツールを使用して、1 つまたは複数のコンピューティングデバイス上でシミュレートすることができる。例えば、増幅器 1 0 0 および 2 0 0 を形成するための製造プロセスのドーパント分布、応力分布、デバイス幾何形状、および他の態様など、半導体製造プロセスの 1 つまたは複数の態様をシミュレートすることができる。他の例として、増幅器 1 0 0 および 2 0 0 の電圧バイアスおよび電流バイアスなどの動作特性をシミュレートすることができる。増幅器 1 0 0 および 2 0 0 の半導体デバイス（例えば、トランジスタ）および他の要素（例えば、抵抗器、インダクタ、コンデンサなど）の特性および性能をモデル化するために、シミュレーションが用いられ得る。

【 0 0 5 2 】

本明細書で説明される増幅器 1 0 0 および 2 0 0 は、本明細書で説明される概念と一致する他のものの中でも特に、ハードウェアにおいて具現化され得るか、またはソフトウェアにおいていくつかの回路要素としてシミュレートされ得る。ソフトウェアを使用してシミュレートされる場合、各回路要素は、要素をシミュレートするための特定のパラメータに関連付けられたモジュールまたはコードのリストとして具現化され得る。回路要素をシミュレートするソフトウェアは、例えば、プログラミング言語で記述された人間可読ステートメントを含むソースコード、またはコンピュータシステムもしくは他のシステム内のプロセッサ等の適切な実行システムによって認識可能な機械命令を含む機械コードの形態で具現化されたプログラム命令を含むことができる。ハードウェアで具現化される場合、各要素は、1 つの回路または電氣的に相互接続された複数の回路を表すことができる。

【 0 0 5 3 】

1つまたは複数のコンピューティングデバイスは、ソフトウェアを実行して、他のものの中でも特に、本明細書で説明される増幅器を形成する回路要素をシミュレートすることができる。コンピューティングデバイスは、少なくとも1つの処理回路を含み得る。そのような処理回路は、例えば、ローカルインタフェースに結合された1つまたは複数のプロセッサおよび1つまたは複数のストレージ（またはメモリデバイス）を含むことができる。ローカルインタフェースは、例えば、アドレスバス／制御バスまたは任意の他の適切なバス構造を有するデータバスを含み得る。

【0054】

ストレージまたはメモリデバイスは、処理回路のプロセッサによって実行可能なデータまたはコンポーネントを保管することができる。例えば、分散型増幅器の1つまたは複数の回路要素に関連するデータは、1つまたは複数のストレージデバイスに保管され、コンピューティングデバイス内の1つまたは複数のプロセッサによる処理のために参照され得る。同様に、回路要素および／または他の構成要素をシミュレートするためのソフトウェアは、1つまたは複数のストレージデバイスに保管されるとともに、コンピューティングデバイス内の1つまたは複数のプロセッサによって実行可能であり得る。

【0055】

本明細書に記載のトランジスタは、いくつかの様々な半導体材料および半導体製造プロセスを使用して形成することができる。半導体材料の例としては、シリコン（Si）およびゲルマニウム（Ge）を含むIV族元素半導体材料、その化合物、ならびにアルミニウム（Al）、ガリウム（Ga）、およびインジウム（In）を含むIII族元素半導体材料、およびその化合物が挙げられる。

【0056】

増幅器における最適化は、SiGe半導体材料に形成されたトランジスタおよび増幅器、III族窒化物（アルミニウム（Al）-、ガリウム（Ga）-、インジウム（In）-、およびそれらの合金（例えば、AlGaIn））半導体材料、ならびにGaAs、InP、InGaP、AlGaAs、および関連する半導体材料に形成された増幅器などの能動半導体デバイスに適用することができる。原理および概念は、他の半導体材料から形成されたトランジスタおよび他の能動デバイスにも適用することができる。

【0057】

本明細書で説明される実施形態はまた、他のタイプのトランジスタの中でも特に、GaN-on-Siトランジスタを含む増幅器とともに使用するために適用可能であるが、実施形態はまた、GaN-on-炭化ケイ素（SiC: Silicon Carbide）トランジスタ、ならびに他のタイプのトランジスタにも適用可能である。本明細書で使用する「窒化ガリウム材料」又はGaN半導体材料という表現は、中でも特に、アルミニウムガリウム窒化物（ $Al_xGa_{(1-x)}N$ ）、インジウムガリウム窒化物（ $In_yGa_{(1-y)}N$ ）、アルミニウムインジウムガリウム窒化物（ $Al_xIn_yGa_{(1-x-y)}N$ ）、リン化ガリウムヒ素窒化物（ $GaAs_aP_bN_{(1-a-b)}$ ）、リン化アルミニウムインジウムガリウムヒ素窒化物（ $Al_xIn_yGa_{(1-x-y)}As_aP_bN_{(1-a-b)}$ ）などの、ガリウム窒化物及びその合金を意味する。通常、ヒ素及び／又はリンは、存在する場合には低濃度（例えば、5重量パーセント未満）で存在する。「窒化ガリウム」又はGaN半導体という用語は、ガリウム窒化物を直接意味し、その合金を含まない。

【0058】

任意の好適な方式で、上記で説明した特徴、構造、又は部品を1つ又は複数の実施形態に組み合わせることができ、様々な実施形態において述べた特徴は、技術的に適切な場合、入れ替えることができる。前述の説明では、本開示の実施形態を完全に理解するために、数多くの具体的な詳細が提供される。しかしながら、当業者であれば、本開示の技術的解決策が、これらの具体的な詳細のうちの1つ又は複数に伴わずに実施され得るか、或いは他の方法、構成部品、及び材料なども用いられ得ることを理解するであろう。その他の事例では、本開示の態様を曖昧にしないように、周知の構造、材料又は動作については詳細に図示又は説明していない。

10

20

30

40

50

【0059】

「上 (on)」、「下 (below)」、「上側 (upper)」、「下側 (lower)」、「上部 (top)」、「底部 (bottom)」、「右 (right)」、および「左 (left)」などの相対的な用語は、特定の構造的特徴の相対的な空間的關係を説明するために使用される場合があるが、これらの用語は、便宜上、例における方向としてのみ使用されている。デバイスが上下逆になった場合、「上側」構成要素は「下側」構成要素になることを理解されたい。ある構造または特徴が、別の構造または特徴の「上に」ある（またはその上に形成される）と説明されている場合、その構造は、他の構造または特徴がそれらの間に介在してもしなくても、他の構造の上に配置され得る。2つの構成要素が互いに「接続される」または「結合される」と記載されている場合、構成要素は、他の構成要素が電氣的に結合され、かつそれらの間に介在していてもしていなくても、互いに電氣的に接続または結合され得る。2つの構成要素が互いに「直接接続されている」または「直接結合されている」と記載されるとき、それらの構成要素は、他の構成要素がそれらの間に電氣的に結合されていなくても、互いに電氣的に接続または結合され得る。「1つの (a)」、「1つの (an)」、「その (the)」および「前記 (said)」などの用語は、1つまたは複数の要素および構成要素の存在を示すために使用される。用語「備える (comprise)」、「含む (include)」、「有する (have)」、「含有する (contain)」、およびそれらの変形は、オープンエンドであるために使用され、別段の指定がない限り、列挙された要素、構成要素などに加えて、追加の要素、構成要素などを含むか、または包含し得る。

10

20

【0060】

本明細書において実施形態を詳細に説明してきたが、本説明は例示のためのものである。本明細書で説明した実施形態は、代表的なものであり、代替的な実施形態では、ある特定の特徴及び要素を追加又は省略することができる。加えて、当業者であれば、以下の特許請求の範囲に定められた本発明の趣旨及び範囲から逸脱することなく、本明細書で説明した実施形態の態様に対する修正を行うことができ、その範囲は修正及び同等の構造を包含するように最も広い解釈が認められるべきである。

30

40

50

【図面】
【図 1】

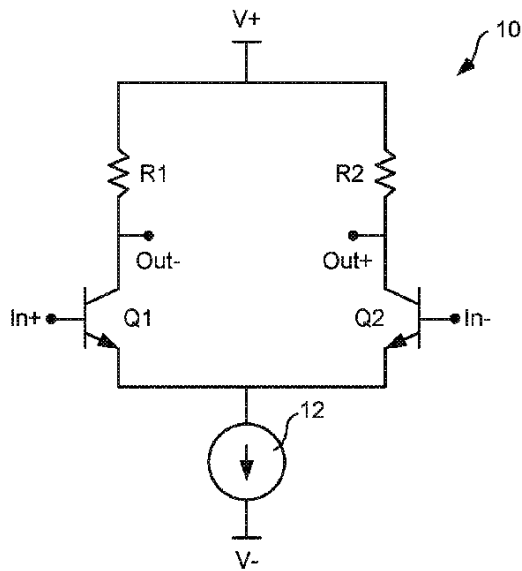


FIG. 1

【図 2】

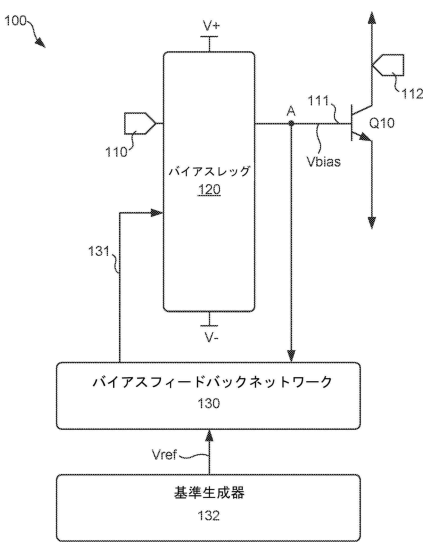


FIG. 2

【図 3】

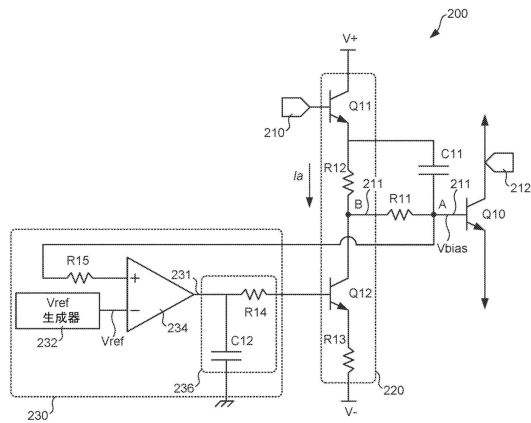


FIG. 3

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 22/75737
Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)	
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:		
1.	☐ Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	
2.	☐ Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:	
3.	☒ Claims Nos.: 11-12 because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	
Box No. III	Observations where unity of invention is lacking (Continuation of item 3 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows:		
1.	☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.	
2.	☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.	
3.	☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:	
4.	☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:	
Remark on Protest	☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee. ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation. ☐ No protest accompanied the payment of additional search fees.	

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 22/75737

A. CLASSIFICATION OF SUBJECT MATTER

IPC - INV. H03F 3/45, H03F 3/72 (2022.01)

ADD. H03F 3/16, H03F 3/18, H03F 3/213 (2022.01)

CPC - INV. H03F 3/4508, H03F 3/45179, H03F 3/45278, H03F 3/45376

ADD. H03F 3/165, H03F 3/1855, H03F 3/213, H03F 3/387, H03F 3/426

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

See Search History document

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

See Search History document

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

See Search History document

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2020/0044635 A1 (TEXAS INSTRUMENTS INCORPORATED) 06 February 2020 (06.02.2020), abstract, Fig. 1-6, para. [0013]-[0055]	1-10, 13-20
A	US 2015/0031318 A1 (CRESTCOM INCORPORATED) 29 January 2015 (29.01.2015), entire document	1-10, 13-20
A	US 2005/0231283 A1 (PERRY) 20 October 2005 (20.10.2005), entire document	1-10, 13-20
A	US 2014/0133250 A1 (INFINEON TECHNOLOGIES AG) 15 May 2014 (15.05.2014), entire document	1-10, 13-20
A	US 4,616,189 A (PENGUE, JR.) 07 October 1986 (07.10.1986), entire document	1-10, 13-20

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"D" document cited by the applicant in the international application

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

31 October 2022

Date of mailing of the international search report

NOV 21 2022

Name and mailing address of the ISA/US

Mail Stop PCT, Attn: ISA/US, Commissioner for Patents

P.O. Box 1450, Alexandria, Virginia 22313-1450

Facsimile No. 571-273-8300

Authorized officer

Kari Rodriguez

Telephone No. PCT Helpdesk: 571-272-4300

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

セッツ州 ローウェル チェルムスフォード ストリート 100

(72)発明者 ダゴスティーノ、ステファノ

アメリカ合衆国 01851 マサチューセッツ州 ローウェル チェルムスフォード ストリート
100

(72)発明者 ファン、チョン

アメリカ合衆国 01851 マサチューセッツ州 ローウェル チェルムスフォード ストリート
100

F ターム (参考) 5J500 AA01 AA41 AC02 AC03 AC04 AC81 AF17 AH02 AH07 AH09
AH25 AH29 AK02 AK11 AK42 AM13 AS13 AT01 NF10 NH17