

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2010-2476

(P2010-2476A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int. Cl.

F 1

テーマコード (参考)

G09F 9/30 (2006.01)

G09F 9/30 390C

3 K 107

HO 1 L 27/32 (2006.01)

G09F 9/30 338

5C094

H O 1 L 51/50 (2006.01)

G09F 9/30 365Z

H05B 33/12 (2006.01)

H05B 33/14 A

H05B 33/14 (2006.01)

H05B 33/12 B

審査請求 有 請求項の数 20 O L (全 40 頁) 最終頁に続く

(21) 出願番号 特願2008-159169 (P2008-159169)

(22) 出願日 平成20年6月18日 (2008. 6. 18)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100098785

弁理士 藤島 洋一郎

(74) 代理人 100109656

弁理士 三反崎 泰司

(74) 代理人 100130915

弁理士 長谷部 政男

(72) 発明者 富田 昌嗣

東京都港区港南1丁目7番1号 ソニーイ
ーエムシーエス株式会社内

(72) 発明者 浅野 慎

東京都港区港南1丁目7番1号 ソニー株
式会社内

[最終頁に続く](#)

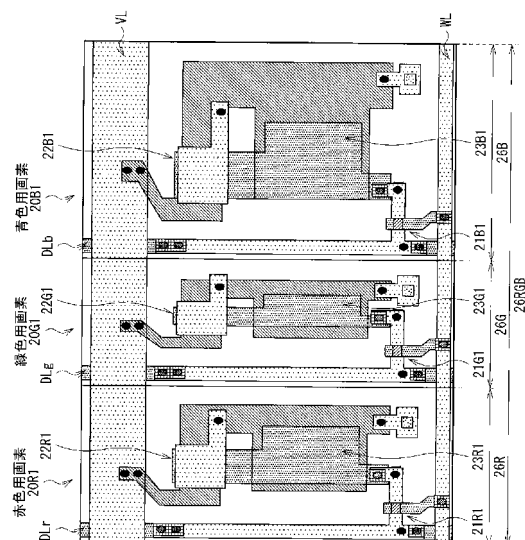
(54) 【発明の名称】 自発光表示装置および電子機器

(57) 【要約】

【課題】製造の際の歩留まりを向上させることが可能な自発光表示装置を提供する。

【解決手段】同一の発光輝度を得るために各有機EL素子24に必要とされる表示駆動電流の大きさの比に応じて、R、G、B用の画素20R1、20G1、20B1に対応する画素回路の画素ピッチ26R、26G、26Bをそれぞれ、画素回路層内で不均等となるように設定する。これにより、R、G、B用の各画素20R1、20G1、20B1において、対応する画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率が低減する。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された各画素内に形成された自発光素子と、
各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層と
を備え、
前記画素が、複数の色用の画素により構成され、
同一の発光輝度を得るために各自発光素子に必要とされる表示駆動電流の大きさの比に
応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で
不均等に設定されている
自発光表示装置。

10

【請求項 2】

前記自発光素子における層内の画素サイズおよび形成位置が、各色用の画素ごとに均等
に設定されている
請求項 1 に記載の自発光表示装置。

【請求項 3】

前記自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造であり、
前記アノード電極および前記発光層における層内の画素サイズおよび形成位置がそれぞ
れ、各色用の画素ごとに均等に設定されている
請求項 2 に記載の自発光表示装置。

20

【請求項 4】

前記自発光素子における層内の画素サイズが、前記画素回路の画素サイズの比に応じて
、各色用の画素ごとに不均等に設定されている
請求項 1 に記載の自発光表示装置。

【請求項 5】

前記自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造であり、
前記アノード電極および前記発光層における層内の画素サイズがそれぞれ、前記画素回
路の画素サイズの比に応じて、各色用の画素ごとに不均等に設定されている
請求項 4 に記載の自発光表示装置。

【請求項 6】

前記画素が、R (Red : 赤) , G (Green : 緑) , B (Blue : 青) 用の画素により構成さ
れ、
前記画素回路および前記自発光素子の画素サイズにおいて、以下の式が成り立つ
請求項 4 に記載の自発光表示装置。
$$(G \text{ 用の画素に対応する画素サイズ}) < (R \text{ 用の画素に対応する画素サイズ}) < (B \text{ 用の画素に対応する画素サイズ})$$

30

【請求項 7】

前記自発光素子における層内の画素サイズが、各色用の画素ごとに均等に設定され、
前記自発光素子における層内の形成位置が、前記画素回路の画素サイズの比に応じて、
各色用の画素ごとに不均等に設定されている
請求項 1 に記載の自発光表示装置。

40

【請求項 8】

前記自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造であり、
前記アノード電極および前記発光層における層内の画素サイズが、各色用の画素ごとに
均等に設定され、
前記アノード電極および前記発光層における層内の形成位置が、前記画素回路の画素サ
イズの比に応じて、各色用の画素ごとに不均等に設定されている
請求項 7 に記載の自発光表示装置。

【請求項 9】

各色用の画素ごとに、映像信号に基づく表示駆動電圧を供給するための信号線がそれぞ
れ接続され、

50

一の画素のアノード電極とその隣接画素に接続された信号線とが積層方向に沿って互いに対向しないように、前記アノード電極および前記発光層における層内の形成位置が設定されている

請求項 7 に記載の自発光表示装置。

【請求項 10】

前記アノード電極および前記発光層における層内の形成位置の隙間に、前記カソード電極と電氣的に接続された補助配線部が形成されている

請求項 9 に記載の自発光表示装置。

【請求項 11】

前記画素回路が、駆動トランジスタを含んで構成され、

10

各画素の駆動トランジスタがそれぞれ、前記画素回路の画素サイズを各色用の画素ごとに均等に配置した場合における自己の画素領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 12】

前記画素回路が、表示駆動電流を蓄積するための蓄積容量素子を含んで構成され、

各画素の蓄積容量素子がそれぞれ、前記画素回路の画素サイズを各色用の画素ごとに均等に配置した場合における自己の画素領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 13】

各色用の画素ごとに、映像信号に基づく表示駆動電圧を供給するための信号線がそれぞれ接続され、

20

各画素に対応する信号線がそれぞれ、前記画素回路の画素サイズを各色用の画素ごとに均等に配置した場合における自己の画素領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 14】

前記画素が、R (Red : 赤) , G (Green : 緑) , B (Blue : 青) 用の画素により構成されている

請求項 1 に記載の自発光表示装置。

【請求項 15】

前記画素回路の画素サイズにおいて、以下の式が成り立つ

30

請求項 14 に記載の自発光表示装置。

(G 用の画素に対応する画素サイズ) < (R 用の画素に対応する画素サイズ) < (B 用の画素に対応する画素サイズ)

【請求項 16】

前記自発光素子が、有機 EL 素子である

請求項 1 ないし請求項 15 のいずれか 1 項に記載の自発光表示装置。

【請求項 17】

マトリクス状に配置された各画素内に形成された自発光素子と、

各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層とを備え、

40

前記画素が、複数の色用の画素により構成され、

前記画素回路が駆動トランジスタを含んで構成されると共に、この駆動トランジスタにおける活性層とゲート電極との対向領域の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で不均等に設定されている

自発光表示装置。

【請求項 18】

マトリクス状に配置された各画素内に形成された自発光素子と、

各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層とを備え、

前記画素が、複数の色用の画素により構成され、

50

前記画素回路が、表示駆動電流を蓄積するための蓄積容量素子を含んで構成されると共に、この蓄積容量素子の層内方向の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で不均等に設定されている

自発光表示装置。

【請求項 19】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

マトリクス状に配置された各画素内に形成された自発光素子と、

各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層と

を有し、

前記画素が、複数の色用の画素により構成され、

同一の発光輝度を得るために各自発光素子に必要とされる表示駆動電流の大きさの比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で不均等に設定されている

電子機器。

【請求項 20】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

マトリクス状に配置された各画素内に形成された自発光素子と、

各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層と

を有し、

前記画素が、複数の色用の画素により構成され、

前記画素回路が駆動トランジスタを含んで構成されると共に、この駆動トランジスタにおける活性層とゲート電極との対向領域の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で不均等に設定されている

電子機器。

【請求項 21】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

マトリクス状に配置された各画素内に形成された自発光素子と、

各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層と

を有し、

前記画素が、複数の色用の画素により構成され、

前記画素回路が、表示駆動電流を蓄積するための蓄積容量素子を含んで構成されると共に、この蓄積容量素子の層内方向の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、前記画素回路層内で不均等に設定されている

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、自発光素子を含んで構成された自発光表示装置、およびそのような自発光表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、自発光素子として有機 EL (ElectroLuminescence) 素子を用いた自発光型の表示装置 (有機 EL 表示装置) の開発が盛んになっている。有機 EL 素子は、有機薄膜に電界をかけると発光する現象を利用したデバイスである。この有機 EL 素子は、例えば 10 V 以下の印加電圧で駆動することが可能であるため、低消費電力である。また、有機 EL 素子は上記のように自発光素子であるため、液晶素子のような照明部材が不要であり、軽量化および薄型化が容易である。さらに、有機 EL 素子の応答速度は数 μ s 程度と非常に

10

20

30

40

50

高速であるため、動画表示時の残像が発生しないという利点がある。

【 0 0 0 3 】

このような有機 E L 素子を用いた有機 E L 表示装置の中でも、とりわけ、駆動素子としての薄膜トランジスタ (T F T ; Thin Film Transistor) 等を各画素に集積形成したアクティブマトリクス型の有機 E L 表示装置の開発が盛んである (例えば、特許文献 1 参照) 。

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 7 - 3 1 0 3 1 1 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【 0 0 0 5 】

上記特許文献 1 等には、各画素に形成された画素回路が開示されている。このとき、R (赤) , G (緑) , B (青) の各色用の画素回路ではそれぞれ、必要とされる表示駆動電流の大きさに応じて、駆動トランジスタや蓄積容量素子のサイズが異なる場合がある。すると、特定の色用の画素回路において、画素パターン密度が高くなるため、ダスト等によりパターン欠陥率が増大してしまう。そしてパターン欠陥率が高くなると、製造の際の歩留まりが低下してしまうことになる。

【 0 0 0 6 】

なお、このような問題は、自発光素子が有機 E L 素子の場合には限られず、例えば無機 E L 素子の場合や L E D (Light Emitting Diode) の場合にも、同様に生じうるものである。

20

【 0 0 0 7 】

本発明はかかる問題点に鑑みてなされたもので、その目的は、製造の際の歩留まりを向上させることが可能な自発光表示装置および電子機器を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

本発明の第 1 の自発光表示装置は、マトリクス状に配置された各画素内に形成された自発光素子と、各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層とを備えたものである。ここで、上記画素は、複数の色用の画素により構成されている。また、同一の発光輝度を得るために各自発光素子に必要とされる表示駆動電流の大きさの比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、上記画素回路層内で不均等に設定されている。

30

【 0 0 0 9 】

本発明の第 1 の電子機器は、表示機能を有する上記第 1 の自発光表示装置を備えたものである。

【 0 0 1 0 】

本発明の第 1 の自発光表示装置および第 1 の電子機器では、同一の発光輝度を得るために各自発光素子に必要とされる表示駆動電流の大きさの比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ上記画素回路層内で不均等に設定されていることにより、表示駆動電流の大きさに応じて画素回路内の素子サイズが互いに異なったとしても、各色用の各画素において、対応する画素回路の画素パターン密度が互いに均等となる。これにより、特定の色用の画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

40

【 0 0 1 1 】

本発明の第 2 の自発光表示装置は、マトリクス状に配置された各画素内に形成された自発光素子と、各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層とを備えたものである。ここで、上記画素は、複数の色用の画素により構成されている。また、上記画素回路は、駆動トランジスタを含んで構成されている。さらに、この駆動トランジスタにおける活性層とゲート電極との対向領域の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、上記画素回路層内で不均等に設定されてい

50

る。

【 0 0 1 2 】

本発明の第 2 の電子機器は、表示機能を有する上記第 2 の自発光表示装置を備えたものである。

【 0 0 1 3 】

本発明の第 2 の自発光表示装置および第 2 の電子機器では、画素回路内の駆動トランジスタにおける活性層とゲート電極との対向領域の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ上記画素回路層内で不均等に設定されていることにより、対向領域の面積比に応じて駆動トランジスタの素子サイズが互いに異なったとしても、各色用の各画素において、対応する画素回路の画素パターン密度が互いに均等となる。これにより、特定の色用の画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

10

【 0 0 1 4 】

本発明の第 3 の自発光表示装置は、マトリクス状に配置された各画素内に形成された自発光素子と、各自発光素子に対して表示駆動を行うための画素回路が形成された画素回路層とを備えたものである。ここで、上記画素は、複数の色用の画素により構成されている。また、上記画素回路は、表示駆動電流を蓄積するための蓄積容量素子を含んで構成されている。さらに、この蓄積容量素子の層内方向の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ、上記画素回路層内で不均等に設定されている。

【 0 0 1 5 】

本発明の第 3 の電子機器は、表示機能を有する上記第 3 の自発光表示装置を備えたものである。

20

【 0 0 1 6 】

本発明の第 3 の自発光表示装置および第 3 の電子機器では、画素回路内の蓄積容量素子の層内方向の面積比に応じて、各色用の画素に対応する画素回路の画素サイズがそれぞれ上記画素回路層内で不均等に設定されていることにより、蓄積容量素子の面積比に応じて蓄積容量素子の素子サイズが互いに異なったとしても、各色用の各画素において、対応する画素回路の画素パターン密度が互いに均等となる。これにより、特定の色用の画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

30

【 発明の効果 】

【 0 0 1 7 】

本発明の第 1 の自発光表示装置または第 1 の電子機器によれば、同一の発光輝度を得るために各自発光素子に必要とされる表示駆動電流の大きさの比に応じて、各色用の画素に対応する画素回路の画素サイズをそれぞれ、上記画素回路層内で不均等に設定するようにしたので、各色用の各画素において対応する画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【 0 0 1 8 】

また、本発明の第 2 の自発光表示装置または第 2 の電子機器によれば、画素回路内の駆動トランジスタにおける活性層とゲート電極との対向領域の面積比に応じて、各色用の画素に対応する画素回路の画素サイズをそれぞれ、上記画素回路層内で不均等に設定するようにしたので、各色用の各画素において対応する画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

40

【 0 0 1 9 】

また、本発明の第 3 の自発光表示装置または第 3 の電子機器によれば、画素回路内の蓄積容量素子の層内方向の面積比に応じて、各色用の画素に対応する画素回路の画素サイズをそれぞれ、上記画素回路層内で不均等に設定するようにしたので、各色用の各画素において対応する画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパ

50

ターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0021】

[第1の実施の形態]

図1は、本発明の第1の実施の形態に係る自発光表示装置（有機EL表示装置1）の全体構成を表すものである。この有機EL表示装置1は、マトリクス状に2次元配置された画素20を有する画素アレイ部2と、この画素アレイ部2の周辺に配置された電源走査回路31、書き込み走査回路32および水平駆動回路33とを備えている。また、画素アレイ部2には、m行n列の画素配列に対して、画素行ごとに電源供給線VL-1~VL-mと走査線WL-1~WL-mとが接続され、画素列ごとに信号線DL-1~DL-nが接続されている。

10

【0022】

画素アレイ部2は、例えばガラス基板などの透明絶縁基板（図示せず）上に形成され、平面型（フラット型）のパネル構造となっている。この画素アレイ部2における各画素20内には、後述するように、アモルファスシリコンTFT（Thin Film Transistor；薄膜トランジスタ）または低温ポリシリコンTFTを用いた画素回路が形成されている。この画素回路には、後述するように、自発光素子としての有機EL素子と、金属層や半導体層、絶縁層などからなる画素回路層とが含まれている。なお、画素回路において低温ポリシリコンTFTを用いる場合には、電源走査回路31、書き込み走査回路32および水平駆動回路33についても、画素アレイ部2を形成するパネル（基板）上に実装することが可能である。

20

【0023】

書き込み走査回路32は、走査線WL-1~WL-mに対し、走査信号を線順次で供給することにより、画素20を行単位で線順次走査するための回路である。

【0024】

電源走査回路31は、書き込み走査回路32による線順次走査に同期して、電源供給線VL-1~VL-mに対して電源電圧を供給するための回路である。

30

【0025】

水平駆動回路33は、信号線DL-1~DL-nに対し、輝度情報に応じた映像信号に基づく表示駆動電圧（具体的には、信号電位（後述する信号電位Vsig）および基準電位（後述する基準電位Vo））を適宜供給するための回路である。

【0026】

図2は、各画素20内に形成された画素回路の構成例を回路図で表したものである。この画素回路は、書き込みトランジスタ21と、駆動トランジスタ22と、蓄積容量素子23と、有機EL素子24とを含んで構成されている。また、この画素回路には、電源供給線VLと、走査線WLと、信号線DLとが接続されている。なお、書き込みトランジスタ21および駆動トランジスタ22はそれぞれ、Nチャネル型のTFTにより構成されている。ただし、書き込みトランジスタ21および駆動トランジスタ22の導電型の組み合わせはこれには限られず、他の組み合わせであってもよい。

40

【0027】

書き込みトランジスタ21は、ゲートが走査線WLに接続され、ソースが信号線DLに接続され、ドレインが、駆動トランジスタ22のゲートおよび蓄積容量素子23の一端に接続されている。この書き込みトランジスタ21は、書き込み走査回路32から走査線WLを介してゲートに印加される走査信号に応じて導通状態となることにより、信号線DLを介して水平駆動回路33から供給される映像信号の信号電位Vsigをサンプリングして画素20内に書き込むためのものである。なお、この書き込まれた信号電位Vsig（表示駆動電流）は、蓄積容量素子23に保持されるようになっている。

50

【 0 0 2 8 】

駆動トランジスタ 2 2 は、ソースが蓄積容量素子 2 3 の他端および有機 E L 素子 2 4 のアノード（アノード電極）に接続され、ドレインが電源供給線 V L に接続されている。この駆動トランジスタ 2 2 は、電源供給線 V L の電位が「H（ハイ）」状態にあるときに、この電源供給線 V L を介して電流の供給を受けることにより、蓄積容量素子 2 3 に保持されている信号電位 V s i g に応じた表示駆動電流を有機 E L 素子 2 4 へ供給し、この有機 E L 素子 2 4 を電流駆動するためのものである。

【 0 0 2 9 】

蓄積容量素子 2 3 は、上記のように表示駆動電流を蓄積するためのものである。

【 0 0 3 0 】

有機 E L 素子 2 4 は、カソード（カソード電極）が、全ての画素 2 0 に対して共通に接続された共通電源供給線 2 5 に接続されている。

【 0 0 3 1 】

次に、図 3 ～ 図 6 を参照して、図 2 に示した画素回路の平面構成例および断面構成例について詳細に説明する。

【 0 0 3 2 】

図 3 は、1 つの画素 2 0 における画素回路（画素回路層）の平面構成例を表したものである。この画素回路は、図示しない基板側から順に、第 1 の金属層 M 1、ポリシリコン層 P 1 および第 2 の金属層 M 2 がそれぞれ、図示しない絶縁層（例えば、酸化シリコン（S i O₂）などにより構成されている）を間にして積層された積層構造となっている。これら第 1 の金属層 M 1 および第 2 の金属層 M 2 はそれぞれ、例えばアルミニウム（A l）や銅（C u）などにより構成されている。また、第 1 の金属層 M 1 と第 2 の金属層 M 2 との間は、接続コンタクト部 C T 1 2 を介して電氣的に接続されている。また、第 2 の金属層 M 2 とポリシリコン層 P 1 との間も同様に、接続コンタクト部 C T 2 P を介して電氣的に接続されている。

【 0 0 3 3 】

具体的には、信号線 D L は、第 1 の金属層 M 1 および第 2 の金属層 M 2 により構成されている。また、電源供給線 V L および走査線 W L はそれぞれ、第 2 の金属層 M 2 により構成されている。

【 0 0 3 4 】

書き込みトランジスタ 2 1 および駆動トランジスタ 2 3 はそれぞれ、第 1 の金属層 M 1、第 2 の金属層 M 2、ポリシリコン層 P 1 および図示しない絶縁層により構成されている。また、蓄積容量素子 2 3 は、第 1 の金属層 M 1、ポリシリコン層 P 1 および図示しない絶縁層により構成されている。

【 0 0 3 5 】

なお、有機 E L 素子 2 4 は、ノード N a を構成する接続コンタクト部 C T 2 3 を介して、図 3 に示した画素回路層に接続されるようになっている。

【 0 0 3 6 】

図 4 は、各色用画素 2 0 R 1、2 0 G 1、2 0 B 1 の画素回路（画素回路層）の平面構成例を表したものである。ここでは、赤色用画素 2 0 R 1、緑色用画素 2 0 G 1 および青色用画素 2 0 B 1 が、電源供給線 V L および走査線 W L に沿ってこの順に並んで配置されている。すなわち、画素 2 0 が、R（Red：赤）、G（Green：緑）、B（Blue：青）用の画素 2 0 R 1、2 0 G 1、2 0 B 1 により構成されている。また、R、G、B 用の画素 2 0 R 1、2 0 G 1、2 0 B 1 ごとに、映像信号に基づく表示駆動電圧を供給するための信号線（信号線 D L r、D L g、D L b）がそれぞれ接続されている。

【 0 0 3 7 】

赤色用画素 2 0 R 1 には、図 3 で説明したように、書き込みトランジスタ 2 1 R 1、駆動トランジスタ 2 2 R 1 および蓄積容量素子 2 3 R 1 等が形成されており、電源供給線 V L、走査線 W L および信号線 D L r が接続されている。同様に、緑色用画素 2 0 G 1 には、書き込みトランジスタ 2 1 G 1、駆動トランジスタ 2 2 G 1 および蓄積容量素子 2 3 G

10

20

30

40

50

1等が形成されており、電源供給線V_L、走査線W_Lおよび信号線D_{Lg}が接続されている。また、青色用画素20B1には、書き込みトランジスタ21B1、駆動トランジスタ22B1および蓄積容量素子23B1等が形成されており、電源供給線V_L、走査線W_Lおよび信号線D_{Lb}が接続されている。

【0038】

ここで、本実施の形態の画素回路層では、同一の発光輝度を得るために各有機EL素子24に必要とされる表示駆動電流の大きさの比に応じて、R、G、B用の画素20R1、20G1、20B1に対応する画素回路の画素サイズ（ここでは、画素ピッチ26R、26G、26B）がそれぞれ、画素回路層内で不均等となるように設定されている。具体的には、画素回路内の駆動トランジスタ22R1、22G1、22B1における活性層（ポリシリコン層P1）とゲート電極（第2の金属層M2）との対向領域（オーバーラップ領域）の面積比に応じて、画素ピッチ26R、26G、26Bがそれぞれ、画素回路層内で不均等となるように設定されている。また、蓄積容量素子23R1、23G1、23B1の層内方向の面積比に応じて、画素ピッチ26R、26G、26Bがそれぞれ、画素回路層内で不均等となるように設定されている。ただし、赤色用画素20R、緑色用画素20Gおよび青色用画素20Bの全体の画素ピッチ（トータル画素ピッチ26RGB；例えば100μm程度）は、従来のトータル画素ピッチと同一となるように設定されている。

【0039】

なお、ここでは、画素ピッチ26R、26G、26Bにおいて、以下の(1)式が成り立つようになっている。

(G用の画素20G1に対応する画素ピッチ26G) < (R用の画素20R1に対応する画素ピッチ26R) < (B用の画素20B1に対応する画素ピッチ26B) ... (1)

【0040】

また、本実施の形態の画素回路層では、図5に示した平面構成例のように、有機EL素子24における層内の画素サイズ（ここでは、画素ピッチ27R1、27G1、27B1）および形成位置が、R、G、B用の画素20R1、20G1、20B1ごとに均等となるように設定されている。具体的には、アノード電極281R1、281G1、281B1および発光層29R1、29G1、29B1における層内の画素ピッチ27R1、27G1、27B1および形成位置がそれぞれ、R、G、B用の画素20R1、20G1、20B1ごとに均等となるように設定されている。なお、アノード電極281R1、281G1、281B1は、例えば、銀(Ag)またはAg合金にITO（インジウム・スズ複合酸化物）を積層した電極により構成される。

【0041】

なお、図6に示した断面構成例（図5におけるII-II部分の矢視断面構成例）のように、有機EL素子24は、アノード電極281R1等、発光層29R1等、各画素に共通のカソード電極282、このカソード電極282と電氣的に接続された補助電極部280-1および絶縁層42を含む積層構造であり、画素回路層41上に形成されるようになっている。ここで、カソード電極282は、例えば、アルミニウム(Al)、マグネシウム(Mg)、カルシウム(Ca)、ナトリウム(Na)などの金属元素の単体または合金により構成される。

【0042】

次に、本実施の形態の有機EL表示装置1の作用および効果について、詳細に説明する。

【0043】

まず、図2に加えて図7を参照して、この有機EL表示装置1の基本動作（各画素20の画素回路に対する表示駆動動作）について説明する。図7は、図2に示した画素回路における表示駆動動作例をタイミング波形図で表したものであり、(A)は走査線電位V(W_L)を、(B)は電源供給線電位V(V_L)を、(C)は信号線電位V(D_L)を、(D)は駆動トランジスタ22のゲート電位V_gを、(E)は駆動トランジスタ22のソース電位V_sを、それぞれ表している。

【 0 0 4 4 】

< 発光期間 T_0 >

まず、タイミング t_1 以前の発光期間 T_0 では、有機 EL 素子 24 が発光状態にある（発光期間）。この発光期間 T_0 では、電源供給線 V_L の電位 $V(V_L)$ が高電位（「H」状態）にあり、電源供給線 V_L から駆動トランジスタ 22 を通して有機 EL 素子 24 に表示駆動電流（ドレイン・ソース間電流）が供給されるため、有機 EL 素子 24 がこの表示駆動電流に応じた輝度で発光する。

【 0 0 4 5 】

< 閾値補正準備期間 T_1 >

次に、タイミング t_1 になると、線順次走査の新しいフィールドに入る。すると、電源供給線 V_L の電位 $V(V_L)$ が、高電位から、信号線 D_L の基準電位 V_o よりも十分に低い電位（「L（ロー）」状態）に遷移し、駆動トランジスタ 22 のソース電位 V_s も、この低電位とほぼ等しい電位となる。

10

【 0 0 4 6 】

次に、タイミング t_2 において書き込み走査回路 32 から走査信号が出力され、走査線 D_L の電位が高電位側に遷移することにより、書き込みトランジスタ 21 が導通状態となる。このとき、水平駆動回路 33 から信号線 D_L に対して基準電位 V_o が供給されているため、駆動トランジスタ 22 のゲート電位 V_g が、基準電位 V_o となる。このとき、駆動トランジスタ 22 のソース電位 V_s は、基準電位 V_o よりも十分に低い電位にある。

20

【 0 0 4 7 】

ここで、この低電位については、駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} が、この駆動トランジスタ 22 の閾値電圧 V_{th} よりも大きくなるように設定しておくこととする。このように、駆動トランジスタ 22 のゲート電位 V_g を基準電位 V_o に、ソース電位 V_s を低電位に、それぞれ初期化することにより、閾値電圧補正動作の準備が完了する。

【 0 0 4 8 】

< 閾値補正期間 T_2 >

次に、タイミング t_3 において、電源供給線 V_L の電位 $V(V_L)$ が、低電位から高電位に切り替わると、駆動トランジスタ 22 のソース電位 V_s が、上昇を開始する。やがて、駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} が、この駆動トランジスタ 22 の閾値電圧 V_{th} となり、この閾値電圧 V_{th} に相当する電圧が、蓄積容量素子 23 へ書き込まれる。

30

【 0 0 4 9 】

ここでは、便宜上、閾値電圧 V_{th} に相当する電圧が保持容量 24 に書き込まれる期間を、閾値補正期間 T_2 と呼んでいる。なお、この閾値補正期間 T_2 では、電流がもっぱら蓄積容量素子 23 側に流れて有機 EL 素子 24 側には流れないようにするため、有機 EL 素子 24 がカットオフ状態となるように共通電源供給線 25 の電位を設定しておくこととする。

【 0 0 5 0 】

< サンプリング期間 / 移動度補正期間 T_3 >

次に、タイミング t_4 において、書き込み走査回路 32 からの走査信号の出力が停止し、走査線 W_L の電位 $V(W_L)$ が低電位側に遷移することにより、書き込みトランジスタ 21 が非導通状態となる。このとき、駆動トランジスタ 22 のゲートがフローティング状態となるが、ゲート・ソース間電圧 V_{gs} が駆動トランジスタ 22 の閾値電圧 V_{th} に等しいため、この駆動トランジスタ 22 はカットオフ状態にある。したがって、ドレイン・ソース間電流は流れない。

40

【 0 0 5 1 】

次に、タイミング t_5 において、信号線 D_L の電位 $V(D_L)$ が、基準電位 V_o から映像信号の信号電位 V_{sig} に遷移する。そしてタイミング t_6 において、書き込み走査回路 32 から再び走査信号が出力され、走査線 W_L の電位 $V(W_L)$ が高電位側に遷移する

50

ことにより、書き込みトランジスタ 21 が導通状態になり、映像信号の信号電位 V_{sig} がサンプリングされる。

【0052】

この書き込みトランジスタ 21 による信号電位 V_{sig} のサンプリングにより、駆動トランジスタ 22 のゲート電位 V_g が、信号電位 V_{sig} となる。このとき、有機 EL 素子 24 は始めカットオフ状態（ハイインピーダンス状態）であるため、駆動トランジスタ 22 のドレイン・ソース間電流が有機 EL 素子 24 に並列接続の寄生容量素子（図示せず）流れ込み、この寄生容量素子への充電が開始される。

【0053】

この寄生容量素子への充電により、駆動トランジスタ 22 のソース電位 V_s が上昇を開始し、やがて駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} は、 $(V_{sig} + V_{th} - \Delta V)$ となる。すなわち、ソース電位 V_s の上昇分 ΔV は、蓄積容量素子 23 に保持された電圧 $(V_{sig} + V_{th})$ から差し引かれるように、換言すれば、蓄積容量素子 23 の充電電荷を放電するように作用し、負帰還がかけられたことになる。したがって、ソース電位 V_s の上昇分 ΔV は、負帰還の帰還量となる。

【0054】

このように、駆動トランジスタ 22 に流れるドレイン・ソース間電流をこの駆動トランジスタ 22 のゲート入力に、すなわちゲート・ソース間電圧 V_{gs} に負帰還することにより、駆動トランジスタ 22 のドレイン・ソース間電流の移動度 μ に対する依存性を打ち消す、すなわち移動度 μ の画素ごとのばらつきを補正する移動度補正が行われる。

【0055】

より具体的には、映像信号の信号電位 V_{sig} が高くなるのに従ってドレイン・ソース間電流が大きくなるため、負帰還の帰還量（補正量） ΔV の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正が行える。また、映像信号の信号電位 V_{sig} を一定とした場合、駆動トランジスタ 22 の移動度 μ が高くなるのに従って負帰還の帰還量 ΔV の絶対値も大きくなるため、画素ごとの移動度 μ のばらつきが取り除かれる。

【0056】

< 発光期間 T_4 (T_0) >

次に、タイミング t_7 において、書き込み走査回路 32 からの走査信号の出力が停止し、走査線 WL の電位 $V(WL)$ が低電位側に遷移することにより、書き込みトランジスタ 21 が非導通状態となる。これにより、駆動トランジスタ 22 のゲートが、信号線 DL から切り離される。これと同時に、ドレイン・ソース間電流が有機 EL 素子 24 に流れ始めることにより、有機 EL 素子 24 のアノード電位が、ドレイン・ソース間電流に応じて上昇する。

【0057】

このような有機 EL 素子 24 のアノード電位の上昇は、駆動トランジスタ 22 のソース電位 V_s の上昇に他ならない。したがって、駆動トランジスタ 22 のソース電位 V_s が上昇すると、蓄積容量素子 23 のブートストラップ動作により、駆動トランジスタ 22 のゲート電位 V_g も連動して上昇する。このとき、ゲート電位 V_g の上昇量は、ソース電位 V_s の上昇量に等しくなる。よって、発光期間 T_4 において、駆動トランジスタ 22 のゲート・ソース間電圧 V_{gs} は、 $(V_{in} + V_{th} - \Delta V)$ で一定に保持される。

【0058】

以上のような各画素 20 内の画素回路に対する表示駆動が、画素アレイ部 2 において線順次でなされることにより、図 1 に示した有機 EL 表示装置 1 全体として、映像信号に基づく画像表示がなされる。

【0059】

次に、図 4，図 5 に加えて図 8，図 9 を参照して、本発明の特徴的部分の作用および効果について、比較例と比較しつつ詳細に説明する。ここで、図 8，図 9 は、比較例に係る従来の有機 EL 表示装置における、各色用画素 100R，100G，100B の画素回路層および有機 EL 素子の平面構成例を表したものである。なお、赤色用画素 100R には

、書き込みトランジスタ 101R、駆動トランジスタ 102R および蓄積容量素子 103R 等が形成されており、電源供給線 VL、走査線 WL および信号線 DLr が接続されている。同様に、緑色用画素 100G には、書き込みトランジスタ 101G、駆動トランジスタ 102G および蓄積容量素子 103G 等が形成されており、電源供給線 VL、走査線 WL および信号線 DLg が接続されている。また、青色用画素 100B には、書き込みトランジスタ 101B、駆動トランジスタ 102B および蓄積容量素子 103B 等が形成されており、電源供給線 VL、走査線 WL および信号線 DLb が接続されている。

【0060】

図 8 に示したように、この比較例に係る有機 EL 表示装置では、R、G、B 用の画素 100R、100G、110B に対応する画素回路の画素サイズ（ここでは、画素ピッチ 106R、106G、106B）がそれぞれ、画素回路層内で均等となるように設定されている。また、同一の発光輝度を得るために各有機 EL 素子 24 に必要とされる表示駆動電流の大きさに応じて、駆動トランジスタ 102R、102G、102B や蓄積容量素子 103R、103G、103B のサイズが、互いに異なっている。

【0061】

これにより、特定の色用の画素回路（ここでは、特に青色用画素 100B）において、画素パターン密度が高くなるため、ダスト等によりパターン欠陥率が増大してしまう。よって、パターン欠陥率が高くなることにより、製造の際の歩留まりが低下してしまうことになる。

【0062】

なお、これら R、G、B 用の画素 100R、100G、110B に対応する有機 EL 素子 24 では、例えば図 9 に示したような平面構成となる。すなわち、本実施の形態の図 5 と同様に、有機 EL 素子 24 における層内の画素ピッチ 27R1、27G1、27B1 および形成位置が、R、G、B 用の画素 100R、100G、100B ごとに均等となるように設定されている。具体的には、アノード電極 281R1、281G1、281B1 および発光層 29R1、29G1、29B1 における層内の画素ピッチ 27R1、27G1、27B1 および形成位置がそれぞれ、R、G、B 用の画素 100R、100G、100B ごとに均等となるように設定されている。

【0063】

これに対して、本実施の形態の有機 EL 表示装置 1 では、図 4 に示したように、同一の発光輝度を得るために各有機 EL 素子 24 に必要とされる表示駆動電流の大きさの比に応じて、R、G、B 用の画素 20R1、20G1、20B1 に対応する画素回路の画素ピッチ 26R、26G、26B がそれぞれ、画素回路層内で不均等となるように設定されている。具体的には、画素回路内の駆動トランジスタ 22R1、22G1、22B1 におけるポリシリコン層 P1 と第 2 の金属層 M2 との対向領域の面積比に応じて、画素ピッチ 26R、26G、26B がそれぞれ、画素回路層内で不均等となるように設定されている。また、蓄積容量素子 23R1、23G1、23B1 の層内方向の面積比に応じて、画素ピッチ 26R、26G、26B がそれぞれ、画素回路層内で不均等となるように設定されている。

【0064】

これにより、表示駆動電流の大きさや上記対向領域の面積、蓄積容量素子 23R1、23G1、23B1 の面積などに応じて画素回路内の素子サイズ（具体的には、駆動トランジスタ 22R1、22G1、22B1 や蓄積容量素子 23R1、23G1、23B1 のサイズ）が互いに異なっても、R、G、B 用の各画素 20R1、20G1、20B1 において、対応する画素回路の画素パターン密度が、互いに均等となる。これにより、特定の色用の画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

【0065】

以上のように本実施の形態では、同一の発光輝度を得るために各有機 EL 素子 24 に必要とされる表示駆動電流の大きさの比に応じて、R、G、B 用の画素 20R1、20G1

10

20

30

40

50

、20B1に対応する画素回路の画素ピッチ26R、26G、26Bをそれぞれ、画素回路層内で不均等となるように設定したので、R、G、B用の各画素20R1、20G1、20B1において対応する画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【0066】

具体的には、画素回路内の駆動トランジスタ22R1、22G1、22B1における活性層（ポリシリコン層P1）とゲート電極（第2の金属層M2）との対向領域（オーバーラップ領域）の面積比に応じて、画素ピッチ26R、26G、26Bをそれぞれ、画素回路層内で不均等となるように設定したので、上記のような効果を得ることが可能となる。

10

【0067】

また、蓄積容量素子23R1、23G1、23B1の層内方向の面積比に応じて、画素ピッチ26R、26G、26Bをそれぞれ、画素回路層内で不均等となるように設定したので、上記のような効果を得ることが可能となる。

【0068】

さらに、有機EL素子24における層内の画素ピッチ27R1、27G1、27B1および形成位置が、R、G、B用の画素20R1、20G1、20B1ごとに均等となるように設定したので、アノード電極281R1、281G1、281B1や発光層29R1、29G1、29B1のパターンを、従来のものからそのまま用いることができる。すなわち、従来パターンのパネルの輝度等の特性を維持したまま、画素回路全体としてのパターン欠陥率を低減することができる。

20

【0069】

以下、本発明の他の実施の形態をいくつか挙げて説明する。なお、上記第1の実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【0070】

[第2の実施の形態]

図10は、本発明の第2の実施の形態に係る自発光表示装置（有機EL表示装置）における、各色用画素20R2、20G2、20B2の画素回路層および有機EL素子の平面構成例を表したものである。

【0071】

30

本実施の形態の画素回路層では、第1の実施の形態と同様に、同一の発光輝度を得るために各有機EL素子24に必要とされる表示駆動電流の大きさの比、画素回路内の駆動トランジスタ22R1、22G1、22B1におけるポリシリコン層P1と第2の金属層M2との対向領域の面積比、または蓄積容量素子23R1、23G1、23B1の層内方向の面積比に応じて、R、G、B用の画素20R2、20G2、20B2に対応する画素回路の画素ピッチ26R、26G、26Bがそれぞれ、画素回路層内で不均等となるように設定されている。

【0072】

また、本実施の形態の有機EL素子では、第1の実施の形態とは異なり、有機EL素子24における層内の画素ピッチ27R2、27G2、27B2が、画素回路の画素ピッチ26R、26G、26Bの比に応じて、R、G、B用の画素20R2、20G2、20B2ごとに不均等となるように設定されている。具体的には、アノード電極281R2、281G2、281B2および発光層29R2、29G2、29B2における層内の画素ピッチ27R2、27G2、27B2がそれぞれ、画素回路の画素ピッチ26R、26G、26Bの比に応じて、R、G、B用の画素20R2、20G2、20B2ごとに不均等となるように設定されている。

40

【0073】

なお、ここでは、画素回路の画素ピッチ26R、26G、26Bおよび有機EL素子24における層内の画素ピッチ27R2、27G2、27B2において、以下の(2)式が成り立つようになっている。

50

(G用の画素 2 0 G 2 に対応する画素ピッチ 2 6 G , 2 7 G 2) < (R用の画素 2 0 R 2 に対応する画素ピッチ 2 6 R , 2 7 R 2) < (B用の画素 2 0 B 2 に対応する画素ピッチ 2 6 B , 2 7 B 2) ... (2)

【 0 0 7 4 】

次に、図 1 0 に加えて図 1 1 ~ 図 1 4 を参照して、本実施の形態の有機 E L 表示装置の作用および効果について、上記第 1 の実施の形態の有機 E L 表示装置 1 と比較しつつ説明する。

【 0 0 7 5 】

上記第 1 の実施の形態の画素回路層および有機 E L 素子 2 4 では、例えば図 1 1 に示したように、有機 E L 素子 2 4 における層内の画素ピッチ 2 7 R 1 , 2 7 G 1 , 2 7 B 1 および形成位置が、R , G , B 用の画素 2 0 R 1 , 2 0 G 1 , 2 0 B 1 ごとに均等となるように設定されている。したがって、例えば図中に示したように、一の画素のアノード電極（ここでは、緑色用画素 2 0 G 1 のアノード電極 2 8 1 R 1 ）とその隣接画素に接続された信号線（ここでは、青色用画素 2 0 B 1 に接続された信号線 D L b ）とが積層方向に沿って互いに対向する（オーバーラップする）場合が生じ、その場合にはそれらの間に寄生容量成分 C p が発生することになる。

【 0 0 7 6 】

すなわち、従来の画素 1 0 0 R , 1 0 0 G , 1 0 0 B では、例えば図 1 2 (A) に模式断面図で示したように、画素回路の画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B および有機 E L 素子 2 4 における層内の画素ピッチ 2 7 R 1 , 2 7 G 1 , 2 7 B 1 が互いに一致しているため、本来の容量成分 C r 1 0 1 , C g 1 0 1 , C b 1 0 1 のみが存在している。これに対し、上記第 1 の実施の形態の画素 2 0 R 1 , 2 0 G 1 , 2 0 B 1 では、例えば図 1 2 (B) に模式断面図で示したように、画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B および有機 E L 素子 2 4 における層内の画素ピッチ 2 7 R 1 , 2 7 G 1 , 2 7 B 1 が互いに一致していないため、隣接画素とのオーバーラップ領域において、寄生容量成分 C p が発生しうることになる。なお、このような寄生容量成分 C p を回路図で表すと、例えば図 1 3 に示したようになる。

【 0 0 7 7 】

このような寄生容量成分 C p が発生した場合、例えば図 1 4 にタイミング波形図（タイミング t 1 1 ~ t 1 8 ）で示したように、発光中の画素（ここでは、緑色用画素 2 0 G 1 ）に対応する信号線（ここでは、信号線 D L g ）において、寄生容量成分 C p に起因したるカップリングの影響により、画質の乱れ（クロストーク現象）が生じうることになる。具体的には、青色用画素 2 0 B 1 に対応する信号線 D L b の電位 V (D L b) の振幅に応じて、青色用の信号電位 V s i g から寄生容量成分 C p を介して緑色用の駆動トランジスタ 2 2 のソースにカップリング（飛び込み）が生じ、例えばタイミング t 1 4 ~ t 1 5 間 , t 1 6 ~ t 1 7 間のように、緑色用の駆動トランジスタ 2 2 でのソース電位 V s およびゲート電位 V g が共に上昇する。そして、このように駆動トランジスタ 2 2 でのゲート電位 V g が上昇した状態で信号の書き込みがなされた場合、例えばタイミング t 1 8 以降の発光期間 T 4 のように、クロストークがない場合と比べてゲート - ソース間電圧 V g s が小さくなり、画質の乱れ（クロストーク現象）が生じることになる。

【 0 0 7 8 】

そこで、本実施の形態では、図 1 0 に示したように、有機 E L 素子 2 4 における層内の画素ピッチ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 が、画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B の比に応じて、R , G , B 用の画素 2 0 R 2 , 2 0 G 2 , 2 0 B 2 ごとに不均等となるように設定されている。具体的には、アノード電極 2 8 1 R 2 , 2 8 1 G 2 , 2 8 1 B 2 および発光層 2 9 R 2 , 2 9 G 2 , 2 9 B 2 における層内の画素ピッチ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 がそれぞれ、画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B の比に応じて、R , G , B 用の画素 2 0 R 2 , 2 0 G 2 , 2 0 B 2 ごとに不均等となるように設定されている。これにより、一の画素のアノード電極とその隣接画素に接続された信号線との間のオーバーラップ領域が生じないため、寄生容量成分 C p の発生が回避される。

【 0 0 7 9 】

以上のように本実施の形態では、有機 E L 素子 2 4 における層内の画素ピッチ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 が、画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B の比に応じて、R , G , B 用の画素 2 0 R 2 , 2 0 G 2 , 2 0 B 2 ごとに不均等となるように設定したので、上記第 1 の実施の形態における効果に加えて寄生容量成分 C p の発生を回避することができ、画質の乱れ（クロストーク現象）をなくすることができる。よって、画質に影響を与えずに、画素回路全体としてのパターン欠陥率を低減することが可能となる。

【 0 0 8 0 】

[第 3 の実施の形態]

図 1 5 は、本発明の第 3 の実施の形態に係る自発光表示装置（有機 E L 表示装置）における、各色用画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 の画素回路層および有機 E L 素子の平面構成例を表したものである。

10

【 0 0 8 1 】

本実施の形態の画素回路層では、上記第 1 の実施の形態と同様に、同一の発光輝度を得るために各有機 E L 素子 2 4 に必要とされる表示駆動電流の大きさの比、画素回路内の駆動トランジスタ 2 2 R 1 , 2 2 G 1 , 2 2 B 1 におけるポリシリコン層 P 1 と第 2 の金属層 M 2 との対向領域の面積比、または蓄積容量素子 2 3 R 1 , 2 3 G 1 , 2 3 B 1 の層内方向の面積比に応じて、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 に対応する画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B がそれぞれ、画素回路層内で不均等となるように設定されている。

20

【 0 0 8 2 】

また、本実施の形態の画素回路層では、上記第 1 の実施の形態と同様に、有機 E L 素子 2 4 における層内の画素ピッチが、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 ごとに均等となるように設定されている。

【 0 0 8 3 】

ただし、本実施の形態の有機 E L 素子では、上記第 1 および第 2 の実施の形態とは異なり、有機 E L 素子 2 4 における層内の形成位置が、画素回路の画素ピッチ 2 6 R , 2 6 G , 2 6 B の比に応じて、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 ごとに不均等となるように設定されている。具体的には、一の画素のアノード電極とその隣接画素に接続された信号線とが積層方向に沿って互いに対向しないように（オーバーラップ領域が生じないように）、アノード電極 2 8 1 R 1 , 2 8 1 G 1 , 2 8 1 B 1 および発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 における層内の形成位置が設定され、これらアノード電極 2 8 1 R 1 , 2 8 1 G 1 , 2 8 1 B 1 および発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 における層内の形成位置の隙間に、カソード電極 2 8 2 と電氣的に接続された補助配線部 2 8 0 - 3 が形成されるようになっている。

30

【 0 0 8 4 】

これにより、上記第 1 の実施の形態とは異なり、一の画素のアノード電極とその隣接画素に接続された信号線との間のオーバーラップ領域が生じないため、寄生容量成分 C p の発生が回避される。

【 0 0 8 5 】

40

また、上記第 2 の実施の形態とは異なり、有機 E L 素子 2 4 における層内の画素ピッチ（具体的には、発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 のサイズ）が、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 ごとに均等となるように設定されていることにより、各色における視野角特性の違いや電流密度の違いによるライフ時間の相違が回避される。また、ホワイトバランスの崩れや、R , G , B 用の縦線のサイズが異なってしまうことも回避される。

【 0 0 8 6 】

以上のように本実施の形態では、有機 E L 素子 2 4 における層内の画素ピッチ（具体的には、発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 のサイズ）が、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 ごとに均等となるように設定したので、上記第 2 の実施の形態にお

50

ける効果に加え、各色において視野角特性の違いや電流密度の違いによるライフ特性等を変えることなく、画質に影響を与えずに画素回路全体としてのパターン欠陥率を低減することが可能となる。

【 0 0 8 7 】

[第 4 の実施の形態]

図 1 6 は、本発明の第 4 の実施の形態に係る自発光表示装置（有機 E L 表示装置）における、各色用画素 2 0 R 4 , 2 0 G 4 , 2 0 B 4 の画素回路の平面構成例を表したものである。また、図 1 7 は、本実施の形態に係る他の自発光表示装置（有機 E L 表示装置）における、各色用画素 2 0 R 5 , 2 0 G 5 , 2 0 B 5 の画素回路の平面構成例を表したものである。

10

【 0 0 8 8 】

図 1 6 に示した本実施の形態の画素回路層では、各画素 2 0 R 4 , 2 0 G 4 , 2 0 B 4 の駆動トランジスタ 2 2 R 2 , 2 2 G 2 , 2 2 B 2 がそれぞれ、画素回路の画素ピッチを R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B の場合）における自己の画素領域内に配置されている。

【 0 0 8 9 】

また、図 1 7 に示した本実施の形態の画素回路層では、各画素 2 0 R 5 , 2 0 G 5 , 2 0 B 5 の蓄積容量素子 2 3 R 2 , 2 3 G 2 , 2 3 B 2 がそれぞれ、画素回路の画素ピッチを R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B の場合）における自己の画素領域内に配置されている。

20

【 0 0 9 0 】

これらの構成により、上記第 1 の実施の形態とは異なり、一の画素のアノード電極とその隣接画素に接続された信号線との間のオーラップ領域が生じないため、寄生容量成分 C p の発生が回避される。

【 0 0 9 1 】

以上のように本実施の形態では、駆動トランジスタ 2 2 R 2 , 2 2 G 2 , 2 2 B 2 や蓄積容量素子 2 3 R 2 , 2 3 G 2 , 2 3 B 2 をそれぞれ、画素回路の画素ピッチを R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B の場合）における自己の画素領域内に配置するようにしたので、上記第 1 の実施の形態における効果に加えて寄生容量成分 C p の発生を回避することができ、画質の乱れ（クロストーク現象）をなくすることができる。よって、画質に影響を与えずに、画素回路全体としてのパターン欠陥率を低減することが可能となる。

30

【 0 0 9 2 】

なお、各画素に対応する信号線 D L r , D L g , D L b をそれぞれ、画素回路の画素ピッチを R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B の場合）における自己の画素領域内に配置するようにしてもよい。このように構成した場合も同様に、画質の乱れ（クロストーク現象）をなくすることができ、画質に影響を与えずに画素回路全体としてのパターン欠陥率を低減することが可能となる。

【 0 0 9 3 】

また、より一般的には、駆動トランジスタ 2 2 R 2 , 2 2 G 2 , 2 2 B 2 、蓄積容量素子 2 3 R 2 , 2 3 G 2 , 2 3 B 2 および信号線 D L r , D L g , D L b のうちの少なくとも 1 つについて、画素回路の画素ピッチを R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B の場合）における自己の画素領域内に配置するようにすれば、本実施の形態の効果を得ることが可能である。

40

【 0 0 9 4 】

（適用例）

次に、図 1 8 ~ 図 2 2 を参照して、上記第 1 ~ 第 4 の実施の形態で説明した自発光表示装置の適用例について説明する。上記第 1 ~ 第 4 の実施の形態の自発光表示装置（具体的には、有機 E L 表示装置）は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力され

50

た映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

【0095】

(適用例1)

図18は、上記実施の形態の自発光表示装置が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル511およびフィルターガラス512を含む映像表示画面部510を有しており、この映像表示画面部510は、上記実施の形態等に係る自発光表示装置により構成されている。

【0096】

(適用例2)

図19は、上記実施の形態の自発光表示装置が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部521、表示部522、メニュースイッチ523およびシャッターボタン524を有しており、その表示部522は、上記実施の形態に係る自発光表示装置により構成されている。

【0097】

(適用例3)

図20は、上記実施の形態の自発光表示装置が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体531、文字等の入力操作のためのキーボード532および画像を表示する表示部533を有しており、その表示部533は、上記実施の形態に係る自発光表示装置により構成されている。

【0098】

(適用例4)

図21は、上記実施の形態の自発光表示装置が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部541、この本体部541の前方側面に設けられた被写体撮影用のレンズ542、撮影時のスタート/ストップスイッチ543および表示部544を有しており、その表示部544は、上記実施の形態に係る自発光表示装置により構成されている。

【0099】

(適用例5)

図22は、上記実施の形態の自発光表示装置が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体710と下側筐体720とを連結部(ヒンジ部)730で連結したものであり、ディスプレイ740、サブディスプレイ750、ピクチャーライト760およびカメラ770を有している。そのディスプレイ740またはサブディスプレイ750は、上記実施の形態に係る自発光表示装置により構成されている。

【0100】

以上、第1～第4の実施の形態および適用例を挙げて本発明を説明したが、本発明はこれらの実施の形態等に限定されるものではなく、種々の変形が可能である。

【0101】

例えば、上記実施の形態等では、画素回路の画素ピッチ26R、26G、26Bや有機EL素子24における層内の画素ピッチ27R2、27G2、27B2において、(1)式や(2)式が成り立つ場合について説明したが、これらの画素ピッチにおける不均等配置としては、この場合には限られない。

【0102】

また、本発明は、例えば図23～図25に示した画素20-1内の画素回路のように、有機EL素子24に対して並列に寄生容量成分240が生じている(色ごとに容量値が異なっている)と共に、このような色ごとの容量値の違いを2つの蓄積容量素子23a、23b等で調整するようにした場合においても適用することが可能である。

【0103】

また、上記実施の形態等では、R、G、B用の画素により構成されている場合（３色画素の場合）について説明したが、本発明が適用されるのは、この場合には限られない。すなわち、例えば、これらにW（White：白）用の画素を加えた４色画素の場合や、２色画素の場合、５色画素の場合など、任意の複数の色用の画素構造に対して適用することが可能である。

【０１０４】

さらに、上記実施の形態等では、自発光素子が有機EL素子である場合について説明したが、本発明は、他の自発光素子（例えば、無機EL素子やLED）などを用いた自発光表示装置においても適用することが可能である。

【図面の簡単な説明】

10

【０１０５】

【図１】本発明の第１の実施の形態に係る自発光表示装置の全体構成を表すブロック図である。

【図２】図１に示した各画素内の画素回路の構成例を表す回路図である。

【図３】図２に示した画素回路の構成を表す平面図である。

【図４】第１の実施の形態に係る各色用画素の画素回路層の構成例を表す平面図である。

【図５】第１の実施の形態に係る各色用画素の自発光素子の構成例を表す平面図である。

【図６】図４および図５に示した画素回路層および自発光素子の断面構成例を表す断面図である。

【図７】図２に示した画素回路における表示駆動動作例を表すタイミング波形図である。

20

【図８】比較例に係る従来の各色用画素の画素回路層の構成を表す平面図である。

【図９】比較例に係る従来の各色用画素の自発光素子の構成を表す平面図である。

【図１０】第２の実施の形態に係る各色用画素の自発光素子の構成例を表す平面図である。

【図１１】第１の実施の形態の画素回路層および自発光素子において生じうる寄生容量成分について説明するための平面図である。

【図１２】図１１に示した寄生容量成分について説明するための模式断面図である。

【図１３】図１１に示した寄生容量成分について説明するための回路図である。

【図１４】図１１に示した寄生容量成分によるクロストーク現象について説明するためのタイミング波形図である。

30

【図１５】第３の実施の形態に係る各色用画素の自発光素子の構成例を表す平面図である。

【図１６】第４の実施の形態に係る各色用画素の画素回路層の構成例を表す平面図である。

【図１７】第４の実施の形態に係る各色用画素の画素回路層の他の構成例を表す平面図である。

【図１８】本発明の自発光表示装置の適用例１の外観を表す斜視図である。

【図１９】（Ａ）は適用例２の表側から見た外観を表す斜視図であり、（Ｂ）は裏側から見た外観を表す斜視図である。

【図２０】適用例３の外観を表す斜視図である。

40

【図２１】適用例４の外観を表す斜視図である。

【図２２】（Ａ）は適用例５の開いた状態の正面図、（Ｂ）はその側面図、（Ｃ）は閉じた状態の正面図、（Ｄ）は左側面図、（Ｅ）は右側面図、（Ｆ）は上面図、（Ｇ）は下面図である。

【図２３】本発明の変形例に係る画素回路の構成を表す回路図である。

【図２４】図２３に示した画素回路の構成を表す平面図である。

【図２５】図２３に示した画素回路に対応する自発光素子の構成を表す平面図である。

【符号の説明】

【０１０６】

１…有機EL表示装置、２…画素アレイ部、２０、２０－１…画素、２０Ｒ１～２０Ｒ

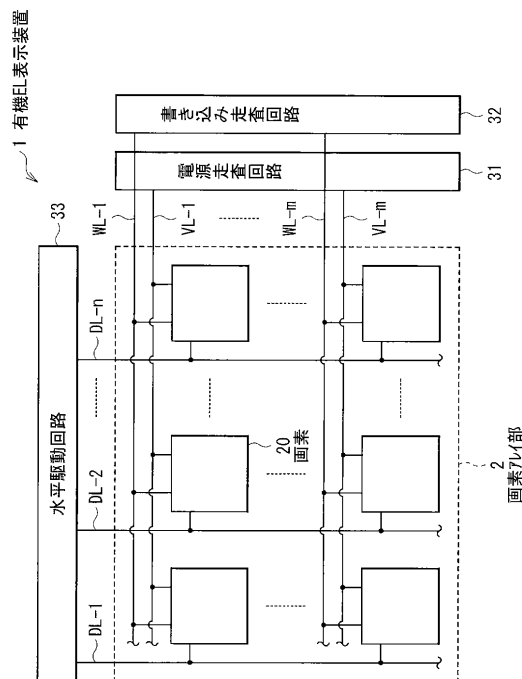
50

5 ... 赤色用画素、20G1 ~ 20G5 ... 緑色用画素、20B1 ~ 20B5 ... 青色用画素、21, 21R1, 21G1, 21B1 ... 書き込みトランジスタ、22, 22R1, 22R2, 22G1, 22G2, 22B1, 22B2 ... 駆動トランジスタ、23, 23a, 23b, 23R1, 23R2, 23G1, 23G2, 23B1, 23B2 ... 蓄積容量素子（蓄積容量形成領域）、24 ... 有機EL素子、240 ... 寄生容量成分、25 ... 共通電源供給線、26R, 26G, 26B ... 画素回路の画素ピッチ、26RGB ... トータル画素ピッチ、27R1, 27R2, 27G1, 27G2, 27B1, 27B2 ... 有機EL素子の画素ピッチ、280-1 ~ 280-3 ... 補助配線部、281, 281R1, 281R2, 281G1, 281G2, 281B1, 281B2 ... アノード電極、282 ... カソード電極、29, 29R1, 29R2, 29G1, 29G2, 29B1, 29B2 ... 発光層、31 ... 電源走査回路、32 ... 書き込み走査回路、33 ... 水平駆動回路、41 ... 画素回路層、42 ... 絶縁層、43 ... EL素子層、510 ... 映像表示画面部、511 ... フロントパネル、512 ... フィルターガラス、521 ... 発光部、522 ... 表示部、523 ... メニュースイッチ、524 ... シャッターボタン、531 ... 本体、532 ... キーボード、533 ... 表示部、541 ... 本体部、542 ... レンズ、543 ... スタート/ストップスイッチ、544 ... 表示部、710 ... 上部筐体、720 ... 下部筐体、730 ... 連結部、740 ... ディスプレイ、750 ... サブディスプレイ、760 ... ピクチャーライト、770 ... カメラ、VL, VL-1 ~ VL-m ... 電源供給線、WL, WL-1 ~ WL-m ... 走査線、DL, DL-1 ~ DL-n, DLr, DLg, DLb ... 信号線、Na, Nb ... ノード、M1 ... 第1の金属層、M2 ... 第2の金属層、P1 ... ポリシリコン層、CT12, CT23, CT2P ... 接続コンタクト部、t1 ~ t8, t11 ~ t18 ... タイミング、T0, T4 ... 発光期間、T1 ... 閾値補正準備期間、T2 ... 閾値補正期間、T3 ... サンプルング期間/移動度補正期間、V(WL) ... 走査線電位、V(VL) ... 電源供給線電位、V(DL) ... 信号線電位、Vg ... 駆動トランジスタのゲート電位、Vs ... 駆動トランジスタのソース電位、Cr, Cg, Cb ... 容量成分、Cp ... 寄生容量成分、Pgb ... 対向領域（オーバーラップ領域）。

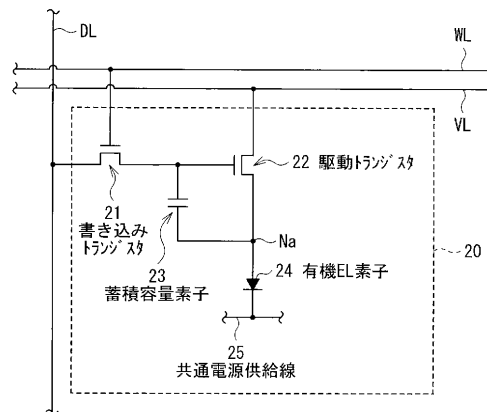
10

20

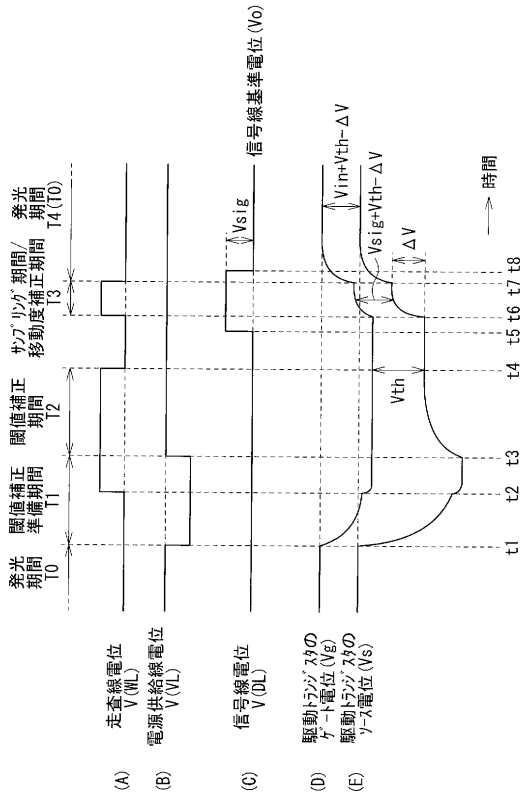
【図1】



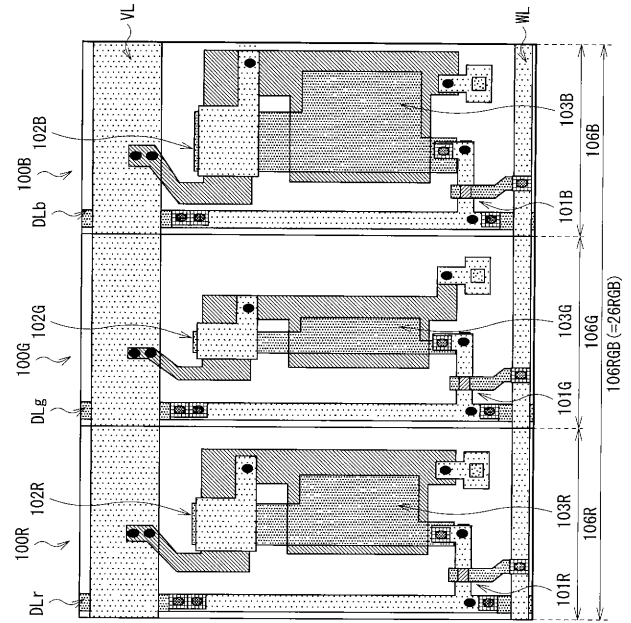
【図2】



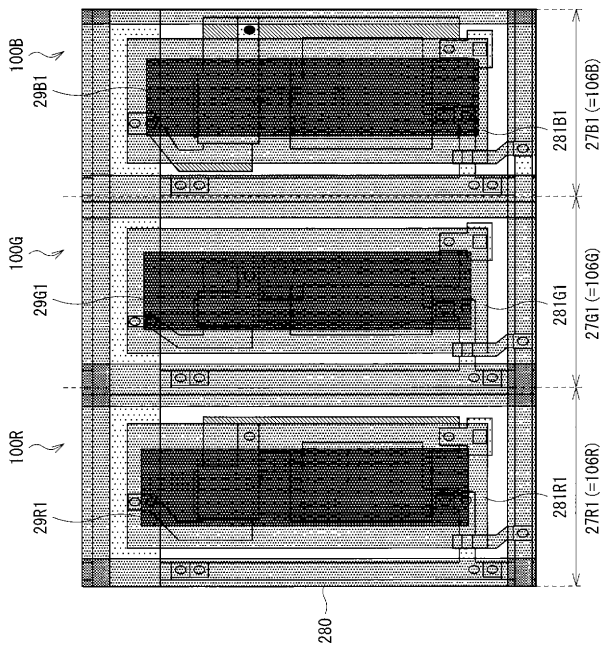
【図 7】



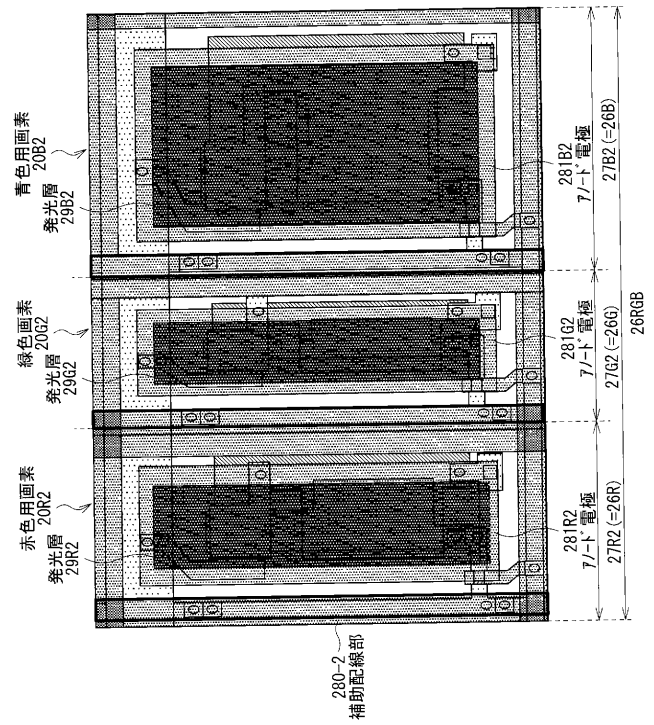
【図 8】



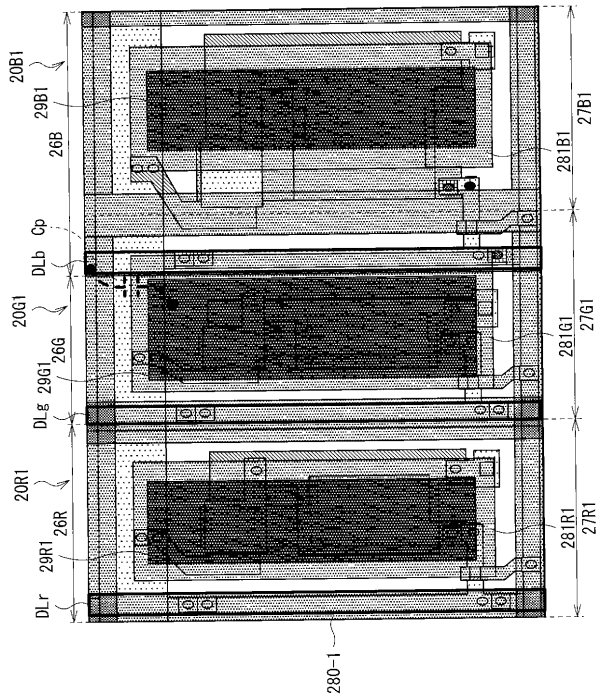
【図 9】



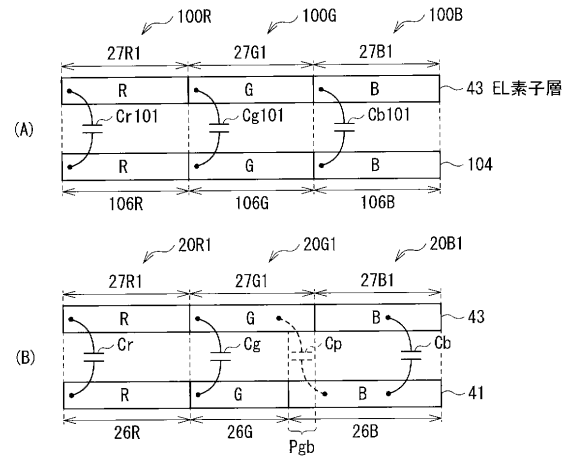
【図 10】



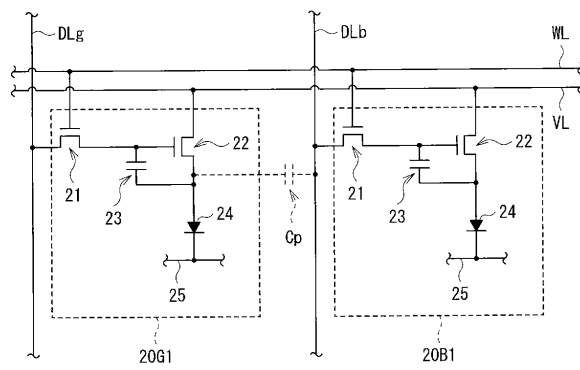
【図 1 1】



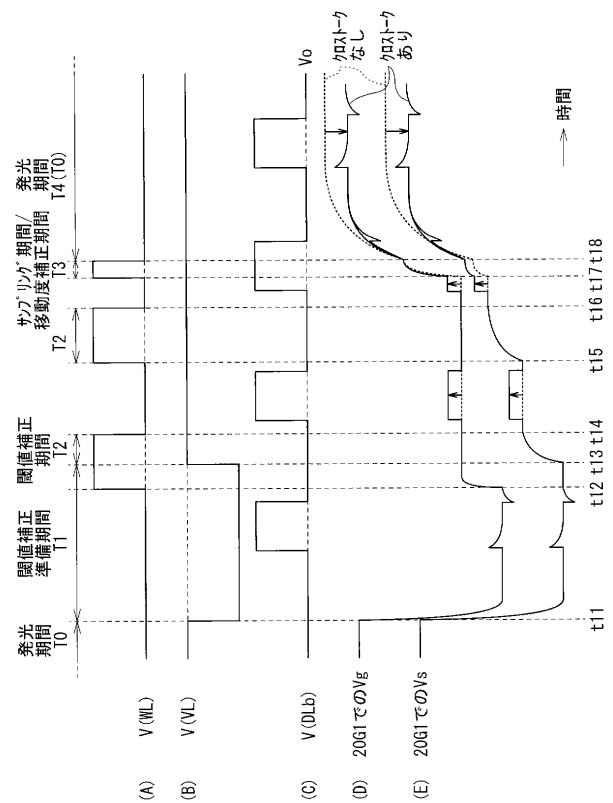
【図 1 2】



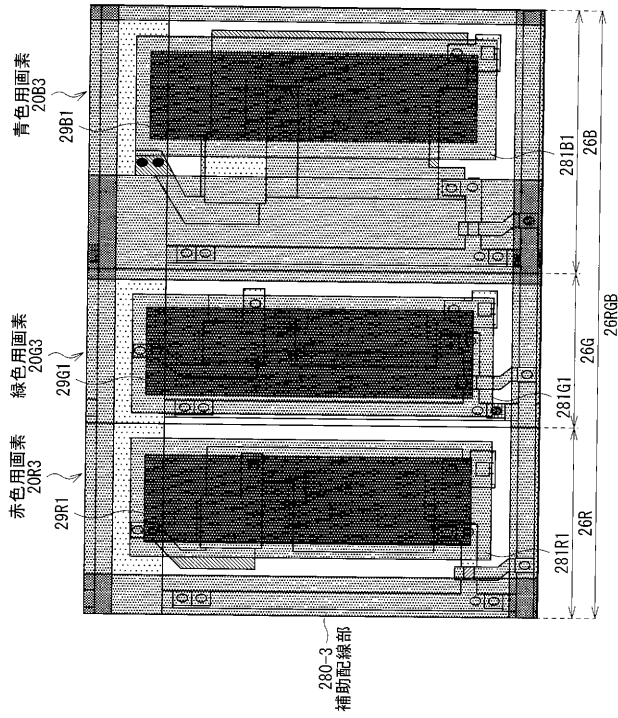
【図 1 3】



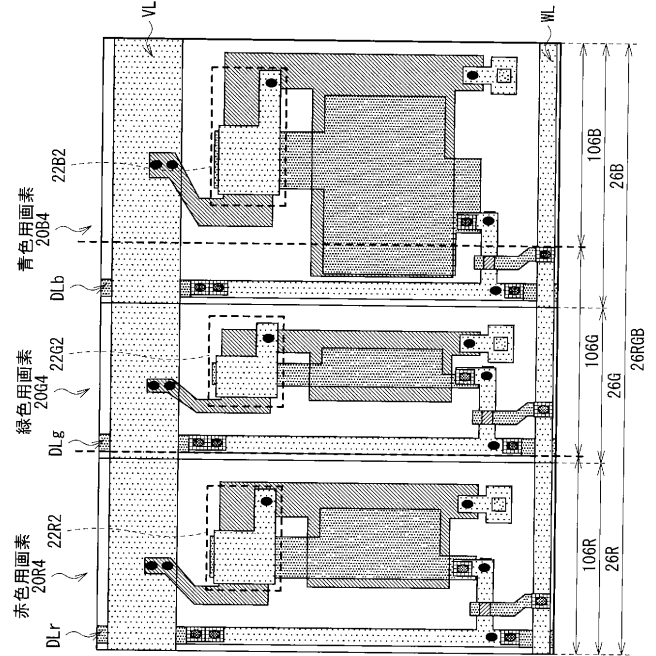
【図 1 4】



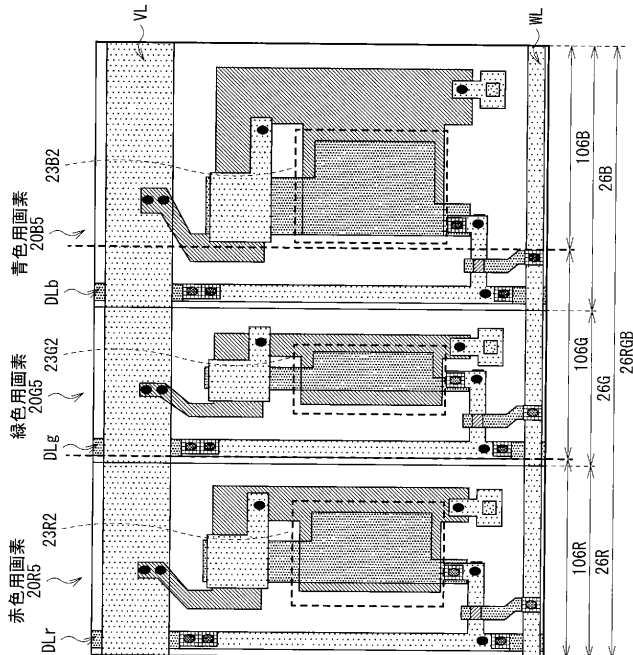
【図 15】



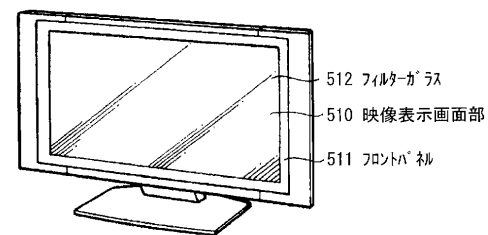
【図 16】



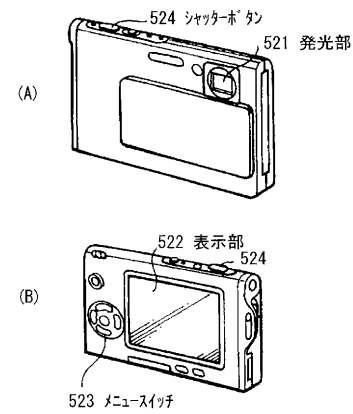
【図 17】



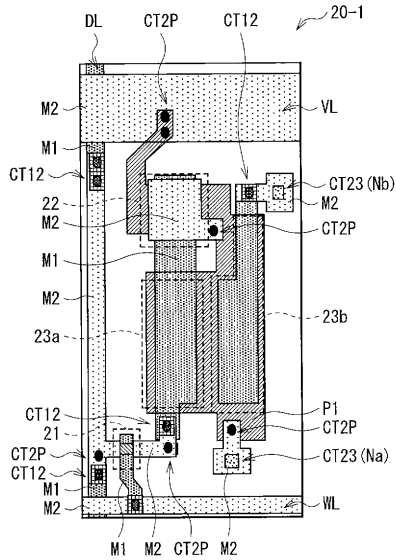
【図 18】



【図 19】

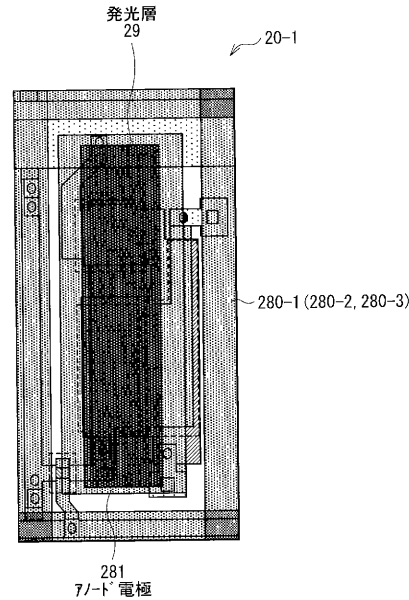


【図 24】



- 第1の金属層 M1
- 第2の金属層 M2
- 第1のシリコン層 P1
- 第1の金属層と第2の金属層との接続コンタクト部 CT12
- 第2の金属層と第1のシリコン層との接続コンタクト部 CT2P
- 第2の金属層と第3の金属層との接続コンタクト部 CT23
- 蓄積容量形成領域 23a, 23b

【図 25】



【手続補正書】

【提出日】平成21年7月27日(2009.7.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を備え、

前記画素内において同一の発光輝度を得るために前記画素内の複数の各色用自発光素子にそれぞれ必要とされる駆動電流の大きさの比に応じて、前記複数の各色用画素回路のサイズが前記画素回路内において不均等に設定されている

自発光表示装置。

【請求項 2】

前記複数の各色用画素のサイズおよび形成位置が、前記画素内において均等に設定されている

請求項 1 に記載の自発光表示装置。

【請求項 3】

前記各色用自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造を有し、

前記アノード電極および前記発光層のサイズおよび形成位置がそれぞれ、前記画素内において均等に設定されている

請求項 2 に記載の自発光表示装置。

【請求項 4】

前記複数の各色用画素のサイズが、前記画素回路内における前記複数の各色用画素回路のサイズの比に応じて、前記画素内において不均等に設定されている

請求項 1 に記載の自発光表示装置。

【請求項 5】

前記各色用自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造を有し、

前記アノード電極および前記発光層のサイズがそれぞれ、前記画素回路内における前記複数の各色用画素回路のサイズの比に応じて、前記画素内において不均等に設定されている

請求項 4 に記載の自発光表示装置。

【請求項 6】

前記画素が、R（赤）用画素と、G（緑）用画素と、B（青）用画素とにより構成され、前記画素回路が、R 用画素回路と、G 用画素回路と、B 用画素回路とにより構成され、

以下の 2 つの式を満たす

請求項 4 に記載の自発光表示装置。

$(G \text{ 用画素のサイズ}) < (R \text{ 用画素のサイズ}) < (B \text{ 用画素のサイズ})$

$(G \text{ 用画素回路のサイズ}) < (R \text{ 用画素回路のサイズ}) < (B \text{ 用画素回路のサイズ})$

【請求項 7】

前記複数の各色用画素のサイズが、前記画素内において均等に設定され、

前記複数の各色用画素の形成位置が、前記画素回路内における前記複数の各色用画素回路のサイズの比に応じて、前記画素内において不均等に設定されている

請求項 1 に記載の自発光表示装置。

【請求項 8】

前記各色用自発光素子が、アノード電極、発光層およびカソード電極を含む積層構造を有し、

前記アノード電極および前記発光層のサイズがそれぞれ、前記画素内において均等に設定され、

前記アノード電極および前記発光層の形成位置がそれぞれ、前記画素回路内における前記複数の各色用画素回路のサイズの比に応じて、前記画素内において不均等に設定されている

請求項 7 に記載の自発光表示装置。

【請求項 9】

前記複数の各色用画素の各々に、映像信号に基づく駆動電圧を供給するための信号線が接続され、

一の各色用画素のアノード電極とその隣の各色用画素に接続された信号線とが積層方向においてオーバーラップしないように、前記アノード電極および前記発光層の形成位置が設定されている

請求項 8 に記載の自発光表示装置。

【請求項 10】

前記アノード電極および前記発光層が形成されていない領域に、前記カソード電極と電氣的に接続された補助配線部が形成されている

請求項 9 に記載の自発光表示装置。

【請求項 11】

前記複数の各色用画素回路の各々が駆動トランジスタを含み、

前記各駆動トランジスタが、前記画素回路を前記複数の各色用画素回路へと均等に分割

したと仮定した場合における、対応する各色用画素回路の領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 1 2】

前記複数の各色用画素回路の各々が、駆動電流を蓄積するための蓄積容量素子を含み、前記各蓄積容量素子が、前記画素回路を前記複数の各色用画素回路へと均等に分割したと仮定した場合における、対応する各色用画素回路の領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 1 3】

前記複数の各色用画素の各々に、映像信号に基づく駆動電圧を供給するための信号線が接続され、

前記各信号線が、前記画素回路を前記複数の各色用画素回路へと均等に分割したと仮定した場合における、対応する各色用画素回路の領域内に配置されている

請求項 1 に記載の自発光表示装置。

【請求項 1 4】

前記画素が、R 用画素と、G 用画素と、B 用画素とにより構成されている

請求項 1 に記載の自発光表示装置。

【請求項 1 5】

以下の式を満たす

請求項 1 4 に記載の自発光表示装置。

$(G \text{ 用画素のサイズ}) < (R \text{ 用画素のサイズ}) < (B \text{ 用画素のサイズ})$

【請求項 1 6】

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を備え、

前記複数の各色用画素回路の各々が、活性層とゲート電極とを有する駆動トランジスタを含み、

各駆動トランジスタ間における、前記活性層とゲート電極とのオーバーラップ領域の面積比に応じて、前記複数の各色用画素回路のサイズが、前記画素回路内において不均等に設定されている

自発光表示装置。

【請求項 1 7】

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を備え、

前記複数の各色用画素回路の各々が、駆動電流を蓄積するための蓄積容量素子を含み、各蓄積容量素子間における面積比に応じて、前記複数の各色用画素回路のサイズが、前記画素回路内において不均等に設定されている

自発光表示装置。

【請求項 1 8】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を有し、

前記画素内において同一の発光輝度を得るために前記画素内の複数の各色用自発光素子にそれぞれ必要とされる駆動電流の大きさの比に応じて、前記複数の各色用画素回路のサイズが前記画素回路内において不均等に設定されている

電子機器。

【請求項 19】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を有し、

前記複数の各色用画素回路の各々が、活性層とゲート電極とを有する駆動トランジスタを含み、

各駆動トランジスタ間における、前記活性層とゲート電極とのオーバーラップ領域の面積比に応じて、前記複数の各色用画素回路のサイズが、前記画素回路内において不均等に設定されている

電子機器。

【請求項 20】

表示機能を有する自発光表示装置を備え、

前記自発光表示装置は、

各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、

前記複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層と

を有し、

前記複数の各色用画素回路の各々が、駆動電流を蓄積するための蓄積容量素子を含み、各蓄積容量素子間における面積比に応じて、前記複数の各色用画素回路のサイズが、前記画素回路内において不均等に設定されている

電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の第1の自発光表示装置は、各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層とを備えたものである。ここで、上記画素内において同一の発光輝度を得るために画素内の複数の各色用自発光素子にそれぞれ必要とされる駆動電流の大きさの比に応じて、複数の各色用画素回路のサイズが上記画素回路内において不均等に設定されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第1の自発光表示装置および第1の電子機器では、上記画素内において同一の発光輝度を得るために画素内の複数の各色用自発光素子にそれぞれ必要とされる駆動電流

の大きさの比に応じて、複数の各色用画素回路のサイズが上記画素回路内において不均等に設定されていることにより、駆動電流の大きさに応じて複数の各色用画素回路内の素子サイズが互いに異なったとしても、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となる。これにより、特定の各色用画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【0 0 1 1】

本発明の第 2 の自発光表示装置は、各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層とを備えたものである。ここで、上記複数の各色用画素回路の各々が、活性層とゲート電極とを有する駆動トランジスタを含んでいる。また、各駆動トランジスタ間における、活性層とゲート電極とのオーバーラップ領域の面積比に応じて、複数の各色用画素回路のサイズが、画素回路内において不均等に設定されている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正の内容】

【0 0 1 3】

本発明の第 2 の自発光表示装置および第 2 の電子機器では、各駆動トランジスタ間における、活性層とゲート電極とのオーバーラップ領域の面積比に応じて、複数の各色用画素回路のサイズが、画素回路内において不均等に設定されていることにより、オーバーラップ領域の面積に応じて複数の各色用画素回路内における各駆動トランジスタの素子サイズが互いに異なったとしても、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となる。これにより、特定の各色用画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 4

【補正方法】変更

【補正の内容】

【0 0 1 4】

本発明の第 3 の自発光表示装置は、各色用自発光素子をそれぞれ含む複数の各色用画素からなる画素が複数形成された画素層と、複数の各色用画素をそれぞれ駆動する複数の各色用画素回路からなる画素回路が複数形成された画素回路層とを備えたものである。ここで、上記複数の各色用画素回路の各々が、駆動電流を蓄積するための蓄積容量素子を含んでいる。また、各蓄積容量素子間における面積比に応じて、複数の各色用画素回路のサイズが、画素回路内において不均等に設定されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 6

【補正方法】変更

【補正の内容】

【 0 0 1 6 】

本発明の第 3 の自発光表示装置および第 3 の電子機器では、各蓄積容量素子間における面積比に応じて、複数の各色用画素回路のサイズが、画素回路内において不均等に設定されていることにより、複数の各色用画素回路内における蓄積容量素子の面積に応じて蓄積容量素子の素子サイズが互いに異なったとしても、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となる。これにより、特定の各色用画素回路において画素パターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

【 手続補正 8 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 7

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 7 】

本発明の第 1 の自発光表示装置または第 1 の電子機器によれば、画素内において同一の発光輝度を得るために画素内の複数の各色用自発光素子にそれぞれ必要とされる駆動電流の大きさの比に応じて、複数の各色用画素回路のサイズを画素回路内において不均等に設定するようにしたので、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【 手続補正 9 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 8

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 8 】

また、本発明の第 2 の自発光表示装置または第 2 の電子機器によれば、各駆動トランジスタ間における、活性層とゲート電極とのオーバーラップ領域の面積比に応じて、複数の各色用画素回路のサイズを画素回路内において不均等に設定するようにしたので、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【 手続補正 1 0 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 9

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 9 】

また、本発明の第 3 の自発光表示装置または第 3 の電子機器によれば、各蓄積容量素子間における面積比に応じて、複数の各色用画素回路のサイズを画素回路内において不均等に設定するようにしたので、各色用画素において、対応する各色用画素回路の画素パターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【 手続補正 1 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 3 8

【 補正方法 】 変更

【 補正の内容 】

【 0 0 3 8 】

ここで、本実施の形態の画素回路層では、同一の発光輝度を得るために各有機 E L 素子

24 に必要とされる表示駆動電流の大きさの比に応じて、R, G, B 用の画素 20R1, 20G1, 20B1 に対応する 各色用画素回路のサイズ 26R, 26G, 26B がこの画素回路内で不均等となるように設定されている。具体的には、画素回路内の駆動トランジスタ 22R1, 22G1, 22B1 における活性層（ポリシリコン層 P1）とゲート電極（第2の金属層 M2）との対向領域（オーバーラップ領域）の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。また、蓄積容量素子 23R1, 23G1, 23B1 の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B がそれぞれ、画素回路内で不均等となるように設定されている。ただし、赤色用画素 20R、緑色用画素 20G および青色用画素 20B の全体の画素 サイズ（トータル画素サイズ 26RGB；例えば 100 μm 程度）は、従来のトータル画素 サイズ と同一となるように設定されている。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

なお、ここでは、各色用画素回路のサイズ 26R, 26G, 26B において、以下の（1）式が成り立つようになっている。

$(G \text{ 用の画素 } 20G1 \text{ のサイズ } 26G) < (R \text{ 用の画素 } 20R1 \text{ のサイズ } 26R) < (B \text{ 用の画素 } 20B1 \text{ のサイズ } 26B) \quad \dots (1)$

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正の内容】

【0040】

また、本実施の形態の画素層では、図5に示した平面構成例のように、R, G, B 用の画素 20R1, 20G1, 20B1 の各サイズ 27R1, 27G1, 27B1 および形成位置が、この画素内において均等となるように設定されている。具体的には、アノード電極 281R1, 281G1, 281B1 および発光層 29R1, 29G1, 29B1 の配置ピッチおよび形成位置が、それぞれ、この画素内において均等に設定されている。より詳細には、アノード電極 281R1, 281G1, 281B1 の配置ピッチが、この画素内において均等に設定されると共に、アノード電極 281R1, 281G1, 281B1 の各形成位置が、この画素内において均等に設定され、さらに、発光層 29R1, 29G1, 29B1 の配置ピッチが、この画素内において均等に設定されると共に、発光層 29R1, 29G1, 29B1 の各形成位置が、この画素内において均等に設定されている。なお、アノード電極 281R1, 281G1, 281B1 は、例えば、銀（Ag）または Ag 合金に ITO（インジウム・スズ複合酸化物）を積層した電極により構成される。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

図8に示したように、この比較例に係る有機 EL 表示装置では、R, G, B 用の画素 100R, 100G, 110B にそれぞれ対応する 各色用画素回路のサイズ 106R, 106G, 106B がそれぞれ、画素回路内で均等となるように設定されている。また、同一の発光輝度を得るために各有機 EL 素子 24 に必要とされる表示駆動電流の大きさに応じ

て、駆動トランジスタ 102R, 102G, 102B や蓄積容量素子 103R, 103G, 103B のサイズが、互いに異なっている。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正の内容】

【0062】

なお、これら R, G, B 用の画素 100R, 100G, 110B からなる画素は、例えば図 9 に示したような平面構成を有する。すなわち、本実施の形態の図 5 と同様に、R, G, B 用の画素 100R, 100G, 110B の各サイズ 27R1, 27G1, 27B1 および形成位置が、この画素内において均等となるように設定される。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

これに対して、本実施の形態の有機 EL 表示装置 1 では、図 4 に示したように、同一の発光輝度を得るために各有機 EL 素子 24 に必要とされる表示駆動電流の大きさの比に応じて、R, G, B 用の画素 20R1, 20G1, 20B1 にそれぞれ対応する各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。具体的には、画素回路内の駆動トランジスタ 22R1, 22G1, 22B1 における活性層（ポリシリコン層 P1）とゲート電極（第 2 の金属層 M2）との対向領域（オーバーラップ領域）の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。また、蓄積容量素子 23R1, 23G1, 23B1 の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。具体的には、画素回路内の駆動トランジスタ 22R1, 22G1, 22B1 におけるポリシリコン層 P1 と第 2 の金属層 M2 との対向領域（オーバーラップ領域）の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。また、蓄積容量素子 23R1, 23G1, 23B1 の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ 26R, 26G, 26B が画素回路内で不均等となるように設定されている。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正の内容】

【0064】

これにより、表示駆動電流の大きさや上記対向領域の面積、蓄積容量素子 23R1, 23G1, 23B1 の面積などに応じて画素回路内の素子サイズ（具体的には、駆動トランジスタ 22R1, 22G1, 22B1 や蓄積容量素子 23R1, 23G1, 23B1 のサイズ）が互いに異なっても、R, G, B 用の各画素 20R1, 20G1, 20B1 にそれぞれ対応する各色用画素回路のパターン密度が、互いに均等となる。これにより、特定の色の画素回路においてパターン密度が高くなることによるパターン欠陥率の増大が回避され、画素回路全体としてのパターン欠陥率が低減する。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正の内容】

【0065】

以上のように本実施の形態では、同一の発光輝度を得るために各有機EL素子24に必要とされる表示駆動電流の大きさの比に応じて、R、G、B用の画素20R1、20G1、20B1にそれぞれ対応する各色用画素回路のサイズ26R、26G、26Bが画素回路内で不均等となるように設定したので、R、G、B用の各画素20R1、20G1、20B1にそれぞれ対応する各色用画素回路のパターン密度が互いに均等となり、画素回路全体としてのパターン欠陥率を低減することができる。よって、製造の際の歩留まりを向上させることが可能となる。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

具体的には、画素回路内の駆動トランジスタ22R1、22G1、22B1における活性層（ポリシリコン層P1）とゲート電極（第2の金属層M2）との対向領域（オーバーラップ領域）の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ26R、26G、26Bが画素回路内で不均等となるように設定したので、上記のような効果を得ることが可能となる。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

また、蓄積容量素子23R1、23G1、23B1の、各色用画素回路間での面積比に応じて、各色用画素回路のサイズ26R、26G、26Bが画素回路内で不均等となるように設定したので、上記のような効果を得ることが可能となる。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

さらに、R、G、B用の画素20R1、20G1、20B1の各サイズ27R1、27G1、27B1および形成位置が、この画素内において均等となるように設定したので、アノード電極281R1、281G1、281B1や発光層29R1、29G1、29B1のパターンを、従来のものから変更することなくそのまま用いることができる。すなわち、従来パターンのパネルの輝度等の特性を維持したまま、画素回路全体としてのパターン欠陥率を低減することができる。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

本実施の形態の画素回路層では、第1の実施の形態と同様に、同一の発光輝度を得るために各有機EL素子24に必要とされる表示駆動電流の大きさの、各色用画素回路間での

比、画素回路内の駆動トランジスタ 2 2 R 1 , 2 2 G 1 , 2 2 B 1 におけるポリシリコン層 P 1 と第 2 の金属層 M 2 との対向領域の、各色用画素回路間での面積比、または蓄積容量素子 2 3 R 1 , 2 3 G 1 , 2 3 B 1 の層内方向の、各色用画素回路間での面積比に応じて、R , G , B 用の画素 2 0 R 2 , 2 0 G 2 , 2 0 B 2 にそれぞれ対応する各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B がこの画素回路内で不均等となるように設定されている。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 2

【補正方法】変更

【補正の内容】

【0 0 7 2】

また、本実施の形態の有機 E L 素子では、第 1 の実施の形態とは異なり、R , G , B 用の画素 2 0 R 2 , 2 0 G 2 , 2 0 B 2 の各サイズ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 が、各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B の比に応じて、この画素内において不均等となるように設定されている。具体的には、アノード電極 2 8 1 R 2 , 2 8 1 G 2 , 2 8 1 B 2 および発光層 2 9 R 2 , 2 9 G 2 , 2 9 B 2 の配置ピッチ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 がそれぞれ、各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B の比に応じて、各色用画素回路間で不均等となるように設定されている。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 3

【補正方法】変更

【補正の内容】

【0 0 7 3】

なお、ここでは、各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B および各色画素のサイズ 2 7 R 2 , 2 7 G 2 , 2 7 B 2 において、以下の (2) , (3) 式が成り立つようになっている。

G 用画素のサイズ 2 7 G 2 < R 用画素のサイズ 2 7 R 2 < B 用画素のサイズ 2 7 B 2 ... (2)

G 用画素回路のサイズ 2 6 G < R 用画素回路のサイズ 2 6 R < B 用画素回路のサイズ 2 6 B ... (3)

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 5

【補正方法】変更

【補正の内容】

【0 0 7 5】

上記第 1 の実施の形態の画素回路層および有機 E L 素子 2 4 では、例えば図 1 1 に示したように、各色用画素 2 0 R 1 , 2 0 G 1 , 2 0 B 1 のサイズ 2 7 R 1 , 2 7 G 1 , 2 7 B 1 および形成位置が、この画素内で均等となるように設定されている。したがって、例えば図中に示したように、一の各色用画素のアノード電極（ここでは、緑色用画素 2 0 G 1 のアノード電極 2 8 1 R 1）とその隣りの各色用画素に接続された信号線（ここでは、青色用画素 2 0 B 1 に接続された信号線 D L b）とが積層方向に沿って互いに対向する（オーバーラップする）場合が生じ、その場合にはそれらの間に寄生容量成分 C p が発生することになる。

【手続補正 2 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 6

【補正方法】変更

【補正の内容】

【0076】

すなわち、従来の画素100R, 100G, 100Bでは、例えば図12(A)に模式断面図で示したように、各色用画素回路のサイズ(ピッチ)106R, 106G, 106Bと各色用画素のサイズ(ピッチ)27R1, 27G1, 27B1とが互いに一致しているため、本来の容量成分 C_{r101} , C_{g101} , C_{b101} のみが存在している。これに対し、上記第1の実施の形態の画素20R1, 20G1, 20B1では、例えば図12(B)に模式断面図で示したように、各色用画素回路のサイズ(ピッチ)26R, 26G, 26Bと各色用画素のサイズ(ピッチ)27R1, 27G1, 27B1とが互いに一致していないため、隣接画素とのオーバーラップ領域において、寄生容量成分 C_p が発生することになる。なお、このような寄生容量成分 C_p を回路図で表すと、例えば図13に示したようになる。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0078

【補正方法】変更

【補正の内容】

【0078】

そこで、本実施の形態では、図10に示したように、各色用画素20R2, 20G2, 20B2のサイズ27R2, 27G2, 27B2が、各色用画素回路のサイズ26R, 26G, 26Bの比に応じて不均等となるように設定されている。具体的には、アノード電極281R2, 281G2, 281B2および発光層29R2, 29G2, 29B2の配置ピッチ27R2, 27G2, 27B2がそれぞれ、各色用画素回路のサイズ26R, 26G, 26Bの比に応じて不均等となるように設定されている。これにより、一の画素のアノード電極とその隣接画素に接続された信号線との間のオーバーラップ領域が生じないため、寄生容量成分 C_p の発生が回避される。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

以上のように本実施の形態では、各色用画素20R2, 20G2, 20B2のサイズ27R2, 27G2, 27B2が、各色用画素回路のサイズ26R, 26G, 26Bの比に応じて不均等となるように設定したので、上記第1の実施の形態における効果に加えて寄生容量成分 C_p の発生を回避することができ、画質の乱れ(クロストーク現象)をなくすることができる。よって、画質に影響を与えずに、画素回路全体としてのパターン欠陥率を低減することが可能となる。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正の内容】

【0080】

[第3の実施の形態]

図15は、本発明の第3の実施の形態に係る自発光表示装置(有機EL表示装置)における、各色用画素20R3, 20G3, 20B3、およびこれらにそれぞれ対応する各色用画素回路の平面構成例を表したものである。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】 0 0 8 1

【補正方法】 変更

【補正の内容】

【 0 0 8 1 】

本実施の形態の画素回路層では、上記第 1 の実施の形態と同様に、同一の発光輝度を得るために各有機 E L 素子 2 4 に必要とされる表示駆動電流の大きさの比、画素回路内の駆動トランジスタ 2 2 R 1 , 2 2 G 1 , 2 2 B 1 におけるポリシリコン層 P 1 と第 2 の金属層 M 2 との対向領域 (オーバーラップ領域) の、各色用画素回路間での面積比、または蓄積容量素子 2 3 R 1 , 2 3 G 1 , 2 3 B 1 の、各色用画素回路間での面積比に応じて、R , G , B 用の画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 にそれぞれ対応する各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B が、この画素回路内で不均等となるように設定されている。

【手続補正 3 1】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 2

【補正方法】 変更

【補正の内容】

【 0 0 8 2 】

また、本実施の形態では、上記第 1 の実施の形態と同様に、各色用画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 のサイズが、この画素内において均等となるように設定されている。

【手続補正 3 2】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 3

【補正方法】 変更

【補正の内容】

【 0 0 8 3 】

ただし、本実施の形態の有機 E L 素子では、上記第 1 および第 2 の実施の形態とは異なり、各色用画素 2 0 R 3 , 2 0 G 3 , 2 0 B 3 の形成位置が、各色用画素回路のサイズ 2 6 R , 2 6 G , 2 6 B の比に応じて、この画素回路内で不均等となるように設定されている。具体的には、一の画素のアノード電極とその隣接画素に接続された信号線とが積層方向に沿って互いに対向しないように (オーバーラップ領域が生じないように)、アノード電極 2 8 1 R 1 , 2 8 1 G 1 , 2 8 1 B 1 および発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 における形成位置が設定され、これらアノード電極 2 8 1 R 1 , 2 8 1 G 1 , 2 8 1 B 1 および発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 の形成領域の隙間に、カソード電極 2 8 2 と電氣的に接続された補助配線部 2 8 0 - 3 が形成されるようになっている。

【手続補正 3 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 5

【補正方法】 変更

【補正の内容】

【 0 0 8 5 】

また、上記第 2 の実施の形態とは異なり、各色用画素回路 2 0 R 3 , 2 0 G 3 , 2 0 B 3 のサイズ (具体的には、発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 等のサイズ) が、この画素内において均等となるように設定されていることにより、各色における視野角特性の違いや電流密度の違いによるライフ時間の相違が回避される。また、ホワイトバランスの崩れや、R , G , B 用の縦線のサイズが異なってしまうことも回避される。

【手続補正 3 4】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 8 6

【補正方法】 変更

【補正の内容】

【 0 0 8 6 】

以上のように本実施の形態では、各色用画素回路 2 0 R 3 , 2 0 G 3 , 2 0 B 3 のサイズ（具体的には、発光層 2 9 R 1 , 2 9 G 1 , 2 9 B 1 等のサイズ）が、この画素内において均等となるように設定したので、上記第 2 の実施の形態における効果に加え、各色において視野角特性の違いや電流密度の違いによるライフ特性等を変えることなく、画質に影響を与えずに画素回路全体としてのパターン欠陥率を低減することが可能となる。

【 手 続 補 正 3 5 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 8 7

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 8 7 】

[第 4 の 実 施 の 形 態]

図 1 6 は、本発明の第 4 の実施の形態に係る自発光表示装置（有機 E L 表示装置）における、各色用画素 2 0 R 4 , 2 0 G 4 , 2 0 B 4 およびこれらにそれぞれ対応する各色用画素回路の平面構成例を表したものである。また、図 1 7 は、本実施の形態に係る他の自発光表示装置（有機 E L 表示装置）における、各色用画素 2 0 R 5 , 2 0 G 5 , 2 0 B 5 およびこれらにそれぞれ対応する各色用画素回路の平面構成例を表したものである。

【 手 続 補 正 3 6 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 8 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 8 8 】

図 1 6 に示した構成例では、各画素 2 0 R 4 , 2 0 G 4 , 2 0 B 4 の駆動トランジスタ 2 2 R 2 , 2 2 G 2 , 2 2 B 2 がそれぞれ、各色用画素回路を R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B を等しくしたと仮定した場合）における自己の各色用画素領域内に配置されている。すなわち、駆動トランジスタ 2 2 R 2 , 2 2 G 2 , 2 2 B 2 は、画素回路を 3 つの各色用画素回路へと均等に分割したと仮定した場合における、各々対応する各色用画素回路の領域内にそれぞれ配置されている。

【 手 続 補 正 3 7 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 8 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 8 9 】

また、図 1 7 に示した構成例では、各画素 2 0 R 5 , 2 0 G 5 , 2 0 B 5 の蓄積容量素子 2 3 R 2 , 2 3 G 2 , 2 3 B 2 がそれぞれ、各色用画素回路を R , G , B 用の画素ごとに均等に配置した場合（画素ピッチ 1 0 6 R , 1 0 6 G , 1 0 6 B を等しくしたと仮定した場合）における自己の各色用画素領域内に配置されている。すなわち、蓄積容量素子 2 3 R 2 , 2 3 G 2 , 2 3 B 2 は、画素回路を 3 つの各色用画素回路へと均等に分割したと仮定した場合における、各々対応する各色用画素回路の領域内にそれぞれ配置されている。

【 手 続 補 正 3 8 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 9 1

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 9 1 】

以上のように本実施の形態では、駆動トランジスタ $22R2$, $22G2$, $22B2$ や蓄積容量素子 $23R2$, $23G2$, $23B2$ を、画素回路を3つの各色用画素回路へと均等に分割したと仮定した場合における、各々対応する各色用画素回路の領域内にそれぞれ配置するようにしたので、上記第1の実施の形態における効果に加えて寄生容量成分 C_p の発生を回避することができ、画質の乱れ（クロストーク現象）をなくすることができる。よって、画質に影響を与えずに、画素回路全体としてのパターン欠陥率を低減することが可能となる。

【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0092

【補正方法】変更

【補正の内容】

【0092】

なお、各画素に対応する信号線 DLr , DLg , DLb についても、画素回路を3つの各色用画素回路へと均等に分割したと仮定した場合における、各々対応する各色用画素回路の領域内にそれぞれ配置するようにしてもよい。このように構成した場合も同様に、画質の乱れ（クロストーク現象）をなくすることができ、画質に影響を与えずに画素回路全体としてのパターン欠陥率を低減することが可能となる。

【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

また、より一般的には、駆動トランジスタ $22R2$, $22G2$, $22B2$ 、蓄積容量素子 $23R2$, $23G2$, $23B2$ および信号線 DLr , DLg , DLb のうちの少なくとも1つを、画素回路を3つの各色用画素回路へと均等に分割したと仮定した場合における、各々対応する各色用画素回路の領域内にそれぞれ配置するようにすれば、本実施の形態の効果を得ることが可能である。

【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正の内容】

【0101】

例えば、上記実施の形態等では、各色用画素回路のサイズ $26R$, $26G$, $26B$ や各色用画素のサイズ $27R2$, $27G2$, $27B2$ に関して上記(1)～(3)式が成り立つ場合について説明したが、不均等配置の態様は、これらの式で規定されるものには限られない。

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0106

【補正方法】変更

【補正の内容】

【0106】

1 ... 有機EL表示装置、2 ... 画素アレイ部、20 , 20 - 1 ... 画素、20R1 ~ 20R5 ... 赤色用画素、20G1 ~ 20G5 ... 緑色用画素、20B1 ~ 20B5 ... 青色用画素、21 , 21R1 , 21G1 , 21B1 ... 書き込みトランジスタ、22 , 22R1 , 22R2 , 22G1 , 22G2 , 22B1 , 22B2 ... 駆動トランジスタ、23 , 23a , 23b , 23R1 , 23R2 , 23G1 , 23G2 , 23B1 , 23B2 ... 蓄積容量素子（蓄

積容量形成領域)、24...有機EL素子、240...寄生容量成分、25...共通電源供給線、26R, 26G, 26B...画素回路の画素ピッチ(各色用画素回路のサイズ)、26RGB...トータル画素ピッチ(トータル画素サイズ)、27R1, 27R2, 27G1, 27G2, 27B1, 27B2...有機EL素子の画素ピッチ(各色用画素のサイズ、配置ピッチ)、280-1~280-3...補助配線部、281, 281R1, 281R2, 281G1, 281G2, 281B1, 281B2...アノード電極、282...カソード電極、29, 29R1, 29R2, 29G1, 29G2, 29B1, 29B2...発光層、31...電源走査回路、32...書き込み走査回路、33...水平駆動回路、41...画素回路層、42...絶縁層、43...EL素子層、510...映像表示画面部、511...フロントパネル、512...フィルターガラス、521...発光部、522...表示部、523...メニュースイッチ、524...シャッターボタン、531...本体、532...キーボード、533...表示部、541...本体部、542...レンズ、543...スタート/ストップスイッチ、544...表示部、710...上部筐体、720...下部筐体、730...連結部、740...ディスプレイ、750...サブディスプレイ、760...ピクチャーライト、770...カメラ、VL, VL-1~VL-m...電源供給線、WL, WL-1~WL-m...走査線、DL, DL-1~DL-n, DLr, DLg, DLb...信号線、Na, Nb...ノード、M1...第1の金属層、M2...第2の金属層、P1...ポリシリコン層、CT12, CT23, CT2P...接続コンタクト部、t1~t8, t11~t18...タイミング、T0, T4...発光期間、T1...閾値補正準備期間、T2...閾値補正期間、T3...サンプリング期間/移動度補正期間、V(WL)...走査線電位、V(VL)...電源供給線電位、V(DL)...信号線電位、Vg...駆動トランジスタのゲート電位、Vs...駆動トランジスタのソース電位、Cr, Cg, Cb...容量成分、Cp...寄生容量成分、Pgb...対向領域(オーバーラップ領域)。

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

Z

F ターム(参考) 3K107 AA01 AA05 BB01 CC45 EE03 EE06 FF15 HH00 HH05
5C094 AA08 AA10 AA32 AA42 AA43 AA46 AA48 BA03 BA27 CA20
DA13 DB04 EA04 FA01 GB10 HA08 HA10