



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0100806
(43) 공개일자 2012년09월12일

(51) 국제특허분류(Int. Cl.)
G06K 19/077 (2006.01) B42D 15/10 (2006.01)
H04B 5/02 (2006.01)
(21) 출원번호 10-2012-0021852
(22) 출원일자 2012년03월02일
심사청구일자 없음
(30) 우선권주장
JP-P-2011-047460 2011년03월04일 일본(JP)
JP-P-2011-111004 2011년05월18일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
요네다 세이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
장훈

전체 청구항 수 : 총 32 항

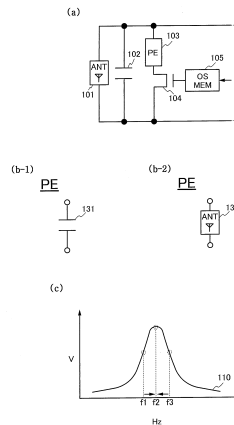
(54) 발명의 명칭 반도체 장치

(57) 요약

용이하게 공진 주파수의 설정을 행한다.

코일로서의 기능을 가지는 안테나와, 안테나와 병렬 접속으로 전기적으로 접속되는 용량 소자와, 안테나 및 용량 소자와 병렬 접속으로 전기적으로 접속됨으로써, 안테나 및 용량 소자와 공진 회로를 구성하는 수동 소자와, 수동 소자와 안테나 및 용량 소자를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어하는 제 1 전계 효과 트랜지스터와, 기억 회로, 를 구비하고, 기억 회로는, 채널이 형성되는 산화물 반도체층을 포함하고, 소스 및 드레인의 한쪽에 데이터 신호가 입력되고, 소스 및 드레인의 다른 쪽의 전압에 따라 제 1 전계 효과 트랜지스터의 게이트의 전압이 설정되는 제 2 전계 효과 트랜지스터를 구비한다.

대표도 - 도1



특허청구의 범위

청구항 1

코일과;

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 접속되는 용량 소자와;

제 1 단자가 상기 코일의 상기 제 1 단자에 전기적으로 접속되는 수동 소자와;

제 1 단자가 상기 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 상기 제 2 단자에 전기적으로 접속되는 제 1 트랜지스터와;

제 1 단자가 상기 제 1 트랜지스터의 게이트에 전기적으로 접속된 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 채널을 포함하는 반도체층을 포함하고, 상기 채널은 산화물 반도체를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 수동 소자는 용량 소자 및 코일 중 하나인, 반도체 장치.

청구항 3

제 1 항에 있어서,

제 1 단자가 상기 코일의 상기 제 1 단자에 전기적으로 접속된 제 2 수동 소자와;

제 1 단자가 상기 제 2 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 상기 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터를 더 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 산화물 반도체는 In-Ga-Zn계 산화물 반도체를 포함하는, 반도체 장치.

청구항 5

제 1 항에 있어서,

제 1 단자가 상기 코일의 상기 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 상기 제 2 단자에 전기적으로 접속되는 정류 회로를 더 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

제 1 단자가 상기 제 1 트랜지스터의 상기 게이트에 전기적으로 접속되는 제 2 용량 소자와;

제 1 단자가 상기 코일의 상기 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터와;

제 1 단자가 상기 제 3 트랜지스터의 상기 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 상기 제 2 단자에 전기적으로 접속되는 부하를 더 포함하는, 반도체 장치.

청구항 7

코일과;

상기 코일에 병렬로 전기적으로 접속되는 용량 소자와;

상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속됨으로써 상기 코일 및 상기 용량 소자와 공진 회로를 형성하는 수동 소자와;

상기 수동 소자가 상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속할 것인지 아닌지를 제어할 수 있는 제 1 전계 효과 트랜지스터와;

기억 회로를 포함하고,

상기 기억 회로는 채널을 포함하는 반도체층을 포함하는 제 2 전계 효과 트랜지스터를 포함하고, 상기 채널은 산화물 반도체를 포함하고,

상기 제 1 전계 효과 트랜지스터의 게이트의 전압은 상기 제 2 전계 효과 트랜지스터의 소스 및 드레인 중 하나의 전압에 따라서 설정되는, 반도체 장치.

청구항 8

제 7 항에 있어서,

데이터 신호가 상기 제 2 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 입력되는, 반도체 장치.

청구항 9

제 7 항에 있어서,

상기 수동 소자는 용량 소자 및 코일 중 하나인, 반도체 장치.

청구항 10

제 7 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되는 제 2 수동 소자와;

제 1 단자가 상기 제 2 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터를 더 포함하는, 반도체 장치.

청구항 11

제 7 항에 있어서,

상기 산화물 반도체는 In-Ga-Zn계 산화물 반도체를 포함하는, 반도체 장치.

청구항 12

제 7 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로 접속되는 정류 회로를 더 포함하는, 반도체 장치.

청구항 13

코일과;

상기 코일에 병렬로 전기적으로 접속되는 용량 소자와;

상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속됨으로써 상기 코일 및 상기 용량 소자와 공진 회로를 형성하는 수동 소자와;

상기 수동 소자가 상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속할 것인지 아닌지를 제어할 수 있는 제 1 전계 효과 트랜지스터와;

기억 회로를 포함하고,

상기 기억 회로는 채널을 포함하는 반도체층을 포함하는 제 2 전계 효과 트랜지스터를 포함하고, 상기 채널은 산화물 반도체를 포함하고,

상기 제 2 전계 효과 트랜지스터의 소스 및 드레인 중 하나는 상기 제 1 전계 효과 트랜지스터의 게이트에 전기적으로 접속되는, 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 기억 회로는:

제 1 전극이 상기 제 1 전계 효과 트랜지스터의 상기 게이트에 전기적으로 접속되는 제 2 용량 소자와;

제 3 전계 효과 트랜지스터로서, 상기 제 3 전계 효과 트랜지스터의 소스 및 드레인 중 하나는 상기 제 2 용량 소자의 제 2 전극에 전기적으로 접속되고, 상기 제 3 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나의 전압은 상기 코일에 의해 수신되는 전압에 따라서 변경되는, 상기 제 3 전계 효과 트랜지스터와;

채널을 포함하는 반도체층을 포함하는 제 4 전계 효과 트랜지스터로서, 상기 채널은 산화물 반도체를 포함하고 상기 제 4 전계 효과 트랜지스터의 소스 및 드레인 중 하나는 상기 제 3 전계 효과 트랜지스터의 게이트에 전기적으로 접속되는, 상기 제 4 전계 효과 트랜지스터를 포함하는, 반도체 장치.

청구항 15

제 13 항에 있어서,

데이터 신호가 상기 제 2 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 입력되는, 반도체 장치.

청구항 16

제 14 항에 있어서,

제 1 데이터 신호가 상기 제 2 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 입력되고,

제 2 데이터 신호가 상기 제 4 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 입력되는, 반도체 장치.

청구항 17

제 13 항에 있어서,

상기 수동 소자는 용량 소자 및 코일 중 하나인, 반도체 장치.

청구항 18

제 13 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되는 제 2 수동 소자와;

제 1 단자가 상기 제 2 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터를 더 포함하는, 반도체 장치.

청구항 19

제 13 항에 있어서,

상기 산화물 반도체는 In-Ga-Zn계 산화물 반도체를 포함하는, 반도체 장치.

청구항 20

제 13 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로

접속되는 정류 회로를 더 포함하는, 반도체 장치.

청구항 21

코일과;

상기 코일에 병렬로 전기적으로 접속되는 용량 소자와;

상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속됨으로써 상기 코일 및 상기 용량 소자와 공진 회로를 형성하는 수동 소자와;

상기 수동 소자가 상기 코일 및 상기 용량 소자에 병렬로 전기적으로 접속할 것인지 아닌지를 제어할 수 있는 제 1 전계 효과 트랜지스터와;

기억 회로를 포함하고,

상기 기억 회로는:

채널을 포함하는 반도체층을 포함하는 제 2 전계 효과 트랜지스터로서, 상기 채널은 산화물 반도체를 포함하는, 상기 제 2 전계 효과 트랜지스터와;

제 3 전계 효과 트랜지스터로서, 상기 코일에 의해 수신된 전파에 따라 상기 제 3 전계 효과 트랜지스터의 소스 및 드레인 중 하나의 전압이 변경되고, 상기 제 3 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나는 상기 제 1 전계 효과 트랜지스터의 게이트에 전기적으로 접속되고, 상기 제 3 전계 효과 트랜지스터의 게이트는 상기 제 2 전계 효과 트랜지스터의 소스 및 드레인 중 하나에 전기적으로 접속되는, 상기 제 3 전계 효과 트랜지스터를 포함하는, 반도체 장치.

청구항 22

제 21 항에 있어서,

데이터 신호가 상기 제 2 전계 효과 트랜지스터의 상기 소스 및 상기 드레인 중 다른 하나에 입력되는, 반도체 장치.

청구항 23

제 21 항에 있어서,

상기 수동 소자는 용량 소자 및 코일 중 하나인, 반도체 장치.

청구항 24

제 21 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되는 제 2 수동 소자와;

제 1 단자가 상기 제 2 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터를 더 포함하는, 반도체 장치.

청구항 25

제 21 항에 있어서,

상기 산화물 반도체는 In-Ga-Zn계 산화물 반도체를 포함하는, 반도체 장치.

청구항 26

제 21 항에 있어서,

제 1 단자가 상기 코일의 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 코일의 제 2 단자에 전기적으로 접속되는 정류 회로를 더 포함하는, 반도체 장치.

청구항 27

안테나와;

제 1 단자가 상기 안테나의 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 안테나의 제 2 단자에 전기적으로 접속되는 용량 소자와;

제 1 단자가 상기 안테나의 상기 제 1 단자에 전기적으로 접속되는 수동 소자와;

제 1 단자가 상기 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 안테나의 상기 제 2 단자에 전기적으로 접속되는 제 1 트랜지스터와;

제 1 단자가 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되는 제 2 트랜지스터를 포함하고,

상기 제 2 트랜지스터는 채널을 포함하는 반도체층을 포함하고, 상기 채널은 산화물 반도체를 포함하는, 반도체 장치.

청구항 28

제 27 항에 있어서,

상기 수동 소자는 용량 소자 및 코일 중 하나인, 반도체 장치.

청구항 29

제 27 항에 있어서,

제 1 단자가 상기 안테나의 상기 제 1 단자에 전기적으로 접속되는 제 2 수동 소자와;

제 1 단자가 상기 제 2 수동 소자의 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 안테나의 상기 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터를 더 포함하는, 반도체 장치.

청구항 30

제 27 항에 있어서,

상기 산화물 반도체는 In-Ga-Zn계 산화물 반도체를 포함하는, 반도체 장치.

청구항 31

제 27 항에 있어서,

제 1 단자가 상기 안테나의 상기 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 안테나의 상기 제 2 단자에 전기적으로 접속되는 정류 회로를 더 포함하는, 반도체 장치.

청구항 32

제 27 항에 있어서,

제 1 단자가 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되는 제 2 용량 소자와;

제 1 단자가 상기 안테나의 상기 제 1 단자에 전기적으로 접속되고 제 2 단자가 상기 제 2 용량 소자의 제 2 단자에 전기적으로 접속되는 제 3 트랜지스터와;

제 1 단자가 상기 제 3 트랜지스터의 상기 제 2 단자에 전기적으로 접속되고 제 2 단자가 상기 안테나의 상기 제 2 단자에 전기적으로 접속되는 부하를 더 포함하는, 반도체 장치.

명세서

기술분야

[0001] 본 발명의 일 형태는, 반도체 장치에 관한다.

배경기술

[0002] 최근, 무선 통신에 의한 전원(전원 전압이라고도 한다)의 공급(급전이라고도 한다), 또한 무선 통신에 의한 데

이터의 송수신(데이터 통신이라고도 한다)이 가능한 반도체 장치의 개발이 이루어지고 있다. 예를 들어, 반도체 장치의 일례인 휴대형 정보 단말(예를 들어 휴대 전화기 등)에 무선 통신에 의한 급전 기능을 부가시킬 수 있으면, 외부 급전부와의 접속에 의한 급전이 필요없어 지므로, 예를 들어 모든 환경하에서의 급전이 가능하게 되는 등, 보다 간편하게 급전을 행할 수 있다.

[0003] 또한, 무선 통신에 의해 데이터의 송수신, 데이터의 기록, 데이터의 소거 등이 가능한 반도체 장치의 일례로서, RFID(Radio Frequency Identification)태그를 이용한 개체 식별 기술이 알려져 있다. RFID 태그는, RF 태그, 무선 태그, 전자 태그, 무선 칩이라고도 불린다. 또한, RFID 태그는, 태그 내부에 인증 또는 그밖의 처리를 실행하기 위한 집적 회로(Integrated Circuit:IC) 등의 기능 회로가 설치되어 있어서, IC 태그, IC 칩, IC 카드라고도 불린다. 상기 반도체 장치와의 데이터의 송수신에는, 무선 통신 장치(리더 라이터 등, 무선 통신에 의한 데이터 신호의 송수신이 가능한 것)를 사용한다. 상기 반도체 장치를 사용한 개체 식별 기술은, 예를 들어 개개의 대상물의 생산, 관리 등에 사용되고, 또한, 개인 인증으로의 응용도 기대된다.

[0004] 상기 반도체 장치에서는, 코일(안테나) 등에 의한 공진 인덕턴스 및 용량 소자 등에 의한 공진 용량의 값을 설정하여 공진 주파수를 설정함으로써, 공급되는 전원 전압의 값이 설정된다. 그러나, 제조 공정의 편차에 의해, 실제의 공진 주파수가 원하는 공진 주파수에서 벗어나는 경우가 있다. 이 때, 공정 종료 후에 공진 주파수를 재조정할 필요가 있다.

[0005] 상기 문제의 대책으로서, 공진 주파수 조정 회로에 의해 공진 주파수를 최적의 값으로 설정하는 반도체 장치가 알려져 있다(예를 들어 특허문헌 1).

[0006] 특허문헌 1에 나타내는 반도체 장치에서는, 안테나에 용량 소자를 병렬 접속으로 접속할 것인지 아닌지를 제어 트랜지스터의 게이트의 전압을 설정함으로써 제어한다. 예를 들어, 상기 제어 트랜지스터가 온 상태가 되고, 용량 소자가 안테나와 병렬 접속으로 접속되면, 공진 주파수가 변화한다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 특개2003-67693호 공보

발명의 내용

해결하려는 과제

[0008] 하지만, 특허문헌 1에 나타나 있는 바와 같은 공진 주파수의 조정이 가능한 반도체 장치에서는, 한번 제어 트랜지스터의 게이트의 전압을 설정하고, 공진 주파수를 설정하여도, 예를 들어 회로 내에서의 소자의 리크 전류 등에 의해 제어 트랜지스터의 게이트의 전압이 변화하여, 공진 주파수가 벗어나 버린다. 이 때문에, 리크 전류 등에 의해 공진 주파수가 벗어날 때마다 다시 공진 주파수를 조정해야만 하고, 공진 주파수의 조정이 번잡하였다.

[0009] 본 발명의 일 형태에서는, 공진 주파수의 조정을 용이하게 하는 것을 과제의 하나로 한다.

과제의 해결 수단

[0010] 본 발명의 일 형태에서는, 코일과, 용량 소자와, 코일 및 용량 소자와 전기적으로 접속됨으로써 공진 회로를 구성하는 수동 소자와, 수동 소자와 코일 및 용량 소자를 전기적으로 접속하는지 아닌지를 제어하는 제어 트랜지스터를 형성한다. 또한, 오프 전류가 낮은 트랜지스터를 사용한 기억 회로에 데이터를 유지함으로써, 제어 트랜지스터의 게이트의 전압을 유지한다. 오프 전류가 낮은 트랜지스터를 사용한 기억 회로를 사용함으로써, 리크 전류 등에 의한 제어 트랜지스터의 게이트의 전압의 변동을 억제하고, 공진 주파수의 조정을 용이하게 한다.

[0011] 본 발명의 일 형태는, 코일과, 코일과 병렬 접속으로 전기적으로 접속되는 용량 소자와, 코일과 병렬 접속으로 전기적으로 접속됨으로써, 코일 및 용량 소자와 공진 회로를 구성하는 수동 소자와, 수동 소자와 코일 및 용량 소자를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어하는 제 1 전계 효과 트랜지스터와, 기억 회로를 구비하고, 기억 회로는, 채널이 형성되는 산화물 반도체층을 포함하고, 소스 및 드레인의 한쪽에 데이터 신호가 입력되고, 소스 및 드레인의 다른 쪽의 전압에 따라 제 1 전계 효과 트랜지스터의 게이트의 전압이 설정되는 제

2 단계 효과 트랜지스터를 구비하는 반도체 장치이다.

발명의 효과

[0012] 본 발명의 일 형태에 의해, 제어 트랜지스터의 게이트의 전압의 설정이 용이해지므로, 공진 주파수의 조정이 용이해진다.

도면의 간단한 설명

[0013] 도 1a, 도 1b1, 도 1b2, 및 도 1c는 반도체 장치의 예를 설명하기 위한 도면.
 도 2는 반도체 장치의 예를 설명하기 위한 도면.
 도 3은 반도체 장치의 예를 설명하기 위한 도면.
 도 4a 및 도 4b는 반도체 장치의 예를 설명하기 위한 도면.
 도 5a 및 도 5b는 반도체 장치의 예를 설명하기 위한 도면.
 도 6a 내지 도 6d는 트랜지스터의 구조예를 도시한 단면 모식도.
 도 7a 내지 도 7e는 트랜지스터의 제작 방법예를 설명하기 위한 단면 모식도.
 도 8은 반도체 장치의 예를 설명하기 위한 도면.
 도 9a 내지 도 9c는 반도체 장치의 예를 설명하기 위한 도면.
 도 10a 내지 도 10e는 산화물 재료의 구조를 설명하는 도면.
 도 11a 내지 도 11c는 산화물 재료의 구조를 설명하는 도면.
 도 12a 내지 도 12c는 산화물 재료의 구조를 설명하는 도면.
 도 13은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면.
 도 14a 내지 도 14c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
 도 15a 내지 도 15c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
 도 16a 내지 도 16c는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면.
 도 17a 및 도 17b는 계산에 사용한 트랜지스터의 단면 구조를 설명하는 도면.
 도 18a 내지 도 18c는 산화물 반도체막을 사용한 트랜지스터 특성의 그래프.
 도 19a 및 도 19b는 시료 1의 트랜지스터의 BT 시험 후의 V_g - I_d 특성을 도시한 도면.
 도 20a 및 도 20b는 시료 2의 트랜지스터의 BT 시험 후의 V_g - I_d 특성을 도시한 도면.
 도 21은 시료 A 및 시료 B의 XRD 스펙트럼을 도시한 도면.
 도 22는 트랜지스터의 오프 전류와 측정시 기판 온도와의 관계를 도시한 도면.
 도 23은 I_d 및 전계 효과 이동도의 V_g 의존성을 도시한 도면.
 도 24a 및 도 24b는 기판 온도와 임계값 전압의 관계 및 기판 온도와 전계 효과 이동도의 관계를 도시한 도면.
 도 25a 및 도 25b는 반도체 장치의 상면도 및 단면도.
 도 26a 및 도 26b는 반도체 장치의 상면도 및 단면도.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명을 설명하기 위한 실시형태의 일례에 대하여, 도면을 사용하여 이하에 설명한다. 또한, 본 발명의 취지 및 그 범위에서 이탈하지 않고 실시형태의 내용을 변경하는 것은, 당업자라면 용이하다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용에 한정되지 않는다.

[0015] 또한, 각 실시형태의 내용을 서로 적절히 조합시킬 수 있다. 또한, 각 실시형태의 내용을 서로 치환할 수

있다.

- [0016] 또한, 제 1, 제 2 등의 서수는, 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 각 구성 요소의 수는, 서수의 수에 한정되지 않는다.
- [0017] (실시형태 1)
- [0018] 본 실시형태에서는, 공진 주파수의 조정이 가능한 반도체 장치의 예에 대하여 설명한다.
- [0019] 본 실시형태에서의 반도체 장치의 예에 대하여 도 1a, 도 1b1, 도 1b2, 및 도 1c를 사용하여 설명한다.
- [0020] 도 1a에 도시한 반도체 장치는, 안테나(ANT라고도 한다)(101)와, 용량 소자(102)와, 수동 소자(PE라고도 한다)(103)와, 트랜지스터(104)와, 기억 회로(OSMEM이라고도 한다)(105)를 구비한다.
- [0021] 또한, 트랜지스터는, 2개의 단자와, 인가되는 전압에 의해 상기 2개의 단자 사이에 흐르는 전류를 제어하는 전류 제어 단자를 가진다. 또한, 트랜지스터에 한정되지 않고, 소자에 있어서, 서로의 사이에 흐르는 전류가 제어되는 단자를 전류 단자라고도 하고, 2개의 전류 단자의 각각을 제 1 전류 단자 및 제 2 전류 단자라고도 한다.
- [0022] 또한, 트랜지스터로서는, 예를 들어 전계 효과 트랜지스터를 사용할 수 있다. 전계 효과 트랜지스터의 경우, 제 1 전류 단자는, 소스 및 드레인의 한쪽이 되는 단자이고, 제 2 전류 단자는, 소스 및 드레인의 다른 쪽이 되는 단자이고, 전류 제어 단자는, 게이트가 되는 단자다.
- [0023] 또한, 일반적으로 전압이란, 어떤 2점 간에 있어서의 전위의 차(전위차라고도 한다)를 말한다. 그러나, 전압 및 전위의 값은, 회로도 등에 있어서 모두 볼트(V)로 나타내는 경우가 있으므로, 구별이 곤란하다. 따라서, 본 명세서에서는, 특별히 지정하는 경우를 제외하고, 어느 1점의 전위와 기준이 되는 전위(기준 전위라고도 한다)와의 전위차를, 상기 1점의 전압으로서 사용할 경우가 있다.
- [0024] 또한, 용량 소자는 제 1 전극, 제 2 전극, 및 제 1 전극과 제 2 전극에 중첩하는 유전체층을 포함한다. 용량 소자에 있어서의 전극으로서의 기능을 가지는 전극을 용량 전극이라고도 한다.
- [0025] 안테나(101)는 코일로서의 기능을 갖는다. 안테나(101)는 예를 들어 제 1 단자 및 제 2 단자를 가진다. 또한, 안테나(101)가 갖는 단자를 안테나 단자라고도 한다.
- [0026] 용량 소자(102)는 안테나(101)에 병렬 접속으로 전기적으로 접속된다. 예를 들어, 용량 소자(102)의 제 1 용량 전극은 안테나(101)의 제 1 안테나 단자에 전기적으로 접속되고, 용량 소자(102)의 제 2 용량 전극은 안테나(101)의 제 2 안테나 단자에 전기적으로 접속된다. 또한, 용량 소자(102)의 제 1 용량 전극 및 제 2 용량 전극의 한쪽 또는 양쪽과 안테나(101)와의 사이에, 트랜지스터 등의 스위칭 소자를 형성하여도 된다.
- [0027] 수동 소자(103)는 안테나(101) 및 용량 소자(102)와 병렬 접속으로 전기적으로 접속됨으로써, 공진 회로를 구성한다. 예를 들어, 수동 소자(103)의 1개의 단자는 안테나(101)의 제 1 안테나 단자에 전기적으로 접속된다.
- [0028] 수동 소자(103)로서는, 용량 소자(예를 들어 도 1b1)에 있어서의 용량 소자(131)), 또는 코일로서의 기능을 가지는 소자(예를 들어 도 1b2)에 있어서의 안테나(132)) 등을 사용할 수 있다.
- [0029] 트랜지스터(104)는 수동 소자(103)와 안테나(101) 및 용량 소자(102)를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어하는 기능을 가지며, 제어 트랜지스터라고도 한다. 예를 들어, 트랜지스터(104)가 온 상태가 됨으로써, 트랜지스터(104)의 소스 및 드레인을 개재하여, 수동 소자(103)와 안테나(101) 및 용량 소자(102)가 병렬 접속으로 전기적으로 접속된다. 또한, 예를 들어 트랜지스터(104)의 소스 및 드레인의 한쪽은, 수동 소자(103)의 한쪽 단자에 전기적으로 접속되고, 트랜지스터(104)의 소스 및 드레인의 다른 쪽은, 안테나(101)의 제 2 안테나 단자에 전기적으로 접속된다.
- [0030] 기억 회로(105)는 트랜지스터(104)의 게이트의 전압을 유지하는 기능을 가진다.
- [0031] 기억 회로(105)는 오프 전류가 낮은 전계 효과 트랜지스터를 구비한다. 상기 오프 전류가 낮은 전계 효과 트랜지스터의 소스 및 드레인의 한쪽에는, 데이터 신호가 입력되고, 상기 오프 전류가 낮은 전계 효과 트랜지스터의 소스 및 드레인의 다른 쪽의 전압에 따라 트랜지스터(104)의 게이트의 전압이 설정된다. 또한, 상기 오프 전류가 낮은 전계 효과 트랜지스터의 소스 및 드레인의 다른 쪽이 트랜지스터(104)의 게이트에 전기적으로 접속되어 있어도 좋다. 또한, 본 실시형태에서의 반도체 장치에서는, 기억 제어 회로를 형성하고, 기억 제어 회로를 사용하여 제어 신호 및 데이터 신호를 입력함으로써, 기억 회로(105)의 동작을 제어해도 좋다.

[0032] 오프 전류가 낮은 전계 효과 트랜지스터로서는, 예를 들어 산화물 반도체층을 포함하는 전계 효과 트랜지스터등을 들 수 있다. 산화물 반도체층을 포함하는 전계 효과 트랜지스터는 종래의 실리콘 등의 반도체층을 사용하는 트랜지스터보다 오프 전류가 낮은 트랜지스터이다. 상기 산화물 반도체층은 실리콘보다 밴드갭이 높고, 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상이다. 또한, 상기 산화물 반도체층은 진성(I형이라고도 한다), 또는 실질적으로 진성인 반도체층이며, 상기 산화물 반도체층을 포함하는 트랜지스터의 오프 전류는 채널 폭 1 μ m 당 10aA(1×10^{-17} A) 이하, 바람직하게는 채널 폭 1 μ m당 1aA(1×10^{-18} A) 이하, 더 바람직하게는 채널 폭 1 μ m당 10zA(1×10^{-20} A) 이하, 더 바람직하게는 채널 폭 1 μ m당 1zA(1×10^{-21} A) 이하, 더 바람직하게는 채널 폭 1 μ m당 100yA(1×10^{-22} A) 이하이다.

[0033] 또한, 트랜지스터(104)로서는, 예를 들어 상기 산화물 반도체층을 포함하는 트랜지스터, 또는 채널이 형성되어, 원소 주기표에서의 제 14족의 반도체(실리콘 등)를 함유하는 반도체층을 포함하는 트랜지스터를 사용할 수 있다.

[0034] 또한, 안테나(101)와 병렬 접속으로 전기적으로 접속되도록, 다른 기능 회로를 형성해도 된다. 기능 회로는 전압이 입력됨으로써 특정의 기능을 갖는 회로이다.

[0035] 다음으로, 본 실시형태에 있어서의 반도체 장치의 동작예로서 도 1a에 도시한 반도체 장치의 동작예에 대하여 설명한다.

[0036] 도 1a에 도시한 반도체 장치에서는, 코일(예를 들어 안테나(101)) 및 용량에 의해 공진 회로가 구성된다. 이 때, 용량 소자(102)의 용량값은 반도체 장치가 동작하기 위하여 필요한 전압이 공급되도록 설정되는 것이 바람직하다. 도 1a에 도시한 반도체 장치는, 전자 유도식의 반도체 장치이기 때문에, 안테나(101)에 의해 전파를 수신하면, 반도체 장치의 공진 주파수에 따라 전압이 생성된다. 상기 생성된 전압은 반도체 장치의 다른 기능 회로에 입력된다. 또한, 안테나(101)에 의해 전파를 수신함으로써, 반도체 장치에 데이터가 입력되어도 좋다.

[0037] 또한, 트랜지스터(104)를 온 상태 또는 오프 상태로 함으로써, 반도체 장치의 공진 주파수를 조정할 수 있다. 예를 들어, 기억 회로(105)에 있어서의, 오프 전류가 낮은 전계 효과 트랜지스터를 온 상태로 하고, 데이터 신호를 기억 회로(105)에 입력함으로써, 기억 회로(105)에 데이터 신호의 데이터를 유지하고, 트랜지스터(104)의 게이트의 전압을 데이터 신호의 전압에 따른 값으로 설정한다. 또한, 데이터 신호로서는, 디지털 데이터 신호 또는 아날로그 데이터 신호를 사용할 수 있다. 예를 들어, 아날로그 데이터 신호를 사용함으로써, 온 상태일 때의 트랜지스터(104)의 소스 및 드레인 사이에 흐르는 전류량의 변화량을 아날로그 값으로 할 수 있고, 보다 정밀하게 반도체 장치의 공진 주파수를 조정할 수 있다.

[0038] 이 때, 트랜지스터(104)의 게이트의 전압에 따라 트랜지스터(104)의 채널 저항의 값이 변화되고, 반도체 장치의 공진 주파수가 변화된다. 상기 공진 주파수 f는, 다음 식으로 나타낸다.

수학식 1

[0039]
$$f = \frac{1}{2\pi\sqrt{LC}}$$

[0040] L은, 코일 등의 인덕턴스를 나타내고, C는, 용량 소자 등의 용량을 나타낸다.

[0041] 도 1c는, 수동 소자(103)가 코일로서의 기능을 가지는 안테나일 경우의 반도체 장치에 있어서의, 공진 주파수와 생성되는 전압과의 관계를 도시한 도면이다. 예를 들어, 도 1c에 도시한 바와 같이, 트랜지스터(104)가 오프 상태일 때에 공진 주파수가 값 f1일 때, 트랜지스터(104)를 온 상태로 함으로써, 공진 주파수를 값 f1에서 생성 전압이 큰 값 f2로 변화시킬 수 있다. 또한, 트랜지스터(104)가 온 상태에서 공진 주파수가 값 f3일 때, 트랜지스터(104)를 오프 상태로 함으로써, 공진 주파수를 값 f3에서 생성 전압이 큰 값 f2로 변화시킬 수도 있다.

[0042] 이상이 도 1a에 도시한 반도체 장치의 동작예의 설명이다.

[0043] 또한, 예를 들어, 도 2에 도시한 바와 같이, 수동 소자(103), 트랜지스터(104), 및 기억 회로(105)에 의해 구성되는 회로(공진 주파수 조정 회로라고도 한다)를 복수 형성해도 좋다. 도 2에 도시한 반도체 장치는, 안테나(101)와, n개(n은 2이상의 자연수)의 수동 소자(103)(수동 소자(103_1) 내지 수동 소자(103_n))와, n개의 트랜

지스터(104)(트랜지스터(104_1) 내지 트랜지스터(104_n))와, n개의 기억 회로(105)(기억 회로(105_1) 내지 기억 회로(105_n))를 구비한다.

- [0044] m개짜리(m은 1 내지 n의 자연수)의 트랜지스터(104_m)는, m개짜리 수동 소자(103_m)와, 안테나(101)를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어한다. 또한, m개짜리 트랜지스터(104_m)의 게이트의 전압은, m개짜리 기억 회로(105_m)에 의해 유지된다. 또한, 각각의 기억 회로(105)에 유지하는 데이터를, 각각 개별적으로 설정해도 좋다.
- [0045] 공진 주파수 조정 회로를 복수 설치함으로써, 반도체 장치의 공진 주파수의 변화량을 아날로그 값으로 할 수 있고, 보다 정밀하게 반도체 장치의 공진 주파수를 조정할 수 있다.
- [0046] 도 1a, 도 1b1, 도 1b2, 및 도 1c, 및 도 2를 사용하여 설명한 바와 같이, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 다른 소자와 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다. 따라서, 예를 들어 반도체 장치의 제조시에 있어서, 반도체 장치의 공진 주파수에 편차가 생겼을 경우라도 원하는 값이 되도록 공진 주파수를 조정할 수 있다.
- [0047] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는, 리크 전류가 적고, 전원이 공급되지 않는 경우라도, 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있기 때문에, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0048] (실시형태 2)
- [0049] 본 실시형태에서는, 상기 실시형태 1에 나타내는 반도체 장치의 예에 대하여 설명한다.
- [0050] 본 실시형태에 있어서의 반도체 장치의 예에 대하여 도 3을 사용하여 설명한다. 또한, 도 3에 있어서, 도 1에 도시한 반도체 장치와 동일한 부호가 첨부되어 있는 구성요소에 대해서는, 도 1에 도시한 반도체 장치의 설명을 적절히 인용한다.
- [0051] 도 3에 도시한 반도체 장치는, 도 1에 도시한 반도체 장치와 마찬가지로, 안테나(101)와, 용량 소자(102)와, 수동 소자(103)와, 트랜지스터(104)와, 기억 회로(105)를 구비한다.
- [0052] 안테나(101)는 코일로서의 기능을 가진다.
- [0053] 용량 소자(102)는 안테나(101)에 병렬 접속으로 전기적으로 접속된다.
- [0054] 수동 소자(103)는 안테나(101) 및 용량 소자(102)와 병렬 접속으로 전기적으로 접속됨으로써 공진 회로를 구성한다.
- [0055] 트랜지스터(104)는 수동 소자(103)와 안테나(101) 및 용량 소자(102)를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어하는 기능을 가진다. 예를 들어, 트랜지스터(104)의 소스 및 드레인의 한쪽은 수동 소자(103)에 전기적으로 접속된다.
- [0056] 또한, 도 3에 도시한 기억 회로(105)는 트랜지스터(201)와 용량 소자(202)를 구비한다.
- [0057] 트랜지스터(201)의 소스 및 드레인의 한쪽에는 데이터 신호가 입력되고, 트랜지스터(201)의 소스 및 드레인의 다른 쪽은 트랜지스터(104)의 게이트에 전기적으로 접속된다.
- [0058] 트랜지스터(201)로서는, 상기 실시형태에 나타난 산화물 반도체층을 포함하는 트랜지스터 등의 오프 전류가 낮은 전계 효과 트랜지스터를 사용할 수 있다.
- [0059] 또한, 예를 들어 연산 회로 및 메모리 등을 사용하여 트랜지스터(201)의 게이트에 제어 신호를 공급하고, 트랜지스터(201)의 소스 및 드레인의 한쪽에 데이터 신호를 공급함으로써 트랜지스터(201)의 동작을 제어해도 좋다.
- [0060] 용량 소자(202)의 제 1 용량 전극은 트랜지스터(104)의 게이트에 전기적으로 접속된다. 또한, 용량 소자(202)의 제 2 용량 전극에는 소정의 전압이 부여되거나, 또는 용량 소자(202)의 제 2 용량 전극은 접지된다. 또한, 용량 소자(202)를 반드시 형성하지 않아도 좋다.

- [0061] 다음으로, 본 실시형태에 있어서의 반도체 장치의 동작으로서, 도 3에 도시한 반도체 장치의 동작예에 대하여 설명한다.
- [0062] 도 3에 도시한 반도체 장치에서는, 안테나(101)에 의해 전파를 수신하면, 반도체 장치의 공진 주파수에 따라 전압이 생성된다. 상기 생성된 전압은, 예를 들어, 반도체 장치의 다른 기능 회로에 입력된다.
- [0063] 또한, 트랜지스터(104)를 온 상태 또는 오프 상태로 함으로써, 반도체 장치의 공진 주파수를 조정할 수 있다.
- [0064] 트랜지스터(104)의 게이트의 전압을 설정할 경우, 트랜지스터(201)를 온 상태로 한다.
- [0065] 트랜지스터(201)가 온 상태일 때, 트랜지스터(104)의 게이트의 전압이 데이터 신호의 전압과 동등한 값이 된다.
- [0066] 그 후, 트랜지스터(201)를 오프 상태로 한다. 트랜지스터(201)는 오프 전류가 낮은 트랜지스터이기 때문에, 트랜지스터(201)를 오프 상태로 함으로써, 트랜지스터(104)의 게이트의 전압을 유지할 수 있다. 따라서, 트랜지스터(104)의 게이트의 전압을 설정할 수 있다.
- [0067] 이상이 도 3에 도시한 반도체 장치의 동작예의 설명이다.
- [0068] 도 3을 사용하여 설명한 바와 같이, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 다른 소자와 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다. 따라서, 예를 들어, 제조시에 있어서, 반도체 장치의 공진 주파수에 편차가 생겼을 경우라도, 원하는 값이 되도록 공진 주파수를 조정할 수 있다.
- [0069] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로에서는, 유지되는 데이터(전압)가 반영구적으로 변동하지 않는다. 즉, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는 리크 전류가 적고, 열화하기 어렵고, 전원이 공급되지 않는 경우라도 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있기 때문에, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0070] (실시형태 3)
- [0071] 본 실시형태에서는, 상기 실시형태 1에 나타내는 반도체 장치의 다른 예에 대하여 설명한다.
- [0072] 본 실시형태에 있어서의 기억 회로의 예에 대해서 도 4a 및 도 4b를 사용하여 설명한다. 도 4a 및 도 4b는, 본 실시형태에 있어서의 기억 회로를 설명하기 위한 도면이다. 또한, 도 4a 및 도 4b에 있어서, 도 1a에 도시한 반도체 장치와 동일한 부호가 붙어 있는 구성 요소에 대해서는, 도 1a에 나타내는 반도체 장치의 설명을 적절히 원용한다.
- [0073] 도 4a 및 도 4b에 도시한 반도체 장치는 도 1a에 도시한 반도체 장치와 마찬가지로, 안테나(101)와, 용량 소자(102)와, 수동 소자(103)와, 트랜지스터(104)와, 기억 회로(105)를 구비한다.
- [0074] 안테나(101)는 코일로서의 기능을 가진다.
- [0075] 용량 소자(102)는 안테나(101)에 병렬 접속으로 전기적으로 접속된다.
- [0076] 수동 소자(103)는 안테나(101) 및 용량 소자(102)와 병렬 접속으로 전기적으로 접속됨으로써 공진 회로를 구성한다.
- [0077] 트랜지스터(104)는 수동 소자(103)와 안테나(101) 및 용량 소자(102)를 병렬 접속으로 전기적으로 접속할 것인지 아닌지를 제어하는 기능을 가진다. 예를 들어, 트랜지스터(104)의 소스 및 드레인의 한쪽은 수동 소자(103)에 전기적으로 접속된다.
- [0078] 또한, 도 4a 및 도 4b에 도시한 기억 회로(105)는 트랜지스터(301)와, 용량 소자(302)와, 트랜지스터(303)와, 부하가 되는 전자 소자(LD라고도 한다)(304)를 구비한다.
- [0079] 트랜지스터(301)의 소스 및 드레인의 한쪽에는 데이터 신호가 입력된다.
- [0080] 트랜지스터(301)로서는, 상기 실시형태에 나타내는 산화물 반도체층을 포함하는 트랜지스터 등의 오프 전류가

낮은 전계 효과 트랜지스터를 사용할 수 있다.

- [0081] 또한, 예를 들어 연산 회로 및 메모리 등을 사용하여 트랜지스터(301)의 게이트에 제어 신호를 공급하고, 트랜지스터(301)의 소스 및 드레인의 한쪽에 데이터 신호를 공급함으로써 트랜지스터(301)의 동작을 제어하여도 좋다.
- [0082] 용량 소자(302)의 제 1 용량 전극은 트랜지스터(301)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다. 또한, 용량 소자(302)의 제 2 용량 전극에는 소정의 전압이 부여된다. 또한, 이것에 한정되지 않고, 용량 소자(302)의 제 2 용량전극을 접지해도 좋다. 또한, 반드시 용량 소자(302)를 형성하지 않아도 좋다.
- [0083] 트랜지스터(303)의 소스 및 드레인의 한쪽의 전압은 안테나(101)에 의해 수신하는 전파에 따라 변화되고, 트랜지스터(303)의 소스 및 드레인의 다른 쪽은 트랜지스터(104)의 게이트에 전기적으로 접속되고, 트랜지스터(303)의 게이트는, 트랜지스터(301)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다. 예를 들어, 트랜지스터(303)의 소스 및 드레인의 한쪽은 안테나(101)의 제 1 안테나 단자에 전기적으로 접속되고, 트랜지스터(303)의 소스 및 드레인의 다른 쪽은 부하가 되는 전자 소자(304)를 개재하여 안테나(101)의 제 2 안테나 단자에 전기적으로 접속된다.
- [0084] 트랜지스터(303)로서는, 예를 들어 P채널형 트랜지스터를 사용하는 것이 바람직하다. 또한, 트랜지스터(303)로서는, 예를 들어 원소 주기표에서의 제 14족의 반도체(실리콘 등)를 함유하는 반도체층을 포함하는 트랜지스터를 사용할 수 있다.
- [0085] 부하가 되는 전자 소자(304)는, 트랜지스터(303)의 소스 및 드레인의 다른 쪽의 전압을 기준이 되는 값으로 리셋하는 기능을 가진다. 부하가 되는 전자 소자(304)로서는, 예를 들어 저항 소자, 다이오드, 또는 스위칭 소자 등을 들 수 있고, 스위칭 소자로서는, 예를 들어 트랜지스터 등을 들 수 있다. 또한, 부하가 되는 전자 소자(304)를 반드시 설치하지 않아도 좋고, 대신에 기생 저항 등을 이용하여도 좋다.
- [0086] 또한, 도 4b에 도시한 반도체 장치는, 정류 회로(106)를 구비한다. 정류 회로(106)는 안테나(101)에 의해 전파를 수신함으로써 생성되는 전압을 정류하는 기능을 가진다. 또한, 정류 회로(106)를 반드시 형성하지 않아도 좋지만, 정류 회로(106)를 형성함으로써, 전압의 인가에 의한 트랜지스터(303)의 열화를 억제할 수 있다.
- [0087] 다음으로, 본 실시형태에 있어서의 반도체 장치의 동작예로서, 도 4a에 도시한 반도체 장치의 동작예에 대하여 설명한다.
- [0088] 도 4a에 도시한 반도체 장치에서는, 안테나(101)에 의해 전파를 수신하면, 반도체 장치의 공진 주파수에 따라 전압이 생성된다. 상기 생성된 전압은, 예를 들어, 반도체 장치의 다른 기능 회로에 입력된다.
- [0089] 또한, 도 4a에 도시한 반도체 장치에서는, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급될 때에, 트랜지스터(104)의 게이트의 전압을 변화시키고, 트랜지스터(104)의 채널 저항의 값을 변화시키고, 공진 주파수를 변화시킬 수 있다. 상기 방법예에 대하여 이하에 설명한다.
- [0090] 우선, 트랜지스터(301)를 온 상태로 한다.
- [0091] 트랜지스터(301)가 온 상태일 때, 트랜지스터(303)의 게이트의 전압이 데이터 신호의 전압과 동등한 값이 된다. 상기 데이터 신호의 전압은, 소자가 파괴되는 전압의 값에 따라 설정된다.
- [0092] 그 후에 트랜지스터(301)를 오프 상태로 한다. 트랜지스터(301)는, 오프 전류가 낮은 트랜지스터이기 때문에, 트랜지스터(301)를 오프 상태로 함으로써, 트랜지스터(303)의 게이트의 전압을 유지할 수 있다. 따라서, 트랜지스터(303)의 게이트의 전압을 설정할 수 있다.
- [0093] 이 때, 안테나(101)에 의해 전파를 수신함으로써, 생성되는 전압의 값이, 소자가 파괴되는 값이 아닐 경우, 트랜지스터(303)는 오프 상태이다. 이 때, 부하가 되는 전자 소자(304)에 의해 트랜지스터(104)의 게이트의 전압은, 기준값으로 리셋 된다.
- [0094] 또한, 안테나(101)에 의해 전파를 수신함으로써, 생성되는 전압의 값이, 소자가 파괴되는 값일 경우, 트랜지스터(303)의 게이트와 소스 사이의 전압에 따라 트랜지스터(303)가 온 상태가 된다. 또한, 트랜지스터(303)가 온 상태가 됨으로써, 트랜지스터(104)의 게이트의 전압이 변화된다. 따라서, 트랜지스터(104)의 게이트의 전압에 따라 트랜지스터(104)의 채널 저항의 값이 변화되고, 트랜지스터(104)가 온 상태가 되면 공진 주파수가 변화된다.

- [0095] 이상이, 도 4a에 도시한 반도체 장치의 동작예의 설명이다.
- [0096] 도 4a 및 도 4b를 사용하여 설명한 바와 같이, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 다른 소자와 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다. 따라서, 예를 들어, 반도체 장치의 제조시에 있어서, 반도체 장치의 공진 주파수에 편차가 생겼을 경우라도, 원하는 값이 되도록 공진 주파수를 조정할 수 있다.
- [0097] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로에서는, 유지되는 데이터(전압)가 반영구적으로 변동하지 않는다. 즉, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는, 리크 전류가 적고, 열화하기 어렵고, 전원이 공급되지 않는 경우라도, 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있기 때문에, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0098] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 안테나에 의해 전파를 수신함으로써 공급되는 전압에 따라 공진 주파수를 변화시킬 수 있다. 따라서, 예를 들어 소자가 파괴되는 것 같은 전압이 인가될 경우에 공진 주파수를 변화시켜서 생성되는 전압의 값을 조정할 수 있다. 따라서, 수동 소자 및 제어 트랜지스터를 포함하는 회로를 보호 회로로서 기능시킬 수 있고, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0099] (실시형태 4)
- [0100] 본 실시형태에서는, 상기 실시형태 1에 나타내는 반도체 장치의 다른 예에 대하여 설명한다.
- [0101] 본 실시형태에 있어서의 반도체 장치의 예에 대하여 도 5a 및 도 5b를 이용하여 설명한다. 도 5a 및 도 5b는 본 실시형태에 있어서의 반도체 장치의 예를 설명하기 위한 도면이다. 또한, 도 5a 및 도 5b에 있어서, 도 1a에 도시한 반도체 장치와 동일한 부호가 붙어 있는 구성요소에 대해서는, 도 1a에 도시한 반도체 장치의 설명을 적절히 원용한다.
- [0102] 도 5a 및 도 5b에 도시한 반도체 장치는, 도 1a에 도시한 반도체 장치와 마찬가지로, 안테나(101)와, 용량 소자(102)와, 수동 소자(103)와, 트랜지스터(104)와, 기억 회로(105)를 구비한다.
- [0103] 안테나(101)는 코일로서의 기능을 가진다.
- [0104] 용량 소자(102)는 안테나(101)에 병렬 접속으로 전기적으로 접속된다.
- [0105] 수동 소자(103)는 안테나(101) 및 용량 소자(102)와 병렬 접속으로 전기적으로 접속됨으로써 공진 회로를 구성한다.
- [0106] 트랜지스터(104)는 수동 소자(103)와 안테나(101) 및 용량 소자(102)가 병렬 접속으로 전기적으로 접속될 것인지 아닌지를 제어하는 기능을 가진다. 예를 들어, 트랜지스터(104)의 소스 및 드레인의 한쪽은 수동 소자(103)에 전기적으로 접속된다.
- [0107] 또한, 기억 회로(105)는 트랜지스터(401)와, 용량 소자(402)와, 트랜지스터(403)와, 부하가 되는 전자 소자(404)와, 용량 소자(405)와, 트랜지스터(406)를 구비한다.
- [0108] 트랜지스터(401)의 소스 및 드레인의 한쪽에는 데이터 신호D1이 입력된다.
- [0109] 트랜지스터(401)로서는, 상기 실시형태에 나타내는 산화물 반도체층을 포함하는 트랜지스터 등의 오프 전류가 낮은 전계 효과 트랜지스터를 사용할 수 있다.
- [0110] 또한, 예를 들어 연산 회로 및 메모리 등을 사용하여 트랜지스터(401)의 게이트에 제어 신호 CTL1을 공급하고, 트랜지스터(401)의 소스 및 드레인의 한쪽에 데이터 신호 D1를 공급함으로써 트랜지스터(401)의 동작을 제어해도 좋다.
- [0111] 용량 소자(402)의 제 1 용량 전극은 트랜지스터(401)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다. 또한, 용량 소자(402)를 반드시 형성하지 않아도 좋다.

- [0112] 트랜지스터(403)의 소스 및 드레인의 한쪽의 전압은 안테나(101)에 의해 수신하는 전파에 따라 변화되고, 트랜지스터(403)의 게이트는 트랜지스터(401)의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다. 예를 들어, 트랜지스터(403)의 소스 및 드레인의 한쪽은 안테나(101)의 제 1 안테나 단자에 전기적으로 접속되고, 트랜지스터(403)의 소스 및 드레인의 다른 쪽은 부하가 되는 전자 소자(404) 을 개재하여 안테나(101)의 제 2 안테나 단자에 전기적으로 접속된다.
- [0113] 트랜지스터(403)로서는, 예를 들어 P채널형 트랜지스터를 사용하는 것이 바람직하다. 또한, 트랜지스터(403)로서는, 예를 들어 원소 주기표에서의 제 14족의 반도체(실리콘 등)를 함유하는 반도체층을 포함하는 트랜지스터를 사용할 수 있다.
- [0114] 부하가 되는 전자 소자(404)는 트랜지스터(403)의 소스 및 드레인의 다른 쪽의 전압을 기준이 되는 값으로 리셋하는 기능을 가진다. 부하가 되는 전자 소자(404)로서는, 예를 들어 저항 소자 또는 스위칭 소자 등을 들 수 있고, 스위칭 소자로서는, 예를 들어 트랜지스터 등을 들 수 있다. 또한, 반드시 부하가 되는 전자 소자(404)를 형성하지 않아도 좋고, 대신에 기생 저항 등을 이용해도 좋다.
- [0115] 용량 소자(405)의 제 1 용량 전극은 트랜지스터(403)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 용량 소자(405)의 제 2 용량 전극은 트랜지스터(104)의 게이트에 전기적으로 접속된다.
- [0116] 트랜지스터(406)의 소스 및 드레인의 한쪽에는 트랜지스터(401)의 소스 및 드레인의 한쪽과 같은 데이터 신호가 입력되고, 트랜지스터(406)의 소스 및 드레인의 다른 쪽은, 트랜지스터(104)의 게이트에 전기적으로 접속된다. 또한, 트랜지스터(406)의 소스 및 드레인의 한쪽에 트랜지스터(401)의 소스 및 드레인의 한쪽과 다른 데이터 신호(여기에서는 데이터 신호 D2)가 입력되어도 좋다.
- [0117] 트랜지스터(406)로서는, 상기 실시형태에 나타내는 산화물 반도체층을 포함하는 트랜지스터 등의 오프 전류가 낮은 전계 효과 트랜지스터를 사용할 수 있다.
- [0118] 또한, 예를 들어 연산 회로 및 메모리 등을 사용하여 트랜지스터(406)의 게이트에, 트랜지스터(401)의 게이트와 동일한 제어 신호 CTL1을 공급하고, 트랜지스터(401)의 소스 및 드레인의 한쪽에 데이터 신호 D1 또는 데이터 신호 D2를 공급함으로써 트랜지스터(401)의 동작을 제어하여도 좋다. 또한, 트랜지스터(406)의 게이트에, 트랜지스터(401)의 게이트와 다른 제어 신호(여기에서는 제어 신호 CTL2)를 공급해도 좋다.
- [0119] 또한, 도 5b에 도시한 반도체 장치는 정류 회로(106)를 구비한다. 정류 회로(106)는 안테나(101)에 의해 전파를 수신함으로써, 생성되는 전압을 정류하는 기능을 가진다. 또한, 정류 회로(106)를 반드시 형성하지 않아도 좋지만, 정류 회로(106)를 형성함으로써, 전압의 인가에 의한 트랜지스터(403)의 열화를 억제할 수 있다.
- [0120] 다음으로, 도 5a 및 도 5b에 도시한 반도체 장치의 동작에로서, 도 5a에 도시한 반도체 장치의 동작에 대하여 설명한다.
- [0121] 도 5a에 도시한 반도체 장치에서는, 안테나(101)에 의해 전파를 수신하면, 반도체 장치의 공진 주파수에 따라 전압이 생성된다. 상기 생성된 전압은, 예를 들어, 반도체 장치의 다른 기능 회로에 입력된다.
- [0122] 또한, 도 5a에 도시한 반도체 장치에서는, 트랜지스터(104)의 게이트의 전압을 설정하고, 또한, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급될 때에, 트랜지스터(104)의 게이트의 전압을 변화시키고, 트랜지스터(104)의 채널 저항의 값을 변화시키고, 공진 주파수를 변화시키고, 그 후, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급되지 않게 되었을 때에, 트랜지스터(104)의 게이트의 전압을 미리 설정해 둔 전압으로 되돌릴 수 있다. 상기 방법예에 대하여 이하에 설명한다.
- [0123] 우선, 트랜지스터(401) 및 트랜지스터(406)를 온 상태로 한다.
- [0124] 트랜지스터(401)가 온 상태일 때, 트랜지스터(403)의 게이트의 전압이 데이터 신호 D1의 전압과 동등한 값이 된다.
- [0125] 또한, 트랜지스터(406)가 온 상태일 때, 트랜지스터(104)의 게이트의 전압이 데이터 신호 D1 또는 데이터 신호 D2의 전압과 동등한 값이 된다.
- [0126] 또한, 데이터 신호 D1의 전압의 값이 일정 값보다 클 때, 트랜지스터(403)의 게이트의 전압은 트랜지스터(403)가 오프 상태가 되는 값으로 설정하는 것이 바람직하다. 예를 들어, 트랜지스터(104)가 N 채널형 트랜지스터이고, 트랜지스터(403)이 P 채널형 트랜지스터의 경우에는, 트랜지스터(104)의 게이트의 전압과 트랜지스터(403)의 게이트의 전압을 전원 전압 이상의 값으로 설정한다. 이것에 의해, 트랜지스터(104)의 게이트의 전압이 일

정 값 이상일 때에, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급될 경우라도, 트랜지스터(104)의 게이트에 필요 이상의 전압이 인가되는 것을 막을 수 있다. 또한, 트랜지스터(104)의 게이트의 전압을 재설정할 때는, 데이터 신호 D1의 값에 따라 트랜지스터(403)의 게이트의 전압을 재설정하여도 좋다.

[0127] 그 후, 트랜지스터(401) 및 트랜지스터(406)를 오프 상태로 한다. 트랜지스터(401) 및 트랜지스터(406)는 오프 전류가 낮은 트랜지스터이기 때문에, 트랜지스터(401) 및 트랜지스터(406)를 오프 상태로 함으로써, 트랜지스터(403)의 게이트의 전압을 유지할 수 있다. 따라서, 트랜지스터(403)의 게이트의 전압을 설정할 수 있다.

[0128] 이 때, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급되지 않을 경우, 트랜지스터(104)의 게이트의 전압이 입력된 데이터 신호에 따른 값이 된다. 이 때, 부하가 되는 전자 소자(404)에 의해 트랜지스터(104)의 게이트의 전압은, 기준값으로 리셋된다.

[0129] 또한, 데이터 신호 D1의 값이 트랜지스터(104)가 오프 상태가 되는 값이며, 또한 안테나(101)에 의해 전파를 수신함으로써, 공급되는 전압의 값이, 소자가 파괴되는 값일 경우, 트랜지스터(403)의 게이트와 소스 및 드레인의 한쪽의 사이의 전압에 따라 트랜지스터(403)가 온 상태가 된다. 또한, 트랜지스터(403)가 온 상태가 됨으로써, 용량 소자(405)의 제 1 용량 전극의 전압이 트랜지스터(403)의 채널 저항의 값에 따라 변화된다. 또한, 용량 결합에 의해 용량 소자(405)의 제 2 용량 전극의 전압이 제 1 용량 전극의 전압의 변화에 따라 변화되기 때문에, 트랜지스터(104)의 게이트의 전압이 변화된다. 따라서, 트랜지스터(104)의 게이트의 전압에 따라 트랜지스터(104)의 채널 저항의 값이 변화되고, 트랜지스터(104)가 온 상태가 되면 공진 주파수가 변화된다.

[0130] 그 후, 안테나(101)에 의해 전파를 수신함으로써, 소자가 파괴되는 것 같은 전압이 공급되지 않게 되었을 때에는, 용량 소자(405)의 제 1 용량 전극의 전압이 변화되고, 트랜지스터(403)가 오프 상태가 되고, 트랜지스터(104)의 게이트의 전압도 통상의 값으로 변화된다. 이 때, 부하가 되는 전자 소자(404)에 의해 트랜지스터(104)의 게이트의 전압은, 기준값으로 리셋된다.

[0131] 이상이 도 5a에 도시한 반도체 장치의 동작예의 설명이다.

[0132] 도 5a 및 도 5b를 사용하여 설명한 바와 같이, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다. 따라서, 예를 들어 반도체 장치의 제조시에 있어, 반도체 장치의 공진 주파수에 편차가 생겼을 경우라도, 원하는 값이 되도록 공진 주파수를 조정할 수 있다.

[0133] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로에서는, 유지되는 데이터(전압)이 반영구적으로 변동하지 않는다. 즉, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는, 리크 전류가 적고, 열화하기 어렵고, 전원이 공급되지 않는 경우라도, 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있으므로, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.

[0134] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 용량 소자를 이용하여, 소자가 파괴되는 것 같은 전압이 인가되는 상태가 되었을 때에 공진 주파수를 변화시키고, 그 후 소자가 파괴되지 않는 전압이 인가되는 상태로 변화되었을 때에 공진 주파수를 원래대로 되돌릴 수 있다. 따라서, 수동 소자 및 제어 트랜지스터를 포함하는 회로를 보호 회로로서 기능시킬 수 있고, 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0135] (실시형태 5)

[0136] 본 실시형태에서는, 상기 실시형태에 나타내는 반도체 장치의 트랜지스터에 적용 가능한 산화물 반도체층을 포함하는 트랜지스터의 예에 대하여 설명한다.

[0137] 상기 산화물 반도체층을 포함하는 트랜지스터의 구조예에 대하여, 도 6a 내지 도 6d를 사용하여 설명한다. 도 6a 내지 도 6d는 본 실시형태에 있어서의 트랜지스터의 구조예를 나타내는 단면 모식도이다.

[0138] 도 6a에 나타내는 트랜지스터는 도전층(601_A)과, 절연층(602_A)과, 반도체층(603_A)과, 도전층(605a_A)와, 도전층(605b_A)과, 절연층(606_A)과, 도전층(608_A)을 포함한다.

- [0139] 도전층(601_A)은 피소자 형성층(600_A) 위에 형성된다.
- [0140] 절연층(602_A)은 도전층(601_A) 위에 형성된다.
- [0141] 반도체층(603_A)은 절연층(602_A)을 개재하여 도전층(601_A)에 중첩한다.
- [0142] 도전층(605a_A) 및 도전층(605b_A)의 각각은 반도체층(603_A) 위에 형성되고, 반도체층(603_A)에 전기적으로 접속된다.
- [0143] 절연층(606_A)은 반도체층(603_A), 도전층(605a_A), 및 도전층(605b_A) 위에 형성된다.
- [0144] 도전층(608_A)은 절연층(606_A)을 개재하여 반도체층(603_A)에 중첩한다.
- [0145] 또한, 도전층(601_A) 및 도전층(608_A)의 한쪽을 반드시 형성하지 않아도 좋다. 또한, 도전층(608_A)을 형성하지 않는 경우에는, 절연층(606_A)을 형성하지 않아도 좋다.
- [0146] 도 6b에 도시한 트랜지스터는 도전층(601_B)과, 절연층(602_B)과, 반도체층(603_B)과, 도전층(605a_B)과, 도전층(605b_B)과, 절연층(606_B)과, 도전층(608_B)를 포함한다.
- [0147] 도전층(601_B)은 피소자 형성층(600_B) 위에 형성된다.
- [0148] 절연층(602_B)은 도전층(601_B) 위에 형성된다.
- [0149] 도전층(605a_B) 및 도전층(605b_B)의 각각은 절연층(602_B)의 일부의 위에 형성된다.
- [0150] 반도체층(603_B)은 도전층(605a_B) 및 도전층(605b_B) 위에 형성되고, 도전층(605a_B) 및 도전층(605b_B)에 전기적으로 접속된다. 또한, 반도체층(603_B)은 절연층(602_B)을 개재하여 도전층(601_B)에 중첩한다.
- [0151] 절연층(606_B)은 반도체층(603_B), 도전층(605a_B), 및 도전층(605b_B) 위에 형성된다.
- [0152] 도전층(608_B)은 절연층(606_B)을 개재하여 반도체층(603_B)에 중첩한다.
- [0153] 또한, 도전층(601_B) 및 도전층(608_B)의 한쪽을 반드시 형성하지 않아도 좋다. 도전층(608_B)을 형성하지 않을 경우에는, 절연층(606_B)을 형성하지 않아도 좋다.
- [0154] 도 6c에 도시한 트랜지스터는 도전층(601_C)과, 절연층(602_C)과, 반도체층(603_C)과, 도전층(605a_C)과, 도전층(605b_C)을 포함한다.
- [0155] 반도체층(603_C)은 영역(604a_C) 및 영역(604b_C)을 포함한다. 영역(604a_C) 및 영역(604b_C)은 서로 이간하고, 각각 도펀트가 첨가된 영역이다. 또한, 영역(604a_C) 및 영역(604b_C) 사이의 영역이 채널 형성 영역이 된다. 반도체층(603_C)은, 피소자 형성층(600_C) 위에 형성된다.
- [0156] 도전층(605a_C) 및 도전층(605b_C)은 반도체층(603_C) 위에 형성되고, 반도체층(603_C)에 전기적으로 접속된다. 또한, 도전층(605a_C) 및 도전층(605b_C)의 측면은 테이퍼 형상이다.
- [0157] 또한, 도전층(605a_C)은 영역(604a_C)의 일부에 중첩하지만, 반드시 이것에 한정되지 않는다. 도전층(605a_C)을 영역(604a_C)의 일부에 중첩시킴으로써, 도전층(605a_C) 및 영역(604a_C)의 사이의 저항치를 작게 할 수 있다. 또한, 도전층(605a_C)에 중첩하는 반도체층(603_C)의 영역의 전부가 영역(604a_C)라도 좋다.
- [0158] 또한, 도전층(605b_C)은 영역(604b_C)의 일부에 중첩하지만, 반드시 이것에 한정되지 않는다. 도전층(605b_C)을 영역(604b_C)의 일부에 중첩시킴으로써, 도전층(605b_C) 및 영역(604b_C)의 사이의 저항치를 작게 할 수 있다. 또한, 도전층(605b_C)에 중첩하는 반도체층(603_C)의 영역의 전부가 영역(604b_C)라도 좋다.
- [0159] 절연층(602_C)은 반도체층(603_C), 도전층(605a_C), 및 도전층(605b_C) 위에 형성된다.
- [0160] 도전층(601_C)은 절연층(602_C)을 개재하여 반도체층(603_C)에 중첩한다. 절연층(602_C)을 개재하여 도전층(601_C)과 중첩하는 반도체층(603_C)의 영역이 채널 형성 영역이 된다.
- [0161] 또한, 도 6d에 도시한 트랜지스터는, 도전층(601_D)과, 절연층(602_D)과, 반도체층(603_D)과, 도전층(605a_D)과, 도전층(605b_D)을 포함한다.
- [0162] 도전층(605a_D) 및 도전층(605b_D)은 피소자 형성층(600_D) 위에 형성된다. 또한, 도전층(605a_D) 및 도전층(605b_D)의 측면은 테이퍼 형상이다.
- [0163] 반도체층(603_D)은 영역(604a_D) 및 영역(604b_D)를 포함한다. 영역(604a_D) 및 영역(604b_D)은 서로 이간하

고, 각각 도펀트가 첨가된 영역이다. 또한, 영역(604a_D) 및 영역(604b_D) 사이의 영역이 채널 형성 영역이 된다. 반도체층(603_D)은 예를 들어 도전층(605a_D), 도전층(605b_D), 및 피소자 형성층(600_D) 위에 형성되고, 도전층(605a_D) 및 도전층(605b_D)에 전기적으로 접속된다.

- [0164] 영역(604a_D)은 도전층(605a_D)에 전기적으로 접속된다.
- [0165] 영역(604b_D)은 도전층(605b_D)에 전기적으로 접속된다.
- [0166] 절연층(602_D)은 반도체층(603_D) 위에 형성된다.
- [0167] 도전층(601_D)은 절연층(602_D)을 개재하여 반도체층(603_D)에 중첩한다. 절연층(602_D)을 개재하여 도전층(601_D)과 중첩하는 반도체층(603_D)의 영역이 채널 형성 영역이 된다.
- [0168] 또한, 도 6a 내지 도 6d에 도시한 각 구성 요소에 대하여 설명한다.
- [0169] 피소자 형성층(600_A) 내지 피소자 형성층(600_D)로서는, 예를 들어 절연층, 또는 절연 표면을 가지는 기판 등을 사용할 수 있다. 또한, 소자가 미리 형성된 층을 피소자 형성층(600_A) 내지 피소자 형성층(600_D)으로서 사용할 수도 있다.
- [0170] 도전층(601_A) 내지 도전층(601_D)의 각각은, 트랜지스터의 게이트로서의 기능을 가진다. 또한, 트랜지스터의 게이트로서의 기능을 가지는 층을 게이트 전극 또는 게이트 배선이라고도 한다.
- [0171] 도전층(601_A) 내지 도전층(601_D)으로서는, 예를 들어 폴리브덴, 마그네슘, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이것들을 주성분으로 하는 합금 재료의 층을 사용할 수 있다. 또한, 도전층(601_A) 내지 도전층(601_D)의 형성에 적용 가능한 재료의 층의 적층에 의해, 도전층(601_A) 내지 도전층(601_D)을 구성할 수도 있다.
- [0172] 절연층(602_A) 내지 절연층(602_D)의 각각은 트랜지스터의 게이트 절연층으로서의 기능을 가진다.
- [0173] 절연층(602_A) 내지 절연층(602_D)로서는, 예를 들어 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 또는 산화하프늄층을 사용할 수 있다. 또한, 절연층(602_A) 내지 절연층(602_D)층에 적용 가능한 재료의 층의 적층에 의해 절연층(602_A) 내지 절연층(602_D)을 구성할 수도 있다.
- [0174] 또한, 절연층(602_A) 내지 절연층(602_D)으로서는, 예를 들어 원소 주기표에 서의 제 13족 원소 및 산소 원소를 포함하는 재료의 절연층을 사용할 수도 있다. 예를 들어, 반도체층(603_A) 내지 반도체층(603_D)이 제 13족 원소를 포함할 경우에, 반도체층(603_A) 내지 반도체층(603_D)에 접하는 절연층으로서 제 13족 원소를 포함하는 절연층을 사용함으로써, 상기 절연층과 산화물 반도체층과의 계면의 상태를 양호하게 할 수 있다.
- [0175] 제 13족 원소 및 산소 원소를 포함하는 재료로서는, 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄갈륨, 산화갈륨알루미늄 등을 들 수 있다. 또한, 산화알루미늄갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 물질을 말하고, 산화갈륨알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상의 물질을 말한다. 예를 들어, $Al_2O_x(x=3+a, a \text{는 } 0 \text{보다 크고 } 1 \text{보다 작은 값}), Ga_2O_x(x=3+a, a \text{는 } 0 \text{보다 크고 } 1 \text{보다 작은 값}),$ 또는 $Ga_xAl_{2-x}O_{3+a}(x \text{는 } 0 \text{보다 크고 } 2 \text{보다 작은 값}, a \text{는 } 0 \text{보다 크고 } 1 \text{보다 작은 값})$ 로 표기되는 재료를 사용할 수도 있다.
- [0176] 또한, 절연층(602_A) 내지 절연층(602_D)에 적용 가능한 재료의 층의 적층에 의해 절연층(602_A) 내지 절연층(602_D)을 구성할 수도 있다. 예를 들어, 복수의 Ga_2O_x 로 표기되는 산화갈륨을 포함하는 층의 적층에 의해 절연층(602_A) 내지 절연층(602_D)을 구성해도 좋다. 또한, Ga_2O_x 로 표기되는 산화갈륨을 포함하는 절연층 및 Al_2O_x 로 표기되는 산화알루미늄을 포함하는 절연층의 적층에 의해 절연층(602_A) 내지 절연층(602_D)을 구성해도 좋다.
- [0177] 반도체층(603_A) 내지 반도체층(603_D)의 각각은 트랜지스터의 채널이 형성되는 층으로서의 기능을 가진다. 반도체층(603_A) 내지 반도체층(603_D)에 사용하는 산화물 반도체로서는, 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 줄이기 위한 스테빌라이저로서, 그것들에 추가하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

- [0178] 또한, 그 밖의 스테빌라이저로서, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)의 어느 1종 또는 복수종을 가져도 좋다.
- [0179] 예를 들어, 산화물 반도체로서, 산화인듐, 산화주석, 산화아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn 계산화물을 사용할 수 있다.
- [0180] 또한, 여기에서, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 주성분으로서 갖는 산화물이란 의미이며, In과 Ga와 Zn의 비율은 상관 없다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 된다.
- [0181] 또한, 산화물 반도체로서, $InMO_3(ZnO)_m$ ($m>0$, 또한, m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M 은, Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서, $In_3SnO_5(ZnO)_n$ ($n>0$, 또한, n 은 정수)로 표기되는 재료를 사용하여도 좋다.
- [0182] 또한, In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)의 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)의 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.
- [0183] 하지만, 이것들에 한정되지 않고, 필요로 하는 반도체 특성(이동도, 임계값, 편차 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여, 캐리어 농도나 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.
- [0184] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 하지만, In-Ga-Zn계 산화물에서도, 벌크 내 결합 밀도를 저감함으로써 이동도를 올릴 수 있다.
- [0185] 또한, In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c($a+b+c=1$)인 산화물이, 원자수비가 In:Ga:Zn=A:B:C($A+B+C=1$)의 산화물의 조성의 근방이라는 것은, a, b, c 가, $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 말한다. r 로서는, 예를 들어, 0.05로 하면 좋다. 다른 산화물에서도 마찬가지로이다.
- [0186] 산화물 반도체는 단결정이라도, 비단결정이라도 좋다. 후자의 경우, 비정질이라도, 다결정이라도 좋다. 또한, 비정질 중에 결정성을 갖는 부분을 포함하는 구조라도, 비비정질이라도 좋다.
- [0187] 비정질 상태의 산화물 반도체는, 비교적 용이하게 평탄한 표면을 얻을 수 있기 때문에, 이것을 사용하여 트랜지스터를 제작했을 때의 계면 산란을 저감할 수 있고, 비교적 용이하게, 비교적 높은 이동도를 얻을 수 있다.
- [0188] 또한, 결정성을 갖는 산화물 반도체에서는, 벌크내 결합을 보다 저감할 수 있고, 표면의 평탄성을 높이면 비정질 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 위에 산화물 반도체를 형성하는 것이 바람직하고, 구체적으로는, 평균면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하의 표면 위에 형성하면 좋다.
- [0189] 또한, Ra는, JIS B0601에서 정의되어 있는 중심선 평균 거칠기를 면에 대하여 적용할 수 있도록 3차원으로 확장한 것이며, 「기준면으로부터 지정면까지의 편차의 절대치를 평균한 값」으로 표현할 수 있고, 이하의 식으로 정의된다.

수학식 2

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x,y) - Z_0| dx dy$$

- [0190]
- [0191] 또한, 상기에 있어서, S_0 는, 측정면(좌표 $(x_1, y_1)(x_1, y_2)(x_2, y_1)(x_2, y_2)$ 로 나타내는 4점에 의해 둘러싸인 직사각형의 영역)의 면적을 가리키고, Z_0 는 측정면의 평균 높이를 가리킨다. Ra는 원자간력 현미경(AFM:Atomic Force Microscope)으로 평가 가능하다. 또한, 측정면은, 전(全) 측정 데이터가 나타내는 면이며, 3개의 파라미터(x,y,z)로 이루어져 있고, $z=f(x,y)$ 로 나타낸다.
- [0192] 여기에서, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향에서 보아 삼각형상 또는 육각형상의 원자 배열을 가지고, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층상으로 배열하고 있고, ab 면에 있어서는 a축 또는 b축의 방향이 다른(c축을 중심으로 회전한) 결정(CAAC:C Axis Aligned Crystal이라고도 한다.)을 포함하는 산화물에 대하여 설명한다.
- [0193] CAAC을 포함하는 산화물이란, 광의로, 비단결정이며, 그 ab면에 수직인 방향에서 보아, 삼각형, 육각형, 정삼각형 또는 정육각형의 원자 배열을 가지고, 또한 c축 방향에 수직인 방향에서 보아, 금속 원자가 층상, 또는 금속 원자와 산소 원자가 층상으로 배열한 상을 포함하는 산화물을 말한다.
- [0194] CAAC를 포함하는 산화물은 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC를 포함하는 산화물은 결정화한 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 것도 있다.
- [0195] CAAC를 포함하는 산화물을 구성하는 산소의 일부는 질소로 치환되어도 좋다. 또한, CAAC를 포함하는 산화물을 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC를 포함하는 산화물이 형성된 기판면, CAAC를 포함하는 산화물의 표면 등에 수직인 방향)으로 일치해 있어도 좋다. 또는, CAAC를 포함하는 산화물을 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, CAAC를 포함하는 산화물이 형성되는 기판면, CAAC를 포함하는 산화물의 표면 등에 수직인 방향)을 향해 있어도 좋다.
- [0196] CAAC를 포함하는 산화물은 그 조성 등에 따라, 도체이거나, 반도체이거나, 절연체이거나 한다. 또한, 그 조성 등에 따라, 가시광에 대하여 투명하거나 불투명하거나 한다.
- [0197] 이러한 CAAC를 포함하는 산화물의 예로서, 막 형상으로 형성되고, 막 표면 또는 지지하는 기판면에 수직인 방향에서 관찰하면 삼각형 또는 육각형의 원자 배열이 보이고, 또한 그 막 단면을 관찰하면 금속 원자 또는 금속 원자 및 산소 원자(또는 질소 원자)의 층상 배열이 보이는 산화물을 들 수도 있다.
- [0198] CAAC를 포함하는 산화물에 포함되는 결정 구조의 일례에 대하여 도 10a 내지 도 10e, 도 11a 내지 도 11c, 및 도 12a 내지 도 12c를 사용하여 상세하게 설명한다. 또한, 특별한 언급이 없는 한, 도 10a 내지 도 10e, 도 11a 내지 도 11c, 및 도 12a 내지 도 12c는 윗방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단지 상반분, 하반분이라고 할 경우, ab면을 경계로 한 경우의 상반분, 하반분을 말한다.
- [0199] 도 10a에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소 원자(이하, 4배위의 O)를 가지는 구조를 도시한다. 여기에서는, 금속 원자가 1개에 대하여, 근접한 산소 원자만 나타낸 구조를 소그룹이라고 부른다. 도 10a의 구조는 팔면체 구조를 취하지만, 간단하기 때문에 평면 구조로 도시하고 있다. 또한, 도 10a의 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있다. 도 10a에 도시한 소그룹은 전하가 0이다.
- [0200] 도 10b에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소 원자(이하, 3배위의 O)와, 근접한 2개의 4배위의 O를 가지는 구조를 도시한다. 3배위의 O는 모두 ab면에 존재한다. 도 10b의 상반분 및 하반부에는 각각 1개씩 4배위의 O가 있다. 또한, In도 5배위를 취하므로, 도 10b에 도시한 구조를 취할 수 있다. 도 10b에 도시한 소그룹은 전하가 0이다.
- [0201] 도 10c에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 O를 가지는 구조를 도시한다. 도 10c의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 또한, 도 10c의 상반분에 3개의 4배위의 O가 있고, 하반분에 1개의 4배위의 O가 있어도 좋다. 도 10c에 나타내는 소그룹은 전하가 0이다.

- [0202] 도 10d에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 O를 가지는 구조를 도시한다. 도 10d의 상반분에는 3개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 도 10d에 도시한 소그룹은 전하가 +1이 된다.
- [0203] 도 10e에, 2개의 Zn을 포함하는 소그룹을 도시한다. 도 10e의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 1개의 4배위의 O가 있다. 도 10e에 도시한 소그룹은 전하가 -1이 된다.
- [0204] 여기에서는, 복수의 소그룹의 집합체를 중그룹이라고 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 한다.)이라고 부른다.
- [0205] 여기에서, 이들 소그룹끼리가 결합하는 규칙에 대하여 설명한다. 도 10a에 도시한 6배위의 In의 상반분의 3개의 O는 아래 방향에 각각 3개의 근접 In을 가지고, 하반분의 3개의 O는 윗방향에 각각 3개의 근접 In을 가진다. 도 10b에 도시한 5배위의 Ga의 상반분의 1개의 O는 아래 방향에 1개의 근접 Ga를 가지고, 하반분의 1개의 O는 윗방향에 1개의 근접 Ga를 가진다. 도 10c에 도시한 4배위의 Zn의 상반분의 1개의 O는 아래 방향에 1개의 근접 Zn을 가지고, 하반분의 3개의 O는 윗방향에 각각 3개의 근접 Zn을 가진다. 이와 같이, 금속 원자의 윗방향의 4배위의 O의 수와, 그 O의 아래 방향에 있는 근접 금속 원자의 수는 같고, 마찬가지로 금속 원자의 아래 방향의 4배위의 O의 수와, 그 O의 윗방향에 있는 근접 금속 원자의 수는 같다. O는 4배위이므로, 아래 방향에 있는 근접 금속 원자의 수와 윗방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 윗방향에 있는 4배위의 O의 수와 다른 금속 원자의 아래 방향에 있는 4배위의 O의 수와의 합이 4개일 때, 금속 원자를 가지는 2종의 소그룹끼리는 결합할 수 있다. 그 이유를 이하에 나타낸다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 상반분의 4배위의 O를 개재하여 결합하는 경우, 4배위의 O가 3개이므로, 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn)의 어느 하나와 결합하게 된다.
- [0206] 이들 배위수를 가지는 금속 원자는, c축 방향에 있어서, 4배위의 O를 개재하여 결합한다. 또한, 이밖에도, 층구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.
- [0207] 도 11a에, In-Sn-Zn-O계의 층구조를 구성하는 중그룹의 모델도를 도시한다. 도 11b에, 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 11c는, 도 11b의 층구조를 c축 방향에서 관찰했을 경우의 원자 배열을 나타낸다.
- [0208] 도 11a에서는, 간단하기 때문에, 3배위의 O는 생략하고, 4배위의 O는 개수만 나타내고, 예를 들어, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있는 것을 ③으로 나타내고 있다. 마찬가지로, 도 11a에 있어서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 O가 있어, ①로서 나타내고 있다. 또한, 마찬가지로, 도 11a에 있어서, 하반분에는 1개의 4배위의 O가 있고, 상반분에는 3개의 4배위의 O가 있는 Zn과, 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있는 Zn을 나타내고 있다.
- [0209] 도 11a에 있어서, In-Sn-Zn-O계의 층구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 O가 3개씩 상반분 및 하반분에 있는 Sn이, 4배위의 O가 1개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 3개의 4배위의 O가 있는 Zn과 결합하고, 그 Zn의 하반분의 1개의 4배위의 O를 개재하여 4배위의 O가 3개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이, 상반분에 1개의 4배위의 O가 있는 Zn 2개로 이루어진 소그룹과 결합하고, 이 소그룹의 하반분의 1개의 4배위의 O를 개재하여 4배위의 O가 3개씩 상반분 및 하반분에 있는 Sn과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0210] 여기에서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당의 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는, 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 따라서, Sn을 포함하는 층구조를 형성하기 위해서는, 전하+1을 상쇄하는 전하-1이 필요하게 된다. 전하-1을 취하는 구조로서, 도 10e에 도시한 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn을 포함하는 소그룹이 1개에 대하여, 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 상쇄되기 때문에, 층구조의 합계의 전하를 0으로 할 수 있다.
- [0211] 구체적으로는, 도 11b에 도시한 대그룹이 반복됨으로써 In-Sn-Zn-O계의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-O계의 층구조는, In₂SnZn₃O₇(ZnO)_m(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다. 또한, In-Sn-Zn-O계의 결정은, m의 수가 크면 결정성이 향상되므로, 바람직하다.
- [0212] 또한, 이밖에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기한다.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-

Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물, 1원계 금속의 산화물인 In계 산화물, Sn계 산화물, Zn계 산화물 등을 사용했을 경우도 마찬가지이다.

- [0213] 예를 들어, 도 12a에, In-Ga-Zn-O계의 층구조를 구성하는 중그룹의 모델 도를 도시한다.
- [0214] 도 12a에 있어서, In-Ga-Zn-O계의 층구조를 구성하는 중그룹은, 위에서부터 순차적으로 4배위의 O가 3개씩 상반분 및 하반분에 있는 In이, 4배위의 O가 1개 상반분에 있는 Zn과 결합하고, 그 Zn의 하반분의 3개의 4배위의 O를 개재하여, 4배위의 O가 3개씩 상반분 및 하반분에 있는 Ga와 결합하고, 그 Ga의 하반분의 1개의 4배위의 O를 개재하여, 4배위의 O가 3개씩 상반분 및 하반분에 있는 In과 결합하고 있는 구성이다. 이 중그룹이 복수 결합하여 대그룹을 구성한다.
- [0215] 도 12b에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 12c는, 도 12b의 층구조를 c축 방향에서 관찰했을 경우의 원자 배열을 도시하고 있다.
- [0216] 여기에서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는, 각각 +3, +2, +3이기 때문에, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은, 전하가 0이 된다. 따라서, 이들 소그룹의 조합이면 중그룹의 합계의 전하는 항상 0이 된다.
- [0217] 또한, In-Ga-Zn-O계의 층구조를 구성하는 중그룹은, 도 12a에 도시한 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 다른 중그룹을 조합시킨 대그룹도 취할 수 있다.
- [0218] 영역(604a_C), 영역(604b_C), 영역(604a_D), 및 영역(604b_D)은, N형 또는 P형의 도전성을 부여하는 도펀트가 첨가되어, 트랜지스터의 소스 또는 드레인으로서의 기능을 가진다. 또한, 트랜지스터의 소스로서의 기능을 가지는 영역을 소스 영역이라고도 하고, 트랜지스터의 드레인으로서의 기능을 가지는 영역을 드레인 영역이라고도 한다.
- [0219] 도전층(605a_A) 내지 도전층(605a_D) 및 도전층(605b_A) 내지 도전층(605b_D)의 각각은, 트랜지스터의 소스 또는 드레인으로서의 기능을 가진다. 또한, 트랜지스터의 소스로서의 기능을 가지는 층을 소스 전극 또는 소스 배선이라고도 하고, 트랜지스터의 드레인으로서의 기능을 가지는 층을 드레인 전극 또는 드레인 배선이라고도 한다.
- [0220] 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)으로서는, 예를 들어 알루미늄, 마그네슘, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 또는 텅스텐 등의 금속 재료, 또는 이것들의 금속 재료를 주성분으로 하는 합금 재료의 층을 사용할 수 있다. 예를 들어, 구리, 마그네슘, 및 알루미늄을 포함하는 합금 재료의 층에 의해, 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)를 구성할 수 있다. 또한, 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)에 적용 가능한 재료의 층의 적층에 의해, 도전층(605a_A) 내지 도전층(605a_D) 및 도전층(605b_A) 내지 도전층(605b_D)를 구성할 수도 있다. 예를 들어, 구리, 마그네슘, 및 알루미늄을 포함하는 합금 재료의 층과 동을 포함하는 층의 적층에 의해, 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)를 구성할 수 있다.
- [0221] 또한, 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)로서는, 도전성의 금속 산화물을 포함하는 층을 사용할 수도 있다. 도전성의 금속 산화물로서는, 예를 들어 산화인듐, 산화주석, 산화아연, 산화인듐산화주석, 또는 산화인듐산화아연을 사용할 수 있다. 또한, 도전층(605a_A) 내지 도전층(605a_D), 및 도전층(605b_A) 내지 도전층(605b_D)에 적용 가능한 도전성의 금속 산화물은, 산화 실리콘을 포함하고 있어도 좋다.
- [0222] 절연층(606_A) 및 절연층(606_B)로서는, 절연층(602_A) 내지 절연층(602_D)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 절연층(606_A) 및 절연층(606_B)에 적용 가능한 재료의 적층에 의해, 절연층(606_A) 및 절연층(606_B)을 구성하여도 좋다. 예를 들어, 산화실리콘층, 산화알루미늄층 등에 의해 절연층(606_A) 및 절연층(606_B)을 구성해도 좋다.
- [0223] 도전층(608_A) 및 도전층(608_B)의 각각은 트랜지스터의 게이트로서의 기능을 가진다. 또한, 트랜지스터가 도전층(601_A) 및 도전층(608_A)의 양쪽, 또는 도전층(601_B) 및 도전층(608_B)의 양쪽을 포함하는 구조일 경우, 도전층(601_A) 및 도전층(608_A)의 한쪽, 또는 도전층(601_B) 및 도전층(608_B)의 한쪽을, 백 게이트, 백 게이

트 전극, 또는 백 게이트 배선이라고도 한다. 게이트로서의 기능을 가지는 도전층을, 채널 형성층을 개재하여 복수 형성함으로써, 트랜지스터의 임계값 전압을 제어하기 쉽게 할 수 있다.

- [0224] 도전층(608_A) 및 도전층(608_B)로서는, 예를 들어 도전층(601_A) 내지 도전층(601_D)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 도전층(608_A) 및 도전층(608_B)에 적용 가능한 재료의 층의 적층에 의해 도전층(608_A) 및 도전층(608_B)을 구성해도 좋다.
- [0225] 또한, 본 실시형태의 트랜지스터를, 채널 형성층으로서의 기능을 가지는 산화물 반도체층의 일부 위에 절연층을 포함하고, 상기 절연층을 개재하여 산화물 반도체층에 증착하도록, 소스 또는 드레인으로서의 기능을 가지는 도전층을 포함하는 구조로 해도 좋다. 상기 구조일 경우, 절연층은, 트랜지스터의 채널 형성층을 보호하는 층(채널 보호층이라고도 한다)으로서의 기능을 가진다. 채널 보호층으로서의 기능을 가지는 절연층으로서, 예를 들어 절연층(602_A) 내지 절연층(602_D)에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 절연층(602_A) 내지 절연층(602_D)에 적용 가능한 재료의 층의 적층에 의해 채널 보호층으로서의 기능을 가지는 절연층을 구성하여도 좋다.
- [0226] 또한, 본 실시형태의 트랜지스터의 제작 방법으로서, 도 6a에 도시한 트랜지스터의 제작 방법예에 대하여, 도 7a 내지 도 7e를 사용하여 설명한다. 도 7a 내지 도 7e는 도 6에 도시한 트랜지스터의 제작 방법예를 설명하기 위한 단면 모식도이다.
- [0227] 우선, 도 7a에 도시한 바와 같이 피소자 형성층(600_A)을 준비하고, 피소자 형성층(600_A) 위에 제 1 도전막을 형성하고, 제 1 도전막의 일부를 에칭함으로써 도전층(601_A)을 형성한다.
- [0228] 예를 들어, 스퍼터링법을 사용하여 도전층(601_A)에 적용 가능한 재료의 막을 형성함으로써 제 1 도전막을 형성할 수 있다. 또한, 제 1 도전막에 적용 가능한 재료의 막을 적층시켜, 제 1 도전막을 형성할 수도 있다.
- [0229] 또한, 스퍼터링 가스로서, 예를 들어 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 사용함으로써, 형성되는 막의 상기 불순물 농도를 저감할 수 있다.
- [0230] 또한, 스퍼터링법을 사용하여 막을 형성하기 전에, 스퍼터링 장치의 예비 가열실에서 예비 가열 처리를 해도 좋다. 상기 예비 가열 처리를 함으로써, 수소, 수분 등의 불순물을 탈리할 수 있다.
- [0231] 또한, 스퍼터링법을 사용하여 막을 형성하기 전에, 예를 들어 아르곤, 질소, 헬륨, 또는 산소분위기하에서, 타겟측에 전압을 인가하지 않고, 기관측에 RF 전원을 사용하여 전압을 인가하고, 플라즈마를 형성하여 피형성면을 개질하는 처리(역스퍼터링이라고도 한다)를 해도 좋다. 역스퍼터링을 행함으로써, 피형성면에 부착된 분말상 물질(파티클, 먼지라고도 한다)을 제거할 수 있다.
- [0232] 또한, 스퍼터링법을 사용하여 막을 형성할 경우, 흡착형의 진공 펌프 등을 사용하여, 막을 형성하는 성막실 내의 잔류 수분을 제거할 수 있다. 흡착형의 진공 펌프로서는, 예를 들어 클라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프 등을 사용할 수 있다. 또한, 콜드트랩을 설치한 터보 펌프를 사용하여 성막실 내의 잔류 수분을 제거할 수도 있다.
- [0233] 또한, 상기 도전층(601_A)의 형성 방법과 같이, 본 실시형태의 트랜지스터의 제작 방법예에 있어, 막의 일부를 에칭하여 층을 형성할 경우, 예를 들어, 포토리소그라피 공정에 의해 막의 일부 위에 레지스트 마스크를 형성하고, 레지스트 마스크를 사용하여 막을 에칭함으로써, 층을 형성할 수 있다. 또한, 이 경우, 층의 형성 후에 레지스트 마스크를 제거한다.
- [0234] 또한, 잉크젯법을 사용하여 레지스트 마스크를 형성하여도 좋다. 잉크젯법을 사용함으로써, 포토마스크가 필요 없어지므로, 제조 비용을 저감할 수 있다. 또한, 투과율이 다른 복수의 영역을 가지는 노광 마스크(다계조 마스크라고도 한다)를 사용하여 레지스트 마스크를 형성하여도 좋다. 다계조 마스크를 사용함으로써, 다른 두께의 영역을 가지는 레지스트 마스크를 형성할 수 있고, 트랜지스터의 제작에 사용하는 레지스트 마스크의 수를 저감할 수 있다.
- [0235] 다음으로, 도 7b에 도시한 바와 같이, 도전층(601_A) 위에 제 1 절연막을 형성함으로써 절연층(602_A)을 형성한다.
- [0236] 예를 들어, 스퍼터링법이나 플라즈마 CVD법 등을 사용하여 절연층(602_A)에 적용 가능한 재료의 막을 형성함으로써 제 1 절연막을 형성할 수 있다. 또한, 절연층(602_A)에 적용가능한 재료의 막을 적층시킴으로써 제 1 절연막을 형성할 수도 있다. 또한, 고밀도 플라즈마 CVD법(예를 들어 마이크로파(예를 들어, 주파수2.45GHz의 마

이크로파)를 사용한 고밀도 플라즈마 CVD법)을 사용하여 절연층(602_A)에 적용 가능한 재료의 막을 형성함으로써, 절연층(602_A)을 치밀하게 할 수 있고, 절연층(602_A)의 절연 내압을 향상시킬 수 있다.

- [0237] 다음으로, 도 7c에 도시한 바와 같이, 절연층(602_A) 위에 산화물 반도체막을 형성하고, 그 후 산화물 반도체막의 일부를 에칭함으로써 반도체층(603_A)을 형성한다.
- [0238] 예를 들어, 스퍼터링법을 사용하여 반도체층(603_A)에 적용 가능한 산화물 반도체 재료의 막을 형성함으로써 산화물 반도체막을 형성할 수 있다. 또한, 희가스 분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서 산화물 반도체막을 형성하여도 좋다.
- [0239] 또한, 스퍼터링 타겟으로서, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mole수비]의 조성비인 산화물 타겟을 사용하여 산화물 반도체막을 형성할 수 있다. 또한, 예를 들어, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mole수비]의 조성비인 산화물 타겟을 사용하여 산화물 반도체막을 형성하여도 좋다.
- [0240] 또한, 스퍼터링 타겟으로서, 조성비가 In:Sn:Zn이 원자수비로, 1:2:2, 2:1:3, 1:1:1, 또는 20:45:35 등이 되는 In-Sn-Zn계의 산화물 타겟을 사용하여도 좋다.
- [0241] 다음으로, 도 7d에 도시한 바와 같이, 절연층(602_A) 및 반도체층(603_A) 위에 제 2 도전막을 형성하고, 제 2 도전막의 일부를 에칭함으로써 도전층(605a_A) 및 도전층(605b_A)을 형성한다.
- [0242] 예를 들어, 스퍼터링법 등을 이용하여 도전층(605a_A) 및 도전층(605b_A)에 적용 가능한 재료의 막을 형성함으로써 제 2 도전막을 형성할 수 있다. 또한, 도전층(605a_A) 및 도전층(605b_A)에 적용 가능한 재료의 막을 적층 시킴으로써 제 2 도전막을 형성할 수도 있다.
- [0243] 다음으로, 도 7e에 도시한 바와 같이, 반도체층(603_A)에 접하도록 절연층(606_A)을 형성한다.
- [0244] 예를 들어, 희가스(대표적으로는 아르곤)분위기하, 산소 분위기하, 또는 희가스와 산소의 혼합 분위기하에서, 스퍼터링법을 사용하여 절연층(606_A)에 적용 가능한 막을 형성함으로써, 절연층(606_A)을 형성할 수 있다. 스퍼터링법을 사용하여 절연층(606_A)을 형성함으로써, 트랜지스터의 백 채널로서의 기능을 가지는 반도체층(603_A)의 부분의 저항치의 저하를 억제할 수 있다. 또한, 절연층(606_A)을 형성할 때의 기판 온도는, 실온 이상 300°C 이하인 것이 바람직하다.
- [0245] 또한, 절연층(606_A)를 형성하기 전에 N_2O , N_2 , 또는 Ar 등의 가스를 사용한 플라즈마 처리를 행하고, 노출된 반도체층(603_A)의 표면에 부착한 흡착수 등을 제거해도 좋다. 플라즈마 처리를 할 경우, 그 후, 대기에 접촉하지 않고, 절연층(606_A)을 형성하는 것이 바람직하다.
- [0246] 또한, 도 6a에 도시한 트랜지스터의 제작 방법의 일례에서는, 예를 들어 600°C 이상 750°C 이하, 또는 600°C 이상 기판의 변형점 미만의 온도로 가열 처리를 행한다. 예를 들어, 산화물 반도체막을 형성한 후, 산화물 반도체막의 일부를 에칭한 후, 제 2 도전막을 형성한 후, 제 2 도전막의 일부를 에칭한 후, 또는 절연층(606_A)을 형성한 후에 상기 가열 처리를 행한다.
- [0247] 또한, 상기 가열 처리를 행하는 가열 처리 장치로서는, 전기로, 또는 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 사용할 수 있고, 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치 또는 LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 예를 들어 할로젠 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 발광하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. 또한, GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 고온의 가스로서는, 예를 들어 희가스, 또는 가열 처리에 의하여 피처리물과 반응하지 않는 불활성 기체(예를 들어 질소)를 사용할 수 있다.
- [0248] 또한, 상기 열처리를 행한 후, 상기 가열 처리를 행한 노(爐)와 같은 노에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(이슬점이 -40°C 이하, 바람직하게는 -60°C 이하의 분위기)를 도입해도 좋다. 이 때, 산소 가스 또는 N_2O 가스는, 물, 수소 등을 포함하지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 산소 가스 또는 N_2O 가스의 순도를, 6N 이상, 바람직하게는 7N 이상, 즉, 산소 가스 또는 N_2O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의해, 반도체층(603_A)에 산소가 공급되어, 반도체층(603_A) 중의 산소 결핍으로 인한 결함을 저감할 수 있다.

- [0249] 또한, 상기 가열 처리와는 별도로, 절연층(606_A)을 형성한 후에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 가열 처리(바람직하게는 200℃ 이상 600℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 행하여도 좋다.
- [0250] 또한, 절연층(602_A) 형성 후, 산화물 반도체막 형성 후, 소스 전극 또는 드레인 전극이 되는 도전층 형성 후, 소스 전극 또는 드레인 전극이 되는 도전층 위의 절연층 형성후, 또는 가열 처리후에 산소 플라즈마에 의한 산소 도핑 처리를 행하여도 좋다. 예를 들어 2.45GHz의 고밀도 플라즈마에 의해 산소 도핑 처리를 행하여도 좋다. 또한, 이온 주입법 또는 이온 도핑을 사용하여 산소 도핑 처리를 행하여도 좋다. 산소 도핑 처리를 함으로써, 제작되는 트랜지스터의 전기 특성의 편차를 저감할 수 있다. 예를 들어, 산소 도핑 처리를 행하고, 절연층(602_A) 및 절연층(606_A)의 한쪽 또는 양쪽을, 화학량론적 조성비보다 산소가 많은 상태로 한다. 이것에 의해, 절연층 중의 과잉의 산소가 반도체층(603_A)에 공급되기 쉬워진다. 따라서, 반도체층(603_A)중, 또는 절연층(602_A) 및 절연층(606_A)의 한쪽 또는 양쪽과, 반도체층(603_A)과의 계면에서의 산소 결함을 저감할 수 있으므로, 반도체층(603_A)의 캐리어 농도를 보다 저감할 수 있다.
- [0251] 예를 들어, 절연층(602_A) 및 절연층(606_A)의 한쪽 또는 양쪽으로서, 산화갈륨을 포함하는 절연층을 형성할 경우, 상기 절연층에 산소를 공급하고, 산화갈륨의 조성을 Ga_2O_x 로 할 수 있다.
- [0252] 또한, 절연층(602_A) 및 절연층(606_A)의 한쪽 또는 양쪽으로서, 산화알루미늄을 포함하는 절연층을 형성할 경우, 상기 절연층에 산소를 공급하고, 산화알루미늄의 조성을 Al_2O_x 로 할 수 있다.
- [0253] 또한, 절연층(602_A) 및 절연층(606_A)의 한쪽 또는 양쪽으로서, 산화갈륨 알루미늄 또는 산화알루미늄갈륨을 포함하는 절연층을 형성할 경우, 상기 절연층에 산소를 공급하고, 산화갈륨알루미늄 또는 산화알루미늄갈륨의 조성을 $Ga_xAl_{2-x}O_{3+a}$ 로 할 수 있다.
- [0254] 이상의 공정에 의해, 반도체층(603_A)으로부터, 수소, 물, 수산기, 또는 수소화물(수소 화합물이라고도 한다) 등의 불순물을 배제하고, 또한 반도체층(603_A)에 산소를 공급함으로써, 산화물 반도체층을 고순도화시킬 수 있다.
- [0255] 또한, 도 7e에 도시한 바와 같이 절연층(606_A) 위에 제 3 도전막을 형성하고, 제 3 도전막의 일부를 에칭함으로써 도전층(608_A)을 형성한다.
- [0256] 예를 들어, 스퍼터링법을 사용하여 도전층(608_A)에 적용 가능한 재료의 막을 형성함으로써 제 3 도전막을 형성할 수 있다. 또한, 제 3 도전막에 적용 가능한 재료의 막을 적층시켜, 제 3 도전막을 형성할 수도 있다.
- [0257] 또한, 도 6a에 도시한 트랜지스터의 제작 방법예를 나타냈지만, 이것에 한정되지 않고, 예를 들어 도 6b 내지 도 6d에 도시한 각 구성 요소에 있어서, 명칭이 도 6a에 도시한 각 구성 요소와 동일하고 또한 기능의 적어도 일부가 도 6a에 도시한 각 구성 요소와 동일하면, 도 6a에 도시한 트랜지스터의 제작 방법예의 설명을 적절히 원용할 수 있다.
- [0258] 또한, 도 6c 및 도 6d에 도시한 바와 같이, 영역(604a_C) 및 영역(604a_D), 또는 영역(604b_C) 및 영역(604b_D)를 형성할 경우에는, 게이트로서의 기능을 가지는 도전층이 형성되는 측으로부터 게이트 절연층으로서의 기능을 가지는 절연층을 개재하여 반도체층에 도펀트를 첨가함으로써, 자기 정합으로 영역(604a_C) 및 영역(604a_D), 및 영역(604b_C) 및 영역(604b_D)을 형성한다.
- [0259] 예를 들어, 이온 도핑 장치 또는 이온 주입 장치를 사용하여 도펀트를 첨가할 수 있다.
- [0260] 첨가하는 도펀트로서는, 예를 들어 원소 주기표에서의 13족의 원소(예를 들어 붕소 등), 원소 주기표에서의 15족의 원소(예를 들어 질소, 인, 및 비소 중 하나 또는 복수), 및 희가스 원소(예를 들어 헬륨, 아르곤, 및 크세논의 하나 또는 복수) 중 하나 또는 복수를 사용할 수 있다.
- [0261] 도 6a 내지 도 6d 및 도 7a 내지 도 7e를 사용하여 설명한 바와 같이, 본 실시형태에서의 트랜지스터의 일례는, 게이트로서의 기능을 가지는 도전층과, 게이트 절연층으로서의 기능을 가지는 절연층과, 게이트 절연층으로서의 기능을 가지는 절연층을 개재하여 게이트로서의 기능을 가지는 도전층에 중첩하고, 채널이 형성되는 산화물 반도체층과, 산화물 반도체층에 전기적으로 접속되어, 소스 및 드레인의 한쪽으로서의 기능을 가지는 도전층과, 산화물 반도체층에 전기적으로 접속되어, 소스 및 드레인의 다른 쪽으로서의 기능을 가지는 도전층을 포함하는 구조이다.
- [0262] 상기 채널이 형성되는 산화물 반도체층은, 고순도화시킴으로써 I형 또는 실질적으로 I형이 된 산화물 반도체층

이다. 산화물 반도체층을 고순도화시킴으로써, 산화물 반도체층의 캐리어 농도를 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만으로 할 수 있다. 또한, 상기 구조로 함으로써, 채널 폭 $1 \mu\text{m}$ 근처의 오프 전류를 $10\text{aA}(1 \times 10^{-17}\text{A})$ 이하로 하는 것, 또한 채널 폭 $1 \mu\text{m}$ 근처의 오프 전류를 $1\text{aA}(1 \times 10^{-18}\text{A})$ 이하, 또한 채널 폭 $1 \mu\text{m}$ 근처의 오프 전류를 $10\text{zA}(1 \times 10^{-20}\text{A})$ 이하, 또한 채널 폭 $1 \mu\text{m}$ 근처의 오프 전류를 $1\text{zA}(1 \times 10^{-21}\text{A})$ 이하, 또는 채널 폭 $1 \mu\text{m}$ 근처의 오프 전류를 $100\text{yA}(1 \times 10^{-22}\text{A})$ 이하로 할 수 있다. 트랜지스터의 오프 전류는, 낮으면 낮을수록 좋지만, 본 실시형태의 트랜지스터의 오프 전류의 하한값은, 약 $10^{-30}\text{A}/\mu\text{m}$ 으로 어렵잡을 수 있다.

- [0263] 본 실시형태의 산화물 반도체층을 포함하는 트랜지스터를, 예를 들어 상기 실시형태의 반도체 장치에 있어서의 기억 회로의 트랜지스터에 사용함으로써, 열화되기 어려운 기억 회로를 구성할 수 있고, 또한, 기억 회로의 데이터의 유지 기간을 길게 할 수 있다.
- [0264] (실시형태 6)
- [0265] 본 실시형태에서는, RFID 등의 무선 통신에 의해 데이터 통신이 가능한 반도체 장치의 예에 대하여 설명한다.
- [0266] 본 실시형태에 있어서의 반도체 장치의 구성예에 대하여, 도 8을 사용하여 설명한다. 도 8은, 본 실시형태에 있어서의 반도체 장치의 구성예를 나타내는 블럭도이다.
- [0267] 도 8에 도시한 반도체 장치는, 안테나(711)와, 용량 소자(712)와, 수동 소자(713)와, 트랜지스터(714)와, 기억 회로(715)와, 정류 회로(716)와, 전원 회로(PWRG라고도 한다)(717)와, 복조 회로(DMOD라고도 한다)(718)와, 기억 제어 회로(MCTL이라고도 한다)(719)와, 메모리(MEM이라고도 한다)(720)와, 부호화 회로(ECOD라고도 한다)(721)와, 변조 회로(MOD라고도 한다)(722)를 구비한다. 도 8에 도시한 반도체 장치는, 무선 통신 장치(리더 라이터 또는 질문기 등, 무선에 의해 통신이 가능한 장치) 등의 외부의 회로와 안테나(711)를 개재하여 무선 신호의 송수신을 행한다.
- [0268] 안테나(711)는, 반송파의 송수신을 행하는 기능을 가진다. 안테나(711)로서는, 예를 들어 도 1a에 도시한 안테나(101)가 적용 가능하고, 코일로서의 기능을 가지는 안테나를 사용할 수 있다.
- [0269] 반송파란, 캐리어라고도 불리는 교류 신호이며, 상기 반송파를 사용하여 전원 전압의 공급 또는 데이터 신호의 주고받기가 이루어진다. 또한, 외부로부터 안테나(711)에 송신되는 반송파로서는, 변조된 반송파(변조파)도 포함한다.
- [0270] 용량 소자(712)는, 안테나(711)에 병렬 접속으로 전기적으로 접속된다. 또한, 용량 소자(712)의 제 1 용량 전극 및 제 2 용량 전극의 한쪽 또는 양쪽과 안테나(711)와의 사이에 트랜지스터 등의 스위칭 소자를 형성해도 된다.
- [0271] 수동 소자(713)는, 안테나(711)과 병렬 접속으로 전기적으로 접속됨으로써, 공진 회로의 일부로서 기능한다. 수동 소자(713)로서는, 예를 들어 도 1a에 도시한 수동 소자(103)에 적용 가능한 수동 소자를 사용할 수 있다.
- [0272] 트랜지스터(714)는, 수동 소자(713)와 안테나(711)가 병렬 접속으로 전기적으로 접속될 것인지 아닌지를 제어하는 기능을 가진다. 예를 들어, 트랜지스터(714)의 소스 및 드레인의 한쪽은, 수동 소자(713) 및 안테나(711)를 개재하여 트랜지스터(714)의 소스 및 드레인의 다른 쪽에 접속된다. 트랜지스터(714)로서는, 도 1a에 도시한 트랜지스터(104)에 적용 가능한 트랜지스터를 사용할 수 있다.
- [0273] 기억 회로(715)는, 트랜지스터(714)의 게이트의 전압을 유지하는 기능을 가진다.
- [0274] 기억 회로(715)로서는, 예를 들어, 상기 실시형태에 나타내는 반도체 장치에 있어서의 기억 회로(105)에 적용 가능한 구성의 기억 회로를 사용할 수 있다.
- [0275] 정류 회로(716)는, 안테나(711)에 의해 전파를 수신함으로써 생성한 전압을 정류하는 기능을 가진다.
- [0276] 전원 회로(717)는, 정류 회로(716)에 의해 정류한 전압으로부터 전원 전압을 생성하는 기능을 가진다. 생성한 전원 전압은, 도 8의 점선으로 도시한 바와 같이, 복조 회로(718), 기억 제어 회로(719), 메모리(720), 부호화 회로(721), 및 변조 회로(722)의 각 기능 회로에 공급된다. 복조 회로(718), 기억 제어 회로(719), 메모리(720), 부호화 회로(721), 및 변조 회로(722)의 각각은, 전원이 공급됨으로써 동작한다.

- [0277] 복조 회로(718)는, 안테나(711)에 의해 수신한 반송파를 복조하고, 데이터 신호를 추출하는 기능을 가진다.
- [0278] 기억 제어 회로(719)는, 복조된 데이터 신호를 바탕으로 기록 제어 신호, 판독 제어 신호, 및 어드레스 신호 등의 액세스 신호를 생성하는 기능을 가진다.
- [0279] 메모리(720)에는, 데이터가 기억된다. 메모리(720)로서는, 예를 들어 ROM(Read Only Memory) 및 RAM(Random Access Memory)의 하나 또는 복수를 사용할 수 있다.
- [0280] 부호화 회로(721)는, 메모리(720)로부터 판독된 데이터 신호를 부호화하는 기능을 가진다.
- [0281] 변조 회로(722)는, 부호화된 데이터 신호를 변조하고, 안테나(711)로부터 반송파로서 송신하기 위한 데이터 신호를 생성하는 기능을 가진다.
- [0282] 다음으로, 도 8에 도시한 반도체 장치의 동작예에 대하여 설명한다.
- [0283] 안테나(711)가 반송파를 수신하면, 수신한 반송파에 따라 전압이 생성된다.
- [0284] 안테나(711)에서 생성된 전압은, 전원 회로(717) 및 복조 회로(718)에 입력된다.
- [0285] 전원 회로(717)는, 안테나(711)에서 생성된 전압을 바탕으로 전원 전압을 생성하고, 생성한 전원 전압을, 복조 회로(718), 기억 제어 회로(719), 메모리(720), 부호화 회로(721), 및 변조 회로(722)에 출력한다.
- [0286] 또한, 복조 회로(718)는, 안테나(711)로부터 입력된 전압인 신호를 복조하고, 데이터 신호를 추출하고, 추출한 데이터 신호를 기억 제어 회로(719)에 출력한다.
- [0287] 기억 제어 회로(719)는, 데이터 신호에 따라, 액세스 신호를 생성한다. 또한, 기억 제어 회로(719)는, 기억 회로(715)에 데이터 신호 및 제어 신호를 출력한다.
- [0288] 또한, 액세스 신호에 따라, 메모리(720)는, 데이터의 기록 또는 데이터의 판독을 행한다.
- [0289] 또한, 데이터 신호 및 제어 신호에 따라, 기억 회로(715)에 데이터의 기록이 행해진다. 또한, 이것에 한정되지 않고, 예를 들어 반도체 장치의 제조시 등에 있어서, 기억 회로(715)에 제어 신호 및 데이터 신호를 입력하여 기억 회로(715)에 데이터를 기록하여도 좋다.
- [0290] 또한, 메모리(720)로부터 판독된 데이터 신호를 부호화 회로(721)에 의해 부호화한다.
- [0291] 또한, 부호화된 데이터 신호에 따라 변조 회로(722)에 의해 안테나(711)로부터 송신하는 반송파를 변조한다.
- [0292] 이상이 도 8에 도시한 반도체 장치의 동작예의 설명이다.
- [0293] 도 8을 사용하여 설명한 바와 같이, 본 실시형태의 반도체 장치는, 무선에 의해 데이터의 송수신이 가능한 반도체 장치이다.
- [0294] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 다른 소자와 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다.
- [0295] 또한, 본 실시형태에 있어서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로에서는, 유지되는 데이터(전압)가 반영구적으로 변동하지 않는다. 즉, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는, 리크 전류가 적고, 열화하기 어렵고, 전원이 공급되지 않는 경우라도, 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있기 때문에, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0296] 또한, 본 실시형태에서의 반도체 장치의 일례에서는, 메모리의 동작을 제어하는 기억 제어 회로를 사용하고, 메모리와, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로의 양쪽을 제어할 수 있기 때문에, 별도 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로를 제어하기 위한 제어 회로를 형성할 필요가 없다. 따라서, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로를 형성할 경우라도, 반도체 장치의 회로 면적의 증대를 억제할 수 있다.

- [0297] (실시형태 7)
- [0298] 본 실시예에서는, 무선에 의해 전원 전압의 공급이 가능한 반도체 장치의 예에 대하여 설명한다.
- [0299] 본 실시형태의 반도체 장치의 구성예에 대하여, 도 9a 내지 도 9c를 사용하여 설명한다. 도 9a 내지 도 9c는 본 실시형태의 반도체 장치의 구성예를 설명하기 위한 모식도이다.
- [0300] 도 9a에 도시한 반도체 장치는, 휴대형 정보 단말의 예이다. 도 9a에 도시한 정보 단말은, 하우징(1001a)과, 하우징(1001a)에 형성된 표시부(1002a)를 구비한다.
- [0301] 또한, 하우징(1001a)의 측면(1003a)에 외부 기기에 접속시키기 위한 접속 단자, 도 9a에 도시한 휴대형 정보 단말을 조작하기 위한 버튼 중, 하나 또는 복수를 형성하여도 좋다.
- [0302] 도 9a에 도시한 휴대형 정보 단말은, 예를 들어 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기의 하나 또는 복수로서의 기능을 가진다.
- [0303] 도 9b에 도시한 반도체 장치는, 폴더식의 휴대형 정보 단말의 예이다. 도 9b에 도시한 휴대형 정보 단말은, 하우징(1001b)과, 하우징(1001b)에 형성된 표시부(1002b)와, 하우징(1004)과, 하우징(1004)에 형성된 표시부(1005)와, 하우징(1001b) 및 하우징(1004)을 접속하는 축부(1006)를 구비한다.
- [0304] 또한, 도 9b에 도시한 휴대형 정보 단말에서는, 축부(1006)에 의해 하우징(1001b) 또는 하우징(1004)을 움직임으로써, 하우징(1001b)을 하우징(1004)에 중첩시킬 수 있다.
- [0305] 또한, 하우징(1001b)의 측면(1003b) 또는 하우징(1004)의 측면(1007)에 외부기기에 접속시키기 위한 접속 단자, 도 9b에 도시한 휴대형 정보 단말을 조작하기 위한 버튼 중, 하나 또는 복수를 형성하여도 좋다.
- [0306] 또한, 표시부(1002b) 및 표시부(1005)에, 서로 다른 화상 또는 하나의 연속된 화상을 표시시켜도 좋다. 또한, 표시부(1005)를 반드시 형성할 필요는 없고, 표시부(1005) 대신에, 입력 장치인 키보드를 형성하여도 좋다.
- [0307] 도 9b에 도시한 휴대형 정보 단말은, 예를 들어 전화기, 전자 서적, 퍼스널 컴퓨터, 및 게임기의 하나 또는 복수로서의 기능을 가진다.
- [0308] 또한, 도 9a 또는 도 9b에 도시한 휴대형 정보 단말의 구성예를 도 9c에 도시한다.
- [0309] 도 9c에 도시한 휴대형 정보 단말은, 무선 송수신 회로(RF라고도 한다)(1201)와, 축전 장치(BT라고도 한다)(1204)와, 전원 회로(PWRG라고도 한다)(1205)와, 연산 처리 회로(PRO라고도 한다)(1206)와, 메모리(MEM라고도 한다)(1207)와, 표시 제어 회로(DISPCCTL라고도 한다)(1208)와, 표시 패널(DISPL라고도 한다)(1209),를 구비한다.
- [0310] 무선 송수신 회로(1201)는, 수신한 전파로부터, 전원 전압 및 데이터를 생성하는 기능을 가진다. 무선 송수신 회로(1201)는, 상기 실시형태 1 내지 4의 반도체 장치에서의 안테나, 용량 소자, 수동 소자, 제어 트랜지스터, 및 기억 회로를 구비한다. 또한, 무선 송수신 회로(1201)에, 상기 실시형태 6에 나타내는 반도체 장치에서의, 정류 회로, 복조 회로, 및 변조 회로 등의 기능 회로를 구비해도 좋다. 또한, 무선 송수신 회로(1201)에 아날 로그 베이스 밴드 회로 및 디지털 베이스 밴드 회로 등의 기능 회로를 구비해도 좋다.
- [0311] 축전 장치(1204)는, 전원 전압을 생성하기 위한 전압을 공급하는 기능을 가진다. 또한, 무선 송수신 회로(1201)에 의해 생성한 전압에 따라 축전 장치(1204)를 충전해도 좋다.
- [0312] 전원 회로(1205)는, 공급되는 전압에 따라 전원 전압을 생성하고, 상기 전원전압을 연산 처리 회로(1206), 메모리(1207), 표시 제어 회로(1208), 및 표시 패널(1209)에 공급하는 기능을 가진다.
- [0313] 연산 처리 회로(1206)는 예를 들어 CPU, 디지털 시그널 프로세서(DSP라고도 한다), 메모리 제어 회로, 및 인터페이스를 구비한다.
- [0314] 메모리(1207)는 연산 처리 회로(1206)에서의 메모리 제어 회로로부터의 신호에 따라, 데이터의 기록 및 데이터의 판독을 행하는 기능을 가진다.
- [0315] 표시 패널(1209)로서는, 예를 들어 액정 표시 패널, EL 표시 패널 등을 사용할 수 있다. 또한, 도 9b에 도시한 반도체 장치의 경우, 표시 패널(1209)은 복수이다.
- [0316] 또한, 도 9c에 도시한 휴대 정보 단말의 동작예에 대하여 설명한다.

- [0317] 우선, 무선 송수신 회로(1201)에 의해 데이터를 포함하는 전파를 수신하고, 축전 장치(1204)가 충전되고, 전원 회로(1205)에 의해 전원 전압이 생성되고, 연산 처리 회로(1206)에 의해 화상 데이터가 생성된다. 생성된 화상 데이터는, 메모리(1207)에 데이터로서 기억된다. 또한, 메모리(1207)에 기억되어 있는 데이터를, 표시 제어 회로(1208)를 개재하여 표시 패널(1209)에 출력하고, 표시 패널(1209)에 의해 입력된 화상 데이터에 따른 화상을 표시한다.
- [0318] 이상이 도 9c에 도시한 휴대형 정보 단말의 동작예이다.
- [0319] 도 9a 내지 도 9c를 사용하여 설명한 바와 같이, 본 실시형태에서의 반도체 장치의 일례에서는, 제어 트랜지스터의 온 상태 또는 오프 상태를 제어함으로써, 수동 소자가 다른 소자와 공진 회로를 구성할 것인지 아닌지를 제어하고, 반도체 장치의 공진 주파수를 적절히 변화시킬 수 있다.
- [0320] 또한, 본 실시형태에서의 반도체 장치의 일례에서는, 오프 전류가 낮은 트랜지스터를 사용하여 기억 회로를 구성하고, 상기 기억 회로에 데이터를 기록할 뿐, 기억 회로에 유지된 데이터에 따라, 제어 트랜지스터의 게이트의 전압을 설정할 수 있다. 또한, 기억 회로의 데이터의 재기록도 용이하다. 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로에서는, 유지되는 데이터(전압)이 반영구적으로 변동하지 않는다. 즉, 상기 오프 전류가 낮은 트랜지스터를 사용하여 구성된 기억 회로는, 리크 전류가 적고, 열화하기 어렵고, 전원이 공급되지 않는 경우라도, 데이터를 장시간 유지할 수 있다. 따라서, 제어 트랜지스터의 게이트의 전압을 재설정하는 회수를 적게 할 수 있기 때문에, 반도체 장치의 공진 주파수의 설정이 용이해진다. 또한, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0321] 또한, 본 실시형태의 반도체 장치의 일례에서는, 무선에 의해, 데이터의 송수신 및 축전 장치의 충전을 행함으로써, 외부 전원이 불필요해지므로, 외부 전원이 없는 장소라도, 상기 반도체 장치를 장시간 사용할 수 있다.
- [0322] (실시형태 8)
- [0323] 본 실시예에서는, 산화물 반도체로서 In-Sn-Zn계의 산화물을 사용한 절연 게이트형 트랜지스터의 예에 대하여 설명한다.
- [0324] 산화물 반도체에 한정하지 않고, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는, 여러가지 이유에 의해 본래의 이동도보다도 낮아진다. 이동도를 저하시키는 요인으로서 반도체 내부의 결함이나 반도체와 절연막과의 계면의 결함이 있는데, Levinson 모델을 사용하면, 반도체 내부에 결함이 없다고 가정할 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.
- [0325] 반도체 본래의 이동도를 μ_0 , 측정되는 전계 효과 이동도를 μ 로 하고, 반도체중에 어떠한 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 이하의 식으로 표현할 수 있다.

수학식 3

[0326]
$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0327] 여기서, E는 포텐셜 장벽의 높이이고, k가 볼츠먼 정수, T는 절대 온도이다. 또한, 포텐셜 장벽이 결함에 유래한다고 가정하면, Levinson 모델에서는, 이하의 식으로 나타내진다.

수학식 4

[0328]
$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0329] 여기서, e는 전기소량, N은 채널 내의 단위 면적당의 평균 결함 밀도, ϵ 는 반도체의 유전율, n은 단위 면적당의 채널에 포함되는 캐리어수, C_{ox} 는 단위 면적당의 용량, V_g 는 게이트 전압, t는 채널의 두께이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하게 해도 지장이 없다. 선형 영역에 있어서

의 드레인 전류 I_d 는, 이하의 식이 된다.

수학식 5

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0330]

[0331] 여기서, L 은 채널 길이, W 는 채널 폭이며, 여기에서는, $L=W=10\mu\text{m}$ 이다. 또한, V_d 는 드레인 전압이다. 상기 식의 양변을 V_g 로 나누고, 추가로 양변의 대수를 취하면, 이하와 같이 된다.

수학식 6

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0332]

[0333] 수학식 6의 오른쪽 변은 V_g 의 함수이다. 이 식에서 알 수 있듯이, 세로축을 $\ln(I_d/V_g)$, 가로축을 I/V_g 로 하는 직선의 기울기로부터 결함 밀도 N 이 구해진다. 즉, 트랜지스터의 I_d - V_g 특성으로부터, 결함 밀도를 평가할 수 있다. 산화물 반도체로서는, 인듐(In), 주석(Sn), 아연(Zn)의 비율이, In:Sn:Zn=1:1:1의 것에서는 결함 밀도 N 은 $1 \times 10^{12}/\text{cm}^2$ 정도이다.

[0334] 이렇게 하여 구해진 결함 밀도 등을 바탕으로 수 3 및 수 4로부터 $\mu_0=120\text{cm}^2/\text{Vs}$ 가 도출된다. 결함이 있는 In-Sn-Zn계 산화물에서 측정되는 이동도는 $35\text{cm}^2/\text{Vs}$ 정도이다. 그러나, 반도체 내부 및 반도체와 절연막과의 계면의 결함이 없는 산화물 반도체의 이동도 μ_0 는 $120\text{cm}^2/\text{Vs}$ 가 된다고 예상할 수 있다.

[0335] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연층과의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉, 채널과 게이트 절연층과의 계면에서 x 만큼 벗어난 장소에서의 이동도 μ_1 은, 이하의 식으로 나타내진다.

수학식 7

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

[0336]

[0337] 여기서, D 는 게이트 방향의 전계, B , G 는 정수이다. B 및 G 는, 실제의 측정 결과로부터 구할 수 있고, 상기의 측정 결과로부터는, $B=4.75 \times 10^7 \text{ cm/s}$, $G=10\text{nm}$ (계면 산란이 미치는 깊이)이다. D 가 증가하면(즉, 게이트 전압이 높아지면) 수 7의 제 2 항이 증가하기 때문에, 이동도 μ_1 은 저하됨을 알 수 있다.

[0338] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 사용한 트랜지스터의 이동도 μ_2 를 계산한 결과로도 13에 도시한다. 또한, 계산에는 시놉시스사 제조 디바이스 시뮬레이션 시프트, Sentaurus Device를 사용하여, 산화물 반도체의 밴드갭, 전자 친화력, 비유전율, 두께를 각각, 2.8 전자 볼트, 4.7 전자 볼트, 15, 15nm으로 하였다. 이들 값은, 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.

[0339] 또한, 게이트, 소스, 드레인의 일함수를 각각, 5.5 전자 볼트, 4.6 전자 볼트, 4.6 전자 볼트로 하였다. 또한, 게이트 절연층의 두께는 100nm, 비유전율은 4.1로 하였다. 채널 길이 및 채널 폭은 둘다 $10\mu\text{m}$, 드레인 전압 V_d 는 0.1V이다.

[0340] 도 13에서 도시된 바와 같이, 게이트 전압 1V장에서 이동도 $100\text{cm}^2/\text{Vs}$ 이상의 피크가 되지만, 게이트 전압이 더

속 높아지면, 계면 산란이 커지고, 이동도가 저하된다. 또한, 계면 산란을 저감하기 위해서는, 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

- [0341] 이러한 이동도를 가지는 산화물 반도체를 사용하여 미세한 트랜지스터를 제작했을 경우의 특성을 계산한 결과를, 도 14a 내지 도 14c, 도 15a 내지 도 15c 및 도 16a 내지 도 16c에 도시한다. 또한, 계산에 사용한 트랜지스터의 단면 구조를 도 17a 및 도 17b에 도시한다. 도 17a 및 도 17b에 도시한 트랜지스터는 산화물 반도체층에 n^+ 의 도전형을 나타내는 반도체 영역(1303a) 및 반도체 영역(1303c)을 가진다. 반도체 영역(1303a) 및 반도체 영역(1303c)의 저항율은 $2 \times 10^{-3} \Omega \text{cm}$ 로 한다.
- [0342] 도 17a에 도시한 트랜지스터는, 하지 절연층(1301)과, 하지 절연층(1301)에 매립되도록 형성된 산화알루미늄으로 이루어진 매립 절연물(1302) 위에 형성된다. 트랜지스터는 반도체 영역(1303a), 반도체 영역(1303c)과, 그것들 사이에 개재되어, 채널 형성 영역이 되는 진성의 반도체 영역(1303b)과, 게이트(1305)를 가진다. 게이트(1305)의 폭을 33nm로 한다.
- [0343] 게이트(1305)와 반도체 영역(1303b)의 사이에는, 게이트 절연층(1304)을 가지고, 또한, 게이트(1305)의 양측면에는 측벽 절연물(1306a) 및 측벽 절연물(1306b), 게이트(1305)의 상부에는, 게이트(1305)와 다른 배선과의 단락을 방지하기 위한 절연물(1307)을 가진다. 측벽 절연물의 폭은 5nm로 한다. 또한, 반도체 영역(1303a) 및 반도체 영역(1303c)에 접하고, 소스(1308a) 및 드레인(1308b)을 가진다. 또한, 이 트랜지스터에 있어서의 채널 폭을 40nm로 한다.
- [0344] 도 17b에 도시한 트랜지스터는, 하지 절연층(1301)과, 산화알루미늄으로 이루어진 매립 절연물(1302) 위에 형성되고, 반도체 영역(1303a), 반도체 영역(1303c)과, 그것들 사이에 개재된 진성의 반도체 영역(1303b)과, 폭 33nm의 게이트(1305)와 게이트 절연층(1304)과 측벽 절연물(1306a) 및 측벽 절연물(1306b)과 절연물(1307)과 소스(1308a) 및 드레인(1308b)을 가지는 점에서 도 17a에 도시한 트랜지스터와 동일하다.
- [0345] 도 17a에 도시한 트랜지스터와 도 17b에 도시한 트랜지스터의 차이점은, 측벽 절연물(1306a) 및 측벽 절연물(1306b) 아래의 반도체 영역의 도전형이다. 도 17a에 도시한 트랜지스터에서는, 측벽 절연물(1306a) 및 측벽 절연물(1306b) 아래의 반도체 영역은 n^+ 의 도전형을 나타내는 반도체 영역(1303a) 및 반도체 영역(1303c)이지만, 도 17b에 도시한 트랜지스터에서는, 진성의 반도체 영역(1303b)이다. 즉, 반도체 영역(1303a)(반도체 영역(1303c))과 게이트(1305)가 Loff만큼 겹치지 않는 영역이 형성되어 있다. 이 영역을 오프셋 영역이라고 하고, 그 폭 Loff를 오프셋 길이라고 한다. 도면으로부터 분명하게 나타나 있는 바와 같이, 오프셋 길이는, 측벽 절연물(1306a)(측벽 절연물(1306b))의 폭과 동일하다.
- [0346] 그 밖의 계산에 사용하는 파라미터는 상술한 바와 같다. 계산에는 시뮬시스사 제조 디바이스 시뮬레이션 시프트, Sentaurus Device를 사용하였다. 도 14a 내지 도 14c는, 도 17a에 도시된 구조의 트랜지스터의 드레인 전류(Id, 실선) 및 이동도(μ , 점선)의 게이트 전압(Vg, 게이트와 소스의 전위차) 의존성을 나타낸다. 드레인 전류 Id는, 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다.
- [0347] 도 14a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 14b는 10nm로 한 것이며, 도 14c는 5nm로 한 것이다. 게이트 절연층이 얇아질수록, 특히 오프 상태에서의 드레인 전류 Id(오프 전류)가 현저하게 저하한다. 한편, 이동도 μ 의 피크값이나 온 상태에서의 드레인 전류 Id(온 전류)에는 눈에 띄는 변화가 없다. 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 필요로 하는 10 μA 를 넘는 것으로 나타났다.
- [0348] 도 15a 내지 도 15c는, 도 17b에 도시된 구조의 트랜지스터로, 오프셋 길이 Loff를 5nm로 하였으나 드레인 전류 Id(실선) 및 이동도 μ (점선)의 게이트 전압 Vg 의존성을 나타낸다. 드레인 전류 Id는, 드레인 전압을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 15a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 15b는 10nm로 한 것이며, 도 15c는 5nm로 한 것이다.
- [0349] 또한, 도 16a 내지 도 16c는, 도 17b에 도시된 구조의 트랜지스터로, 오프셋 길이 Loff를 15nm로 하였으나 드레인 전류 Id(실선) 및 이동도 μ (점선)의 게이트 전압 의존성을 나타낸다. 드레인 전류 Id는, 드레인 전압을 +1V로 하고, 이동도 μ 는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 16a는 게이트 절연층의 두께를 15nm로 한 것이며, 도 16b는 10nm로 한 것이며, 도 16c는 5nm로 한 것이다.
- [0350] 모두 게이트 절연층이 얇아질수록, 오프 전류가 현저하게 저하하는 한편, 이동도 μ 의 피크치나 온 전류에는 눈

에 띄는 변화가 없다.

- [0351] 또한, 이동도 μ 의 피크는, 도 14a 내지 도 14c에서는 $80\text{cm}^2/\text{Vs}$ 정도이지만, 도 15a 내지 도 15c에서는 $60\text{cm}^2/\text{Vs}$ 정도, 도 16a 내지 도 16c에서는 $40\text{cm}^2/\text{Vs}$ 정도로, 오프셋 길이 L_{off} 가 증가할수록 저하한다. 또한, 오프 전류도 같은 경향이 있다. 한편, 온 전류에는 오프셋 길이 L_{off} 의 증가에 따라 감소하지만, 오프 전류의 저하에 비하면 훨씬 완만하다. 또한, 모두 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 필요로 하는 $10\mu\text{A}$ 를 넘는 것으로 나타났다.
- [0352] (실시형태 9)
- [0353] 본 실시형태에서는, 산화물 반도체로서 In-Sn-Zn계의 산화물을 사용한 절연 게이트형 트랜지스터에 관한 실험 결과 등을 설명한다.
- [0354] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 상기 산화물 반도체를 형성할 때에 기판을 가열하여 성막하는 것, 또는 산화물 반도체막을 형성한 후에 열처리를 행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분이란 조성비로 5atomic% 이상 포함되는 원소를 말한다.
- [0355] In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 또한, 트랜지스터의 임계값 전압을 플러스 시프트시켜, 노멀리?오프화시킬 수 있다.
- [0356] 예를 들어, 도 18a 내지 도 18c는, In, Sn, Zn을 주성분으로 하고, 채널 길이 L 이 $3\mu\text{m}$, 채널 폭 W 가 $10\mu\text{m}$ 인 산화물 반도체막과, 두께 100nm의 게이트 절연층을 사용한 트랜지스터의 특성이다. 또한, V_d 는 10V로 하였다.
- [0357] 도 18a는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성이다. 이 때 전계 효과 이동도는 $18.8\text{cm}^2/\text{Vsec}$ 이 얻어진다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성하면 전계 효과 이동도를 향상시킬 수 있다. 도 18b는 기판을 200°C 에서 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성을 나타내지만, 전계 효과 이동도는 $32.2\text{cm}^2/\text{Vsec}$ 이 얻어진다.
- [0358] 전계 효과 이동도는, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 후에 열처리를 함으로써, 더욱 높일 수 있다. 도 18c는, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 200°C 에서 스퍼터링 성막한 후, 650°C 에서 열처리를 했을 때의 트랜지스터 특성을 나타낸다. 이 때 전계 효과 이동도는 $34.5\text{cm}^2/\text{Vsec}$ 가 얻어진다.
- [0359] 기판을 의도적으로 가열함으로써 스퍼터링 성막 중의 수분이 산화물 반도체막 중으로 들어가는 것을 저감하는 효과를 기대할 수 있다. 또한, 성막 후에 열처리를 함으로써, 산화물 반도체막으로부터 수소나 수산기 또는 수분을 방출시켜 제거할 수 있고, 상기와 같이 전계 효과 이동도를 향상시킬 수 있다. 이러한 전계 효과 이동도의 향상은, 탈수화?탈수소화에 의한 불순물의 제거 뿐 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문이라고도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하여 고순도화함으로써 결정화를 도모할 수 있다. 이렇게 고순도화된 비단결정 산화물 반도체는, 이상적으로는 $100\text{cm}^2/\text{Vsec}$ 을 넘는 전계 효과 이동도를 실현하는 것도 가능하게 된다고 추정된다.
- [0360] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 상기 산화물 반도체에 포함되는 수소나 수산기 또는 수분을 방출시키고, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시켜도 좋다. 이러한 결정화 또는 재결정화의 처리에 의해 결정성이 양호한 비단결정 산화물 반도체를 얻을 수 있다.
- [0361] 기판을 의도적으로 가열하여 성막하는 것 및/또는 성막 후에 열처리하는 것의 효과는, 전계 효과 이동도의 향상 뿐 아니라, 트랜지스터의 노멀리?오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 채널 형성 영역으로 한 트랜지스터는, 임계값 전압이 마이너스 시프트해버리는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체막을 사용했을 경우, 이 임계값 전압의 마이너스 시프트화는 해소된다. 즉, 임계값 전압은 트랜지스터가 노멀리?오프가 되는 방향으로 움직이고, 이러한 경향은 도 18a와 도 18b의 대비로부터도 확인할 수 있다.
- [0362] 또한, 임계값 전압은 In, Sn 및 Zn의 비율을 바꿈으로써도 제어할 수 있고, 조성비로서 In:Sn:Zn=2:1:3으로 함

으로써 트랜지스터의 노멀리?오프화를 기대할 수 있다. 또한, 타겟의 조성비를 In:Sn:Zn=2:1:3으로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.

- [0363] 의도적인 기관 가열 온도 또는 열처리 온도는, 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이며, 보다 고온으로 성막하거나 또는 열처리함으로써 트랜지스터의 노멀리?오프화를 도모할 수 있게 된다.
- [0364] 또한, 의도적으로 기관을 가열한 성막 및/또는 성막 후에 열처리를 함으로써, 게이트 바이어스?스트레스에 대한 안정성을 높일 수 있다. 예를 들어, 2MV/cm, 150℃, 1시간 인가의 조건에서, 드리프트가 각각 ±1.5V 미만, 바람직하게는 1.0V 미만을 얻을 수 있다.
- [0365] 실제로, 산화물 반도체막 성막 후에 가열 처리를 하지 않은 시료 1과, 650℃의 가열 처리를 한 시료 2의 트랜지스터에 대하여 BT 시험을 행하였다.
- [0366] 우선 기관 온도를 25℃로 하고, Vd를 10V로 하고, 트랜지스터의 Vg-Id 특성의 측정을 행하였다. 다음으로, 기관 온도를 150℃로 하고, Vd를 0.1V로 하였다. 다음으로, 게이트 절연층에 인가되는 전계 강도가 2MV/cm가 되도록 Vg에 20V를 인가하고, 그대로 1시간 유지하였다. 다음으로, Vg를 0V로 하였다. 다음으로, 기관 온도 25℃로 하고, Vd를 10V로 하고, 트랜지스터의 Vg-Id 측정을 행하였다. 이것을 플러스 BT 시험이라고 부른다.
- [0367] 마찬가지로, 우선 기관 온도를 25℃로 하고, Vd를 10V로 하고, 트랜지스터의 Vg-Id 특성의 측정을 행하였다. 다음으로, 기관 온도를 150℃로 하고, Vd를 0.1V로 하였다. 다음으로, 게이트 절연층에 인가되는 전계 강도가 -2MV/cm가 되도록 Vg에 -20V를 인가하고, 그대로 1시간 유지하였다. 다음으로, Vg를 0V로 하였다. 다음으로, 기관 온도 25℃로 하고, Vd를 10V로 하고, 트랜지스터의 Vg-Id 측정을 행하였다. 이것을 마이너스 BT 시험이라고 부른다.
- [0368] 시료 1의 플러스 BT 시험의 결과를 도 19a에, 마이너스 BT 시험의 결과를 도 19b에 도시한다. 또한, 시료 2의 플러스 BT 시험의 결과를 도 20a에, 마이너스 BT 시험의 결과를 도 20b에 도시한다.
- [0369] 시료 1의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 1.80V 및 -0.42V이었다. 또한, 시료 2의 플러스 BT 시험 및 마이너스 BT 시험에 의한 임계값 전압의 변동은, 각각 0.79V 및 0.76V이었다. 시료 1 및 시료 2 양쪽 다, BT 시험 전후에 있어서의 임계값 전압의 변동이 작고, 신뢰성이 높은 것을 알 수 있다.
- [0370] 열처리는 산소 분위기 속에서 행할 수 있지만, 우선 질소 또는 불활성 가스, 또는 감압하에서 열처리를 행하고 나서 산소를 포함하는 분위기 속에서 열처리를 행하여도 좋다. 처음에 탈수화?탈수소화를 행하고 나서 산소를 산화물 반도체에 첨가함으로써, 열처리의 효과를 보다 높일 수 있다. 또한, 나중에 산소를 추가하려면, 산소 이온을 전계에서 가속하여 산화물 반도체막에 주입하는 방법을 적용하여도 좋다.
- [0371] 산화물 반도체중 및 적층되는 막과의 계면에는, 산소 결손에 의한 결함이 생성되기 쉬운데, 이러한 열처리에 의해 산화물 반도체중에 산소를 과잉으로 포함시킴으로써, 정상적으로 생성되는 산소 결손을 과잉의 산소에 의해 보상하는 것이 가능해진다. 과잉 산소는 주로 격자간에 존재하는 산소이며, 그 산소 농도가 $1 \times 10^{16} / \text{cm}^3$ 이상 $2 \times 10^{20} / \text{cm}^3$ 이하로 하면, 결정에 변형 등을 주지 않고 산화물 반도체중에 포함시킬 수 있다.
- [0372] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써, 보다 안정한 산화물 반도체막을 얻을 수 있다. 예를 들어, 조성비In:Sn:Zn=1:1:1의 타겟을 사용하여, 기관을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은, X선 회절(XRD:X-Ray Diffraction)로 할로우 패턴이 관측된다. 이 성막된 산화물 반도체막을 열처리함으로써 결정화시킬 수 있다. 열처리 온도는 임의이지만, 예를 들어 650℃의 열처리를 행함으로써 X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.
- [0373] 실제로, In-Sn-Zn-O막의 XRD 분석을 행하였다. XRD 분석에는, Bruker AXS사 제조 X선 회절 장치 D8 ADVANCE를 사용하여, Out-of-Plane법으로 측정했다.
- [0374] XRD 분석을 한 시료로서, 시료 A 및 시료 B를 준비했다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.
- [0375] 탈수소화 처리가 끝난 석영 기관 위에 In-Sn-Zn-O막을 100nm의 두께로 성막하였다.
- [0376] In-Sn-Zn-O막은, 스퍼터링 장치를 사용하여, 산소 분위기에서 전력을 100W(DC)로 하여 성막하였다. 타겟은, In:Sn:Zn=1:1:1[원자수비]의 In-Sn-Zn-O 타겟을 사용하였다. 또한, 성막시의 기관 가열 온도는 200℃로 하였다. 이렇게 하여 제작한 시료를 시료 A로 하였다.

- [0377] 다음으로, 시료 A와 같은 방법으로 제작한 시료에 대하여 가열 처리를 650℃의 온도로 행하였다. 가열 처리는, 처음에 질소 분위기에서 1시간의 가열 처리를 행하고, 온도를 내리지 않고 산소 분위기에서 추가로 1시간의 가열 처리를 행하였다. 이렇게 하여 제작한 시료를 시료 B로 하였다.
- [0378] 도 21에 시료 A 및 시료 B의 XRD 스펙트럼을 도시한다. 시료 A에서는, 결정 유래의 피크가 관측되지 않았지만, 시료 B에서는, 2θ가 35deg 근방 및 37deg 내지 38deg에 결정 유래의 피크가 관측되었다.
- [0379] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막시에 의도적으로 가열하는 것 및/또는 성막 후에 열처리함으로써 트랜지스터의 특성을 향상시킬 수 있다.
- [0380] 이 기관 가열이나 열처리는, 산화물 반도체에 있어서 악성의 불순물인 수소나 수산기를 막 속에 포함시키지 않도록 하는 것, 또는 막 속으로부터 제거하는 작용이 있다. 즉, 산화물 반도체중에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 꾀할 수 있고, 그것에 의해서 트랜지스터의 노멀리?오프화를 꾀할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 1aA/μm 이하로 바꿀 수 있다.여기에서, 상기 오프 전류치의 단위는, 채널 폭 1μm 근처의 전류치를 나타낸다.
- [0381] 도 22에, 트랜지스터의 오프 전류와 측정시의 기관 온도(절대 온도)의 역수와의 관계를 도시한다. 여기에서는, 간단하기 때문에 측정시의 기관 온도의 역수에 1000을 곱한 수치(1000/T)을 가로축으로 하고 있다.
- [0382] 구체적으로는, 도 22에 도시한 바와 같이, 기관 온도가 125℃의 경우에는 1aA/μm(1×10⁻¹⁸A/μm) 이하, 85℃의 경우에는 100zA/μm(1×10⁻¹⁹A/μm) 이하, 실온(27℃)의 경우에는 1zA/μm(1×10⁻²¹A/μm) 이하로 할 수 있다. 바람직하게는, 125℃에서 0.1aA/μm(1×10⁻¹⁹A/μm) 이하로, 85℃에서 10zA/μm(1×10⁻²⁰A/μm) 이하로, 실온에서 0.1zA/μm(1×10⁻²²A/μm) 이하로 할 수 있다. 이들의 오프 전류치는, Si를 반도체막으로서 사용한 트랜지스터에 비하여 지극히 낮은 것임은 분명하다.
- [0383] 다만, 산화물 반도체막의 성막시에 수소나 수분이 막 속에 혼입되지 않도록, 성막실 외부로부터의 리크나 성막실 내의 내벽으로부터의 탈가스를 충분히 억제하고, 스퍼터링 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들어, 스퍼터 링 가스는 수분이 막 속에 포함되지 않도록 이슬점 -70℃ 이하인 가스를 사용하는 것이 바람직하다. 또한, 타겟 자체에 수소나 수분 등의 불순물이 포함되어 있지 않도록, 고순도화된 타겟을 사용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체는 열처리에 의해 막 속의 수분을 제거할 수 있지만, In, Ga, Zn을 주성분으로 하는 산화물 반도체와 비교하여 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성해 두는 것이 바람직하다.
- [0384] 또한, 산화물 반도체막 성막 후에 650℃의 가열 처리를 행한 시료의 트랜지스터에 있어서, 기관 온도와 전기적 특성의 관계에 대하여 평가하였다.
- [0385] 측정에 사용한 트랜지스터는, 채널 길이 L이 3μm, 채널 폭 W가 10μm, Lov가 0μm, dW가 0μm이다. 또한, Vd는 10V로 하였다. 또한, 기관 온도는 -40℃, -25℃, 25℃, 75℃, 125℃ 및 150℃에서 행하였다. 여기에서, 트랜지스터에 있어서, 게이트 전극과 한 쌍의 전극과의 중첩하는 폭을 Lov라고 부르고, 산화물 반도체막에 대한 한쌍의 전극의 돌출부를 dW라고 부른다.
- [0386] 도 23에, Id(실선) 및 전계 효과 이동도(점선)의 Vg 의존성을 도시한다. 또한, 도 24a에 기관 온도와 임계값 전압의 관계를, 도 24b에 기관 온도와 전계 효과 이동도의 관계를 도시한다.
- [0387] 도 24a로부터, 기관 온도가 높을수록 임계값 전압은 낮아짐을 알 수 있다. 또한, 그 범위는 -40℃ 내지 150℃이고 1.09V 내지 -0.23V이었다.
- [0388] 또한, 도 24b로부터, 기관 온도가 높을수록 전계 효과 이동도가 낮아짐을 알 수 있다. 또한, 그 범위는 -40℃ 내지 150℃이고 36cm²/Vs 내지 32cm²/Vs이었다. 따라서, 상술한 온도 범위에 있어서 전기적 특성의 변동이 작음을 알 수 있다.
- [0389] 상기한 바와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를 1aA/μm 이하로 유지하면서, 전계 효과 이동도를 30cm²/Vsec 이상, 바람직하게는 40cm²/Vsec 이상, 보다 바람직하게는 60cm²/Vsec 이상으로 하고, LSI에서 요구되는 온 전류의 값을 충족시킬 수 있다. 예를 들어, L/W=33nm/40nm의 FET이고, 게이트 전압 2.7V, 드레인 전압 1.0V일 때 12μA 이상의 온 전류를 흘려보

낼 수 있다. 또 트랜지스터의 동작에 요구되는 온도 범위에 있어서도, 충분한 전기적 특성을 확보할 수 있다. 이러한 특성이면, Si 반도체로 만들어지는 집적 회로중에 산화물 반도체로 형성되는 트랜지스터를 혼재시켜도, 동작 속도를 희생시키지 않고 새로운 기능을 갖는 집적 회로를 실현할 수 있다.

[0390] [실시예 1]

[0391] 본 실시예에서는, In-Sn-Zn-O막을 산화물 반도체막에 사용한 트랜지스터의 일례에 대하여, 도 25a 및 도 25b 등을 사용하여 설명한다.

[0392] 도 25a 및 도 25b는, 코플레이너형인 탑 게이트?탑 컨택트 구조의 트랜지스터의 상면도 및 단면도이다. 도 25a에 트랜지스터의 상면도를 도시한다. 또한, 도 25b에 도 25a의 일점 쇄선 A-B에 대응하는 단면 A-B를 도시한다.

[0393] 도 25b에 도시하는 트랜지스터는, 기판(960)과, 기판(960) 위에 형성된 하지 절연막(961)과, 하지 절연막(961)의 주변에 형성된 보호 절연막(962)과, 하지 절연막(961) 및 보호 절연막(962) 위에 형성된 고저항 영역(963a) 및 저저항 영역(963b)을 가지는 산화물 반도체막(963)과, 산화물 반도체막(963) 위에 형성된 게이트 절연층(964)과, 게이트 절연층(964)을 개재하여 산화물 반도체막(963)과 중첩하여 형성된 게이트 전극(965)과, 게이트 전극(965)의 측면과 접하여 형성된 측벽 절연막(966)과, 적어도 저저항 영역(963b)과 접하여 형성된 한 쌍의 전극(967)과, 적어도 산화물 반도체막(963), 게이트 전극(965) 및 한 쌍의 전극(967)을 덮어서 형성된 층간 절연막(968)과, 층간 절연막(968)에 형성된 개구부를 개재하여 적어도 한 쌍의 전극(967)의 한쪽과 접속하여 형성된 배선(969)을 가진다.

[0394] 또한, 도시하지 않지만, 층간 절연막(968) 및 배선(969)을 덮어서 형성된 보호막을 가지고 있어도 상관 없다. 상기 보호막을 형성함으로써, 층간 절연막(968)의 표면 전도에 기인하여 생기는 미소 리크 전류를 저감할 수 있고, 트랜지스터의 오프 전류를 저감할 수 있다.

[0395] [실시예 2]

[0396] 본 실시예에서는, 상기와는 다른 In-Sn-Zn-O막을 산화물 반도체막에 사용한 트랜지스터의 다른 일례에 대하여 나타낸다.

[0397] 도 26a 및 도 26b는, 본 실시예에서 제작한 트랜지스터의 구조를 나타내는 상면도 및 단면도이다. 도 26a는 트랜지스터의 상면도이다. 또한, 도 26b는 도 26a의 일점 쇄선 A-B에 대응하는 단면도이다.

[0398] 도 26b에 도시한 트랜지스터는, 기판(970)과, 기판(970) 위에 형성된 하지 절연막(971)과, 하지 절연막(971) 위에 형성된 산화물 반도체막(973)과, 산화물 반도체막(973)과 접하는 한 쌍의 전극(976)과, 산화물 반도체막(973) 및 한 쌍의 전극(976) 위에 형성된 게이트 절연층(974)과, 게이트 절연층(974)을 개재하여 산화물 반도체막(973)과 중첩하여 형성된 게이트 전극(975)과, 게이트 절연층(974) 및 게이트 전극(975)을 덮어서 형성된 층간 절연막(977)과, 층간 절연막(977)에 형성된 개구부를 개재하여 한 쌍의 전극(976)과 접속하는 배선(978)과, 층간 절연막(977) 및 배선(978)을 덮어서 형성된 보호막(979)을 가진다.

[0399] 기판(970)으로서는 유리 기판을, 하지 절연막(971)으로서는 산화실리콘막을, 산화물 반도체막(973)으로서는 In-Sn-Zn-O막을, 한 쌍의 전극(976)으로서는 텅스텐막을, 게이트 절연층(974)으로서는 산화실리콘막을, 게이트 전극(975)으로서는 질화탄탈막과 텅스텐막과의 적층 구조를, 층간 절연막(977)으로서는 산화질화실리콘 막과 폴리이미드막과의 적층 구조를, 배선(978)으로서는 티타늄막, 알루미늄막, 티타늄막이 이 순서로 형성된 적층 구조를, 보호막(979)으로서는 폴리이미드막을, 각각 사용하였다.

[0400] 또한, 도 26a에 도시한 구조의 트랜지스터에 있어서, 게이트 전극(975)과 한 쌍의 전극(976)과의 중첩하는 폭을 Lov라고 부른다. 마찬가지로, 산화물 반도체막(973)에 대한 한 쌍의 전극(976)의 돌출부를 dW라고 부른다.

부호의 설명

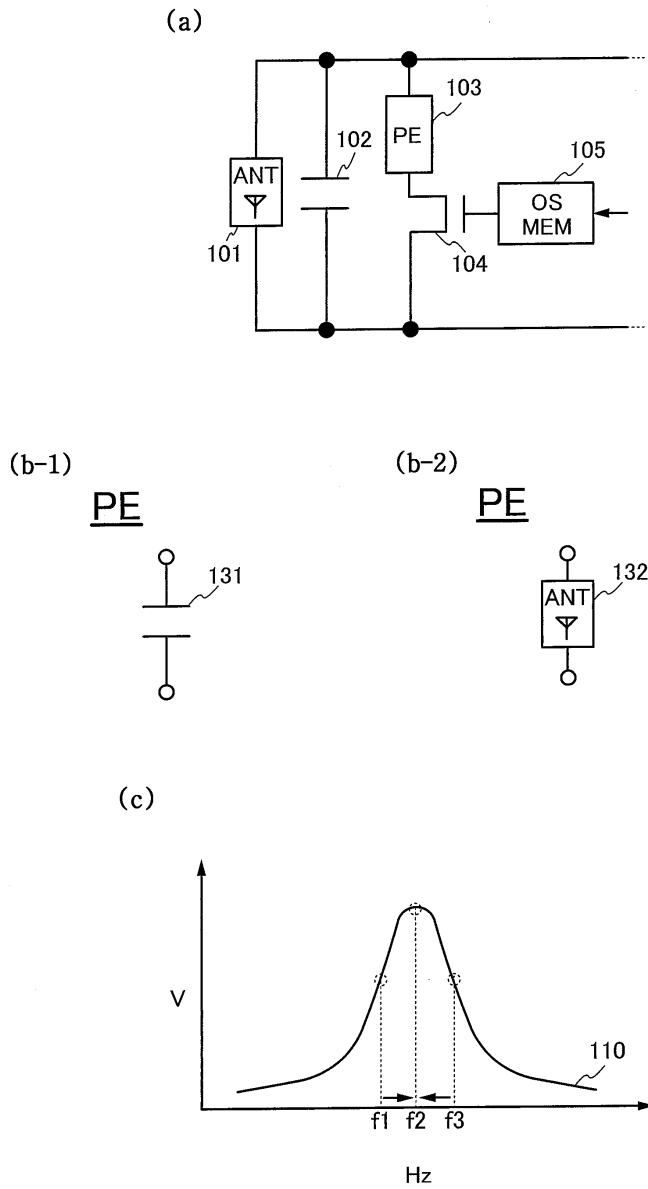
- | | |
|------------------|-------------|
| [0401] 101 : 안테나 | 102 : 용량 소자 |
| 103 : 수동 소자 | 104 : 트랜지스터 |
| 105 : 기억 회로 | 106 : 정류 회로 |
| 131 : 용량 소자 | 132 : 안테나 |

- | | |
|-----------------|-----------------|
| 201 : 트랜지스터 | 202 : 용량 소자 |
| 301 : 트랜지스터 | 302 : 용량 소자 |
| 303 : 트랜지스터 | 304 : 전자 소자 |
| 401 : 트랜지스터 | 402 : 용량 소자 |
| 403 : 트랜지스터 | 404 : 전자 소자 |
| 405 : 용량 소자 | 406 : 트랜지스터 |
| 600_A : 피소자 형성층 | 600_B : 피소자 형성층 |
| 600_C : 피소자 형성층 | 600_D : 피소자 형성층 |
| 601_A : 도전층 | 601_B : 도전층 |
| 601_C : 도전층 | 601_D : 도전층 |
| 602_A : 절연층 | 602_B : 절연층 |
| 602_C : 절연층 | 602_D : 절연층 |
| 603_A : 반도체층 | 603_B : 반도체층 |
| 603_C : 반도체층 | 603_D : 반도체층 |
| 604a_C : 영역 | 604a_D : 영역 |
| 604b_C : 영역 | 604b_D : 영역 |
| 605a_A : 도전층 | 605a_B : 도전층 |
| 605a_C : 도전층 | 605a_D : 도전층 |
| 605b_A : 도전층 | 605b_B : 도전층 |
| 605b_C : 도전층 | 605b_D : 도전층 |
| 606_A : 절연층 | 606_B : 절연층 |
| 608_A : 도전층 | 608_B : 도전층 |
| 711 : 안테나 | 712 : 용량 소자 |
| 713 : 수동 소자 | 714 : 트랜지스터 |
| 715 : 기억 회로 | 716 : 정류 회로 |
| 717 : 전원 회로 | 718 : 복조 회로 |
| 719 : 기억 제어 회로 | 720 : 메모리 |
| 721 : 부호화 회로 | 722 : 변조 회로 |
| 960 : 기관 | 961 : 하지 절연막 |
| 962 : 보호 절연막 | 963 : 산화물 반도체막 |
| 963a : 고저항 영역 | 963b : 저저항 영역 |
| 964 : 게이트 절연층 | 965 : 게이트 전극 |
| 966 : 측벽 절연막 | 967 : 전극 |
| 968 : 층간 절연막 | 969 : 배선 |
| 970 : 기관 | 971 : 하지 절연막 |
| 973 : 산화물 반도체막 | 974 : 게이트 절연층 |

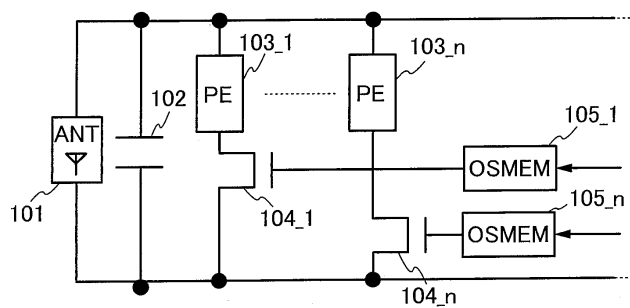
- | | |
|-----------------|------------------|
| 975 : 게이트 전극 | 976 : 전극 |
| 977 : 층간 절연막 | 978 : 배선 |
| 979 : 보호막 | 1001a : 하우스징 |
| 1001b : 하우스징 | 1002a : 표시부 |
| 1002b : 표시부 | 1003a : 측면 |
| 1003b : 측면 | 1004 : 하우스징 |
| 1005 : 표시부 | 1006 : 측부 |
| 1007 : 측면 | 1201 : 무선 송수신 회로 |
| 1204 : 축전 장치 | 1205 : 전원 회로 |
| 1206 : 연산 처리 회로 | 1207 : 메모리 |
| 1208 : 표시 제어 회로 | 1209 : 표시 패널 |
| 1301 : 하지 절연층 | 1302 : 절연물 |
| 1303a : 반도체 영역 | 1303b : 반도체 영역 |
| 1303c : 반도체 영역 | 1304 : 게이트 절연층 |
| 1305 : 게이트 | 1306a : 측벽 절연물 |
| 1306b : 측벽 절연물 | 1307 : 절연물 |
| 1308a : 소스 | 1308b : 드레인 |

도면

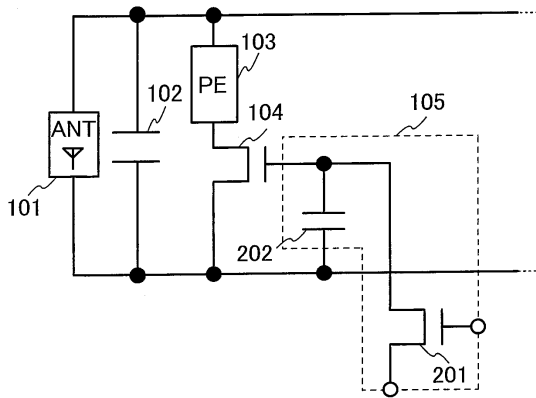
도면1



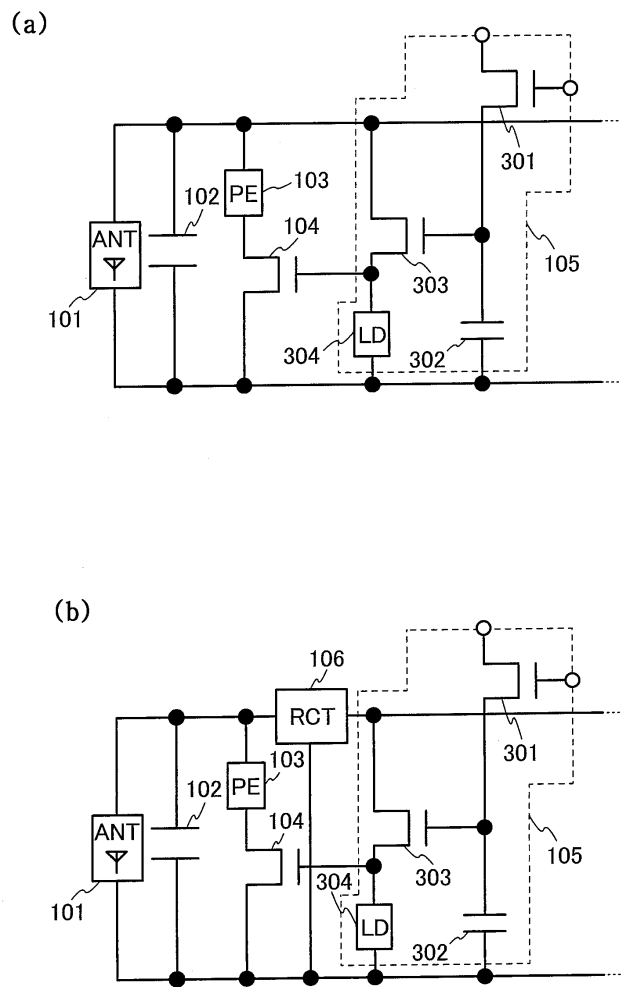
도면2



도면3

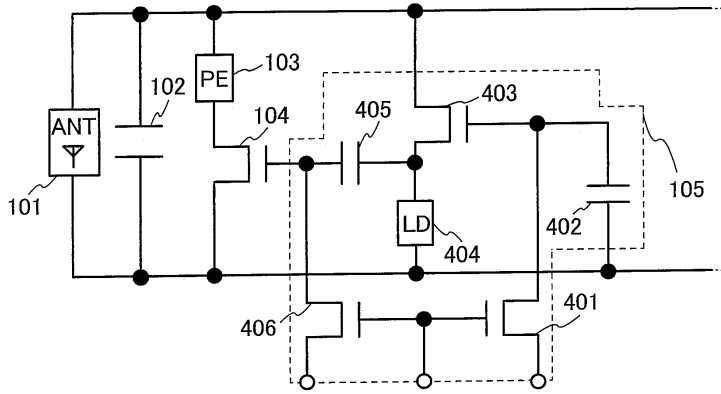


도면4

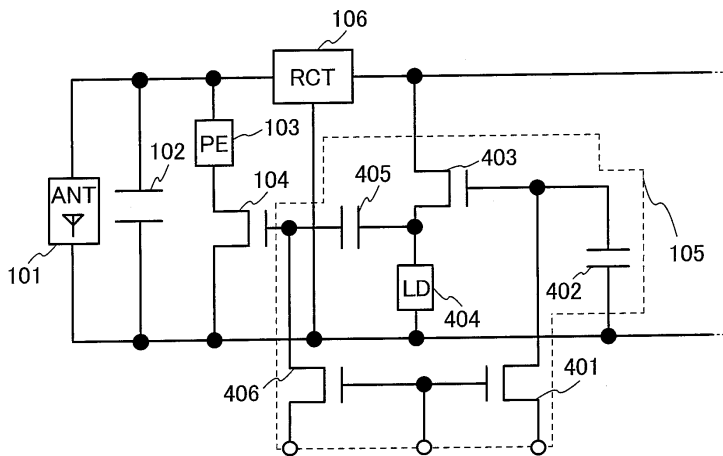


도면5

(a)

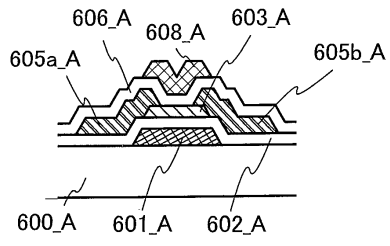


(b)

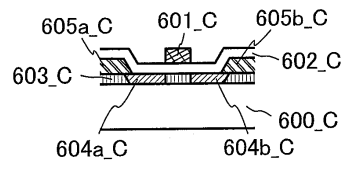


도면6

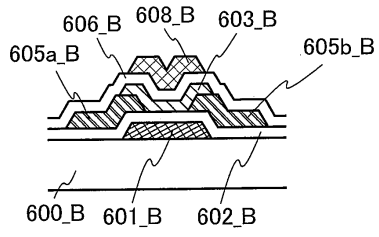
(a)



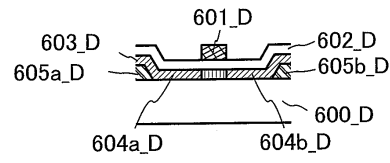
(c)



(b)

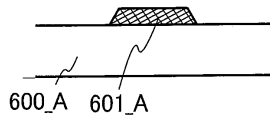


(d)

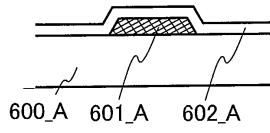


도면7

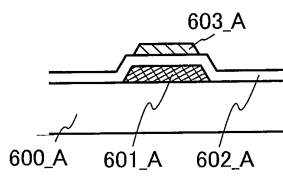
(a)



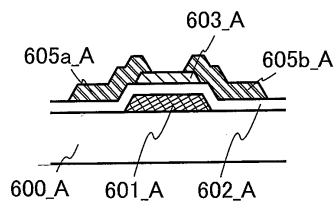
(b)



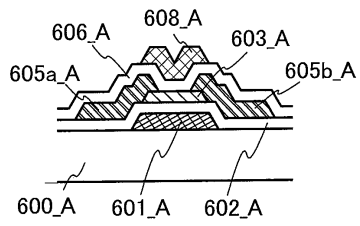
(c)



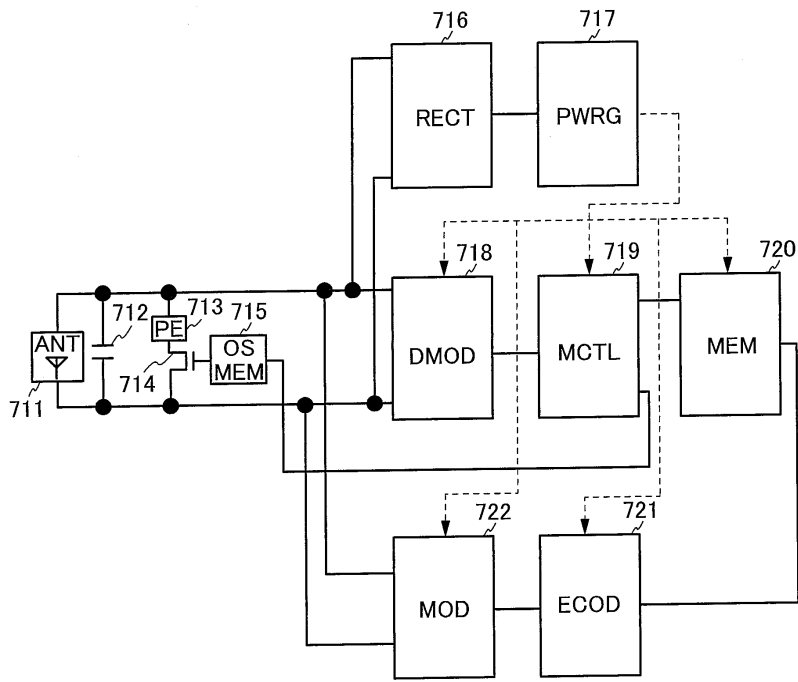
(d)



(e)

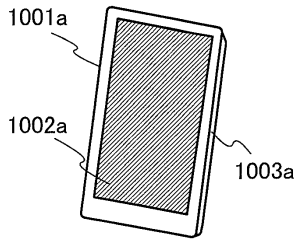


도면8

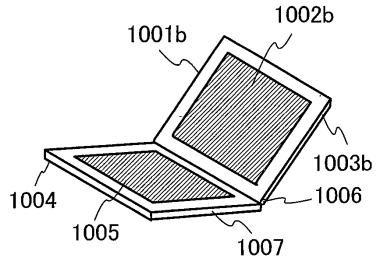


도면9

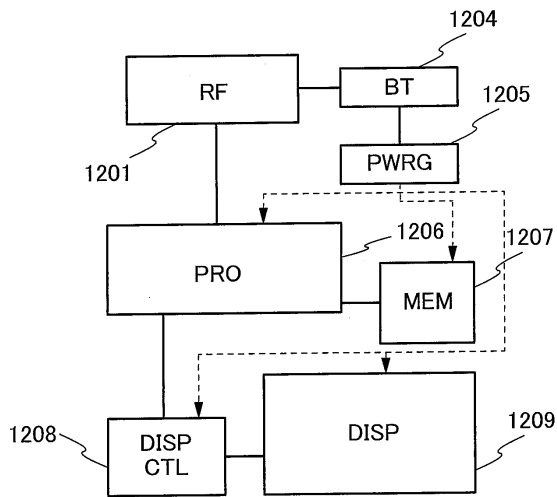
(a)



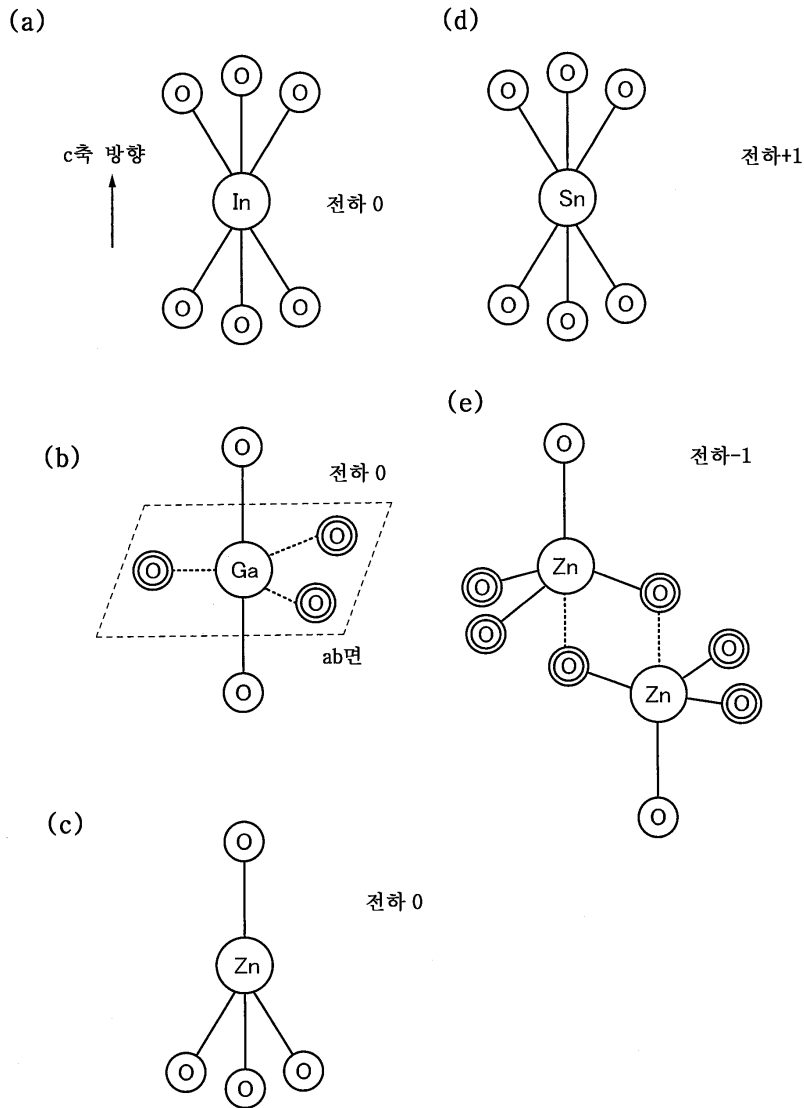
(b)



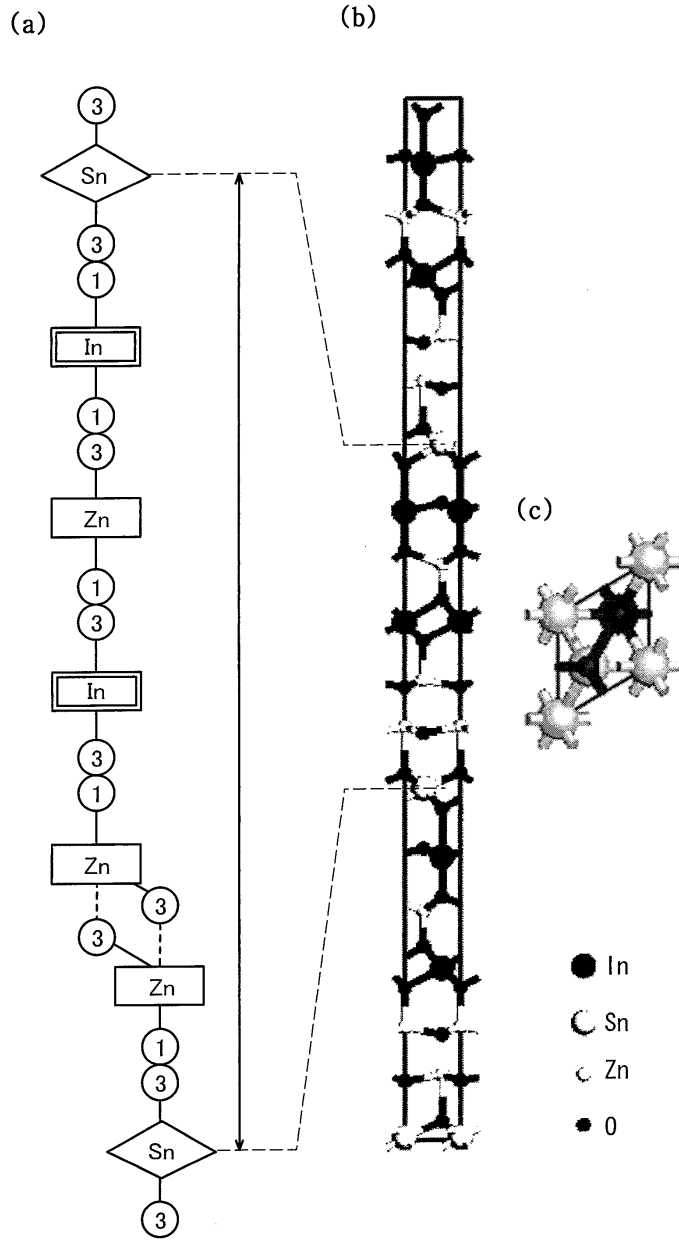
(c)



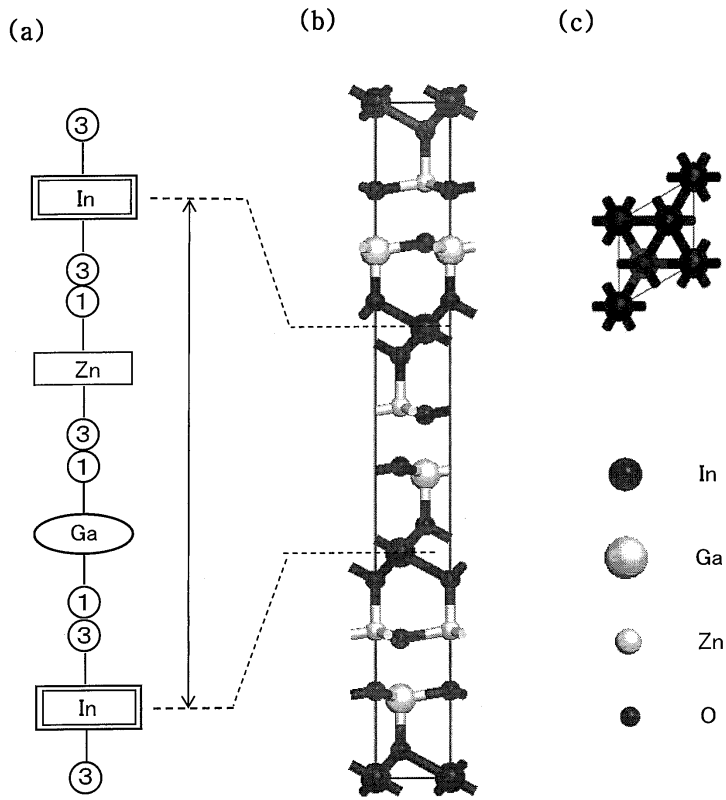
도면10



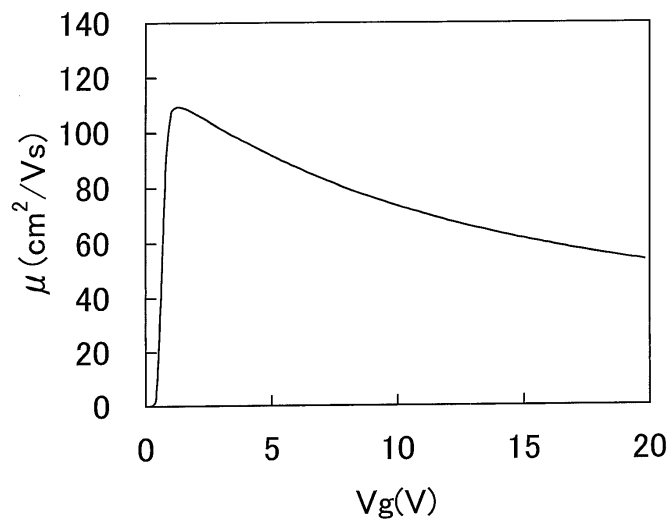
도면11



도면12

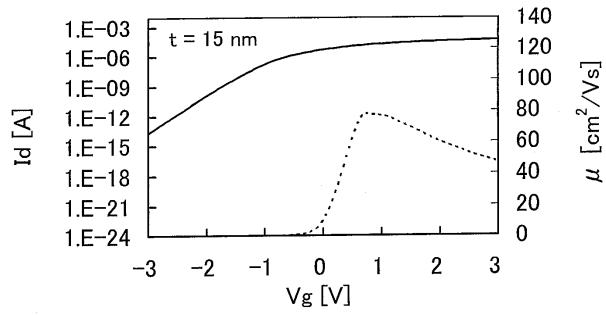


도면13

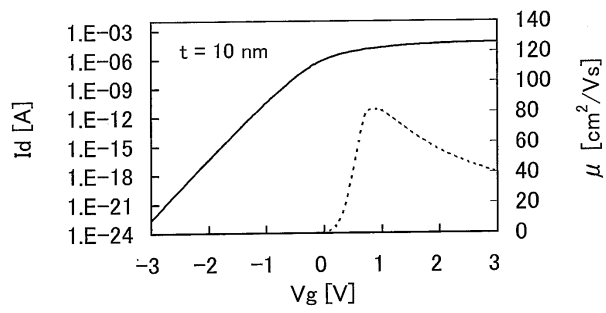


도면14

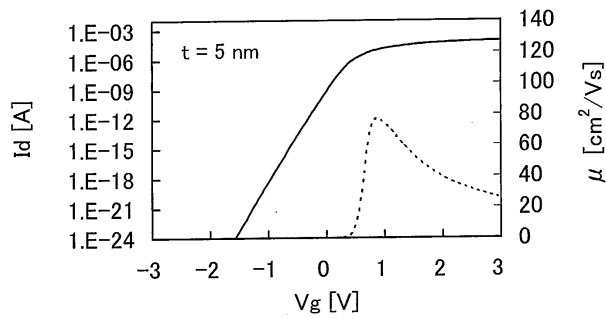
(a)



(b)

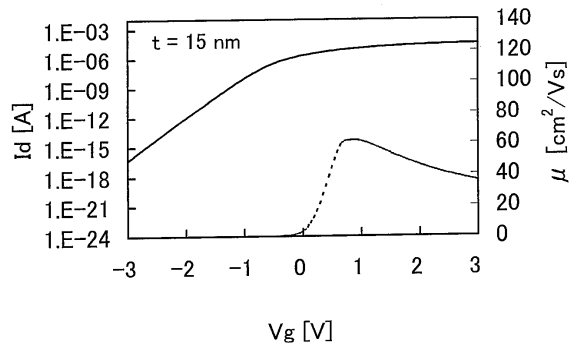


(c)

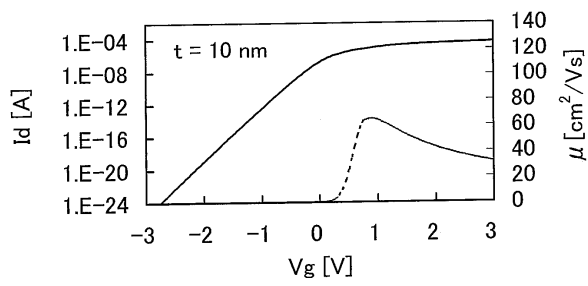


도면15

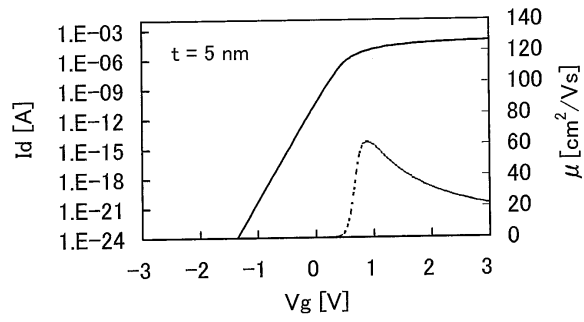
(a)



(b)

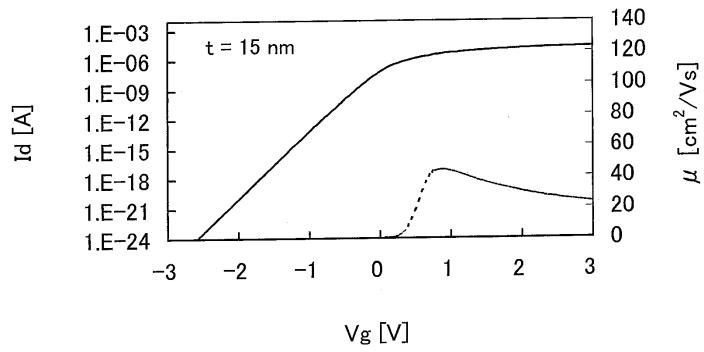


(c)

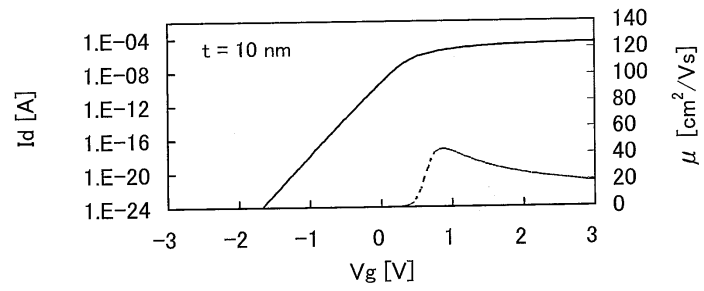


도면16

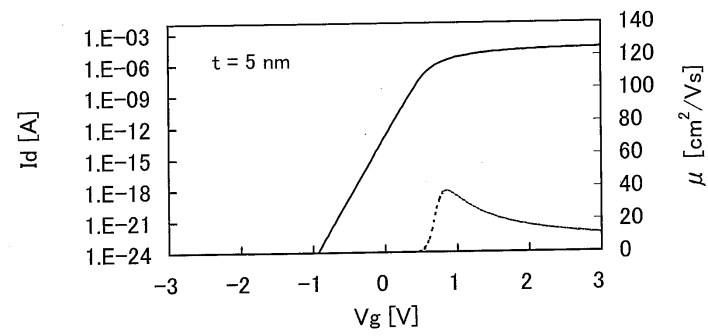
(a)



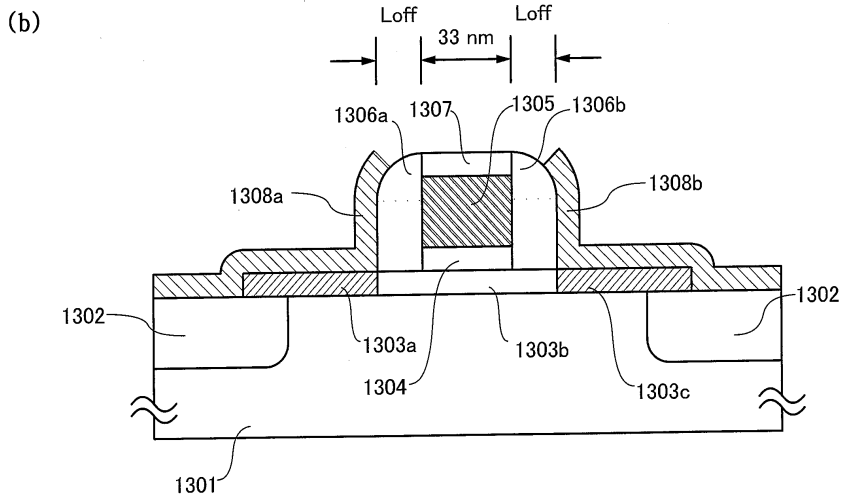
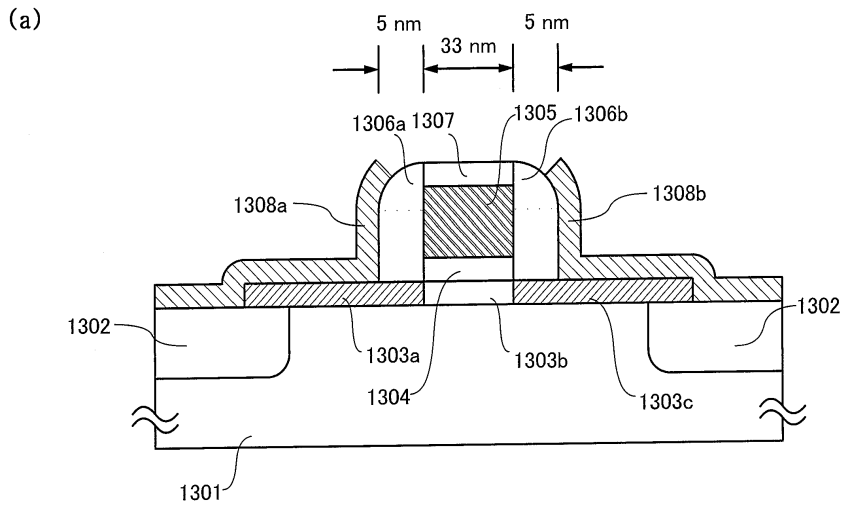
(b)



(c)

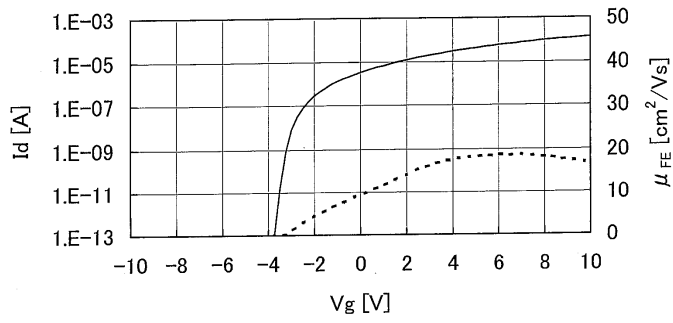


도면17

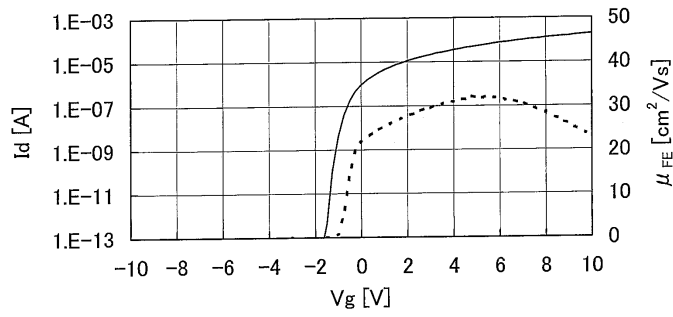


도면18

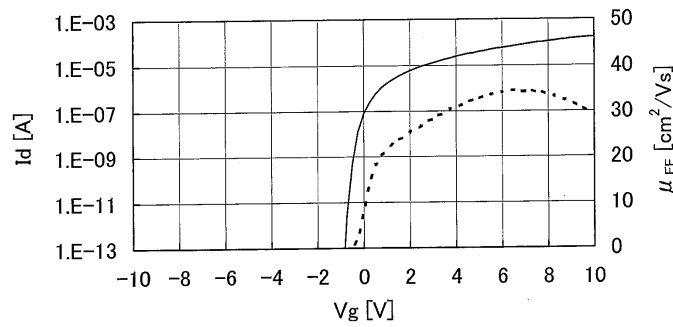
(a)



(b)

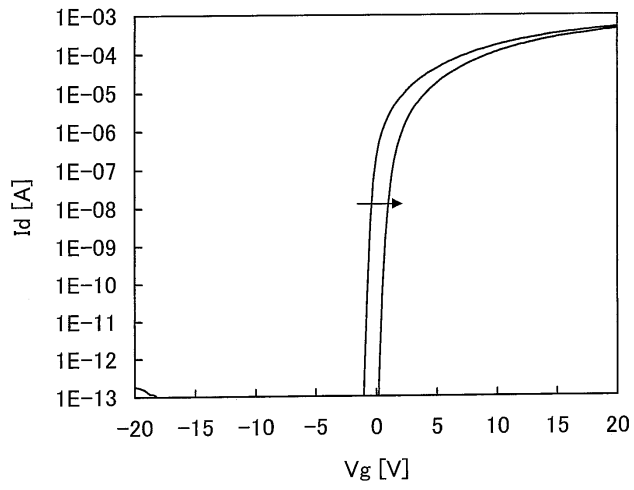


(c)

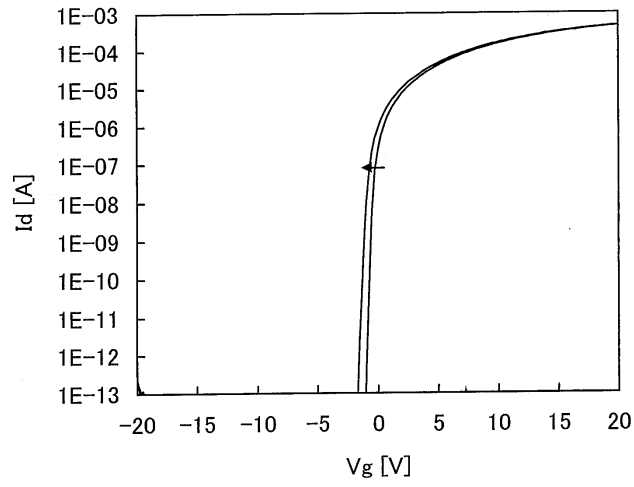


도면19

(a)

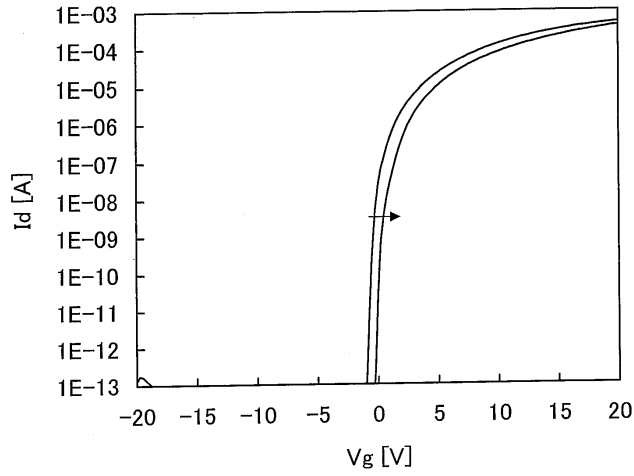


(b)

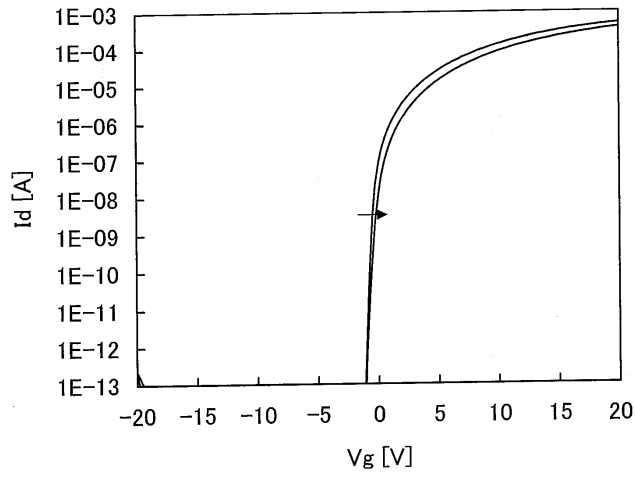


도면20

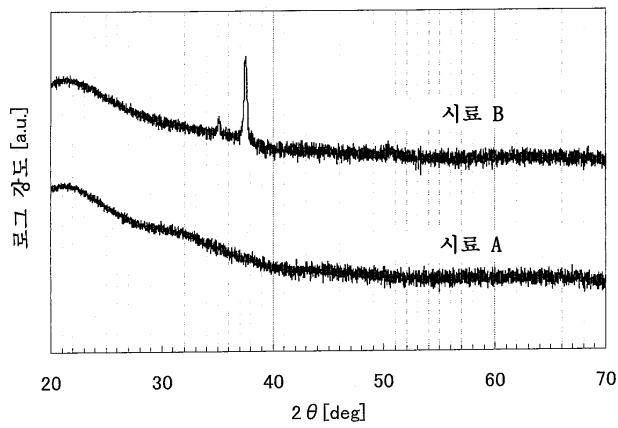
(a)



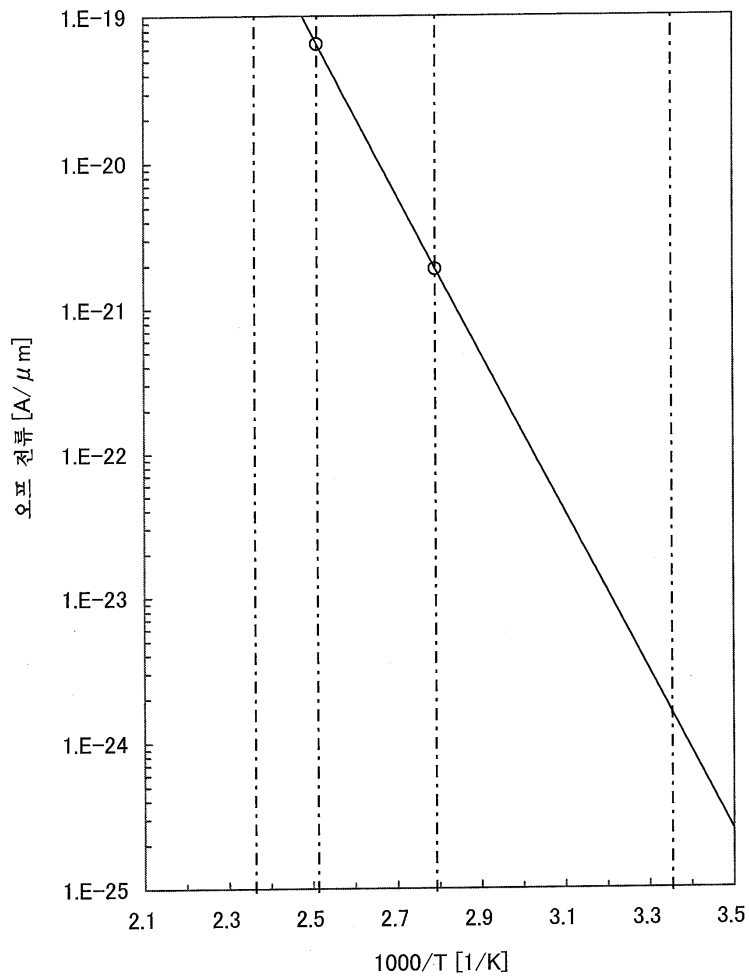
(b)



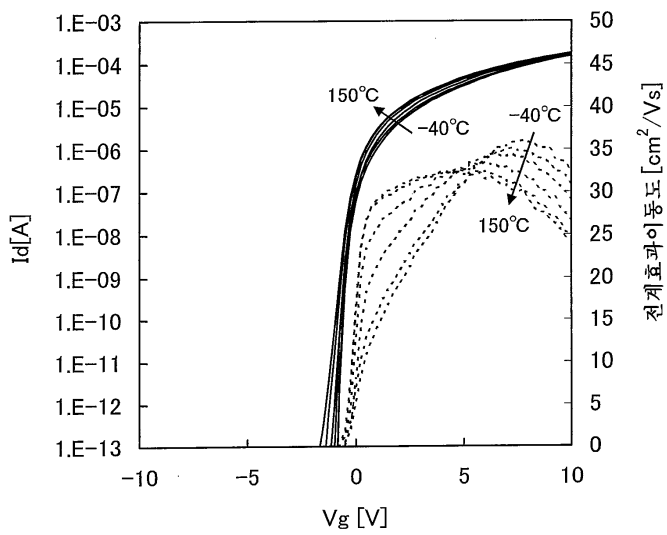
도면21



도면22

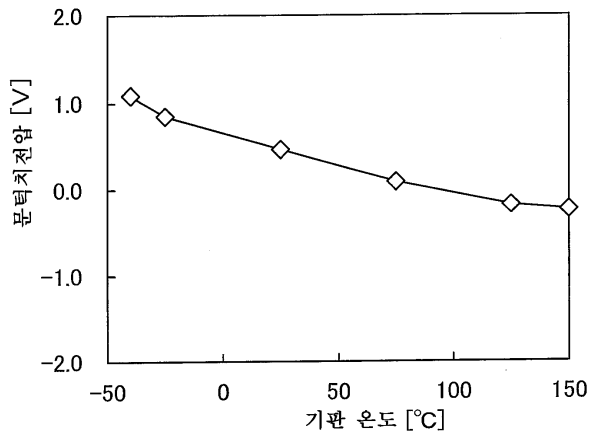


도면23

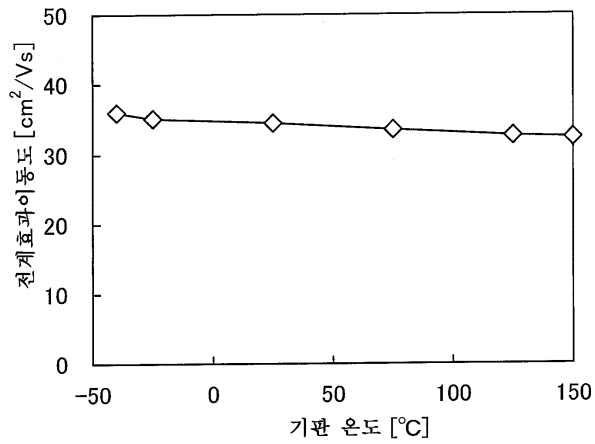


도면24

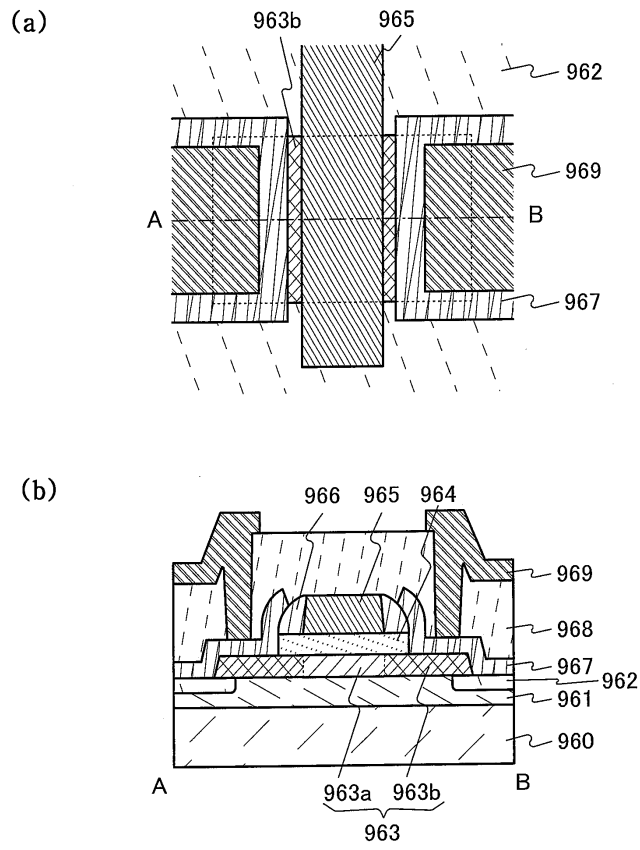
(a)



(b)



도면25



도면26

