

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-506897

(P2018-506897A)

(43) 公表日 平成30年3月8日(2018.3.8)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 25/02 (2006.01)	H04L 25/02 F	5E336
H04L 25/12 (2006.01)	H04L 25/12	5E338
H05K 1/02 (2006.01)	H05K 1/02 J	5K029
H05K 1/18 (2006.01)	H05K 1/02 P	
	H05K 1/18 S	

審査請求 未請求 予備審査請求 有 (全 23 頁)

(21) 出願番号	特願2017-536590 (P2017-536590)	(71) 出願人	595020643
(86) (22) 出願日	平成28年1月11日 (2016.1.11)		クアルコム・インコーポレイテッド
(85) 翻訳文提出日	平成29年8月21日 (2017.8.21)		QUALCOMM INCORPORATED
(86) 国際出願番号	PCT/US2016/012912		ED
(87) 国際公開番号	W02016/115056		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開日	平成28年7月21日 (2016.7.21)		121-1714、サン・ディエゴ、モア
(31) 優先権主張番号	14/595,175		ハウス・ドライブ 5775
(32) 優先日	平成27年1月12日 (2015.1.12)	(74) 代理人	100108855
(33) 優先権主張国	米国 (US)		弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100158805
			弁理士 井関 守三
		(74) 代理人	100112807
			弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 より良い信号品質に関する新規な高速信号ルーティングトポロジ

(57) 【要約】

PCB上の出力ドライバおよびPCB上の多数のチップを含み、チップは第1のチップと第2のチップを含む装置。PCBは、出力ドライバに接続された第1の送信ラインと、前記第1の送信ラインおよび前記第1のチップに接続された第2の送信ラインと、ここで、前記第2の送信ラインは、前記第1の送信ラインの長さの10倍以上の長さを有する、および前記第1の送信ラインと前記第2の送信ラインに接続された第3の送信ラインと、ここで、前記第3の送信ラインは、前記第1の送信ラインの長さの10倍以上の長さを有する、を含む。第2の送信ラインはPCB上で終端抵抗に結合されることなく第1のチップに接続し、第3の送信ラインは、PCB上で終端抵抗に結合されることなく第2のチップに接続する。

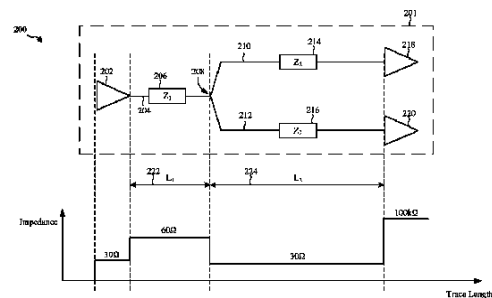


FIG. 2

【特許請求の範囲】**【請求項 1】**

プリント基板（PCB）上の出力ドライバと、および
前記 PCB 上の複数のチップと、ここにおいて、前記チップは第 1 のチップと第 2 のチップを含む、

を備え、前記 PCB は、

前記出力ドライバに接続された第 1 の送信ラインと、

前記第 1 の送信ラインおよび前記第 1 のチップに接続された第 2 の送信ラインと、ここにおいて、前記第 2 の送信ラインは前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、および

前記第 1 の送信ラインと前記第 2 のチップに接続された第 3 の送信ラインと、ここにおいて、前記第 3 の送信ラインは前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、

を備えた、装置。

【請求項 2】

前記第 2 の送信ラインは前記 PCB 上で終端抵抗に結合されることなく前記第 1 のチップに接続し、前記第 3 の送信ラインは、前記 PCB 上で終端抵抗に結合されることなく前記第 2 のチップに接続する、請求項 1 の装置。

【請求項 3】

前記出力ドライバは同じ信号を前記複数のチップに送信するように構成される、請求項 1 の装置。

【請求項 4】

前記出力ドライバは前記第 1 の送信ライン上の前記信号を前記第 2 および第 3 の送信ラインを介して前記複数のチップに送信するように構成され、前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 3 の装置。

【請求項 5】

前記第 1 の送信ラインの前記長さは、前記信号を、前記信号の立ち上がり時間の $1/5$ 未満遅延させるように構成される、請求項 3 の装置。

【請求項 6】

前記第 2 の送信ラインと前記第 3 の送信ラインの特性インピーダンスは前記第 1 の送信ラインの特性インピーダンスに等しい、請求項 1 の装置。

【請求項 7】

前記出力ドライバの出力インピーダンスは並列の前記第 2 および第 3 の送信ラインの特性インピーダンスにほぼ等しい、請求項 1 の装置。

【請求項 8】

前記出力ドライバの出力インピーダンスは前記第 2 の送信ラインまたは前記第 3 の送信ラインの特性インピーダンスの $1/2$ にほぼ等しい、請求項 1 の装置。

【請求項 9】

プリント基板（PCB）上の出力ドライバからの信号を前記 PCB 上の複数のチップに伝搬する方法において、

前記出力ドライバからの信号を前記出力ドライバに接続された第 1 の送信ラインを介して伝搬することと、

前記第 1 の送信ラインからの前記信号を前記複数のチップの第 1 のチップおよび前記第 1 の送信ラインに接続された第 2 の送信ラインに伝搬することと、ここにおいて、前記第 2 の送信ラインは、前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、

前記第 1 の送信ラインからの前記信号を前記複数のチップの第 2 のチップおよび前記第 1 の送信ラインに接続された第 3 の送信ラインに伝搬することと、ここにおいて、前記第 3 の送信ラインは、前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、

を備えた方法。

【請求項 10】

10

20

30

40

50

前記第 2 の送信ラインは、前記 P C B 上で終端抵抗に結合されることなしに前記第 1 のチップに接続し、前記第 3 の送信ラインは、前記 P C B 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、請求項 9 の方法。

【請求項 1 1】

前記第 2 の送信ラインを介した前記信号および前記第 3 の送信ラインを介した前記信号は前記第 1 の送信ラインを介した前記信号と同じ情報を運ぶ、請求項 9 の方法。

【請求項 1 2】

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 1 1 の方法。

【請求項 1 3】

前記信号は前記信号の立ち上がり時間の $1/5$ 未満だけ前記第 1 の送信ラインを介して遅延される、請求項 1 1 の方法。

【請求項 1 4】

前記第 2 の送信ラインと前記第 3 の送信ラインの特性インピーダンスは、前記第 1 の送信ラインの特性インピーダンスに等しい、請求項 9 の方法。

【請求項 1 5】

前記出力ドライバの出力インピーダンスは、並列の前記第 1 および第 2 の送信ラインの特性インピーダンスにほぼ等しい、請求項 9 の方法。

【請求項 1 6】

前記出力ドライバの出力インピーダンスは、前記第 1 の送信ラインまたは前記第 2 の送信ラインの前記特性インピーダンスの $1/2$ にほぼ等しい、請求項 9 の方法。

【請求項 1 7】

プリント基板 (P C B) 上の信号を伝搬するための装置において、
信号を複数のチップに駆動する手段と、

前記信号を駆動する前記手段からの前記信号を伝搬する第 1 の手段と、ここにおいて、前記第 1 の手段は前記信号を駆動する前記手段に接続される、

前記第 1 の手段からの前記信号を伝搬する第 2 の手段と、ここにおいて、前記第 2 の手段は、前記複数のチップの第 1 のチップと前記第 1 の手段に接続される、ここにおいて、前記第 2 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、

前記第 1 の手段から前記信号を伝搬する第 3 の手段と、ここにおいて、前記第 3 の手段は、前記複数のチップの第 2 のチップと前記第 1 の手段に接続され、前記第 3 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、
を備えた装置。

【請求項 1 8】

前記第 2 の手段は、前記 P C B 上で終端抵抗に結合されることなく前記第 1 のチップに接続し、前記第 3 の手段は、前記 P C B 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、請求項 1 7 の装置。

【請求項 1 9】

前記第 2 の手段を介した前記信号および前記第 3 の手段を介した前記信号は前記第 1 の手段を介した前記信号と同じ情報を搬送する、請求項 1 7 の装置。

【請求項 2 0】

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 1 9 の装置。

【請求項 2 1】

前記信号は前記信号の立ち上がり時間の $1/5$ 未満だけ前記第 1 の手段を介して遅延される、請求項 1 9 の装置。

【請求項 2 2】

前記第 2 の手段と前記第 3 の手段の特性インピーダンスは、前記第 1 の手段の特性インピーダンスに等しい、請求項 1 7 の装置。

【請求項 2 3】

10

20

30

40

50

前記信号を駆動する前記手段の出力インピーダンスは、並列の前記第 1 および第 2 の手段の特性インピーダンスにほぼ等しい、請求項 17 の装置。

【請求項 24】

前記信号を駆動する前記手段の出力インピーダンスは、前記第 1 の手段または前記第 2 の手段の前記特性インピーダンスの 1 / 2 にほぼ等しい、請求項 17 の装置。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001]本願は、2015年1月12日に出願された「A NOVEL HIGH SPEED SIGNAL ROUTING TOPOLOGY FOR BETTER SIGNAL QUALITY」と題された米国特許出願第 14 / 595、175 号の利益を主張し、それは、その全体が本明細書に参照によって明確に組み込まれる。

【背景技術】

【0002】

[0002]本開示は、一般にプリント基板 (PCB) 上の信号トレースルーティングに関連し、特に、よりよい信号品質に関する高速信号ルーティングトポロジに関する。

【0003】

[0003]複雑で高性能な消費家電製品 (例えば、スマートフォン) に対する需要が増え続けるにつれ、そのような製品の製造業者は、低い製品コストを維持しながらそのような需要に適合させることが課題であることに気付いた。それゆえ、これらの課題を克服するためにそのような消費家電製品の改良された設計の必要性がある。

【発明の概要】

【0004】

[0004]本開示の一態様において、装置は PCB 上の出力ドライバと PCB 上の多数のチップを含む。チップは第 1 のチップと第 2 のチップを含む。PCB は出力ドライバに接続された第 1 の送信ラインと、第 1 の送信ラインおよび第 1 のチップに接続された第 2 の送信ラインを含む。第 2 の送信ラインは、第 1 の送信ラインの長さの 10 倍以上の長さを有する。PCB はさらに第 1 の送信ラインおよび第 2 のチップに接続された第 3 の送信ラインをさらに含む。第 3 の送信ラインは第 1 の送信ラインの長さの 10 倍以上の長さを有する。

【0005】

[0005]本開示の一態様において、装置は PCB を含む。PCB は出力ドライバと複数のチップを含む。装置は、出力ドライバからの信号を出力ドライバに接続された第 1 の送信ラインを介して伝搬する。装置は、第 1 の送信ラインからの信号を第 1 の送信ラインおよび複数のチップの第 1 のチップに接続された第 2 の送信ラインに伝搬する。第 2 の送信ラインは、第 1 の送信ラインの長さの 10 倍以上の長さを有する。装置は、第 1 の送信ラインからの信号を第 1 の送信ラインと複数のチップの第 2 のチップに接続された第 3 の送信ラインに伝搬する。第 3 の送信ラインは第 1 の送信ラインの長さの 10 倍以上の長さを有する。

【図面の簡単な説明】

【0006】

【図 1】[0006]図 1 は本開示のさまざまな態様に従う信号トレースルーティングを例示する。

【図 2】[0007]図 2 は、本開示のさまざまな態様に従う例示信号トレースルーティングを例示する図である。

【図 3】[0008]図 3 は本開示のさまざまな態様に従う例示信号トレースルーティングを例示する図である。

【図 4】[0009]図 4 は、本開示のさまざまな態様に従う信号ルーティングを例示する PCB の図である。

【図 5】[0010]図 5 は PCB 上の出力ドライバからの信号を PCB 上の複数のチップに伝

搬する方法のフローチャートである。

【発明の詳細な説明】

【0007】

[0011]添付された図面に関連して、以下に記載の詳細な説明は、様々な構成の説明として意図され、本明細書において説明される概念が実現されうる唯一の構成を表すようには意図されない。詳細な説明は、様々な概念の完全な理解を提供することを目的とした特定の詳細を含む。しかしながら、これらの概念がこれらの特定の詳細なしに実施されうるとは当業者にとって明らかであろう。いくつかの事例において、よく知られている構造およびコンポーネントは、そのような概念を曖昧にすることを避けるために、ブロック図形式で示される。これらの装置および方法は、以下の詳細な説明において記述され、添付の図面において、様々なブロック、モジュール、コンポーネント、回路、ステップ、処理、アルゴリズム等（集合的には「要素」と称される）により例示されることになる。

10

【0008】

[0012]消費家電製品は典型的に多数の層を有するPCBをインプリメントする。たとえば、消費家電製品は典型的に4層PCBをインプリメントする。ここで、4層のうちの2つは電源およびグラウンドのために使用され、残りの2つの層は信号トレースをルーティング(routing)するために使用される。信号トレースをルーティングするために使用される2つの層は一般的にPCBの最上位面および最下位面に設置される。しかしながら、PCBの最上位面および最下位面上の電子コンポーネントの数および/またはサイズが増大するにつれ、PCB上の信号トレースをルーティングするための使用可能なエリアが減少する。このため、PCB上にエリアの適正量が得られない場合、より割高のPCB（例えば、6つまたはそれ以上の層）を使用する必要があるかもしれない。

20

【0009】

[0013]1つのシナリオにおいて、複数の電子コンポーネント（例えば、メモリチップ）に信号を供給するために、PCB上の1つまたは複数の信号トレース（例えば、メモリアドレスライン）が分岐する(branch out)する必要があるとき、平衡木(balanced tree)ルーティングおよびフライバイルーティング(fly-by routing)のようなルーティング技術が使用されることができる。これらの技術は典型的に信号品質を維持するために分岐された信号トレースに電圧終端(V_{TT} とも呼ばれる)を必要とする。これらの電圧終端の各々は、1つまたは複数の抵抗とさらなる信号トレースルーティングを含み、それは実質的にPCB上の使用可能エリアを減少させる。このため、製造業者は、特定の設計に関する必要な信号トレースルーティングのすべてに適合させるために6つまたはそれ以上の層を有するPCBをインプリメントする必要があるかもしれない、それは実質的に消費家電製品の製造コストを増加させる。

30

【0010】

[0014]図1は本開示のさまざまな態様に従う信号トレースルーティングを例示するPCB100の図である。図1に示されるように、PCB100はチップ102、104、および106を含む。図1にさらに示されるように、チップ102は出力ドライバ108を含み、チップ104および106はそれぞれ入力110および112を含む。例えば、チップ102はシステムオンチップ(SOC)であり得、チップ104および106は各々ダイナミックランダムアクセスメモリ(DRAM)チップのようなメモリチップであり得る。そのような例において、チップ102の出力ドライバ108はアドレス信号をチップ104、106の両方の入力110、112に供給するように構成されたアドレスライン出力であり得る。したがって、および図1に示されるように、同じ出力信号をチップ104と106の両方に供給するために、信号トレース114の第1の分岐（例えば、信号トレース部118aおよび120a）は入力110にルーティングされ信号トレース114の第2の分岐（例えば、信号トレース部118bおよび120b）は入力112にルーティングされるように、出力ドライバ108からの出力信号を搬送するための信号トレース114は、接合部116で分岐するように構成される。例えば、信号トレース114と第1および第2の分岐は各々ほぼ60オームの特性インピーダンスを持つことができる。平

40

50

衡負荷を得るために、第 1 の分岐の長さは、第 2 の分岐の長さに等しくすることができる。

【 0 0 1 1 】

[0015] 図 1 に示されるように、接合部 1 1 6 は、信号トレース 1 1 4 の長さ L_1 1 3 0 が各分岐の長さ（例えば、部位 1 1 8 a の長さ L_2 1 3 2 と部位 1 2 0 a の長さ L_3 1 3 4 の合計）にほぼ等しくなるように、チップ 1 0 2 とチップ 1 0 4、1 0 6 間のほぼ中間点に設置される。信号トレース 1 1 4 と第 1 および第 2 分岐の各々を介した適正信号品質を維持するために、分岐は各々それぞれのチップ近くに電圧終端を含むことができる。たとえば、図 1 の構成において、第 1 の電圧は、第 1 の V_{TT} を形成するために第 1 の抵抗を介して信号トレース部 1 2 0 a（例えば領域 1 2 6 において）に結合されることができ、第 2 の電圧は第 2 の V_{TT} を形成するために第 2 の抵抗を介して（例えば領域 1 2 8 において）信号トレース部 1 2 0 b に結合されることができる。他の例において、第 3 の電圧は、上述した V_{TT} に加えてまたは代わりに第 3 の V_{TT} を形成するために第 3 の抵抗を介して信号トレース 1 1 4 に（例えば接合部 1 1 6 において）結合されることができる。たとえば、上述した例における第 1、第 2 および第 3 の電圧は同じ電圧であるかまたは異なる電圧であり得る。

【 0 0 1 2 】

[0016] 電圧終端は第 1 および第 2 の分岐および / または信号トレース 1 1 4 で生じる可能性がある信号反射および共鳴(ringing)を低減することができる。電圧終端は、適正信号品質を得るために使用されることができるとは、チップ 1 0 2 はチップ 1 0 4 および 1 0 6 内のさらなる対応する入力を駆動するための多くのさらなる出力ドライバを有することができることに留意されたい。例えば、チップ 1 0 2 は 1 5 の別個のアドレス信号に関する 1 5 の出力ドライバを含むことができおよび / または 8 つの別個の制御信号に関する 8 つの出力ドライバを含むことができる。それゆえ、電圧終端が、チップ 1 0 2 の出力ドライバからチップ 1 0 4 および 1 0 6 の対応する入力へそのようなアドレスおよび / または制御信号を搬送する信号トレースの各々に適用されるとき、PCB 1 0 0 上の実質的なエリアの量は電圧終端に使用される抵抗により消費される可能性がある。

【 0 0 1 3 】

[0017] 図 2 は、本開示のさまざまな態様に従う例示信号トレースルーティング 2 0 0 を例示する図である。図 2 は少なくとも第 1 および第 2 の入力 2 1 8、2 2 0 を駆動するように構成された出力ドライバ 2 0 2 を含む PCB 2 0 1 を示す。一態様において、出力ドライバ 2 0 2 は、チップ（例えば、SOC）のアドレスライン出力であり得、第 1 および第 2 の入力 2 1 8、2 2 0 はそれぞれメモリチップ（例えば、DRAMチップ）のアドレス入力であり得る。他の態様において、出力ドライバ 2 0 2 は、制御信号の送信に関する制御ライン出力、クロック信号の送信に関するクロックライン出力、または PCB 上の他のタイプの信号の送信に関する出力であり得る。

【 0 0 1 4 】

[0018] 図 2 に示されるように、出力ドライバ 2 0 2 に結合された信号トレース 2 0 4 は接合部 2 0 8 において、第 1 の信号トレース分岐 2 1 0 と第 2 の信号トレース分岐 2 1 2 に分岐する。第 1 の信号トレース分岐 2 0 1 は第 1 の入力 2 1 8 に結合され、第 2 の信号トレース分岐 2 1 2 は第 2 の入力 2 2 0 に結合される。それゆえ、信号トレース 2 0 4 は、出力ドライバ 2 0 2 と第 1 および第 2 の信号トレース分岐 2 1 0、2 1 2 の間の相互接続として機能する送信ラインであり得る。第 1 および第 2 の信号トレース分岐 2 1 0、2 1 2 はまた送信ラインとも呼ばれることができる。したがって、出力ドライバ 2 0 2 からの出力信号は信号トレース 2 0 4 および第 1 および第 2 の信号トレース分岐 2 1 0、2 1 2 を介して第 1 および第 2 の入力 2 1 8、2 2 0 に送信され得る。図 2 の構成はいかなる電圧終端も含まないことに留意する必要がある。

【 0 0 1 5 】

[0019] 図 2 において、インピーダンス Z_1 2 0 6 は信号トレース 2 0 4 の特性インピーダンスを表し、インピーダンス Z_2 2 1 4 は、第 1 の信号トレース分岐 2 1 0 の特性

インピーダンスを表し、インピーダンス Z_3 216 は第 2 の信号トレース分岐 212 の特性インピーダンスを表す。一態様において、インピーダンス Z_1 206、 Z_2 214、および Z_3 216 は同じ値であり得る。他の態様において、インピーダンス Z_1 206、 Z_2 214、および Z_3 216 は異なる値であり得る。図 2 において、長さ L_1 222 は信号トレース 204 の長さを表し、長さ L_2 224 は第 1 および第 2 の信号トレース分岐 210、212 の長さを表す。

【0016】

[0020]一態様において、および図 2 に示される信号トレース長に関するインピーダンスのグラフィカル表示を参照すると、インピーダンス Z_1 206、 Z_2 214 および Z_3 216 は 60 オームであり得、第 1 および第 2 の入力 218、220 の入力インピーダンスは各々 100 K オームであり得る。そのような態様において、第 1 および第 2 の信号トレース分岐 210、212 の等価インピーダンスは 30 オーム（例えば、等価インピーダンス = $(60 \text{ オーム} \times 60 \text{ オーム}) / (60 \text{ オーム} + 60 \text{ オーム})$ ）であると考えることができる。それゆえ、図 2 に示されるように、出力ドライバ 202 から第 1 および第 2 の入力 218、220 への信号経路に沿ったインピーダンスは接合部 208 において 60 オームから 30 オームに降下する。

10

【0017】

[0021]図 2 の態様において、接合部 208 におけるインピーダンスの変化による第 1 および第 2 の信号トレース分岐 210、212 または信号トレース 204 を生じる可能性がある信号反射は、接合部 208 より前の信号トレース 204 の長さ L_1 222 をできるだけ短くするように構成することにより実質的に低減されることができる。一態様において、第 1 および第 2 の信号トレース分岐 210、212 の長さ L_2 224 は、信号トレース 204 の長さ L_1 222 の 10 倍以上であるように構成されることができる。

20

【0018】

[0022]一態様において、出力ドライバ 202 の出力インピーダンスは第 1 および第 2 の信号トレース分岐 210 および 212 の等価インピーダンス（例えば、並列構成の実効インピーダンス）にマッチングするように構成されることができる。例えば、第 1 および第 2 の信号トレース分岐 210 および 212 の等価インピーダンスが 30 オームである場合、出力ドライバ 202 の出力インピーダンスはほぼ 30 オームであるように構成されることができる。一態様において、出力ドライバ 202 の出力インピーダンスは並列の第 1 及

30

【0019】

[0023]一態様において、信号トレース 204 の長さ L_1 222 は出力ドライバ 202 からの出力信号を出力信号の立ち上がり時間の 1/5 未満に遅延させるように構成されることができる。出力信号の遅延時間（例えば、PCB 上の信号トレースを介した信号の伝搬時間）は、式（1）を用いて決定されることができる。

信号遅延時間 = (信号トレースの長さ) / (信号の速度) (式 1)

PCB 上の信号トレースを介した信号の速度は式（2）を用いて決定されることができる。

40

信号の速度 = (光の速度) / 誘電率 (式 2)

式 2 の誘電率は PCB の相対誘電率 (relative permittivity) (絶縁乗数 (dielectric constant) とも呼ばれる) であり得る。例えば、PCB の相対誘電率は 4.4 であり得る。それゆえ、式 2 を適用することにより、PCB 上の信号の速度は、 $(3.0 \times 10^8 \text{ m/s}) / (4.4) = 1.43 \times 10^8 \text{ m/s}$ であるように決定されることができる。

【0020】

[0024]式 3 に示されるように信号トレースの長さに関する式 1 を解くことにより特定の遅延時間を有した信号トレースの長さを決定するために式 1 が適用可能であることが理解できる。

信号トレースの長さ = (信号遅延時間) × (信号の速度) (式 3)

50

[0025] それ故、一例に置いて、出力ドライバ202からの出力信号の立ち上がり時間が100ピコ秒(p s)であり、出力ドライバ202からの出力信号の遅延時間が立ち上がり時間の1/5(例えば(100 p s)/5=20 p s)未満である場合、信号トレースの長さは、 $(2.0 \times 10^{-11} \text{ s}) \times (1.43 \times 10^8 \text{ m/s}) = 2.9 \times 10^{-3} \text{ m}$ であるように決定されることができ、それは約0.1インチである。

【0021】

[0026] 一態様において、信号トレース204の長さ L_1 222は、約0.1インチの最小長さを有することができる。他の態様において、信号トレース204の長さ L_1 222は最小長さを持つ必要がないかもしれない。そのような態様において、例えば、信号トレース204の長さ L_1 222は約ゼロであり得る。

10

【0022】

[0027] 上述した態様は、出力ドライバが3つ以上の入力を駆動する構成に適用可能である。従って、図3は本開示のさまざまな態様に従う例示信号トレースルーティング300を例示する図である。図3は、第1入力318、第2入力320、および第N入力321のような3つ以上の入力を駆動するように構成された出力ドライバ302を含むPCB301を示す。一態様において、出力ドライバ302はチップ(例えば、SOC)のアドレスライン出力であり得、第1、第2、および第N入力318、320、および321はそれぞれメモリチップ(例えば、DRAMチップ)のアドレス入力であり得る。他の態様において、出力ドライバ302は、PCB上の、制御信号の送信に関する制御ライン出力、クロック信号の送信に関するクロックライン出力、または他のタイプの信号の送信に関する出力であり得る。

20

【0023】

[0028] 図3に示されるように、出力ドライバ302に結合された信号トレース304は、接合部308において、第1の信号トレース分岐310、第2の信号トレース分岐312、および第Nの信号トレース分岐313に分岐する。第1の信号トレース分岐310は第1の入力318に結合され、第2の信号トレース分岐312は第2の入力320に結合され、第3の信号トレース分岐313は第Nの入力321に結合される。それゆえ、信号トレース304は、出力ドライバ302と第1、第2、および第N信号トレース分岐310、312、313の間の相互接続として機能する送信ラインであり得る。第1、第2、および第N信号トレース分岐310、312、313はまた送信ラインとも呼ばれることができる。従って、出力ドライバ302からの出力信号は、信号トレース304および第1、第2、および第N信号トレース分岐301、312、313を介して第1、第2、および第N入力318、320、321に送信されることができ、図3の構成は、PCB上またはDRAMS318、320、321内のいずれにおいてもいかなる電圧終端も含まない。

30

【0024】

[0029] 図3において、インピーダンス Z_1 306は、信号トレース304の特性インピーダンスを表し、インピーダンス Z_2 314は、第1の信号トレース分岐310の特性インピーダンスを表し、インピーダンス Z_3 316は第2の信号分岐312の特性インピーダンスを表し、およびインピーダンス Z_N 317は第Nの信号トレース分岐313の特性インピーダンスを表す。一態様において、インピーダンス Z_1 306、 Z_2 314、 Z_3 316および Z_N 317は等価な値であり得る。他の態様において、インピーダンス Z_1 306、 Z_2 314、 Z_3 316および Z_N 317は異なる値であり得る。図3において、長さ L_1 322は信号トレース304の長さを表し、長さ L_2 324は第1、第2、および第Nの信号トレース分岐310、312、313の長さを表す。

40

【0025】

[0030] 一態様において、インピーダンス Z_1 306、 Z_2 314、 Z_3 316および Z_N 317は60オームであり得、入力318、320、および321の入力インピーダンスはおのおの100Kオームであり得る。したがって、そのような態様におい

50

て、第 1、第 2、および第 N の信号トレース分岐 3 1 0、3 1 2、および 3 1 3 は信号トレース 3 0 4 のインピーダンス Z_1 3 0 6 未満であり得る。図 3 の態様において、接合部 3 0 8 のインピーダンスの降下により第 1、第 2、および第 N の信号トレース分岐 3 1 0、3 1 2、3 1 3 または信号トレース 3 0 4 を生じる可能性がある信号反射は、接合部 3 0 8 より前の信号トレース 3 0 4 の長さ L_1 3 2 2 を可能な限り短いように構成することにより実質的に低減されることができる。一態様において、第 1、第 2 および第 N の信号トレース分岐 3 1 0、3 1 2、および 3 1 3 の長さ L_2 3 2 4 は信号トレース 3 0 4 の長さ L_1 3 2 2 の 10 倍以上であるように構成される。

【0026】

[0031] 図 4 は本開示のさまざまな態様に従う信号ルーティングを例示する PCB 4 0 0 の図である。図 4 に示されるように、PCB 4 0 0 はチップ 4 0 2、4 0 4 および 4 0 6 を含む。図 4 にさらに示されるように、チップ 4 0 2 は出力ドライバ 4 0 8 を含み、およびチップ 4 0 4 および 4 0 6 はそれぞれ入力 4 1 0 および 4 1 2 を含む。例えば、チップ 4 0 2 は SOC であり得、チップ 4 0 4 および 4 0 6 は各々 DRAM チップのようなメモリチップであり得る。そのような例において、チップ 4 0 2 の出力ドライバ 4 0 8 はチップ 4 0 4 および 4 0 6 の両方の入力 4 1 0、4 1 2 にアドレス信号を供給するように構成されたアドレスライン出力（例えば、アドレスライン A 0）であり得る。従って、図 4 に示されるように、出力ドライバ 4 0 8 から出力信号を搬送するための信号トレース 4 1 4 は、両方のチップ 4 0 4 および 4 0 6 に出力信号を供給するために信号トレース 4 1 4 の第 1 の信号トレース分岐（例えば、信号トレース部 4 1 8 a と 4 2 0 a）が入力 4 1 0 にルーティングされ、信号トレース 4 1 4 の第 2 の信号トレース分岐（例えば、信号トレース部 4 1 8 a と 4 2 0 b）は入力 4 1 2 にルーティングされるように、接合部 4 1 6 において分岐するように構成される。例えば、信号トレース 4 1 4 と第 1 および第 2 の信号トレース分岐は各々約 60 オームの特性インピーダンスを有し、第 1 および第 2 の信号トレース分岐の等価インピーダンスは 30 オームであると考えられることができる。それゆえ、図 4 の例示構成において、出力ドライバ 4 0 8 から入力 4 1 0、4 1 2 への信号経路に沿ったインピーダンスは接合部 4 1 6 において 60 オームから 30 オームに降下する。

【0027】

[0032] 一態様において、接合部 4 1 6 におけるインピーダンスの変化によって生じるかもしれない信号反射は接合部 4 1 6 より前の信号トレース 4 1 4 の長さ L_1 4 2 2 を可能な限り短いように構成することにより低減されることができる。一態様において、第 1 および第 2 の信号トレース分岐の長さは、信号トレース 4 1 4（相互接続とも呼ばれる）の長さ L_1 4 2 2 の 10 倍以上であり得る。例えば、第 1 の信号トレース分岐の長さ（例えば、信号トレース部 4 1 8 a の長さ L_2 4 2 4 と、信号トレース部 4 2 0 a の長さ L_3 4 2 6 の合計）は信号トレース 4 1 4 の長さ L_1 4 2 2 の 10 倍以上であり得る。一態様において、信号トレース 4 1 4 の長さ L_1 4 2 2 は出力ドライバ 4 0 2 からの出力信号を出力信号の立ち上がり時間の 1 / 5 未満遅延させるように構成されることができる。

【0028】

[0033] 図 4 の例示構成において、出力信号の適正な品質は電圧終端を使用せずに維持されることができる。それゆえ、信号トレースに関する電圧終端において典型的に使用されていたであろう抵抗は PCB から省略されることができ、PCB 上のかなりのエリアを節約することができる。さらに、そのような抵抗のコストおよびそのような抵抗を PCB に取り付けることに関連するコストも回避されることができる。さらに、第 1 の信号トレース分岐（例えば、信号トレース部 4 1 8 a および 4 2 0 a）の長さおよび / または第 2 の信号トレース分岐（例えば、信号トレース部 4 1 8 b および 4 2 0 b）の長さが相互接続（例えば、信号トレース 4 1 4）の長さの 10 倍以上であるとき、相互接続の相対的に短い長さが PCB 上の信号トレースルーティング輻輳を低減することができる。最後に、電圧終端で使用される抵抗を省略し、したがって、従前に述べた PCB 上のエリアを節約することにより、PCB 上の信号トレースルーティング復号は格段に低減される。このため

10

20

30

40

50

、よりコスト高のPCB（例えば、6つ以上の層を有するPCB）よりもむしろより低いコストのPCB（例えば、4つの層を有するPCB）が使用されることができる。

【0029】

[0034]一態様において、装置はPCB上に出力ドライバと複数のチップを含む。たとえば、図4を参照すると、PCB400は出力ドライバ408とチップ402、404、406を含む。チップはチップ404のような第1のチップと、チップ406のような第2のチップを含む。PCBは出力ドライバに接続された第1の送信ラインを含む。例えば、図2を参照すると、第1の送信ラインは出力ドライバ408に結合された信号トレース414であり得る。PCBはさらに第1の送信ラインと第1のチップに接続された第2の送信ラインを含む。例えば、図2を参照すると、第2の送信ラインは第1の信号トレース分岐（例えば、信号トレース部418aと420a）であり得る。第2の送信ラインは、第1の送信ラインの長さの10倍以上の長さを有する。PCBはさらに第1の送信ラインと第2のチップに接続された第3の送信ラインを含む。例えば、図2を参照すると、第3の送信ラインは第2の信号トレース分岐（例えば、信号トレース部418bおよび420b）であり得る。第3の送信ラインは、第1の送信ラインの10倍以上の長さを有する。一態様において、第2の送信ラインはPCB上で終端抵抗に結合されることなく第1のチップに接続し、第3の送信ラインは、PCB上で終端抵抗に結合されることなく第2のチップに接続する。一態様において、出力ドライバは同じ信号をチップに送信するように構成される。一態様において、出力ドライバは第2および第3送信ラインを介して第1送信ライン上の信号をチップに送信するように構成され、信号は、制御信号、クロック信号またはアドレス信号の1つである。一態様において、第1の送信ラインの長さは、信号の立ち上がり時間の1/5未満の信号を遅延させるように構成される。一態様において、第2の送信ラインと第3の送信ラインの特性インピーダンスは第1の送信ラインの特性インピーダンスに等しい。一態様において、出力ドライバの出力インピーダンスは並列の第2および第3の送信ラインの特性インピーダンスにほぼ等しい。一態様において、出力ドライバの出力インピーダンスは第2の送信ラインまたは第3の送信ラインの特性インピーダンスの1/2にほぼ等しい。

【0030】

[0035]図5はPCB上の出力ドライバからPCB上の複数のチップに信号を伝搬する方法のフローチャート500である。ステップ502において、信号は出力ドライバに接続された第1の送信ラインを介して出力ドライバから伝搬される。たとえば、図2を参照すると、出力ドライバは、出力ドライバ202であり得、第1の送信ラインは信号トレース204であり得る。例えば、信号は制御信号、クロック信号またはアドレス信号であり得る。一態様において、信号は信号の立ち上がり時間の1/5未満だけ第1の送信ラインを介して遅延される。

【0031】

[0036]ステップ504において、信号は、第1の送信ラインから、第1の送信ラインと複数のチップの第1のチップに接続された第2の送信ラインに伝搬され、第2の送信ラインは第1の送信ラインの長さの10倍以上の長さを有する。例えば、図2を参照すると、第2の送信ラインは信号トレース分岐210であり第1のチップは第1の入力218を含む第1のメモリチップ（たとえば、DRAMチップ）であり得る。従って、信号トレース分岐210の長さ L_2 は信号トレース204の長さ L_1 の10倍以上であり得る。一態様において、第2の送信ラインはPCB上で終端抵抗に結合されることなく第1のチップに接続する。

【0032】

[0037]ステップ506において信号は、第1の送信ラインおよび複数のチップの第2のチップに接続された第3の送信ラインに伝搬され、第3送信ラインは第1の送信ラインの長さの10倍以上の長さを有する。例えば、図2を参照すると、第3の送信ラインは信号トレース分岐212であり得、第2のチップは第2の入力220を含む第2のメモリチップ（例えば、DRAMチップ）であり得る。したがって、信号トレース分岐212の長さ

L_2 224 は信号トレース 204 の長さ L_1 222 の 10 倍以上であり得る。一態様において、第 3 の送信ラインは P C B 上で終端抵抗に結合されることなく第 2 のチップに接続する。一態様において、第 2 の送信ラインを介した信号および第 3 の送信ラインを介した信号は第 1 の送信ラインを介して信号と同じ情報を搬送する。たとえば、第 1 の送信ラインを介した信号はメモリアドレス情報を搬送するように構成されることができる。そのような例において、第 2 の送信ラインを介した信号と第 3 の送信ラインを介した信号は各々第 1 の送信ラインを介した信号と同じメモリアドレス情報を搬送することができる。一態様において、第 2 の送信ラインと第 3 の送信ラインの特性インピーダンスは第 1 の送信ラインの特性インピーダンスに等しい。一態様において出力ドライバの出力インピーダンスは並列の第 1 および第 2 の送信ラインの特性インピーダンスとほぼ等しい。

10

【0033】

[0038] 1 つの構成において、P C B 上の信号を伝搬するための装置は信号を複数のチップに駆動するための手段を含む。例えば、図 2 を参照すると、信号を駆動するための手段は、出力ドライバ 202 であり得る。装置はさらに信号を駆動するための手段から信号を伝搬するための第 1 の手段を含み、第 1 の手段は信号を駆動するための手段に接続される。例えば、信号を伝搬するための第 1 の手段は出力ドライバ 202 に結合された信号トレース 204 のような第 1 の送信ラインであり得る。装置はさらに第 1 の手段から信号を伝搬するための第 2 の手段を含み、第 2 の手段は、第 1 の手段および複数のチップの第 1 のチップに接続され、第 2 の手段は、第 1 の手段の長さの 10 倍以上の長さを有する。例えば、信号を伝搬する第 2 の手段は信号トレース分岐 210 のような第 2 の送信ラインであり得る。そのような例において、信号トレース分岐 210 の長さ L_2 224 は、信号トレース 204 の長さ L_1 222 の 10 倍以上であり得る。装置はさらに第 1 の手段から信号を伝搬するための第 3 の手段を含み、第 3 の手段は第 1 の手段と、複数のチップの第 2 のチップと接続され、第 3 の手段は第 1 の手段の 10 倍以上の長さを有する。たとえば、信号を伝搬する第 3 の手段は信号トレース分岐 212 のような第 3 の送信ラインであり得る。そのような例において、信号トレース分岐 212 の長さ L_2 224 は、信号トレース 204 の長さ L_1 222 の 10 倍以上であり得る。例えば、信号は制御信号、クロック信号またはアドレス信号であり得る。

20

【0034】

[0039] 第 2 の手段は、P C B 上の終端抵抗に結合されることなく第 1 のチップに接続し、第 3 の手段は P C B 上の終端抵抗に接続されることなく第 2 のチップに接続する。第 2 の手段を介した信号および第 3 の手段を介した信号は第 1 の手段を介した信号と同じ情報を搬送することができる。たとえば、第 1 の手段を介した信号はメモリアドレス情報を搬送するように構成されることができる。そのような例において、第 2 の手段を介した信号および第 3 の手段を介した信号は各々第 1 の手段を介した信号と同じメモリアドレス情報を搬送することができる。信号は信号の立ち上がり時間の $1/5$ 未満だけ第 1 の手段を介して遅延されることができる。第 2 の手段および第 3 の手段の特性インピーダンスは第 1 の手段の特性インピーダンスと同じであり得る。1 つの態様において、信号を駆動する手段の出力インピーダンスは並列な第 1 および第 2 の手段の特性インピーダンスにほぼ等しくなることができる。他の態様において、信号を駆動する手段の出力インピーダンスは第 1 の手段または第 2 の手段の特性インピーダンスのほぼ $1/2$ である。

30

40

【0035】

[0040] 開示された処理におけるステップの特定の順序または階層は、例示的なアプローチの一例であるということが理解されるべきである。設計の好みに基づいて、処理におけるステップの特定の順序または階層は再配置され得ることが理解される。さらに、いくつかのステップは、組み合わせられうるか、または省略されうる。添付の方法の請求項は、サンプルの順序で様々なステップの要素を提示しており、提示された特定の順序または階層に限定されるようには意図されない。

【0036】

[0041] 以前の説明は、いかなる当業者であっても、本明細書で説明された様々な態様を

50

実施することを可能にするために提供される。これらの態様への様々な変更は当業者には容易に明らかになり、本明細書で説明されている包括的な本質は他の態様に適用されうる。このように、請求項は、ここに示される態様に限定されるように意図されたものではなく、請求項の文言と一貫する最大範囲であると認められるべきであり、ここにおいて、単数におけるエレメントの参照は、そのように明確に述べられていない限りは「1つおよび1つのみ」を意味するのではなく、むしろ「1つまたは複数」を意味するように意図される。「例示的(exemplary)」という用語は、「実例、事例、または例証として提供される」を意味するために本明細書で使用される。「例示的」なものとしてここに説明される任意の態様は、必ずしも、他の態様よりも好ましいまたは有利であるようには解釈されるべきでない。別段に明記されていない限り、「いくつかの」という用語は、1つまたは複数

10

20

を指す。「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、A、B、および/またはCの任意の組み合わせを含み、複数のA、複数のB、または複数のCを含むことができる。特に、「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、Aのみ、Bのみ、Cのみ、AとB、AとC、BとC、またはAとBとCであることができ、ここで、任意のこのような組み合わせは、A、B、またはCの1つまたは複数のメンバーを含むことができる。当業者に知られている、あるいは後に知られることになる本開示全体にわたって説明された様々な態様の要素に対するすべての構造的および機能的な同等物は、参照によってここに明確に組み込まれ、特許請求の範囲に包含されるように意図される。さらに、ここに開示されたものは何れも、このような開示が特許請求の範囲において明記されているかどうかにかかわらず、公衆に放棄されるようには意図されていない。要素が「～のための手段」というフレーズを使用して明確に記載されていない限り、どの請求項の要素もミーンズ

プラスファンクションとして解釈されるべきではない。

【図1】

【図2】

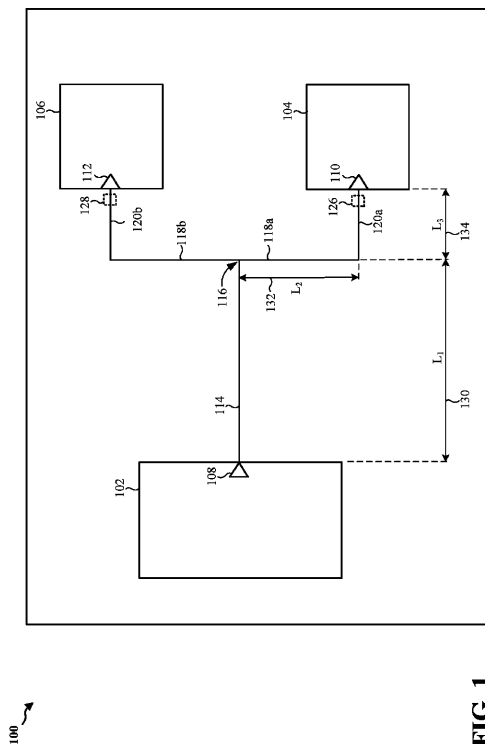


FIG. 1

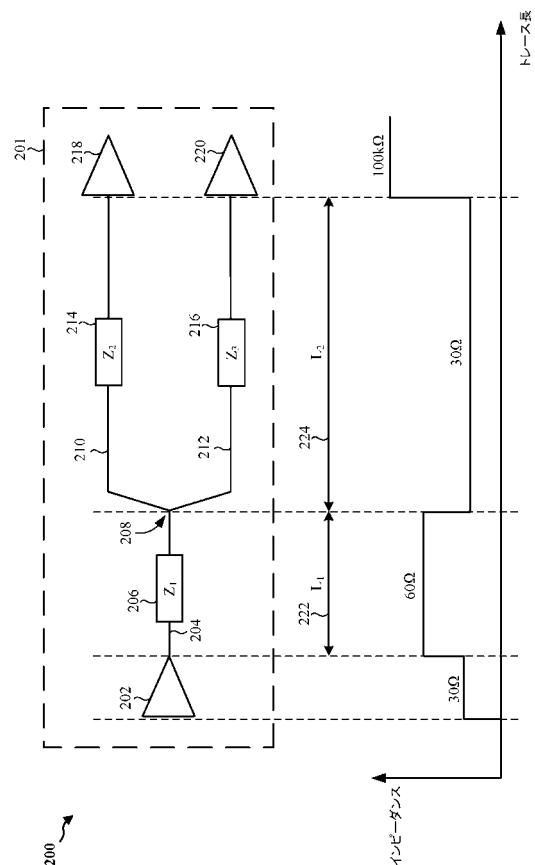
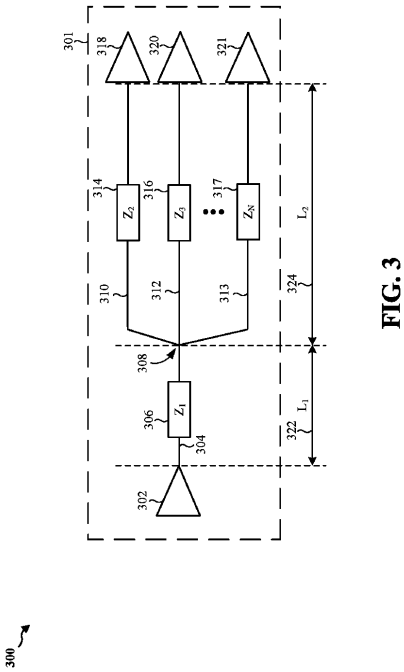
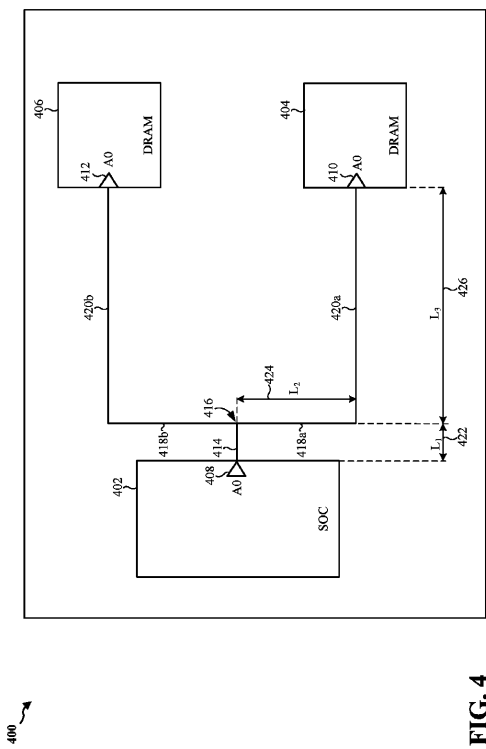


FIG. 2

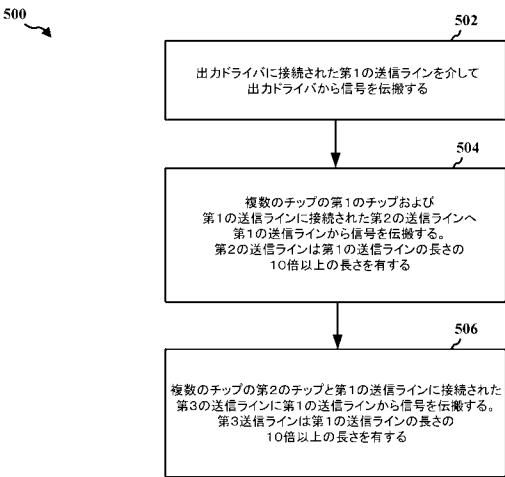
【 図 3 】



【 図 4 】



【 図 5 】



【手続補正書】

【提出日】平成29年9月15日(2017.9.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プリント基板（PCB）上の出力ドライバと、および

前記 PCB 上の複数のチップと、ここにおいて、前記チップは第 1 のチップと第 2 のチップを含む、

を備え、前記 PCB は、

前記出力ドライバに接続された第 1 の送信ラインと、

前記第 1 の送信ラインおよび前記第 1 のチップに接続された第 2 の送信ラインと、ここにおいて、前記第 2 の送信ラインは前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、および

前記第 1 の送信ラインと前記第 2 のチップに接続された第 3 の送信ラインと、ここにおいて、前記第 3 の送信ラインは前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、ここにおいて、前記第 2 の送信ラインおよび前記第 3 の送信ラインの等価特性インピーダンスは前記第 1 の送信ラインの特性インピーダンスから降下する、
を備えた、装置。

【請求項 2】

前記第 2 の送信ラインは前記 PCB 上で終端抵抗に結合されることなく前記第 1 のチップに接続し、前記第 3 の送信ラインは、前記 PCB 上で終端抵抗に結合されることなく前記第 2 のチップに接続する、請求項 1 の装置。

【請求項 3】

前記出力ドライバは同じ信号を前記複数のチップに送信するように構成される、請求項 1 の装置。

【請求項 4】

前記出力ドライバは前記第 1 の送信ライン上の前記信号を前記第 2 および第 3 の送信ラインを介して前記複数のチップに送信するように構成され、前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 3 の装置。

【請求項 5】

前記第 1 の送信ラインの前記長さは、前記信号を、前記信号の立ち上がり時間の $1/5$ 未満遅延させるように構成される、請求項 3 の装置。

【請求項 6】

前記第 2 の送信ラインまたは前記第 3 の送信ラインの特性インピーダンスは前記第 1 の送信ラインの前記特性インピーダンスに等しい、請求項 1 の装置。

【請求項 7】

前記出力ドライバの出力インピーダンスは並列の前記第 2 および第 3 の送信ラインの特性インピーダンスにほぼ等しい、請求項 1 の装置。

【請求項 8】

前記出力ドライバの出力インピーダンスは前記第 1 の送信ラインの特性インピーダンスの $1/2$ にほぼ等しい、請求項 1 の装置。

【請求項 9】

プリント基板（PCB）上の出力ドライバからの信号を前記 PCB 上の複数のチップに伝搬する方法において、

前記出力ドライバからの信号を前記出力ドライバに接続された第 1 の送信ラインを介して伝搬することと、

前記第 1 の送信ラインからの前記信号を前記複数のチップの第 1 のチップおよび前記第 1 の送信ラインに接続された第 2 の送信ラインに伝搬することと、ここにおいて、前記第 2 の送信ラインは、前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、

前記第 1 の送信ラインからの前記信号を前記複数のチップの第 2 のチップおよび前記第 1 の送信ラインに接続された第 3 の送信ラインに伝搬することと、ここにおいて、前記第 3 の送信ラインは、前記第 1 の送信ラインの長さの 10 倍以上の長さを有する、ここにおいて、前記第 2 の送信ラインおよび前記第 3 の送信ラインの等価特性インピーダンスは前記第 1 の送信ラインの特性インピーダンスから降下する、
を備えた方法。

【請求項 10】

前記第 2 の送信ラインは、前記 PCB 上で終端抵抗に結合されることなしに前記第 1 のチップに接続し、前記第 3 の送信ラインは、前記 PCB 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、請求項 9 の方法。

【請求項 11】

前記第 2 の送信ラインを介した前記信号および前記第 3 の送信ラインを介した前記信号は前記第 1 の送信ラインを介した前記信号と同じ情報を搬送する、請求項 9 の方法。

【請求項 12】

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 11 の方法。

【請求項 13】

前記信号は前記信号の立ち上がり時間の $1/5$ 未満だけ前記第 1 の送信ラインを介して遅延される、請求項 11 の方法。

【請求項 14】

前記第 2 の送信ラインまたは前記第 3 の送信ラインの特性インピーダンスは、前記第 1 の送信ラインの前記特性インピーダンスに等しい、請求項 9 の方法。

【請求項 15】

前記出力ドライバの出力インピーダンスは、並列の前記第 1 および第 2 の送信ラインの特性インピーダンスにほぼ等しい、請求項 9 の方法。

【請求項 16】

前記出力ドライバの出力インピーダンスは、前記第 1 の送信ラインの前記特性インピーダンスの $1/2$ にほぼ等しい、請求項 9 の方法。

【請求項 17】

プリント基板 (PCB) 上の信号を伝搬するための装置において、
信号を複数のチップに駆動する手段と、

前記信号を駆動する前記手段からの前記信号を伝搬する第 1 の手段と、ここにおいて、前記第 1 の手段は前記信号を駆動する前記手段に接続される、

前記第 1 の手段からの前記信号を伝搬する第 2 の手段と、ここにおいて、前記第 2 の手段は、前記複数のチップの第 1 のチップと前記第 1 の手段に接続される、ここにおいて、前記第 2 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、

前記第 1 の手段から前記信号を伝搬する第 3 の手段と、ここにおいて、前記第 3 の手段は、前記複数のチップの第 2 のチップと前記第 1 の手段に接続され、前記第 3 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、ここにおいて前記第 2 の手段および前記第 3 の手段の等価特性インピーダンスは前記第 1 の手段の特性インピーダンスから降下する、
を備えた装置。

【請求項 18】

前記第 2 の手段は、前記 PCB 上で終端抵抗に結合されることなく前記第 1 のチップに接続し、前記第 3 の手段は、前記 PCB 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、請求項 17 の装置。

【請求項 19】

前記第 2 の手段を介した前記信号および前記第 3 の手段を介した前記信号は前記第 1 の手段を介した前記信号と同じ情報を搬送する、請求項 17 の装置。

【請求項 20】

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、請求項 19 の装置。

【請求項 21】

前記信号は前記信号の立ち上がり時間の $1/5$ 未満だけ前記第 1 の手段を介して遅延される、請求項 19 の装置。

【請求項 22】

前記第 2 の手段または前記第 3 の手段の特性インピーダンスは、前記第 1 の手段の前記特性インピーダンスに等しい、請求項 17 の装置。

【請求項 23】

前記信号を駆動する前記手段の出力インピーダンスは、並列の前記第 1 および第 2 の手段の特性インピーダンスにほぼ等しい、請求項 17 の装置。

【請求項 24】

前記信号を駆動する前記手段の出力インピーダンスは、前記第 1 の手段の前記特性インピーダンスの $1/2$ にほぼ等しい、請求項 17 の装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

[0041] 以前の説明は、いかなる当業者であっても、本明細書で説明された様々な態様を実施することを可能にするために提供される。これらの態様への様々な変更は当業者には容易に明らかになり、本明細書で説明されている包括的な本質は他の態様に適用されうる。このように、請求項は、ここに示される態様に限定されるように意図されたものではなく、請求項の文言と一貫する最大範囲であると認められるべきであり、ここにおいて、単数におけるエレメントの参照は、そのように明確に述べられていない限りは「1つおよび1つのみ」を意味するのではなく、むしろ「1つまたは複数」を意味するように意図される。「例示的(exemplary)」という用語は、「実例、事例、または例証として提供される」を意味するために本明細書で使用される。「例示的」なものとしてここに説明される任意の態様は、必ずしも、他の態様よりも好ましいまたは有利であるようには解釈されるべきでない。別段に明記されていない限り、「いくつかの」という用語は、1つまたは複数を指す。「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、A、B、および/またはCの任意の組み合わせを含み、複数のA、複数のB、または複数のCを含むことができる。特に、「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」、および「A、B、C、またはそれらの任意の組み合わせ」のような組み合わせは、Aのみ、Bのみ、Cのみ、AとB、AとC、BとC、またはAとBとCであることができ、ここで、任意のこのような組み合わせは、A、B、またはCの1つまたは複数のメンバーを含むことができる。当業者に知られている、あるいは後に知られることになる本開示全体にわたって説明された様々な態様の要素に対するすべての構造的および機能的な同等物は、参照によってここに明確に組み込まれ、特許請求の範囲に包含されるように意図される。さらに、ここに開示されたものは何れも、このような開示が特許請求の範囲において明記されているかどうかにかかわらず、公衆に放棄されるようには意図されていない。要素が「～のための手段」というフレーズを使用して明確に記載されていない限り、どの請求項の要素もミーンズプラスファンクションとして解釈されるべきではない。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C 1]

プリント基板（PCB）上の出力ドライバと、および

前記PCB上の複数のチップと、ここにおいて、前記チップは第1のチップと第2のチップを含む、

を備え、前記PCBは、

前記出力ドライバに接続された第1の送信ラインと、

前記第1の送信ラインおよび前記第1のチップに接続された第2の送信ラインと、ここにおいて、前記第2の送信ラインは前記第1の送信ラインの長さの10倍以上の長さを有する、および

前記第1の送信ラインと前記第2のチップに接続された第3の送信ラインと、ここにおいて、前記第3の送信ラインは前記第1の送信ラインの長さの10倍以上の長さを有する、

を備えた、装置。

[C 2]

前記第2の送信ラインは前記PCB上で終端抵抗に結合されることなく前記第1のチップに接続し、前記第3の送信ラインは、前記PCB上で終端抵抗に結合されることなく前記第2のチップに接続する、C1の装置。

[C 3]

前記出力ドライバは同じ信号を前記複数のチップに送信するように構成される、C1の装置。

[C 4]

前記出力ドライバは前記第1の送信ライン上の前記信号を前記第2および第3の送信ラインを介して前記複数のチップに送信するように構成され、前記信号は、制御信号、クロック信号またはアドレス信号の1つである、C3の装置。

[C 5]

前記第1の送信ラインの前記長さは、前記信号を、前記信号の立ち上がり時間の1/5未満遅延させるように構成される、C3の装置。

[C 6]

前記第2の送信ラインと前記第3の送信ラインの特性インピーダンスは前記第1の送信ラインの特性インピーダンスに等しい、C1の装置。

[C 7]

前記出力ドライバの出力インピーダンスは並列の前記第2および第3の送信ラインの特性インピーダンスにほぼ等しい、C1の装置。

[C 8]

前記出力ドライバの出力インピーダンスは前記第2の送信ラインまたは前記第3の送信ラインの特性インピーダンスの1/2にほぼ等しい、C1の装置。

[C 9]

プリント基板（PCB）上の出力ドライバからの信号を前記PCB上の複数のチップに伝搬する方法において、

前記出力ドライバからの信号を前記出力ドライバに接続された第1の送信ラインを介して伝搬することと、

前記第1の送信ラインからの前記信号を前記複数のチップの第1のチップおよび前記第1の送信ラインに接続された第2の送信ラインに伝搬することと、ここにおいて、前記第2の送信ラインは、前記第1の送信ラインの長さの10倍以上の長さを有する、

前記第1の送信ラインからの前記信号を前記複数のチップの第2のチップおよび前記第1の送信ラインに接続された第3の送信ラインに伝搬することと、ここにおいて、前記第3の送信ラインは、前記第1の送信ラインの長さの10倍以上の長さを有する、

を備えた方法。

[C 10]

前記第2の送信ラインは、前記PCB上で終端抵抗に結合されることなしに前記第1の

チップに接続し、前記第 3 の送信ラインは、前記 P C B 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、C 9 の方法。

[C 1 1]

前記第 2 の送信ラインを介した前記信号および前記第 3 の送信ラインを介した前記信号は前記第 1 の送信ラインを介した前記信号と同じ情報を搬送する、C 9 の方法。

[C 1 2]

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、C 1 1 の方法。

[C 1 3]

前記信号は前記信号の立ち上がり時間の $1 / 5$ 未満だけ前記第 1 の送信ラインを介して遅延される、C 1 1 の方法。

[C 1 4]

前記第 2 の送信ラインと前記第 3 の送信ラインの特性インピーダンスは、前記第 1 の送信ラインの特性インピーダンスに等しい、C 9 の方法。

[C 1 5]

前記出力ドライバの出力インピーダンスは、並列の前記第 1 および第 2 の送信ラインの特性インピーダンスにほぼ等しい、C 9 の方法。

[C 1 6]

前記出力ドライバの出力インピーダンスは、前記第 1 の送信ラインまたは前記第 2 の送信ラインの前記特性インピーダンスの $1 / 2$ にほぼ等しい、C 9 の方法。

[C 1 7]

プリント基板 (P C B) 上の信号を伝搬するための装置において、信号を複数のチップに駆動する手段と、

前記信号を駆動する前記手段からの前記信号を伝搬する第 1 の手段と、ここにおいて、前記第 1 の手段は前記信号を駆動する前記手段に接続される、

前記第 1 の手段からの前記信号を伝搬する第 2 の手段と、ここにおいて、前記第 2 の手段は、前記複数のチップの第 1 のチップと前記第 1 の手段に接続される、ここにおいて、前記第 2 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、

前記第 1 の手段から前記信号を伝搬する第 3 の手段と、ここにおいて、前記第 3 の手段は、前記複数のチップの第 2 のチップと前記第 1 の手段に接続され、前記第 3 の手段は、前記第 1 の手段の長さの 10 倍以上の長さを有する、
を備えた装置。

[C 1 8]

前記第 2 の手段は、前記 P C B 上で終端抵抗に結合されることなく前記第 1 のチップに接続し、前記第 3 の手段は、前記 P C B 上で終端抵抗に結合されることなしに前記第 2 のチップに接続する、C 1 7 の装置。

[C 1 9]

前記第 2 の手段を介した前記信号および前記第 3 の手段を介した前記信号は前記第 1 の手段を介した前記信号と同じ情報を搬送する、C 1 7 の装置。

[C 2 0]

前記信号は、制御信号、クロック信号またはアドレス信号の 1 つである、C 1 9 の装置。

[C 2 1]

前記信号は前記信号の立ち上がり時間の $1 / 5$ 未満だけ前記第 1 の手段を介して遅延される、C 1 9 の装置。

[C 2 2]

前記第 2 の手段と前記第 3 の手段の特性インピーダンスは、前記第 1 の手段の特性インピーダンスに等しい、C 1 7 の装置。

[C 2 3]

前記信号を駆動する前記手段の出力インピーダンスは、並列の前記第 1 および第 2 の手

段の特性インピーダンスにほぼ等しい、C 17 の装置。

[C 2 4]

前記信号を駆動する前記手段の出力インピーダンスは、前記第 1 の手段または前記第 2 の手段の前記特性インピーダンスの $1 / 2$ にほぼ等しい、C 17 の装置。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/012912

A. CLASSIFICATION OF SUBJECT MATTER

INV. H05K1/02 G11C5/02
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 7 245 145 B2 (PAX GEORGE E [US] ET AL) 17 July 2007 (2007-07-17) claims 1,2,7; figure 2 column 1, line 11 - column 2, line 52 column 3, line 27 - column 4, line 53 the whole document -----	1-24
X	US 4 947 144 A (LE NOHAIC YVES [FR]) 7 August 1990 (1990-08-07) the whole document -----	1-4, 9-12, 17-20
X	US 6 573 757 B1 (GALLAGHER KEVIN J [IE]) 3 June 2003 (2003-06-03) the whole document ----- -/--	17-24

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

19 July 2016

Date of mailing of the international search report

28/07/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kelly, Derek

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/012912

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 2 161 890 A2 (MICRONAS GMBH [DE]) 10 March 2010 (2010-03-10) claims 1-5; figures 3-4 paragraphs [0001] - [0004], [0018] - [0031] the whole document -----	1-24
A	US 2011/176345 A1 (CHEN NAN-JANG [TW]) 21 July 2011 (2011-07-21) figures 1,5 paragraphs [0005], [0006], [0020], [0021], [0026] the whole document -----	1-24
A	US 6 784 526 B1 (MEZAWA TSUTOMU [JP]) 31 August 2004 (2004-08-31) the whole document claim 1 -----	1-12
A	US 2007/194968 A1 (SUNG MYUNG-HEE [KR] ET AL) 23 August 2007 (2007-08-23) claims 1-8; figures 2,3 paragraphs [0037], [0040] - [0041], [0045], [0064] the whole document -----	1-24
A	US 7 535 321 B1 (DEGERSTROM MICHAEL J [US] ET AL) 19 May 2009 (2009-05-19) claims 1-5; figures 2,5 column 10, lines 10-29 column 11, line 15 - column 12, line 3 the whole document -----	1-24

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/012912

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 7245145	B2	17-07-2007	US 2004251929 A1 16-12-2004 US 2005030797 A1 10-02-2005 US 2006023528 A1 02-02-2006 US 2008036492 A1 14-02-2008 US 2009243649 A1 01-10-2009
US 4947144	A	07-08-1990	CA 1300238 C 05-05-1992 EP 0340713 A1 08-11-1989 FR 2631169 A1 10-11-1989 JP H0219003 A 23-01-1990 US 4947144 A 07-08-1990
US 6573757	B1	03-06-2003	NONE
EP 2161890	A2	10-03-2010	DE 102008045707 A1 11-03-2010 EP 2161890 A2 10-03-2010 US 2010060318 A1 11-03-2010
US 2011176345	A1	21-07-2011	CN 102131338 A 20-07-2011 TW 201125446 A 16-07-2011 US 2011176345 A1 21-07-2011
US 6784526	B1	31-08-2004	JP 3957237 B2 15-08-2007 JP H11204726 A 30-07-1999 TW 388973 B 01-05-2000 US 6784526 B1 31-08-2004
US 2007194968	A1	23-08-2007	DE 102007006283 A1 30-08-2007 JP 2007207227 A 16-08-2007 US 2007194968 A1 23-08-2007
US 7535321	B1	19-05-2009	NONE

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 スブラマニアン、ヨケシュ

アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドレイブ 5775、クゥアルコム・インコーポレイテッド内

Fターム(参考) 5E336 AA04 BB02 CC31 CC52 EE03 GG11

5E338 AA02 AA16 CC01 CC05 EE13

5K029 AA03 AA18 CC01 DD15 EE01 JJ08