

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成23年1月13日 (2011.1.13)

【公表番号】特表2010-511261(P2010-511261A)

【公表日】平成22年4月8日 (2010.4.8)

【年通号数】公開・登録公報2010-014

【出願番号】特願2009-537461(P2009-537461)

【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/02 (2006.01)

G 0 6 F 13/16 (2006.01)

【F I】

G 1 1 C 17/00 6 3 6 Z

G 1 1 C 17/00 6 0 1 T

G 1 1 C 17/00 6 3 4 G

G 0 6 F 13/16 5 1 0 A

【手続補正書】

【提出日】平成22年11月17日 (2010.11.17)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 5

【補正方法】変更

【補正の内容】

【0 0 6 5】

プログラムディスエーブル回路407は、ビット線BL1_eとBL1_oとの間で直列に接続された高電圧nチャネルシールドトランジスタ408および410を含む。トランジスタ408および410の共通端子はプログラム禁止電圧レベルPWRBLに接続され、プログラム禁止電圧レベルPWRBLは、シールド信号A_SHLDeまたはA_SHLDoを活性化することによってそれぞれ読出し動作またはプログラム動作のいずれかの間にBL1_eまたはBL1_oのいずれかに選択的に結合される。例えば、BL1_eがプログラム動作のために選択されるときにBL1_oは、BL1_oに結合された任意のメモリセルに対してプログラミングを禁止するためにPWRBLを介してVCCに、またはプログラミングを禁止するのに十分な他の任意の電圧にバイアスされることになる。一方、読出し動作中にPWRBLは、未選択のビット線をVSSにバイアスするためにVSSに設定されることになる。対応するプログラムディスエーブル回路並びにBL1_eおよびBL1_oに関する偶数/奇数選択回路は、それらが異なる組の信号、すなわちB_SHLDe、B_SHLDo、B_SELeおよびB_SELoによって制御されることを除いて以前に説明した回路と同一に構成される。PWRBLは、VCCおよびVSS、またはプログラム禁止電圧およびVSSによって供給されるインバータ回路によって駆動され、プログラミング関連の信号によって制御可能である。図8に示されるように、行アドレスはセグメント400または402のいずれかに関する選択信号およびシールド信号を生成するために使用され、列アドレスは偶数および奇数選択信号並びにシールド信号を生成するために使用される。

【手続補正 2】

【補正対象書類名】図面

【補正対象項目名】図 1 6

【補正方法】変更

【補正の内容】

【図 16】

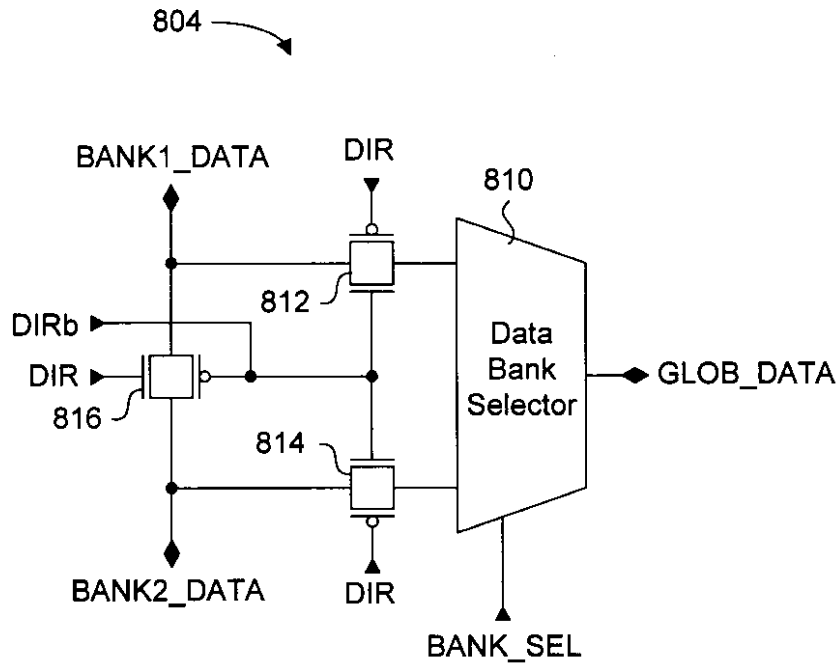


Figure 16