

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H01L 21/02

H01L 27/12

# [12] 发明专利申请公开说明书

[21] 申请号 99126769.9

[43]公开日 2000年8月23日

[11]公开号 CN 1264160A

[22]申请日 1999.12.16 [21]申请号 99126769.9

[30]优先权

[32]1999.1.28 [33]US [31]09/239,327

[71]申请人 国际商业机器公司

地址 美国纽约

[72]发明人 阿图尔·阿吉孜拉 埃芬迪·莱巴顿  
沃纳·若施 多米尼克·J·施埃皮斯  
格哈瓦姆·G·莎亥迪

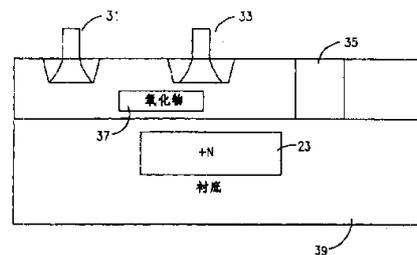
[74]专利代理机构 中国国际贸易促进委员会专利商标事  
务所  
代理人 王永刚

权利要求书 3 页 说明书 6 页 附图页数 5 页

[54]发明名称 用浅沟隔离工艺在绝缘体上硅晶片上集成衬底接触的方法

[57]摘要

一种在包括绝缘体上硅区域的衬底中制作衬底接触的方法。浅隔离沟槽被制作在绝缘体上硅衬底中。填充此浅隔离沟槽。在衬底上淀积光刻胶。在衬底中制作穿过被填充的浅隔离沟槽、绝缘体上硅、和绝缘体上硅区域下方的硅衬底的接触沟槽。填充此接触沟槽,其中填充接触沟槽的材料形成对硅衬底的接触。



ISSN 1008-4274

## 权 利 要 求 书

---

1. 一种在包括绝缘体上硅区域的衬底中制作衬底接触的方法，此方法包含下列步骤：

在绝缘体上硅衬底中制作浅隔离沟槽；

填充此浅隔离沟槽；

在衬底上淀积光刻胶；

在衬底中制作穿过被填充的浅隔离沟槽和绝缘体上硅衬底区域的至少延伸到绝缘体上硅区域下方的硅衬底顶部的接触沟槽；以及

填充此接触沟槽，其中填充此接触沟槽的材料形成对硅衬底的接触。

2. 根据权利要求 1 的方法，其中用电绝缘材料填充浅隔离沟槽。

3. 根据权利要求 2 的方法，其中的电绝缘材料是原硅酸四乙酯氧化物。

4. 根据权利要求 1 的方法，其中接触沟槽的制作包含下列步骤：

在填充浅隔离沟槽之后，在衬底上淀积光刻胶层；

对光刻胶进行图形化；以及

用光刻胶作为掩模，腐蚀接触沟槽。

5. 根据权利要求 1 的方法，其中接触沟槽在衬底的场区内围绕衬底延伸。

6. 根据权利要求 1 的方法，其中用反应离子刻蚀方法制作接触沟槽。

7. 根据权利要求 1 的方法，其中接触沟槽被制作成足够宽，以便用作导向结构来防止掺杂剂扩散穿过衬底的绝缘体上硅区域的绝缘体区。

8. 根据权利要求 1 的方法，还包含将至少一种掺杂剂注入到被接触沟槽的腐蚀所暴露的硅衬底中的步骤。

9. 根据权利要求 8 的方法，其中的至少一种掺杂剂包括硼、磷、砷或铟。

10. 根据权利要求 1 的方法, 还包含对填充浅隔离沟槽的材料进行整平的步骤。

11. 根据权利要求 10 的方法, 还包含下列步骤:

在衬底上淀积不掺杂的多晶硅; 以及

对填充浅隔离沟槽的不掺杂的多晶硅和材料进行整平。

12. 根据权利要求 1 的方法, 其中用不掺杂的多晶硅填充接触沟槽。

13. 根据权利要求 1 的方法, 还包含下述步骤:

在填充接触沟槽的材料上, 进行 p+ 扩散注入, 以便接触到 p 型衬底, 并进行 n+ 扩散, 以便接触到 n 型衬底上的阱。

14. 根据权利要求 1 的方法, 还包含对填充接触沟槽的材料进行硅化的步骤。

15. 根据权利要求 1 的方法, 还包含制作由导电材料构成的对被填充的接触沟槽的接触的步骤。

16. 根据权利要求 15 的方法, 其中的接触包括至少一种金属。

17. 根据权利要求 1 的方法, 还包含对衬底进行偏置的步骤。

18. 根据权利要求 17 的方法, 还包含下述步骤:

在衬底中制作多个阱; 以及

使各个阱彼此隔离。

19. 一种半导体器件结构, 它包含:

含有绝缘体上硅衬底区域的衬底;

衬底上的至少一个浅沟槽隔离区; 以及

穿过浅沟槽隔离区延伸到绝缘体上硅区域下方的衬底的硅部分, 且形成对下方的衬底的硅部分的接触的接触沟槽。

20. 根据权利要求 19 的半导体器件, 其中用电绝缘材料填充浅沟槽隔离区。

21. 根据权利要求 20 的半导体器件, 其中的电绝缘材料是原硅酸四乙酯氧化物。

22. 根据权利要求 19 的半导体器件, 其中接触沟槽在衬底的场区

内围绕衬底延伸。

23. 根据权利要求 19 的半导体器件，其中的接触沟槽足够宽，以便用作导向结构来防止掺杂剂扩散穿过衬底的绝缘体上硅区的绝缘体区。

24. 根据权利要求 19 的半导体器件，其中至少一种掺杂剂被注入到接触沟槽下方的硅衬底中。

25. 根据权利要求 24 的半导体器件，其中的至少一种掺杂剂包括硼、磷、砷、铟或锑。

26. 根据权利要求 19 的半导体器件，其中用多晶硅填充接触沟槽。

27. 根据权利要求 19 的半导体器件，其中的多晶硅被 p+ 掺杂或 n+ 掺杂。

28. 根据权利要求 27 的半导体器件，其中填充接触沟槽的材料被硅化。

29. 根据权利要求 19 的半导体器件，还包含电连接到接触沟槽的由导电材料构成的接触。

30. 根据权利要求 29 的半导体器件，其中的接触包括至少一种金属。

31. 根据权利要求 19 的半导体器件，其中的衬底被偏置。

32. 根据权利要求 31 的半导体器件，还包含衬底中的多个被隔离的阱。

用浅沟隔离工艺在绝缘体上硅  
晶片上集成衬底接触的方法

本发明涉及到绝缘体上硅 (SOI) 半导体器件以及制作用来接触衬底的绝缘体区上硅下方的衬底部分的结构的方法。本发明还包括根据此工艺制作的半导体器件。

含有绝缘体上硅衬底结构的半导体器件, 包括一个具有氧化物掩埋层的晶片, 此氧化物掩埋层使制作有源器件的硅顶层隔离于衬底。因此称为绝缘体上硅 (SOI)。由于氧化层下方的衬底部分通常不电连接到任何其它结构, 换言之, 下方的衬底是浮置的, 故在正常的芯片运行过程中, 能够在衬底中建立起静态电荷。这种静态电荷的建立能够引起 SOI 器件的反向沟道开启, 从而能够干扰芯片的运行。内建静态电荷的影响包括芯片待机电流上升、芯片热击穿、甚至逻辑电路和 SRAM 电路的故障。

为了解决这一问题, 制作了到绝缘体上硅衬底结构的绝缘体部分下方的衬底部分的接触, 以便将其接地。此时, 通常用金属丝键合到封装层面处芯片背面的方法来产生衬底接触。然而, 这种方法要求额外的步骤和材料。例如, 由于必须逐个地在单个芯片上进行, 故对芯片背面的金属丝键合是昂贵的。金属丝键合还可能要求改变标准的封装方法。

本发明提供了一种用来制作对绝缘体上硅衬底的绝缘体部分下方的衬底区的接触的方法, 此方法可以在制作芯片的正常工艺操作过程中进行。

根据本发明的这些和其它的目的和优点, 本发明的各种情况提供了一种制作衬底接触和包括绝缘体上硅区域的衬底的方法。此方法包括在绝缘体上硅衬底区中制作浅隔离沟槽。填充此浅隔离沟槽。在衬底上淀积光刻胶。此方法还包括在衬底中制作穿过被填充的浅隔离沟

槽和绝缘体上硅衬底区向下至少延伸到绝缘体上硅区下方的硅衬底顶部的接触沟槽。填充此接触沟槽，其中填充接触沟槽的材料形成对硅衬底的接触。

根据另一种情况，本发明还提供了一种半导体结构。此器件结构包括含有绝缘体上硅衬底区的衬底。浅沟槽隔离区被安置在衬底中。此器件还包括穿过隔离区中的浅沟槽延伸到绝缘体上硅区下方的衬底的硅部分的接触沟槽。此接触沟槽形成对下方的衬底硅部分的接触。

从下列详细描述中，本技术领域的熟练人员将更清楚地看到本发明的其他目的和优点，在这些描述中，仅仅简单地用试图实施本发明的最佳模式的示例方法描述了本发明的最佳实施例。如将要理解的那样，本发明能够有其他不同的实施例，且其细节能够在各方面加以修正而不超越本发明。因此，这一描述被认为是示例性的而不是限制性的。

结合附图，可以更清楚地理解本发明的上述目的和优点，在这些附图中：

图 1 表示根据本发明的半导体器件的实施例的剖面图；

图 2-10 表示在根据本发明的制作半导体器件的工艺实施例的各个阶段中的半导体实施例的剖面图，其中图 10 表示实施例的最终形式；

图 11 表示根据本发明的结构的另一个实施例的俯视图；

图 12 表示图 11 所示实施例沿 12-12 线的剖面图；以及

图 13 表示包括阱岛的本发明实施例的剖面图。

如上所述，本发明提供了对绝缘体上硅衬底结构下方的衬底部分的接触和制作此接触的方法。本发明提供了一种比较容易制造且成本合算的制作衬底接触的方法。本发明的一个优点是，此工艺可以与通常用来制作浅沟槽隔离区的现有工艺结合。本发明可以与现有的制造工艺结合而不影响工艺成品率。在其它功能方面，根据本发明的接触可以用作衬底接触的通孔。

图 1 示出了根据本发明的结构的实施例。图 1 所示的实施例包括二个器件 31 和 33 以及衬底接触 35。氧化物区 37 位于器件 33 下方。

衬底 39 包括 n+ 区 23。

根据本发明的方法，提供了含有绝缘体上硅区的衬底。如上所述，本发明的工艺可以与制作衬底中的浅沟槽隔离区的工艺结合。因此，图 2 示出了包括底层衬底 3 的衬底 1。

在衬底 3 的顶部，已经制作了绝缘体区 5。在硅衬底的情况下，绝缘体上硅结构的绝缘体部分是硅衬底的氧化部分。硅层 7 覆盖着衬底的氧化物即绝缘体部分 5。

在图 2 所示实施例中，作为制作浅沟槽隔离区的工艺的一部分，硅层 7 已经被图形化。氮化物层 9 覆盖着硅层 7。氮化物层 9 和硅层 7 一起淀积成覆盖层并被图形化。此氮化物可以用作 CMP 停止层。图 2 中的虚线示出了腐蚀掉的硅层部分。

在腐蚀浅沟槽以形成图 2 所示结构之后，可以在被腐蚀产生图 2 所示结构的区域中以及衬底顶部表面的其它暴露部分上淀积材料。通常，淀积在浅隔离沟槽和衬底其它部分中的材料是电绝缘材料。这种电绝缘材料的一个例子是原硅酸四乙酯 (TEOS)。

在淀积形成浅隔离沟槽的填充物的电绝缘材料之后，可以腐蚀一个穿过浅隔离沟槽填充物以及绝缘体上硅衬底结构的下方绝缘体的沟槽。制作此接触沟槽的一种方法是，在填充浅隔离沟槽和覆盖衬底部分的电绝缘材料 15 上，淀积一层光刻胶 17。如图 4 所示，可以对此光刻胶进行曝光和显影，从而形成具有用来腐蚀接触沟槽的窗口 19 的掩模。

制作在光刻胶中的用来腐蚀接触沟槽的图形，依赖于希望接触沟槽具有的形式。根据一个实施例，如图 11 和 12 所示，在芯片区域中的芯片周围的光刻胶中，图形化了一个由 20 表示的环。作为变通，接触结构可以有其它的形状。例如，如图 11 所示，可以在 22 所示的芯片内部制作接触。然而，环状结构还可以屏蔽芯片免受划片之后的沾污。

在对光刻胶进行图形化之后，可以腐蚀接触沟槽。光刻胶可以被用作腐蚀接触沟槽的掩模，同时掩蔽浅隔离沟槽，以形成导电接触。

任何适当的工艺都可以用来腐蚀接触沟槽。根据一个实施例，反应离子刻蚀（RIE）被用来制作接触沟槽。与采用硅 RIE 然后采用氧化物 RIE 相比，借助于在浅隔离沟槽中淀积电绝缘材料之后对接触沟槽进行腐蚀，可以采用氧化物 RIE 工艺。

图 5 示出了已经被腐蚀穿过填充浅隔离沟槽的电绝缘体以及穿过绝缘体上硅衬底区的掩埋氧化层的接触沟槽的实施例。图 5 示出了腐蚀沟槽和剥离光刻胶之后的结构。如在图 5 中可见，对接触沟槽的腐蚀至少暴露了部分底层衬底 3。

根据同一个实施例，接触沟槽可以至少部分地延伸到底层衬底区 3 中。接触沟槽的尺寸可以由所希望的沟槽工作特性来决定。例如，接触沟槽可以制作成足够宽，以使用作导向结构，来防止掺杂剂扩散穿过衬底的绝缘体上硅区的绝缘体区。根据一个实施例，环形接触沟槽的宽度约为 0.5 微米。

在接触沟槽被腐蚀成环形的衬底处，接触沟槽可以起导向环的作用。接触结构可以延伸到覆盖衬底的层的表面、到衬底的顶部、或进入衬底中。

在同一个实施例中，为了加强衬底接触，可以将至少一种掺杂剂注入到被接触沟槽的腐蚀暴露的硅衬底中。根据一个实施例，可以将硼注入到暴露的硅衬底中。可以采用的其它掺杂剂包括砷、磷和/或铟。掺杂剂的剂量可以很高。例如掺杂剂的剂量可以约为  $1 \times 10^{15} \text{cm}^{-2}$ 。

然后可以用所希望的材料填充接触沟槽。填充接触沟槽的材料可以是导电材料，以便被填充的接触沟槽形成对底层衬底的电接触。作为变通，可以采用经处理变成导体的材料来填充接触沟槽。可以在制作并填充形成器件之间的浅隔离区的沟槽的同时，用不掺杂的多晶硅来制作并填充接触沟槽。

根据一个实施例，不掺杂的多晶硅可以淀积在接触沟槽中。如上所述，本发明可以适应现有的工艺。按照这种方法，根据制作浅隔离沟槽的标准操作规程，为了整平浅隔离沟槽，可以淀积不掺杂的多晶硅。因此，借助于用不掺杂的多晶硅填充接触沟槽，用不掺杂的多晶

硅填充接触沟槽没有引进新的步骤。

若接触沟槽的形状是环绕部分衬底的环形，则在淀积不掺杂的多晶硅之后，在衬底区周围可能存在多晶硅环。此环或其它被填充的沟槽结构可以被用来形成衬底接触。

图 6 示出了根据本发明的结构的例子，其中的接触沟槽已经用多晶硅填充。不掺杂的多晶硅也被淀积在衬底的其它表面上。

之后在图 2-10 所示的工艺中，可以执行与通常在浅沟槽隔离工艺中执行的工艺步骤基本上完全相同的各个步骤。在淀积多晶硅 21 之后，可以对结构进行整平。这包括整平形成浅沟槽隔离区的电绝缘材料以及不掺杂的多晶硅。可以利用化学机械抛光 (CMP) 方法来整平填充浅隔离沟槽的不掺杂的多晶硅和电绝缘材料。图 7 示出了整平填充浅隔离沟槽的多晶硅 21 和电绝缘材料 15 之后的结构。

填充接触沟槽的多晶硅可以像任何有源硅区那样被处理。因此，可以对填充接触沟槽的不掺杂的多晶硅进行 p+ 扩散注入。也可以对填充接触沟槽的多晶硅进行硅化。

在整平填充浅隔离沟槽的多晶硅和电绝缘材料之后，可以对结构进行反应离子刻蚀。图 8 示出了得到的结构。导致图 8 所示结构的步骤的目的是，腐蚀未被多晶硅覆盖的区域中的氧化物 15，使之与多晶硅下面的氧化物 21 共面。在这一腐蚀过程中，多晶硅起掩模的作用。

图 9 示出了被腐蚀掉/凹下到稍许低于氧化物 TEOS 15 层的多晶硅掩模。如图 10 所示，此时，所有的氧化物 21 足够平整，致使可以用 CMP 步骤来进一步将其向下整平到氧化物层面。

在用掺杂剂对被填充的接触沟槽，例如对 n 型衬底的接触用砷和磷，而对 p 型衬底的接触用硼和铟，进行掺杂，并且硅化之后，可以着陆衬底接触以便连接衬底并将衬底接地。掺杂和硅化工序通常是正常芯片工艺的一部分。根据一个实施例，中部接触 (MC) 被着陆到填充接触沟槽的多晶硅，以便连接衬底并将衬底接地。

可以借助于在至少部分被填充的接触沟槽上淀积至少一种导电材料，来着陆本发明的接触。此至少一种导电材料可以包括至少一种金

属和/或合金。能够被用来填充接触的其它材料可以包括钨，在此情况下，可以在制作诸如 NFET 和 PFET 之类的所有器件，并且淀积和整平中部接触绝缘体的绝缘材料之后，但在腐蚀中部接触之前，完成衬底接触的腐蚀步骤。

由于本发明的工艺简单，故能够提供对衬底的非常良好的欧姆接触，而不会对芯片造成任何潜在的成品率下降。根据某些应用，可能希望局部偏置衬底以便修正和增强衬底顶部的 SOI 器件的性能。根据这些实施例，在衬底中可能需要阱的岛来使它们彼此隔离。由于本发明的结构要求最小的面积，并能够容易地集成到芯片中的任何电路部分之中，故本发明可以容易地与这种结构组合起来。

图 13 示出了包括阱岛的本发明的实施例的一个例子。图 13 所示的实施例包括二个器件 23 和 25，各具有相关的衬底接触 27 和 29。一个 n 阱与接触 27 相关，而一个 n 阱和一个 p 阱与接触 29 相关。

如上所述，本发明还包括一种半导体器件。此半导体器件包括含有绝缘体上硅衬底区的衬底。此半导体器件结构还包括衬底上的至少一个浅沟槽隔离区。接触沟槽穿过至少一部分浅沟槽隔离区延伸到绝缘体上硅区下方的衬底的硅部分。此接触沟槽形成到下方的衬底硅部分的接触。

本发明的上述描述说明了本发明。此外，本公开仅仅描述了本发明的最佳实施例，但如上所述，应该理解的是，本发明能够用于各种各样的其他组合、修正和环境中，并且能够在此处所述的与上述技术、和/或相关技术的技能或知识相应的本发明的构思范围内改变或修正。上述实施例是用来解释所知的实施本发明的最佳模式并使本技术领域其他熟练人员能够在这些或其它的实施例中，以本发明特定应用所要求的各种各样的修正，来利用本发明。因此，本描述不是为了将本发明限制在此处所述的形式。其目的是提出所附权利要求来包括各个变通的实施例。

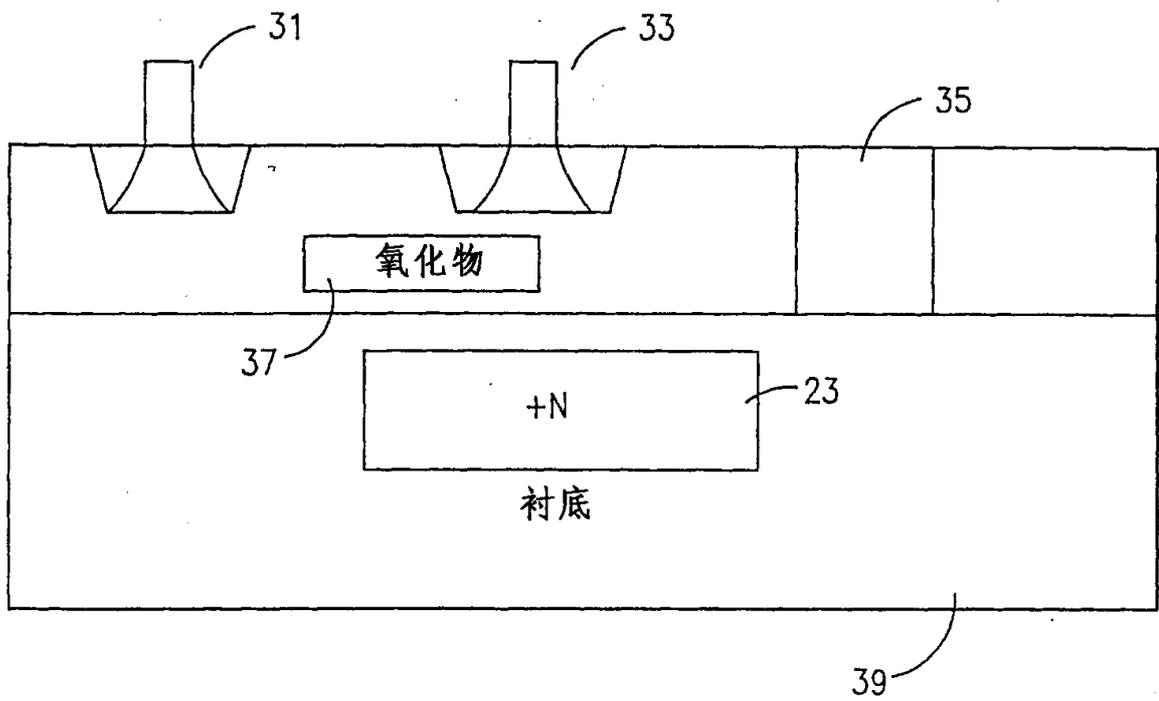


图1

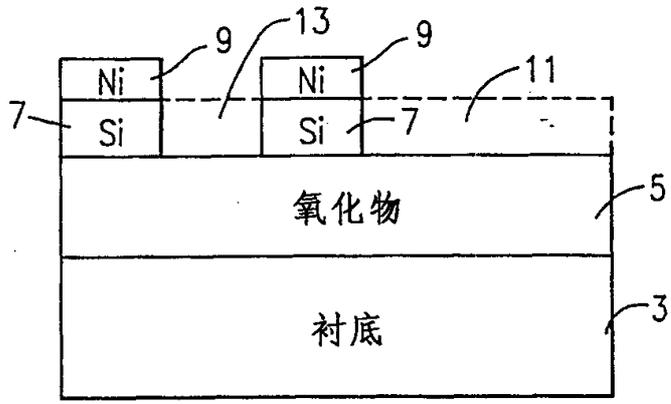


图2

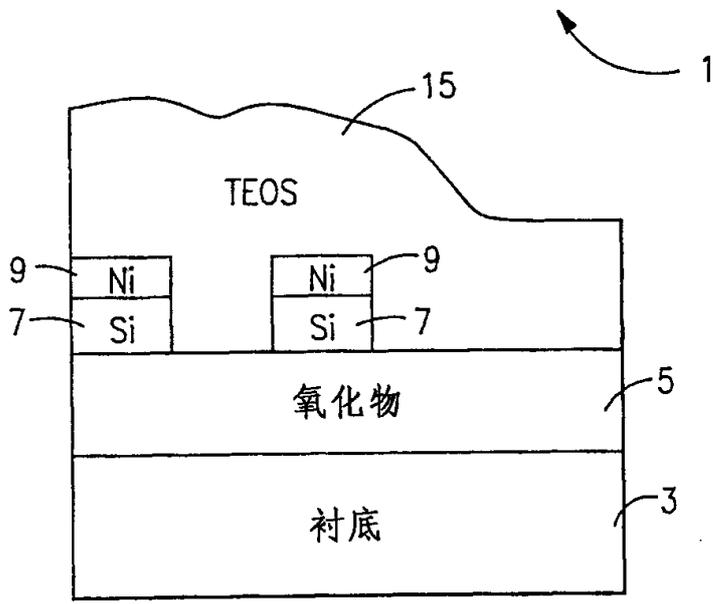


图3

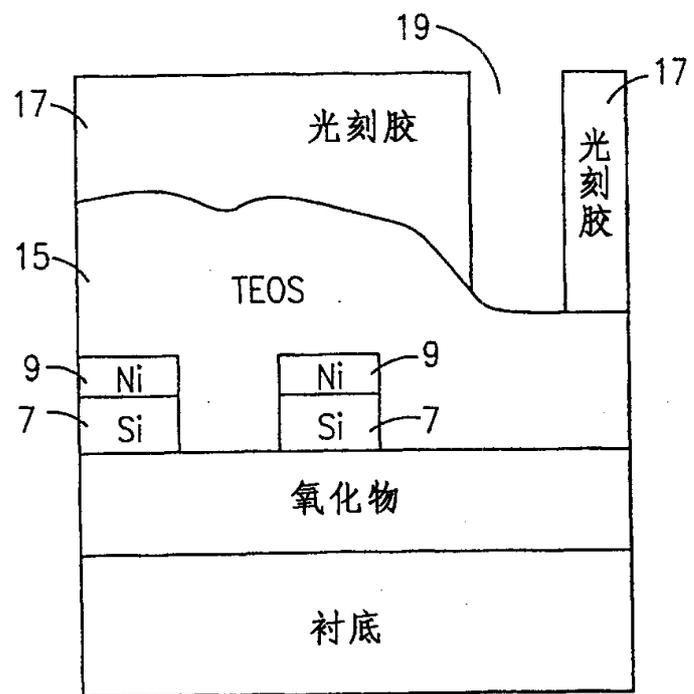


图4

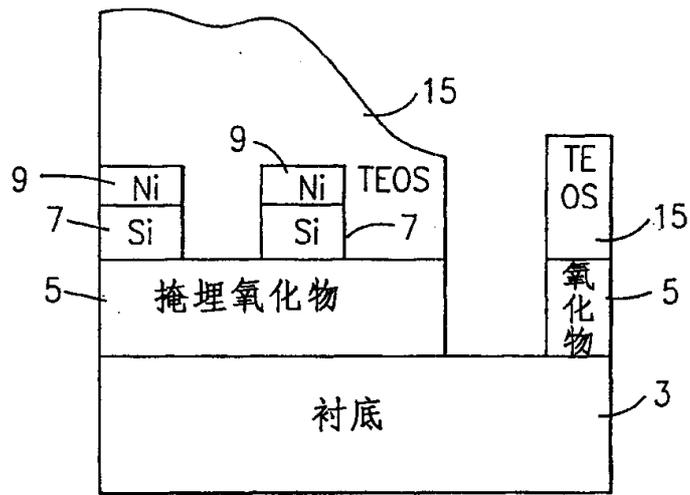


图5

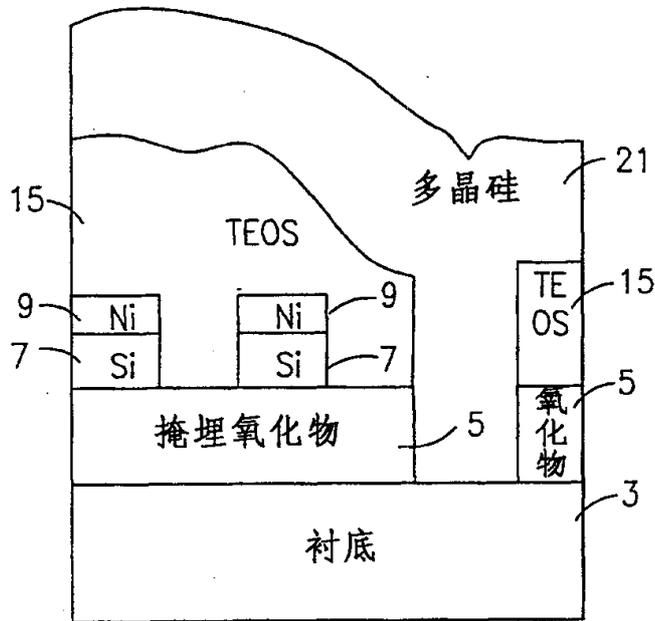


图6

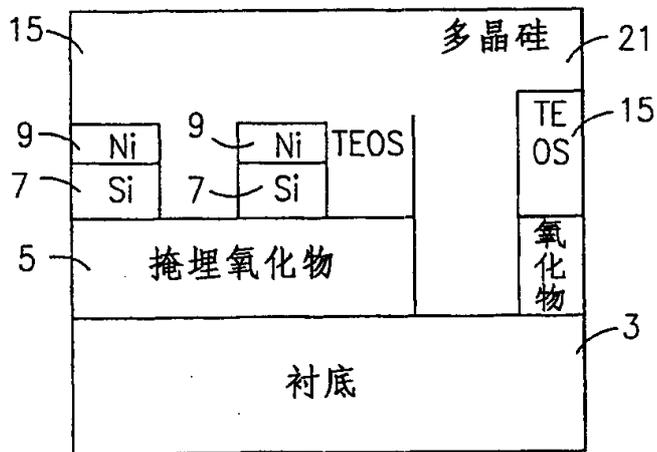


图7

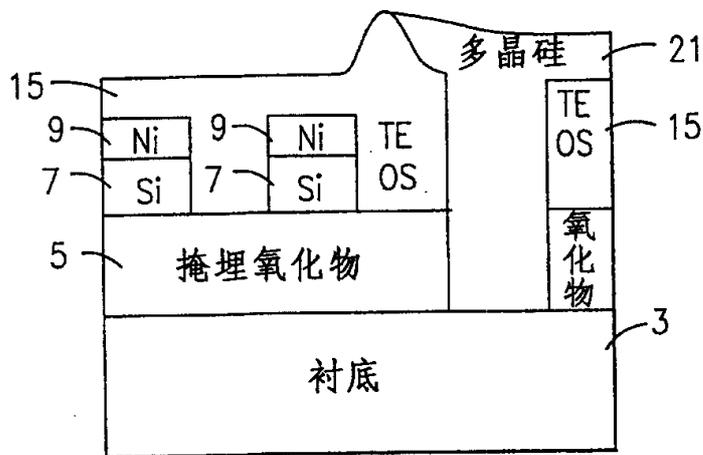


图 8

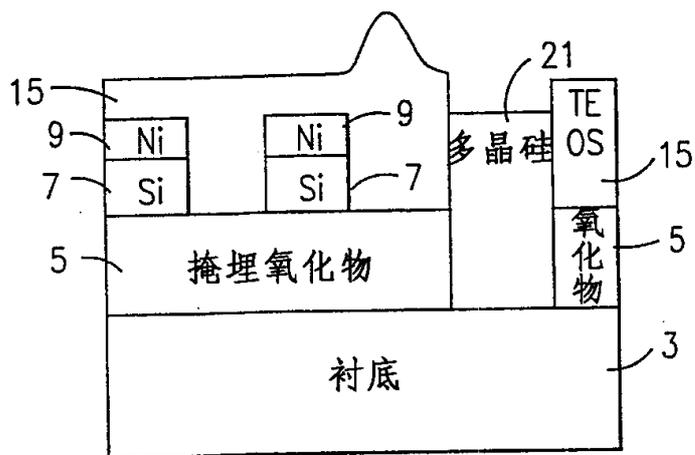


图 9

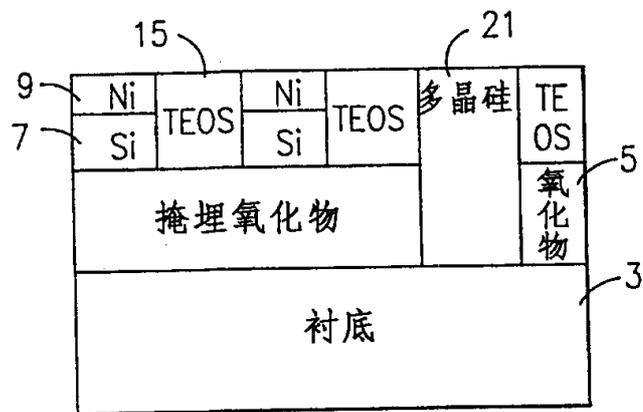


图 10

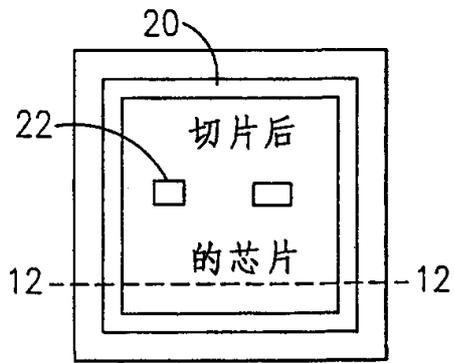


图11

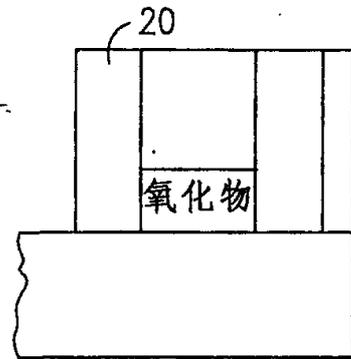


图12

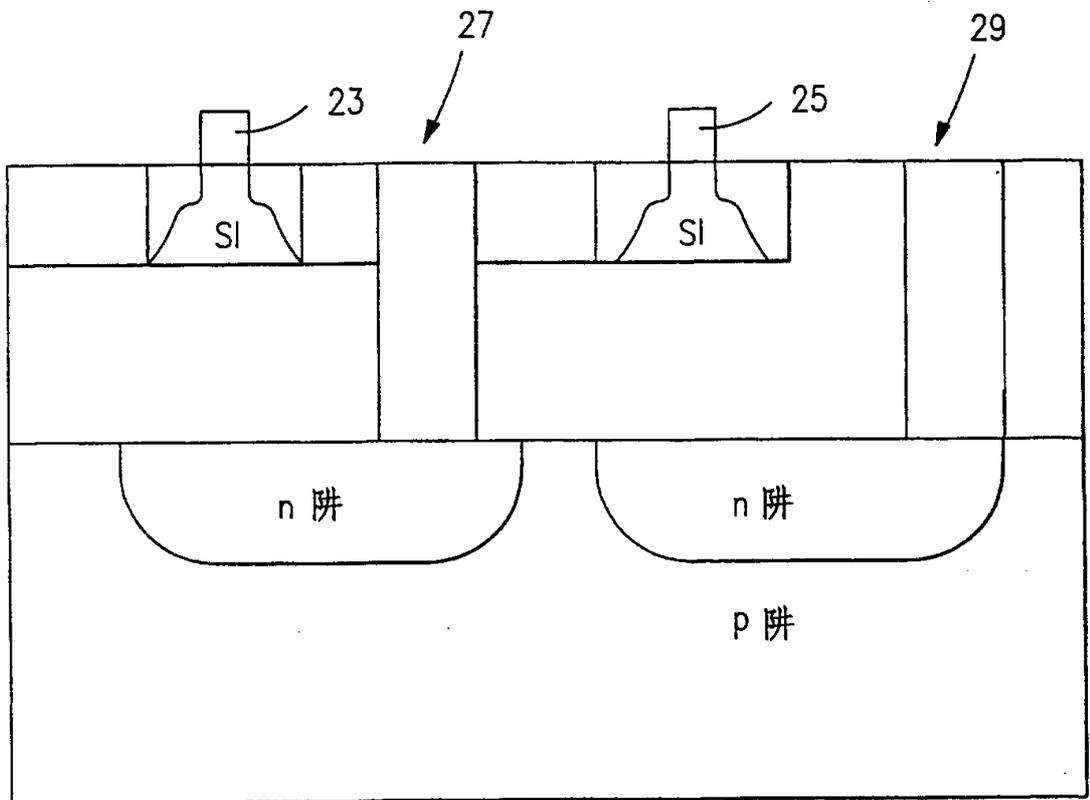


图13