

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-103679

(P2009-103679A)

(43) 公開日 平成21年5月14日(2009.5.14)

(51) Int.Cl. F I テーマコード (参考)  
 GO 1 R 31/28 (2006.01) GO 1 R 31/28 H 2 G 1 3 2

審査請求 有 請求項の数 15 O L (全 8 頁)

<p>(21) 出願番号 特願2008-119130 (P2008-119130)                  (22) 出願日 平成20年4月30日 (2008. 4. 30)                  (31) 優先権主張番号 096139498                  (32) 優先日 平成19年10月22日 (2007.10.22)                  (33) 優先権主張国 台湾 (TW)</p>	<p>(71) 出願人 502396270                  南亞科技股▲ふん▼有限公司                  台湾桃園縣龜山鄉華亞科技園區復興三路6                  69號                  (74) 代理人 100070150                  弁理士 伊東 忠彦                  (74) 代理人 100091214                  弁理士 大貫 進介                  (74) 代理人 100107766                  弁理士 伊東 忠重                  (72) 発明者 吳 順科                  台湾桃園市雙峰路164號5樓之3                  Fターム(参考) 2G132 AA00 AB01 AE08 AE11 AE14                  AF02 AG01 AH04 AL00 AL11</p>
--	---

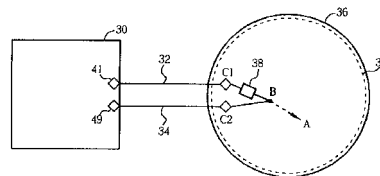
(54) 【発明の名称】 集積回路の信号減衰を減少する試験システム及び関連方法

(57) 【要約】

【課題】 IC試験時の信号減衰を減少する試験システムを提供する。

【解決手段】 試験システムは、プローブカードと、第一信号線を介してプローブカードに結合され、試験信号を出力するドライバーと、第二信号線を介してプローブカードに結合され、試験信号を読み取るレシーバーと、プローブカードと第一信号線の間で結合され、ドライバーから第一信号線を通して対象物に試験信号を出力するときにオンにされ、レシーバーで試験信号を読み取るときにオフにされる第一スイッチを含む。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

集積回路の試験信号減衰を減少する試験システムであって、  
試験媒体と、  
第一信号線を介し前記試験媒体と結合され試験信号を出力するドライバー及び第二信号線を介し前記試験媒体と結合され前記試験信号を読み取るレシーバーを有する試験装置と

、  
前記試験媒体と前記第一信号線の間に結合され、前記ドライバーが前記試験信号を出力するときにオンにされ、前記レシーバーが前記試験信号を読み取るときにオフにされる第一スイッチとを含む試験システム。

10

## 【請求項 2】

前記試験媒体と前記第二信号線の間に結合され、前記ドライバーが前記試験信号を出力するときにオフにされ、前記レシーバーが前記試験信号を読み取るときにオンにされる第二スイッチ、を更に含む請求項 1 記載の試験システム。

## 【請求項 3】

前記ドライバーの出力端は端子電圧に結合され、前記レシーバーの入力端は前記端子電圧に結合される、請求項 1 記載の試験システム。

## 【請求項 4】

前記試験媒体は、第一接続点、第二接続点、及びはんだパッドを含み、前記第一信号線は前記第一接続点に結合され、前記第二信号線は前記第二接続点に結合され、前記第一接続点と前記第二接続点は前記はんだパッドに結合され、前記第一スイッチは前記第一接続点と前記はんだパッドの間に結合される、請求項 1 記載の試験システム。

20

## 【請求項 5】

前記試験媒体はプローブカードである、請求項 1 記載の試験システム。

## 【請求項 6】

集積回路の試験信号減衰を減少する方法であって、  
第一電流経路を通して試験信号を試験対象物に送信する段階と、  
前記第一電流経路を閉鎖する段階と、  
前記第一電流経路と独立の第二電流経路を通して前記試験対象物からの前記試験信号に  
応答して信号を送信する段階と、を含む方法。

30

## 【請求項 7】

前記第一電流経路を閉鎖する段階では、前記第二電流経路を通して前記試験対象物からの前記試験信号を送信する前に、前記第一電流経路を閉鎖する、請求項 6 記載の方法。

## 【請求項 8】

前記第一電流経路を閉鎖する段階は、前記第一電流経路を閉鎖する段階、及び前記第二電流経路を導通する段階を含む、請求項 7 記載の方法。

## 【請求項 9】

前記第一電流経路を通して前記試験対象物に前記試験信号を送信する前に、前記第二電流経路を閉鎖する段階、を更に含む請求項 6 記載の方法。

## 【請求項 10】

前記第二電流経路を閉鎖する段階は、前記第二電流経路を閉鎖する段階、及び前記第一電流経路を導通する段階を含む、請求項 9 記載の方法。

40

## 【請求項 11】

集積回路の試験信号減衰を減少する方法であって、  
プローブカードを試験対象物と電氣的に接続する段階と、  
第一電流経路を通してドライバーからの試験信号を前記試験対象物に出力する段階と、  
第一スイッチで前記第一電流経路を閉鎖する段階と、  
レシーバーで第二電流経路を通して前記試験対象物からの前記試験信号に応答して信号を読み取る段階と、を含む方法。

## 【請求項 12】

50

前記第一電流経路を閉鎖する段階では、前記レシーバーが前記第二電流経路を通して前記試験信号を読み取る前に、前記第一スイッチで前記第一電流経路を閉鎖する、請求項 1 記載の方法。

【請求項 1 3】

前記第一スイッチをオフにした場合に、前記第二スイッチで前記第二電流経路を導通する段階と、

前記第一スイッチをオンにした場合に、前記第二スイッチで前記第二電流経路を閉鎖する段階と、を更に含む請求項 1 1 記載の方法。

【請求項 1 4】

請求項 1 1 記載の方法を実行する試験システムであって、

試験対象物と電氣的に接続されるプローブカードと、

第一信号線を介して前記プローブカードに結合されるドライバーと、

第二信号線を介して前記プローブカードに結合されるレシーバーと、

前記プローブカードと前記第一信号線の間結合される第一スイッチと、を含む試験システム。

10

【請求項 1 5】

前記プローブカードと前記第二信号線の間結合される第二スイッチ、を更に含む請求項 1 4 記載の試験システム。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は試験システムに関し、特に集積回路 (IC) の信号減衰を減少する試験システムに関する。

【背景技術】

【0002】

半導体素子や IC の製作工程には試験が必要である。現在の IC は高速信号処理機能をサポートするため、高速試験が必要である。IC の高速試験を実行するとき、伝送線とインターフェイスの間には信号遅延と減衰が生じやすいので、試験システムではドライバーとレシーバーの信号を分けることが必要である。このことはフライバイと呼ばれる。

【0003】

30

図 1 を参照する。図 1 は従来試験システムを表す説明図である。試験システムには試験装置 10 と、第一信号線 12 と、第二信号線 14 と、試験媒体としてのプローブカード 16 と、試験対象物 (DUT) 19 が含まれる。そのうち試験装置 10 はドライバー 21 とレシーバー 29 を含み、ドライバー 21 は第一信号線 12 を介してプローブカード 16 の第一接続点 C1 に結合され、レシーバー 29 は第二信号線 14 を介してプローブカード 16 の第二接続点 C2 に結合される。第一接続点 C1 と第二接続点 C2 は同じはんだパッド B に結合され、はんだパッド B は対応したニードルを介して試験対象物 19 のボンディングパッド A に電氣的に接続される。ドライバー 21 から試験信号を発信すると、試験信号は第一接続点 C1 からはんだパッド B に転送され、更に対応したニードルからボンディングパッド A を通して試験対象物 19 に送信される。その後、試験対象物 19 から試験信号を返送するとき、試験信号はボンディングパッド A、はんだパッド B、及び第二接続点 C2 を通してレシーバー 29 に送信される。試験信号は試験対象物 19 からレシーバー 29 に移動する過程において、はんだパッド B のところで第一信号線 12 のインピーダンスの影響を受けるので、はんだパッド B とボンディングパッド A との間で大幅に減衰する。

40

【0004】

図 2 を参照する。図 2 は図 1 に示す試験システムの回路図である。図に示すドライバー 21、第一インピーダンス 22、第一抵抗器 23、レシーバー 29、第二インピーダンス 28、及び第二抵抗器 27 は試験装置 10 の内部の等価回路である。試験装置 10 の出力電圧は  $V_{out}$  とする。第一抵抗器 23 と第二抵抗器 27 の一端は端子電圧  $V_{tt}$  に結合され、第三インピーダンス 24 と第四インピーダンス 26 は第一信号線 12 と第二信号線 14 の

50

等価インピーダンスであって、第五インピーダンス 25 はプローブカード 16 のニードルの等価インピーダンスである。第一インピーダンス 22、第二インピーダンス 28、第三インピーダンス 24、第四インピーダンス 26、及び第五インピーダンス 25 の値をすべて 50 とし、第一抵抗器 23 と第二抵抗器 27 の値を 50 とすれば、試験対象物 19 から試験信号を返送するとき、第一信号線 12 のインピーダンスと第二信号線 14 のインピーダンスは並列接続と考えられるので、はんだパッド B の電圧値は、

【 0 0 0 5 】

【 数 1 】

$$Vb = (Vout - Vtt) \times \frac{(25+25)}{(25+25+50)} = (Vout - Vtt) \times 0.5$$

10

となる。言い換えれば、はんだパッド B を通過した電圧は 50 % 以上減衰する。

【 0 0 0 6 】

以上のとおり、試験システムで高速試験を実行するときは、ドライバーとレシーバーの信号を分けて、第一信号線で試験信号を対象物に送信し、第二信号線で対象物から返送された信号を伝送することが必要である。しかし、返送された試験信号は第一信号線のイン

20

ピーダンスの影響を受けて大幅に減衰するため、それで試験結果を判断すれば誤判の可能性が高い。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明は上記従来の問題を解決するため、IC の信号減衰を減少する試験システムを提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明は集積回路の信号減衰を減少する試験システムを提供する。該試験システムは、プローブカードと、第一信号線を介してプローブカードに結合され、試験信号を出力するドライバーと、第二信号線を介してプローブカードに結合され、試験信号を読み取るレシーバーと、プローブカードと第一信号線の間

30

に結合され、ドライバーから第一信号線を通して対象物に試験信号を出力するときにオンにされ、レシーバーで試験信号を読み取る

ときにオフにされる第一スイッチとを含む。

【 0 0 0 9 】

本発明は更に、集積回路試験時の信号減衰を減少する方法を提供する。該方法は、第一電流経路を通して試験信号を試験対象物に出力する段階と、第一電流経路を閉鎖する段階と、第二電流経路を通して試験対象物からの試験信号を読み取る段階とを含む。

【 0 0 1 0 】

本発明は更に、集積回路試験時の信号減衰を減少する方法を提供する。該方法は、プローブカードを試験対象物と電氣的に接続する段階と、ドライバーで第一電流経路を通して試験信号を試験対象物に出力する段階と、第一スイッチで第一電流経路を閉鎖する段階と、レシーバーで第二電流経路を通して試験対象物からの試験信号を読み取る段階とを含む。

40

【 0 0 1 1 】

本発明は更に、上記方法を実行する試験システムを提供する。該試験システムは、試験対象物と電氣的に接続されるプローブカードと、第一信号線を介してプローブカードに結合されるドライバーと、第二信号線を介してプローブカードに結合されるレシーバーと、プローブカードと第一信号線の間

50

に結合される第一スイッチとを含む。

## 【発明の効果】

## 【0012】

試験システムで高速試験を実行するとき、第一信号線で試験信号を対象物に送信し、第二信号線で対象物から返送された試験信号を伝送する過程では、返送された試験信号が第一信号線のインピーダンスの影響を受けて大幅に減衰する。したがって、本発明は試験システムに、試験対象物と電氣的に接続されるプローブカードと、第一信号線を介してプローブカードに結合されたドライバーと、第二信号線を介してプローブカードに結合されたレシーバーと、プローブカードと第一信号線の間で結合される第一スイッチとを設け、ドライバーから第一信号線を通して対象物に試験信号を出力した場合に第一スイッチをオフにし、レシーバーで第二信号線を通して試験信号を読み取ることで、返送された試験信号に対する第一信号線のインピーダンスの影響を抑え、信号の減衰を抑制する。

10

## 【発明を実施するための最良の形態】

## 【0013】

かかる装置及び方法の特徴を詳述するために、具体的な実施例を挙げ、図を参照して以下に説明する。

## 【実施例1】

## 【0014】

図3を参照する。図3は本発明による試験システムを表す説明図である。試験システムには試験装置30と、第一信号線32と、第二信号線34と、プローブカード36と、第一スイッチ38と、試験対象物39が含まれる。そのうち試験装置30はドライバー41とレシーバー49を含み、ドライバー41は第一信号線32を介してプローブカード36の第一接続点C1に結合され、レシーバー49は第二信号線34を介してプローブカード36の第二接続点C2に結合される。第一接続点C1と第二接続点C2は同じはんだパッドBに結合され、はんだパッドBは対応したニードルを介して試験対象物39のボンディングパッドAに電氣的に接続される。第一スイッチ38はドライバー41と試験対象物39の間の電流経路に結合される。本実施例では第一スイッチ38を接続点C1とはんだパッドBの間に結合するが、第一信号線32と接続点C1の間に接続することも可能である。ドライバー41から試験信号を出力するとき、第一スイッチ38はオンにされ、試験信号は第一接続点C1からはんだパッドBに転送され、更に対応したニードルからボンディングパッドAを通して試験対象物39に送信される。その後、試験対象物39から試験信号を返送するとき、試験信号はボンディングパッドA、はんだパッドB、及び第二接続点C2を通してレシーバー49に送信される。試験信号は試験対象物39からレシーバー49に移動する過程で、はんだパッドBのところでは第一信号線32のインピーダンスの影響を受けるので、はんだパッドBとボンディングパッドAとの間で大幅に減衰する。したがって、本実施例では、レシーバー49で試験信号を読み取る時に第一スイッチ38をオフにし、ドライバー41と試験対象物39の間の電流経路を開回路にする。そうすると、試験信号は第一信号線32のインピーダンスの影響を受けず、信号の減衰は抑制できる。

20

30

## 【0015】

図4を参照する。図4は図3に示す試験システムの回路図である。図に示すドライバー41、第一インピーダンス42、第一抵抗器43、レシーバー49、第二インピーダンス48、及び第二抵抗器47は試験装置30の内部の等価回路である。試験装置30の出力電圧は $V_{out}$ とする。第一抵抗器43と第二抵抗器47の一端は端子電圧 $V_{tt}$ に結合され、第三インピーダンス44と第四インピーダンス46は第一信号線32と第二信号線34の等価インピーダンスであって、第五インピーダンス45はプローブカード36のニードルの等価インピーダンスである。第一インピーダンス42、第二インピーダンス48、第三インピーダンス44、第四インピーダンス46、及び第五インピーダンス45の値をすべて50とし、第一抵抗器43と第二抵抗器47の値を50とすれば、第一スイッチ38のオン/オフ時、はんだパッドBでの信号減衰は以下のとおりである。

40

## 【0016】

第一スイッチ38をオンにした場合、はんだパッドBにとって第一信号線32のインピ

50

ードンスと第二信号線 3 4 のインピーダンスは並列接続と考えられるので、はんだパッド B の電圧値は、

【 0 0 1 7 】

【 数 2 】

$$Vb = (Vout - Vtt) \times \frac{(25 + 25)}{(25 + 25 + 50)} = (Vout - Vtt) \times 0.5 \quad (\text{式 1})$$

10

となる。

【 0 0 1 8 】

第一スイッチ 3 8 をオフにした場合、第一信号線は開回路となるため、はんだパッド B の電圧値は、

【 0 0 1 9 】

【 数 3 】

$$Vb = (Vout - Vtt) \times \frac{(50 + 50)}{(50 + 50 + 50)} = (Vout - Vtt) \times 0.75 \quad (\text{式 2})$$

20

となる。

【 0 0 2 0 】

上記式 1 と式 2 を比較すれば、第一スイッチ 3 8 をオフにした場合、はんだパッド B の電圧値は 2 5 % 上がる（すなわち信号減衰が 2 5 % 減少する）。したがって、ドライバー 4 1 から試験信号を出力するときに第一スイッチ 3 8 をオンにし、レシーバー 4 9 で試験信号を読み取るときに第一スイッチ 3 8 をオフにすれば、試験信号の減衰を抑制することができる。

30

【 実施例 2 】

【 0 0 2 1 】

図 5 を参照する。図 5 は本発明の実施例 2 の回路図である。実施例 2 の試験システムには第二スイッチ 4 0 が設けられている。第一スイッチ 3 8 はドライバー 4 1 とはんだパッド B の間の第一電流経路に結合され、第二スイッチ 4 0 はレシーバー 4 9 とはんだパッド B の間の第二電流経路に結合される。第二スイッチ 4 0 と第一スイッチ 3 8 は相補的に動作する。というのは、第一スイッチ 3 8 をオンにした場合は第二スイッチ 4 0 をオフにし、第一スイッチ 3 8 をオフにした場合は第二スイッチ 4 0 をオンにすることである。したがって、ドライバー 4 1 から試験信号を出力するとき、第一スイッチ 3 8 をオンにして第二スイッチ 4 0 をオフにし、試験信号は第一電流経路を通してはんだパッド B に送信される。レシーバー 4 9 で試験信号を読み取るとき、第二スイッチ 4 0 をオンにして第一スイッチ 3 8 をオフにし、試験信号ははんだパッド B から第二電流経路を通してレシーバー 4 9 に送信される。試験システムで高速試験を実行するとき、第一電流経路で試験信号を送信し、第二電流経路で試験信号を受信する。従来の技術では、レシーバー 4 9 で試験信号を読み取るとき、試験信号は第一電流経路のインピーダンスの影響を受けて減衰する。それと比べて、本実施例では第一スイッチ 3 8 と第二スイッチ 4 0 を交替で動作させ、第一電流経路を導通した場合に第二電流経路を閉鎖し、第二電流経路を導通した場合に第一電流経路を閉鎖することで、電流経路間の相互干渉を抑え、信号の減衰を防止する。なお、

40

50

試験システムでは高速試験が実行されるため、第一スイッチ 38 と第二スイッチ 40 はいずれも RF（無線周波数）スイッチである。

【0022】

以上は本発明に好ましい実施例であって、本発明の実施の範囲を限定するものではない。よって、当業者のなし得る修正、もしくは変更であって、本発明の精神の下においてなされ、本発明に対して均等の効果を有するものは、いずれも本発明の特許請求の範囲に属するものとする。

【産業上の利用可能性】

【0023】

本発明は集積回路の試験システムに実施可能である。

10

【図面の簡単な説明】

【0024】

【図1】従来の試験システムを表す説明図である。

【図2】図1に示す試験システムの回路図である。

【図3】本発明による試験システムを表す説明図である。

【図4】図3に示す試験システムの回路図である。

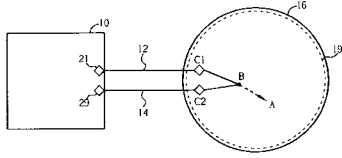
【図5】本発明の実施例2の回路図である。

【符号の説明】

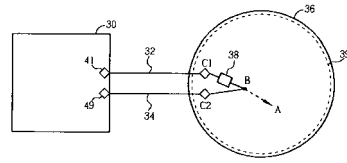
【0025】

10、30	試験装置	20
12、32	第一信号線	
14、34	第二信号線	
16、36	プローブカード	
19、39	試験対象物	
21、41	ドライバー	
22、42	第一インピーダンス。	
23、43	第一抵抗器	
24、44	第三インピーダンス	
25、45	第五インピーダンス	
26、46	第四インピーダンス	30
27、47	第二抵抗器	
28、48	第二インピーダンス	
29、49	レシーバー	

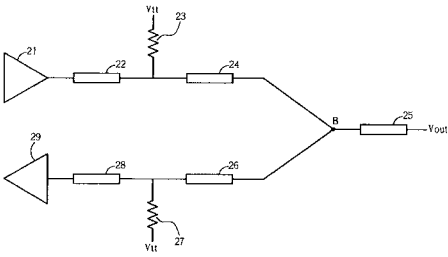
【 図 1 】



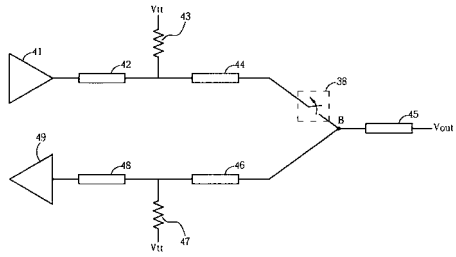
【 図 3 】



【 図 2 】



【 図 4 】



【 図 5 】

