

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年1月26日(26.01.2017)



(10) 国際公開番号

WO 2017/013838 A1

- (51) 国際特許分類:
H01L 35/32 (2006.01) H01L 35/30 (2006.01)
H01L 35/14 (2006.01) H01L 35/34 (2006.01)
H01L 35/22 (2006.01)
- (21) 国際出願番号: PCT/JP2016/003103
- (22) 国際出願日: 2016年6月28日(28.06.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-145621 2015年7月23日(23.07.2015) JP
- (71) 出願人: マツダ株式会社(MAZDA MOTOR CORPORATION) [JP/JP]; 〒7308670 広島県安芸郡府中町新地3番1号 Hiroshima (JP).
- (72) 発明者: 黒木 伸一郎(KUROKI, Shinichiro); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学 ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP). 古林 寛(FURUBAYASHI, Yutaka); 〒7398527 広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学 ナノデバイス・バイオ融合科学研究所内 Hiroshima (JP). 種平 貴文(TANEHIRA, Takafumi); 〒7308670 広島県安芸郡府中町新地3番1号 マツダ株式

会社内 Hiroshima (JP). 瀬尾 宣英(SEO, Nobuhide); 〒7308670 広島県安芸郡府中町新地3番1号 マツダ株式会社内 Hiroshima (JP). 米盛 敬(YONEMORI, Kei); 〒7308670 広島県安芸郡府中町新地3番1号 マツダ株式会社内 Hiroshima (JP).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

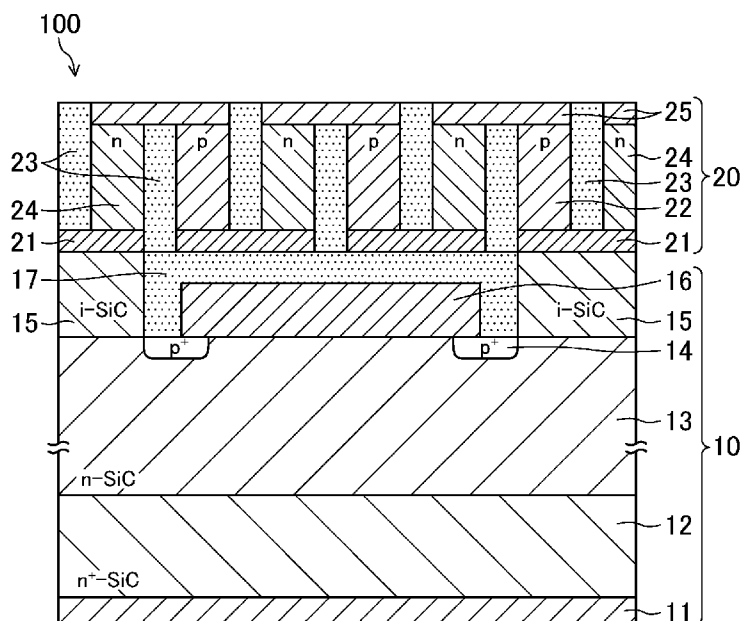
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー

[続葉有]

(54) Title: HEAT ABSORBING ELEMENT, SEMICONDUCTOR DEVICE PROVIDED WITH SAME, AND METHOD FOR MANUFACTURING HEAT ABSORBING ELEMENT

(54) 発明の名称: 吸熱素子及びそれを備えた半導体装置並びに吸熱素子の製造方法



(57) Abstract: A thin-film-like Peltier heat absorbing element section 20 is thermally connected to the front surface of a semiconductor element main body section 10 via a heat conductive layer 15, i.e., an electric insulator. A substance constituting the heat absorbing element 20 has, in bulk, a heat conductivity equal to or higher than 50 W/mK, and a Seebeck coefficient equal to or higher than 300 μV/K.

(57) 要約: 半導体素子本体部10の表面と電気絶縁体である熱伝導層15を介して熱的に接続されたペルチェ型で薄膜状の吸熱素子部20は、該吸熱素子部20を構成する物質における、バルクでの熱伝導率は50 W/mK以上であり、ゼーベック係数は300 μV/K以上である。

WO 2017/013838 A1



ロツパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

吸熱素子及びそれを備えた半導体装置並びに吸熱素子の製造方法

技術分野

[0001] 本発明は、吸熱素子及びそれを備えた半導体装置並びに吸熱素子の製造方法に関する。

背景技術

[0002] 近年、パワー半導体装置からその外部への放熱性を高めるために、ペルチェ素子等の冷却素子を備えたパワー半導体装置が知られている。

[0003] 従来のパワー半導体装置には、パワー半導体素子の発熱部とペルチェ素子とを近接してモジュール化した構成が知られている（例えば、特許文献1を参照。）。また、パワー半導体素子の発熱部に、具体的には、トレンチゲート電極同士の間の領域に、放熱用埋め込み金属を配置し、該放熱用埋め込み金属の上にペルチェ素子を設ける構成が知られている（例えば、特許文献2を参照。）。

先行技術文献

特許文献

[0004] 特許文献1：特開2008-235834号公報

特許文献2：特開2007-227615号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記の従来技術は、いずれも、パワー半導体素子の発熱部とペルチェ素子とを近接させてはいるものの、両者の接触部での熱抵抗が大きく、パワー半導体素子の発熱後、瞬時に冷却することができない。このため、現状では、パワー半導体素子に対する最大負荷時の発熱量に備えて、冗長で且つ高コストの熱設計をせざるを得ないという問題がある。

[0006] また、半導体素子上に形成される薄膜状のペルチェ素子の製造方法が確立

されていないという問題も存在する。

[0007] 本発明は、斯かる点に鑑みてなされたものであり、その課題とするところは、半導体素子の上に形成される薄膜状の吸熱素子において、半導体素子と吸熱素子との間の熱抵抗を低減できるようにすると共に、その製造方法確立することにある。

課題を解決するための手段

[0008] 上記の課題を解決するため、本発明は、半導体素子に形成するペルチェ型の吸熱素子を薄膜状に形成することを特徴とする。

[0009] 具体的には、本発明は、吸熱素子及びそれを備えた半導体装置並びに吸熱素子の製造方法を対象とし、次のような解決手段を講じた。

[0010] すなわち、第1の発明は、半導体素子の表面と電気絶縁体を介して熱的に接続された、ペルチェ型で薄膜状の吸熱素子を対象とし、吸熱素子を構成する物質における、バルクでの熱伝導率は 50 W/mK 以上であり、ゼーベック係数は $300\text{ }\mu\text{V/K}$ 以上である。

[0011] これによれば、半導体素子と吸熱素子との間の熱抵抗を低減でき、半導体素子の放熱性を向上することができる。

[0012] 第2の発明は、上記第1の発明において、上記の物質は、シリコン(Si)、炭化シリコン(SiC)、窒化ガリウム(GaN)、窒化アルミニウム(AlN)、窒化ボロン(BN)及びダイヤモンド(C)のうちのいずれか1つである。

[0013] これによれば、高効率な吸熱素子を確実に形成することができる。

[0014] 第3の発明は、上記第1の発明において、上記の物質はシリコンである。

[0015] これによれば、半導体製造プロセスと馴染みやすいため好ましい。

[0016] 第4の発明は、上記第1～第3の発明において、上記の物質は、p型又はn型の半導体層を構成し、p型半導体層及びn型半導体層は、半導体素子及び電気絶縁体に対して並行に配列されている。

[0017] これによれば、薄膜状の吸熱素子としてのペルチェ素子を確実に形成できると共に、半導体素子及び電気絶縁体との接触面積を大きくすることができ

、吸熱効果（放熱効果）の効率が向上する。

[0018] 第5の発明は、上記第1～第4の発明において、半導体素子の排熱側に直接に形成されて、熱的に連結されている。

[0019] これによれば、吸熱素子の吸熱効率が向上して半導体素子の放熱効果が良好となる。

[0020] 第6の発明は、上記第1～第5の発明において、半導体素子における発熱源の面積の10%以上の領域を被覆している。

[0021] このように、発熱源の面積の10%以上を被覆していれば、半導体素子の放熱効果を向上することができる。

[0022] 第7の発明は、請求項1～6の発明に係る吸熱素子を備える半導体装置である。

[0023] これによれば、本発明の半導体装置は、本発明の吸熱素子を備えているため、半導体素子の放熱性を向上することができる。

[0024] 第8の発明は、上記第7の発明において、半導体素子はパワー半導体素子である。

[0025] これによれば、動作中に高温になるパワー半導体素子の放熱性を向上することができる。

[0026] 第9の発明は、上記第7の発明において、半導体素子は、炭化シリコンを材料とするSiC系パワー半導体素子である。

[0027] これによれば、高耐圧、低オン抵抗及び高速動作可能なSiC系パワー半導体素子における放熱性を向上することができる。

[0028] 第10の発明は、半導体素子の表面と電気絶縁体を介して熱的に接続された、ペルチェ型で薄膜状の吸熱素子の製造方法を対象とし、吸熱素子を形成する工程は、半導体素子の上に、電気絶縁体を介して、下部金属膜、第1導電型半導体層及び第1金属犠牲膜を順次形成する工程と、第1金属犠牲膜から第1導電型半導体層をパターンニングする第1金属マスク膜を形成し、形成した第1金属マスク膜を用いて、第1導電型半導体層をパターンニングすることにより、第1導電型半導体層から複数の第1導電型半導体ブロックを形成

する工程と、第1導電型半導体ブロックを含む下部金属膜の上に、第2導電型半導体層及び第2金属犠牲膜を順次形成する工程と、第2金属犠牲膜から第2導電型半導体層をパターニングする第2金属マスク膜を形成し、形成した第2金属マスク膜を用いて、第2導電型半導体層をパターニングすることにより、第2導電型半導体層から複数の第2導電型半導体ブロックを形成する工程と、リソグラフィ法により、下部金属膜における半導体素子の電極形成領域に対して選択的にエッチングすることにより、半導体素子を露出する工程と、リソグラフィ法により、下部金属膜における第1導電型半導体ブロック及び第2導電型半導体ブロックの間を選択的にエッチングすることにより、下部金属膜から、複数の下部電極を形成する工程と、各半導体ブロックの間及び下部電極の間に絶縁膜を選択的に形成した後、各半導体素子ブロックの上及び半導体素子の露出部分の上に、上部金属膜を形成する工程と、リソグラフィ法により、上部金属膜に対して選択的にエッチングを行うことにより、上部金属膜から、上部電極と半導体素子の電極とを形成する工程とを含む。

[0029] これによれば、吸熱素子が、半導体素子の上に電気絶縁体を介して形成された、吸熱素子の下部電極となる下部金属膜、第1導電型半導体層、第2導電型半導体層、並びに吸熱素子の下部電極及び半導体素子の電極となる上部金属膜をエッチングすることによって形成することができる。

[0030] 第11の発明は、第10の発明において、第1導電型半導体層及び第2導電型半導体層は、シリコン（Si）、炭化シリコン（SiC）、窒化ガリウム（GaN）、窒化アルミニウム（AlN）、窒化ボロン（BN）及びダイヤモンド（C）のうちのいずれか1つである。

[0031] これによれば、高効率な吸熱素子を確実に形成することができる。

[0032] 第12の発明は、第10又は第11の発明において、下部金属膜、第1金属犠牲膜、第2金属犠牲膜及び上部金属膜はニッケルからなり、下部金属膜、第1金属犠牲膜、第2金属犠牲膜及び上部金属膜の少なくとも1つに対するパターニングには、濃塩酸、濃過酸化水素水及び純水の混合物（塩酸過水

) をエッチャントとするウェットエッチングを用いる。

[0033] これによれば、レジストを劣化させることなく、ニッケル膜をエッチングすることができる。

[0034] 第 13 の発明は、第 10～第 12 の発明において、第 1 金属犠牲膜及び第 2 金属犠牲膜はニッケルからなり、第 1 導電型半導体層及び第 2 導電型半導体層はシリコンからなり、第 1 導電型半導体ブロック及び第 2 導電型半導体ブロックを形成する工程は、塩素と臭化水素とを用いるドライエッチングである。

[0035] これによれば、シリコンからなる第 1 導電型半導体層及び第 2 導電型半導体層から第 1 導電型半導体ブロック及び第 2 導電型半導体ブロックを形成するエッチングを行う際に、ニッケルからなる第 1 金属マスク膜となる第 1 金属犠牲膜及び第 2 金属マスク膜となる第 2 金属犠牲膜をハードマスクとして用いることができる。

[0036] 第 14 の発明は、第 10～第 13 の発明において、半導体素子はパワー半導体素子である。

[0037] これによれば、動作中に高温になるパワー半導体素子の放熱性を向上することができる。

[0038] 第 15 の発明は、第 10～第 13 の発明において、半導体素子は、炭化シリコンを材料とする SiC 系パワー半導体素子である。

[0039] これによれば、高耐圧、低オン抵抗及び高速動作可能な SiC 系パワー半導体素子における放熱性を向上することができる。

発明の効果

[0040] 本発明によれば、半導体素子と吸熱素子との間の熱抵抗を大幅に低減することができると共に、半導体素子の表面に形成する薄膜状の吸熱素子を確実に形成することができる。

図面の簡単な説明

[0041] [図1]図 1 は本発明の第 1 の実施形態に係る半導体装置の要部を示す断面図である。

[図2]図2は本発明の第1の実施形態の第1変形例に係る半導体装置の要部を示す断面図である。

[図3]図3は本発明の第1の実施形態の第2変形例に係る半導体装置の要部を示す断面図である。

[図4]図4は本発明の第2の実施形態に係る半導体装置の要部を示す断面図である。

[図5]図5は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図6]図6は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図7]図7は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図8]図8は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図9]図9は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図10]図10は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図11]図11は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図12]図12は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図13]図13は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図14]図14は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図15]図15は本発明の第3の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図16]図 1 6 は本発明の第 3 の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図17]図 1 7 は本発明の第 3 の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図18]図 1 8 は本発明の第 3 の実施形態に係る半導体装置の製造方法の要部を示す一工程の断面図である。

[図19]図 1 9 は本発明の一実施例に係る吸熱素子の一例を示す模式図である。

[図20]図 2 0 は一実施例に係るペルチェ素子にゼーベック係数及び熱伝導率の下限値を設定した場合の総熱移動量と、従来のビスマステルルを用いたペルチェ素子の総熱移動量との駆動電流依存性を比較したグラフである。

[図21]図 2 1 は一実施例に係るペルチェ素子に使用可能な材料ごとの総熱移動量の駆動電流依存性を示すグラフである。

発明を実施するための形態

[0042] 以下、本発明の実施形態を図面に基づいて詳細に説明する。以下の好ましい実施形態の説明は、本質的に例示に過ぎず、本発明、その適用物又はその用途を制限することを意図しない。

[0043] (第 1 の実施形態)

図 1 は本発明の第 1 の実施形態に係る半導体装置の要部の断面構成を示している。

[0044] 図 1 に示すように、本実施形態に係る半導体装置 1 0 0 は、半導体素子本体部 1 0 と、該半導体素子本体部 1 0 の上に一体に形成された吸熱素子部 2 0 とから構成される。

[0045] 半導体素子本体部 1 0 は、ショットキーバリアダイオード（以下、S B D とし略称する。）であり、該ダイオードを構成する半導体には、例えば、炭化シリコン（S i C）を用いることができる。ここでは、半導体素子本体部 1 0 は、例えば、 n^+ 型 S i C からなるバルク層（コンタクト層）1 2 と、該バルク層 1 2 の上にエピタキシャル成長した n 型 S i C からなり、耐圧を規

制するドリフト層 13 と、該ドリフト層 13 の上にエピタキシャル成長した i 型 SiC からなる絶縁性の熱伝導層 15 と、バルク層 12 におけるドリフト層 13 と反対側の面（裏面）上に形成されたアノード電極 11 と、ドリフト層 13 におけるバルク層 12 と反対側の面（表面）上で、且つ、熱伝導層 15 から部分的に露出された領域（電極形成領域）の上に選択的に形成された複数のカソード電極 16 とから構成される。図 1 においては、便宜上、複数のカソード電極 16 のうちの 1 つを図示しているが、同一形状の複数のカソード電極 16 が横方向に（2 次元的に）所定の間隔をおいて配置されている。ここでは、アノード電極 11 として、例えば、ニッケルシリサイド（NiSi_x）を用い、カソード電極 16 として、ニッケル（Ni）を用いている。また、ドリフト層 13 の上部におけるカソード電極 16 と対向する周縁部には、該 SBD の耐圧を向上させるための p⁺領域 14 が形成されている。なお、該 p⁺領域 14 は、当該 SBD に必ずしも設ける必要はなく、半導体装置 100 の用途等に応じて適宜設ければよい。

[0046] アノード電極 11 の構成材料は、ニッケルシリサイドに限られず、n 型 SiC と良好なオーミック接触を得られる金属又は金属シリサイドであれば適用できる。また、カソード電極 16 の構成材料は、ニッケルに限られず、n 型 SiC と良好なショットキー接触を得られる金属であれば適用できる。

[0047] 一方、吸熱素子部 20 は、半導体素子本体部 10 の上に、それぞれ複数のドット（島）状に交互に配置された p 型シリコン層 22 及び n 型シリコン層 24 と、これらシリコン層 22、24 に交互に電流が流れるようにその下部に配置された下部電極 21 及びその上部に配置された上部電極 25 とから構成された薄膜状のペルチェ素子である。ここで、下部電極 21 及び上部電極 25 には、例えば、ニッケル（Ni）を用いることができる。p 型シリコン層 22 及び n 型シリコン層 24 との間、下部電極 21 同士の間並びに上部電極 25 同士の間には、例えば酸化シリコン（SiO₂）からなる絶縁膜 23 が充填されて形成されている。

[0048] 吸熱素子部 20 は、その下部電極 21 が、半導体素子本体部 10 の表面か

ら露出する i 型 SiC からなる絶縁性の熱伝導層 15 と直接に接続、すなわち熱的に連結されている。また、カソード電極 16 の上方の領域において、吸熱素子部 20 は、カソード電極 16 の周囲に充填された、例えば酸化シリコン (SiO_2) からなる絶縁膜 17 と接続されている。このように、p 型シリコン層 22 及び n 型シリコン層 24 は、半導体素子本体部 10 の熱伝導層 15 と絶縁膜 17 とに対して並行に配列されている。

[0049] なお、吸熱素子部 20 を構成する半導体として、シリコン (Si) を用いたが、これに限られず、該シリコン (Si) と同様に、バルクでの熱伝導率が 50 W/mK 以上であり、ゼーベック係数が $300 \mu\text{V/K}$ 以上である半導体材料を用いることができる。そのような半導体材料には、例えば、炭化シリコン (SiC)、窒化ガリウム (GaN)、窒化アルミニウム (AlN)、窒化ボロン (BN) 又はダイヤモンド (C) 等がある。これらを用いると、高効率のペルチェ素子を作製することができる。

[0050] また、下部電極 21 及び上部電極 25 には、ニッケル (Ni) を用いたが、これに限られず、チタン (Ti)、アルミニウム (Al)、錫 (Sn)、モリブデン (Mo)、銅 (Cu) 又は金 (Au) を用いることができる。

[0051] 本実施形態においては、下部電極 21 は、例えば厚さが 450 nm の Ni 膜とし、p 型シリコン層 22 及び n 型シリコン層 24 は、例えば厚さを $1.2 \mu\text{m}$ とし、上部電極 25 は、例えば厚さが 200 nm の Ni 膜としている。このように、本実施形態に係る半導体装置 100 を構成する吸熱素子部 20 の本体の厚さは $1.85 \mu\text{m}$ であり、 $2 \mu\text{m}$ 以内に収まる。

[0052] また、吸熱素子部 20 は、半導体素子本体部 10 における発熱源の面積の 10% 以上の領域を被覆していれば、本発明の効果を確実に得ることができる。ここで、半導体素子本体部 10 の発熱源とは、主として、ドリフト層 13 における複数のカソード電極 16 とアノード電極 11 との対向部分を含む領域の平面視での領域の総和をいう。

[0053] 一効果一

以上より、本実施形態によれば、SBD として構成された半導体素子本体

部 10 の上に一体に形成される薄膜状のペルチェ型の吸熱素子部 20 において、該吸熱素子部 20 の下部電極 21 が、半導体素子本体部 10 のエピタキシャル成長部である絶縁性の熱伝導層 15 と直接に接続される。このため、半導体素子本体部 10 と吸熱素子部 20 との間の熱抵抗が大幅に低減される。

[0054] (第 1 の実施形態の第 1 変形例)

図 2 は本発明の第 1 の実施形態の第 1 変形例に係る半導体装置の要部の断面構成を示している。

[0055] 第 1 変形例に係る半導体装置 100A は、半導体素子本体部 10 が第 1 の実施形態と異なっているが、その他の点については、第 1 の実施形態と同様の構成である。そこで、以下の説明では、第 1 の実施形態の構成要素と同様の構成要素については、同一の符号を付している。

[0056] 図 2 に示すように、本変形例に係る半導体装置 100A に含まれる半導体素子本体部 10 は、ジャンクションバリアショットキーダイオード（以下、JBS ダイオードとも略称する。）である。半導体素子本体部 10 を構成する JBS ダイオードは、i 型 SiC からなる絶縁性の熱伝導層 15 に、互いに間隔をおいた複数の空隙部を設け、この空隙部に、例えばニッケル（Ni）を充填してなる複数のカソード電極 16a を有している。

[0057] また、ドリフト層 13 における分割された各熱伝導層 15 の下側部分には、それぞれ、p⁺領域 14a が形成されて、半導体素子本体部 10 の耐圧を向上させている。

[0058] なお、吸熱素子部 20 においては、第 1 の実施形態と同等の構成である。

[0059] 従って、第 1 の実施形態で説明した部材の厚さ等だけでなく、他の適用可能な材料は、本変形例においても適用できる。

[0060] (第 1 の実施形態の第 2 変形例)

図 3 は本発明の第 1 の実施形態の第 2 変形例に係る半導体装置の要部の断面構成を示している。

[0061] 第 2 変形例に係る半導体装置 100B は、半導体素子本体部 10 が第 1 変

形例と異なっているが、その他の点については、第1変形例と同様の構成である。そこで、図3においても、図2の構成要素と同様の構成要素については、同一の符号を付している。

[0062] 図3に示すように、本変形例に係る半導体装置100Bに含まれる半導体素子本体部10は、第1変形例に係るJBSダイオードから、耐圧向上のための p^+ 領域14aを省略している。従って、第2変形例に係るJBSダイオードは、ショットキーバリアダイオード(SBD)である。これは、ドリフト層13に、耐圧が高い n 型SiCを用いていることから、 p^+ 領域14aを省略した場合でも、SBDとして動作が可能となるからである。

[0063] また、本変形例においても、第1の実施形態で説明した部材の厚さ等に加え、他の適用可能な材料も適用できる。

[0064] (第2の実施形態)

図4は本発明の第2の実施形態に係る半導体装置の要部の断面構成を示している。

[0065] 図4に示すように、本実施形態に係る半導体装置100Cは、半導体素子本体部30と、該半導体素子本体部30の上に一体に形成された吸熱素子部20とから構成される。

[0066] 第2の実施形態に係る半導体装置100Cは、半導体素子本体部10が第1の実施形態と異なっているが、その他の点については、第1の実施形態と同様の構成である。そこで、以下の説明では、第1の実施形態の構成要素と同様の構成要素については、同一の符号を付している。

[0067] 図4に示すように、本実施形態に係る半導体装置100Cに含まれる半導体素子本体部30は、金属-酸化物-半導体電界効果トランジスタ(以下、MOSFETとも略称する。)である。半導体素子本体部30を構成するMOSFETは、 n^+ 型SiCからなるバルク層(コンタクト層)32と、該バルク層32の上にエピタキシャル成長した n 型SiCからなり、耐圧を規制するドリフト層33と、該ドリフト層33の上にエピタキシャル成長した i 型SiCからなる絶縁性の熱伝導層37とを有している。ここでは、 n^+ 型S

i Cの不純物濃度は、例えば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度としてもよく、n型SiCは、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度としてもよい。また、ドリフト層33の厚さは、 $10 \mu\text{m}$ 程度としてもよい。

[0068] ドリフト層33の表面上で、且つ、熱伝導層37から部分的に露出された領域（電極形成領域）の上には、ゲート絶縁膜38aを介したゲート電極39が選択的に形成されている。該ゲート電極39及びゲート絶縁膜38aは、絶縁膜38bにより覆われている。ここで、ゲート電極39には、例えば、多結晶シリコン（Poly-Si）でもよく、さらには、多結晶炭化シリコン（Poly-SiC）、アルミニウム（Al）又は銅（Cu）を用いてもよい。また、ゲート絶縁膜38aには、例えば、酸化シリコン（ SiO_2 ）でもよく、さらには、酸化アルミニウム（ Al_2O_3 ）、窒化アルミニウム（AlN）、窒化シリコン（ Si_3N_4 ）、窒化ボロン（BN）又はダイヤモンド（C）を用いてもよい。

[0069] さらに、ドリフト層33の上で、且つ熱伝導層37同士の間電極形成領域には、例えばニッケル（Ni）からなるソース電極40が絶縁膜38bを覆うように形成されている。

[0070] ドリフト層33の上部には、各熱伝導層37とこれと対向するゲート絶縁膜38aの端部との間に、それぞれp型のボディ層34が形成されている。さらに、各ボディ層34の上部には、ゲート絶縁膜38a側にn⁺型のソース層35がそれぞれ形成され、該ソース層35と隣接して熱伝導層37側に、耐圧向上のためのp⁺領域36がそれぞれ形成されている。各ソース層35は、その上に形成されているソース電極40とオーミック接触する。なお、バルク層32の裏面上には、例えばニッケル（Ni）からなるドレイン電極31が形成されている。これらボディ層34、ソース層35及びp⁺領域36は、それぞれ、公知のリソグラフィ法及びイオン注入法等によって形成することができる。ここで、ボディ層34のp型の不純物濃度は、例えば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度としてもよく、また、ソース層35のn型の不純物濃度は、例えば、 $1.0 \times 10^{20} \text{ cm}^{-3}$ 程度としてもよい。

[0071] MOSFETにおいては、ゲート電極39に所定の電圧が引加されて、p型のボディ層34におけるゲート絶縁膜38aとの境界部分に反転層であるn型のチャネル領域34aが形成される。その結果、動作電流は、ドレイン電極31、バルク層32、ドリフト層33、チャネル領域34a、ソース層35及びソース電極40の順に流れる。この電流経路においては、チャネル領域34aにおけるチャネル抵抗とドリフト層33におけるドリフト抵抗とが大きい。従って、該チャネル抵抗及び該ドリフト抵抗によるジュール熱が、半導体素子本体部30の全体の発熱量に占める割合が高い。

[0072] ここでも、第1の実施形態の半導体装置100と同様に、吸熱素子部20は、半導体素子本体部30における発熱源の面積の10%以上の領域を被覆していれば、本発明の効果を確実に得ることができる。半導体素子本体部30の発熱源とは、上記の説明から、主として、複数のチャネル領域34aとドリフト層33を含む領域の平面視での領域の総和をいう。

[0073] ー効果ー

以上より、本実施形態によれば、MOSFETとして構成された半導体素子本体部30の上に一体に形成される薄膜状のペルチェ型の吸熱素子部20において、該吸熱素子部20の下部電極21が、半導体素子本体部30のエピタキシャル成長部である絶縁性の熱伝導層37と直接に接続される。このため、半導体素子本体部30と吸熱素子部20との間の熱抵抗が大幅に低減される。

[0074] (第3の実施形態)

以下、本発明の第3の実施形態に係る半導体装置の製造方法の一例について図面を参照しながら説明する。図5～図18は第3の実施形態に係る半導体装置の要部の製造方法の工程順の断面構成を示している。

[0075] まず、図18に示す第3の実施形態に係る半導体装置100Dを構成する半導体素子本体部10は、バルク層がn型SiCからなるドリフト層13として構成されている。また、i型SiCからなる絶縁性の熱伝導層15は、ドリフト層13の+c面上にエピタキシャル成長されて形成されている。ま

た、半導体素子本体部 10 のカソード電極 16 を形成する領域であるドリフト層 13 における電極形成領域 10a の上方は、吸熱素子部 20 が配置されない領域となっている。

[0076] 本実施形態に係る半導体装置 100D の製造方法は、まず、図 5 に示すように、ドリフト層 13 の +c 面（以下、表面と呼ぶ。）の上に、厚さが $1\mu\text{m}$ 程度の絶縁性の SiC 層（熱伝導層 15）がエピタキシャル成長された基板を用意し、用意した基板の -c 面（以下、裏面と呼ぶ。）上に、アノード電極 11 となるニッケル（Ni）膜を成膜する。具体的には、基板を SH（硫酸過水）洗浄し、その後、スパッタ法により、裏面の上に、厚さが 100nm 程度の Ni 膜を成膜する。続いて、Ni 膜が成膜された基板を高速熱処理（RTA）炉に投入して、温度が 1000°C で 2 分間の熱処理を行う。この熱処理により、成膜された Ni 膜はシリサイド化され、すなわちニッケルシリサイド（ NiSi_x ）からなるアノード電極 11 を得る。なお、ここでの基板は、複数のチップに分割できるウェーハ状態の基板でもよく、チップに分割されたチップ状の基板であってもよい。

[0077] 次に、図 6 に示すように、熱伝導層 15 の上に、例えば、厚さが 450nm 程度のニッケルからなる下部電極形成膜 21A と、厚さが $1.2\mu\text{m}$ 程度の p 型シリコン層 22A と、厚さが 200nm 程度のニッケルからなる第 1 犠牲膜 51 とを順次形成する。下部電極形成膜 21A 及び第 1 犠牲膜 51 は、例えばスパッタ法により成膜することができ、p 型シリコン層 22A は、例えば化学気相堆積（CVD）法又はスパッタ法により成膜することができる。

[0078] 次に、リソグラフィ法により、第 1 犠牲膜 51 の上に、p 型シリコン層 22A から、ドット状の p 型シリコン層 22 を得るための第 1 マスクパターン 61 を形成し、形成した第 1 マスクパターン 61 をマスクとし、塩酸過水を用いて、第 1 犠牲膜 51 をウェットエッチングすることにより、図 7 に示すように、第 1 犠牲膜 51 から第 1 マスク膜 51A を形成する。ここで用いた塩酸過水は、濃塩酸：過酸化水素水：純水の比率が、例えば、体積比で 1：

1 : 1 0とした混合物であり、過酸化水素水に純水を加えた後に、濃塩酸を加える。

[0079] 次に、図8に示すように、形成された第1マスク膜51Aをマスクとしたドライエッチングにより、ドット状のブロックパターンを有する複数のp型シリコン層22を得る。ドライエッチングには、塩素(Cl_2)と臭化水素(HBr)との混合ガスを反応性ガスとする誘導結合プラズマ(ICP)を用いている。プラズマエッチング条件の一例として、基板温度を -15°C 、反応器内圧力を約 0.133Pa 、ICP出力を 400W 、基板バイアス電圧を 190V としている。また、 Cl_2 ガスの流量は 40ml/min (0°C 、 1atm)とし、 HBr ガスの流量は 20ml/min (0°C 、 1atm)としている。なお、エッチング条件は、これに限られない。

[0080] 次に、図9から図11に示す工程においては、ドット状のブロックパターンを有する複数のn型シリコン層24を形成する。

[0081] ずなわち、図9に示すように、p型シリコン層22を含む下部電極形成膜21Aの上に、n型シリコン層24A及びニッケル(Ni)からなる第2犠牲膜52を順次形成する。ここでも、n型シリコン層24AはCVD法又はスパッタ法により、第2犠牲膜52はスパッタ法により成膜することができる。

[0082] 次に、図10に示すように、図7に示す工程と同様の塩酸過水を用いて、第2犠牲膜52から、ドット状のn型シリコン層24を得るための第2マスク膜52Aを形成する。この後、各第2マスク膜52の表面清浄化処理を行ってもよい。

[0083] 次に、図11に示すように、図8に示す工程と同様に、第2マスク膜52Aをマスクとし、 Cl_2 と HBr との混合ガスを用いたICPエッチングにより、n型シリコン層24Aから、ドット状のブロックパターンを有する複数のn型シリコン層24を得る。なお、ドット状のp型シリコン層22及びn型シリコン24の形成順序は、特に問われない。

[0084] 次に、リソグラフィ法により、p型シリコン層22及びn型シリコン層2

4を含む下部電極形成膜21Aの上に、SBDの電極形成領域10aを開口パターンに持つ第2マスクパターン62を形成する。続いて、形成された第2マスクパターン62をマスクとして、下部電極形成膜21Aに対して塩酸過水を用いたエッチングを行うことにより、図12に示すように、下部電極形成膜21Aにおける電極形成領域10aに含まれる部分を除去する。

[0085] 次に、図13に示すように、第2マスクパターン62を除去し、続いて、第1マスク膜51A、第2マスク膜52A及び下部電極形成膜21Aをハードマスクとして、熱伝導層15に対して、図11に示す工程と同様のICPEッチングを行って、ドリフト層13の電極形成領域10aを露出する。ここでは、i型SiCからなる熱伝導層15の厚さを1 μ mとしているため、ICPEッチングの基板バイアス電圧の値をシリコン層の場合の190Vから、例えば450Vとしている。本実施形態においては、上述のように、下部電極形成膜21Aの膜厚を450nmとし、各マスク膜51A、52Aの膜厚を200nmとしているが、ハードマスクの目減り分を考慮して、各ハードマスクの厚さは適宜変更が可能である。例えば、本実施形態の場合は、下部電極形成膜21Aの膜厚を最大で700nm程度とし、各マスク膜51A、52Aの膜厚を最大で400nm程度としてもよい。

[0086] 次に、図14に示すように、リソグラフィ法により、ドリフト層13の電極形成領域10aを含む下部電極形成膜21Aの上に、下部電極形成パターンを有する第3マスクパターン63を形成する。続いて、形成した第3マスクパターン63をマスクとして、塩酸過水によりエッチングを行って、下部電極形成膜21Aから複数の下部電極21を形成する。

[0087] 次に、図15に示すように、第3マスクパターン63を除去し、続いて、スピコート法により、基板上の全面に二酸化シリコン(SiO₂)分散液を塗布する。続いて、空气中で温度が180℃、30分間の前硬化処理と、窒素中で温度が400℃、30分間の本硬化処理とを順次行って、絶縁形成膜23Aを成膜する。なお、絶縁形成膜23Aを成膜するよりも前に、各シリコン22、24の表面及びドリフト層13における電極形成領域10aの表

面の疎水化を図るために、例えば、ビス（トリメチルシリル）アミン（HMD S）による熱処理を施してもよい。具体的には、スピンコートしたHMD Sを空气中で温度が180℃、5分間の熱処理を行うとよい。

[0088] 次に、リソグラフィ法により、絶縁形成膜23A上における電極形成領域10aに開口パターンを有する第4マスクパターン64を形成し、バッファードフッ酸（BHF）を用いたウェットエッチングにより絶縁形成膜23Aをエッチングして、図16に示すように、ドリフト層13における電極形成領域10aを再度露出する。

[0089] 次に、図17に示すように、スパッタ法により、少なくともドリフト層13の電極形成領域10a上での膜厚が、例えば200nmとなるように、ニッケル（Ni）からなる電極形成膜25Aを成膜する。この後、電極形成膜25Aの表面の清浄化処理を行ってもよい。

[0090] 次に、図18に示すように、リソグラフィ法により、電極形成膜25Aの上に、ペルチェ素子の上部電極パターン及びSBDの電極パターンを有するマスクパターン（図示せず）を用いて、塩酸過水によるウェットエッチングを行って、電極形成膜25Aから、ペルチェ素子の複数の上部電極25と、SBDのカソード電極16をそれぞれ形成する。これにより、本実施形態に係る半導体装置100Dを得る。

[0091] ー効果ー

以上より、本実施形態によれば、例えば、炭化シリコン（SiC）のバルク部であるドリフト層13の上にエピタキシャル成長した絶縁性（i型SiC）の熱伝導層15を有するSBD素子からなる半導体素子本体部10と、該熱伝導層15の上に直接に形成された、すなわち熱的に連結されたシリコン（Si）を用いた薄膜状のペルチェ素子からなる吸熱素子部20とを有する半導体装置100Dを確実に形成することができる。

[0092] （その他の実施形態）

上記の各実施形態及びその変形例においては、絶縁性の熱伝導層15、37は、i型SiCにより構成したが、これに代えて、いずれも絶縁性の、シ

リコン (Si)、窒化ガリウム (GaN)、窒化アルミニウム (AlN)、窒化シリコン (SiN_x)、酸化亜鉛 (ZnO)、C (ダイヤモンド)、窒化ボロン (BN) 又は酸化ガリウム (Ga₂O₃) を用いてもよい。ここで、各構成材料の熱伝導率は、5 W/mK 以上、且つ、抵抗率が 10⁸ Ω cm 以上であることが好ましい。

[0093] また、これらの材料からなる熱伝導層 15、37 は、半導体素子本体部 10、30 に対して、熱的に且つ連続的に接触して一体化されていることが好ましい。

[0094] また、これらの材料からなる熱伝導層は、半導体素子本体部 10、30 を構成する半導体材料の表面からエピタキシャル成長して形成されていることが好ましい。

[0095] すなわち、半導体素子本体部 10、30 を構成する半導体材料には、シリコン (Si)、窒化ガリウム (GaN)、窒化アルミニウム (AlN)、窒化シリコン (SiN_x)、酸化亜鉛 (ZnO)、C (ダイヤモンド)、窒化ボロン (BN) 又は酸化ガリウム (Ga₂O₃) を用いることができる。

[0096] また、半導体素子本体部 10、30 における幅が比較的狭い発熱領域 (例えば、図 4 のチャネル領域 34a)、及び例えば、図 4 の熱伝導層 37 の長手方向にわたって、その周囲を断熱する断熱層が設けられていてもよい。この場合の断熱層の熱伝導率は、0.5 W/mK 以下であることが好ましい。

実施例

[0097] 以下、本発明に係る吸熱素子の一実施例について図面を参照しながら説明する。

[0098] 図 19 に示すように、本実施例に係る吸熱素子であるペルチェ素子 60 は、その単体の大きさを、平面積 $S \times$ 高さ (厚さ) $l = 1 \text{ mm}^2 \times 1 \text{ mm} = 1 \text{ mm}^3$ とする。図 19 において、ペルチェ素子 60 の表面及び裏面に、例えばニッケルからなる金属電極 61 を配置し、その表面を電源の正極と接続し、その裏面を電源の負極と接続して電流 I を流す。このとき、矢印 63 はペルチ

エ効果による熱移動を表し、矢印 64 は熱伝導による熱移動を表し、矢印 65 はジュール熱による発熱を表す。

[0099] ここでは、ペルチェ素子 60 の表裏面の温度差を 40℃とする。これは、例えば、表面側に温度が 80℃の冷却媒体が流通する冷却器が接続され、裏面側にパワーデバイスが接続されて、該パワーデバイスの温度が 120℃以下となる状況を想定することができる。周囲環境温度は 295 K (22℃：室温) とし、電気抵抗率は、 $1 \times 10^{-5} \Omega \text{m}$ とする。

[0100] 以下に、ペルチェ素子の吸熱性能を表す導出式として一般的な [式 1] を記す。

[式 1]

$$Q_{out} = \alpha_e T_{c,j} I - (1/2) R I^2 - K \Delta T_j$$

$$\text{但し、} R = \rho (S/l), \quad K = \kappa (l/S)$$

ここで、 Q_{out} は総熱移動量、 α はゼーベック係数、 T は室温、 I は電流 (ペルチェ駆動電流)、 ΔT は表裏面温度差、 ρ は電気抵抗率、 S はペルチェ素子の単体面積、 l はペルチェ素子の単体厚さ、 κ は熱伝導率をそれぞれ表す。また、[式 1] の第 1 項は、ペルチェ効果を表し、第 2 項はジュール熱を表し、第 3 項は熱伝導を表す。

[0101] 以下の [表 1] に、従来から使用されているビスマステルル (Bi_2Te_3)、並びに本発明に使用可能なシリコン (Si)、炭化シリコン (SiC)、窒化ガリウム (GaN)、窒化アルミニウム (AlN)、窒化ボロン (BN) 及びダイヤモンド (C) のそれぞれの計算に用いる数値の一覧を記す。

[0102]

[表1]

	Bi_2Te_3	本発明 (下限値)	Si	SiC	GaN	AlN	BN	ダイヤモンド
ゼーベック係数(α) [V/K]	2.0×10^{-4}	3.0×10^{-4}	1.0×10^{-3}	3.0×10^{-4}	5.0×10^{-5}	5.8×10^{-4}	5.0×10^{-4}	5.7×10^{-4}
熱伝導率(κ) [W/mK]	1.5	50	150	490	130	319	1300	2000
低効率(ρ) [Ωm]	1.5×10^{-5}	↓	↓	↓	↓	↓	↓	↓
単体面積(S) [m^2]	1.0×10^{-6}	↓	↓	↓	↓	↓	↓	↓
単体厚さ(l) [m]	1.0×10^{-3}	↓	↓	↓	↓	↓	↓	↓
室温T [K]	295	↓	↓	↓	↓	↓	↓	↓
表裏面温度差(ΔT) [K]	40	↓	↓	↓	↓	↓	↓	↓
最大吸熱量(Q_{out}) [W/cm ²]	23.4	300	660	774	300	625	2059	3141

[0103] 次に、[表1]の数値による[式1]の計算結果から、従来のビスマステルルと本実施例（本発明）の下限値とを図20にグラフ化して両者を比較す

る。本実施例においては、所望の総熱移動量（吸熱量）における最低値（ニーズ（N）と呼ぶ。）を本実施例のペルチェ素子の用途に鑑み、 $300\text{ W}/\text{cm}^2$ に設定する。これは、例えばパワーデバイスの発熱量によるニーズである。

[0104] 図20に示すように、本実施例に係る下限値を表すグラフA（ゼーベック係数が $300\text{ }\mu\text{V}/\text{K}$ 以上且つ熱伝導率が $50\text{ W}/\text{mK}$ 以上）では、その最大吸熱量が $308.8\text{ W}/\text{cm}^2$ となり、上記のニーズを満たす。一方、グラフBに示すビスマステルルを用いた従来のペルチェ素子の場合は、その最大吸熱量が $23.4\text{ W}/\text{cm}^2$ に過ぎず、上記のニーズを満たすことはできない。

[0105] 図21に、[表1]に掲載した各材料（ビスマステルルを除く）における表裏面の温度差 ΔT を 40°C とした場合の計算値によるグラフをそれぞれ示す。図21に示すように、ペルチェ素子の構成材料にダイヤモンドを用いたグラフCにおいて、その最大吸熱量は $3100\text{ W}/\text{cm}^2$ 程度を示す。従って、ニーズNの10倍の $3000\text{ W}/\text{cm}^2$ の10%以上、すなわち、本実施例においては、ペルチェ素子が、例えば発熱源であるパワーデバイスの表面積の10%以上の領域を被覆していれば、ニーズNの値を満たすことが可能となる。

産業上の利用可能性

[0106] 本発明に係る吸熱素子及びそれを備えた半導体装置並びに吸熱素子の製造方法は、半導体素子と吸熱素子との間の熱抵抗を低減でき、この種の半導体装置を組み込んだインバータを搭載した自動車（HV、HEV等）に加え、発電・送配電システム（スマートグリッド等）、自動車以外の輸送機器（鉄道、船舶、航空機等）、産業機械（FA機器、エレベータ等）、IT関連機器（パソコン、携帯電話等）及び民生・家電機器（エアコン、FPD、AV機器等）並びにそれらの製造技術分野において好適に適用できる。

符号の説明

[0107] 10 半導体素子本体部（半導体素子／パワー半導体素子）

- 1 0 a 電極形成領域
- 1 5 熱伝導層（電気絶縁体）
- 1 6 カソード電極（半導体素子の電極）
- 1 6 a カソード電極
- 2 0 吸熱素子部（吸熱素子／ペルチェ素子）
- 2 1 A 下部電極形成膜（下部金属膜）
- 2 1 下部電極
- 2 2 p型シリコン層（p型半導体層／第1導電型半導体ブロック）
- 2 2 A p型シリコン層（第1導電型半導体層）
- 2 4 n型シリコン層（n型半導体層／第2導電型半導体ブロック）
- 2 4 A n型シリコン層（第2導電型半導体層）
- 2 5 上部電極
- 2 5 A 電極形成膜（上部金属膜）
- 3 0 半導体素子本体部（半導体素子／パワー半導体素子）
- 5 1 第1犠牲膜（第1金属犠牲膜）
- 5 1 A 第1マスク膜（第1金属マスク膜）
- 5 2 第2犠牲膜（第2金属犠牲膜）
- 5 2 A 第2マスク膜（第2金属マスク膜）
- 6 0 ペルチェ素子
- 1 0 0、1 0 0 A、1 0 0 B、1 0 0 C、1 0 0 D 半導体装置

請求の範囲

- [請求項1] 半導体素子の表面と電気絶縁体を介して熱的に接続された、ペルチエ型で薄膜状の吸熱素子であって、
- 前記吸熱素子を構成する物質における、バルクでの熱伝導率は 50 W/m K 以上であり、ゼーベック係数は $300\text{ }\mu\text{V/K}$ 以上であることを特徴とする吸熱素子。
- [請求項2] 請求項1に記載の吸熱素子において、
- 前記物質は、シリコン、炭化シリコン、窒化ガリウム、窒化アルミニウム、窒化硼素及びダイヤモンドのうちのいずれか1つであることを特徴とする吸熱素子。
- [請求項3] 請求項1に記載の吸熱素子において、
- 前記物質は、シリコンであることを特徴とする吸熱素子。
- [請求項4] 請求項1～3のいずれか1項に記載の吸熱素子において、
- 前記物質は、p型又はn型の半導体層を構成し、
- 前記p型半導体層及び前記n型半導体層は、前記半導体素子及び前記電気絶縁体に対して並行に配列されていることを特徴とする吸熱素子。
- [請求項5] 請求項1～4のいずれか1項に記載の吸熱素子において、
- 前記半導体素子の排熱側に直接に形成されて、熱的に連結されていることを特徴とする吸熱素子。
- [請求項6] 請求項1～5のいずれか1項に記載の吸熱素子において、
- 前記半導体素子における発熱源の面積の10%以上の領域を被覆していることを特徴とする吸熱素子。
- [請求項7] 請求項1～6のいずれか1項に記載の吸熱素子を備える半導体装置。
- [請求項8] 請求項7に記載の半導体装置において、
- 前記半導体素子は、パワー半導体素子であることを特徴とする半導体装置。

- [請求項9] 請求項7に記載の半導体装置において、
前記半導体素子は、炭化シリコンを材料とするS i C系パワー半導体素子であることを特徴とする半導体装置。
- [請求項10] 半導体素子の表面と電気絶縁体を介して熱的に接続された、ペルチェ型で薄膜状の吸熱素子の製造方法であって、
前記吸熱素子を形成する工程は、
前記半導体素子の上に、前記電気絶縁体を介して、下部金属膜、第1導電型半導体層及び第1金属犠牲膜を順次形成する工程と、
前記第1金属犠牲膜から前記第1導電型半導体層をパターニングする第1金属マスク膜を形成し、形成した前記第1金属マスク膜を用いて、前記第1導電型半導体層をパターニングすることにより、前記第1導電型半導体層から複数の第1導電型半導体ブロックを形成する工程と、
前記第1導電型半導体ブロックを含む前記下部金属膜の上に、第2導電型半導体層及び第2金属犠牲膜を順次形成する工程と、
前記第2金属犠牲膜から前記第2導電型半導体層をパターニングする第2金属マスク膜を形成し、形成した前記第2金属マスク膜を用いて、前記第2導電型半導体層をパターニングすることにより、前記第2導電型半導体層から複数の第2導電型半導体ブロックを形成する工程と、
リソグラフィ法により、前記下部金属膜における前記半導体素子の電極形成領域に対して選択的にエッチングすることにより、前記半導体素子を露出する工程と、
リソグラフィ法により、前記下部金属膜における前記第1導電型半導体ブロック及び前記第2導電型半導体ブロックの間を選択的にエッチングすることにより、前記下部金属膜から、複数の下部電極を形成する工程と、
前記各半導体ブロックの間及び前記下部電極の間に絶縁膜を選択的

に形成した後、前記各半導体素子ブロックの上及び前記半導体素子の露出部分の上に、上部金属膜を形成する工程と、

リソグラフィ法により、前記上部金属膜に対して選択的にエッチングを行うことにより、前記上部金属膜から、上部電極と前記半導体素子の電極とを形成する工程とを含むことを特徴とする吸熱素子の製造方法。

[請求項11] 請求項10に記載の吸熱素子の製造方法において、

前記第1導電型半導体層及び前記第2導電型半導体層は、シリコン、炭化シリコン、窒化ガリウム、窒化アルミニウム、窒化ボロン及びダイヤモンドのうちのいずれか1つであることを特徴とする吸熱素子の製造方法。

[請求項12] 請求項10又は11に記載の吸熱素子の製造方法において、

前記下部金属膜、第1金属犠牲膜、第2金属犠牲膜及び上部金属膜は、ニッケルからなり、

前記下部金属膜、第1金属犠牲膜、第2金属犠牲膜及び上部金属膜の少なくとも1つに対するパターニングには、濃塩酸、濃過酸化水素水及び純水の混合物をエッチャントとするウェットエッチングを用いることを特徴とする半導体装置の製造方法。

[請求項13] 請求項10～12のいずれか1項に記載の吸熱素子の製造方法において、

前記第1金属犠牲膜及び第2金属犠牲膜はニッケルからなり、

前記第1導電型半導体層及び第2導電型半導体層はシリコンからなり、

前記第1導電型半導体ブロック及び第2導電型半導体ブロックを形成する工程は、塩素と臭化水素とを用いるドライエッチングであることを特徴とする吸熱素子の製造方法。

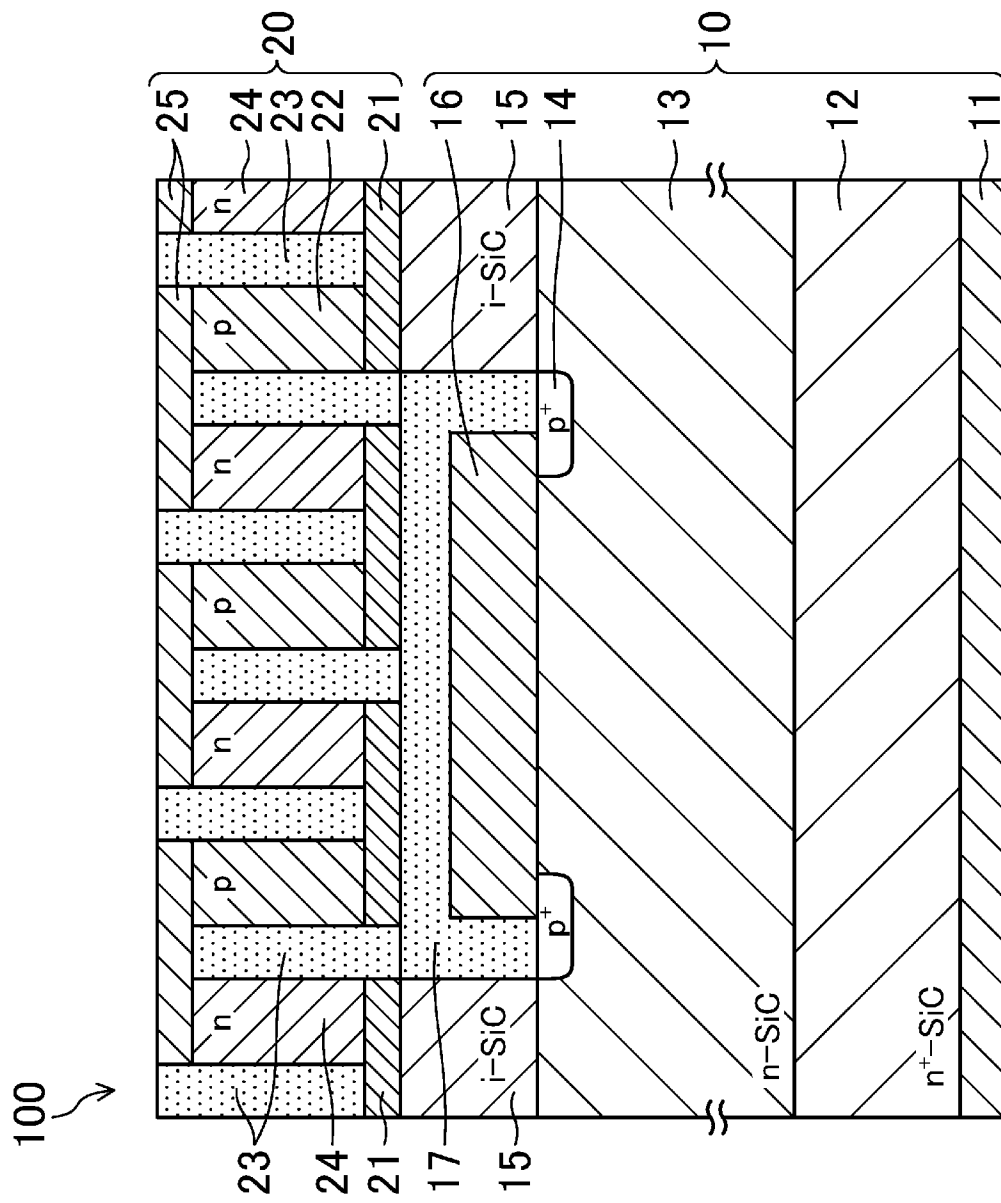
[請求項14] 請求項10～13のいずれか1項に記載の吸熱素子の製造方法において、

前記半導体素子は、パワー半導体素子であることを特徴とする吸熱素子の製造方法。

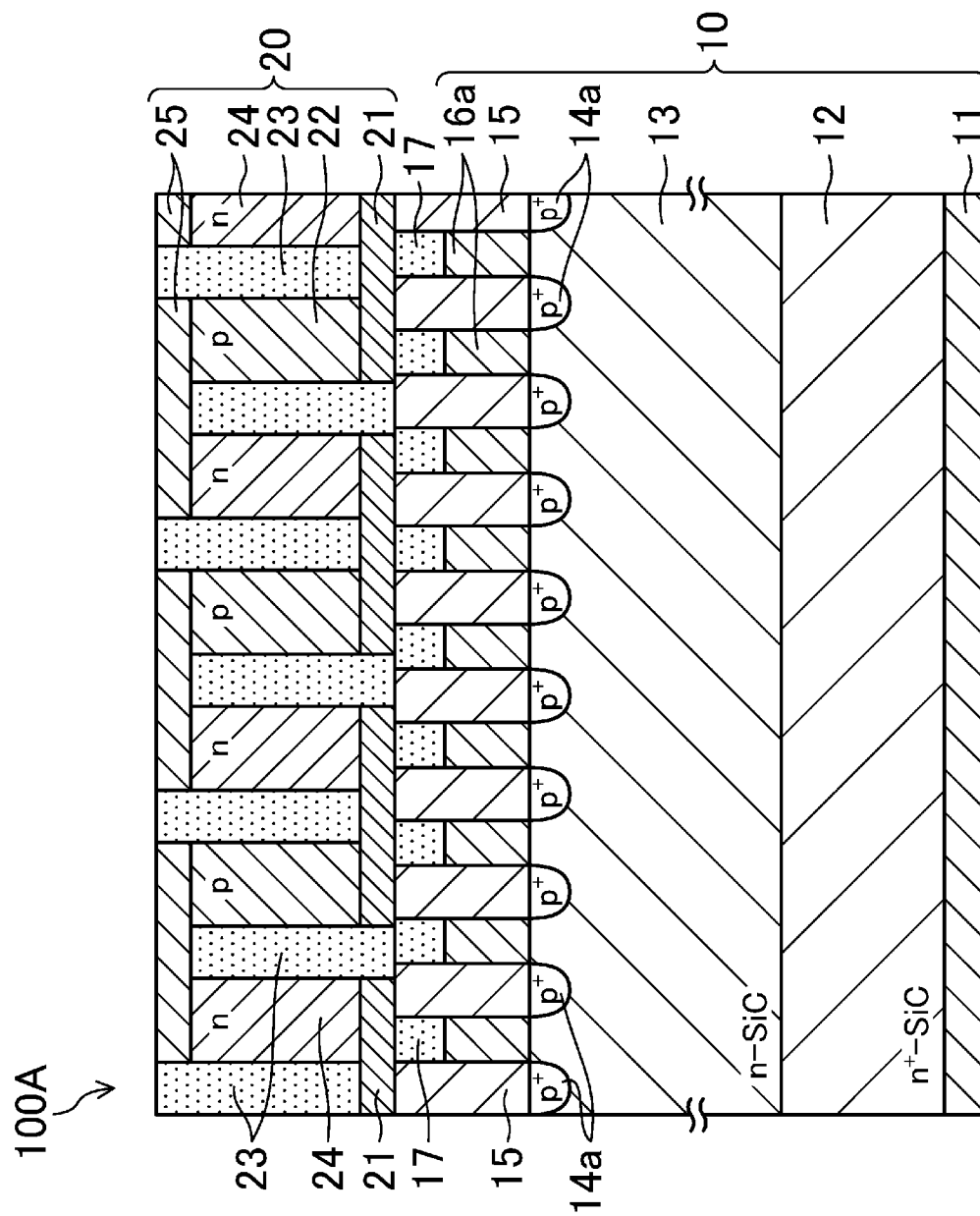
[請求項15] 請求項10～13のいずれか1項に記載の吸熱素子の製造方法において、

前記半導体素子は、炭化シリコンを材料とするSiC系パワー半導体素子であることを特徴とする吸熱素子の製造方法。

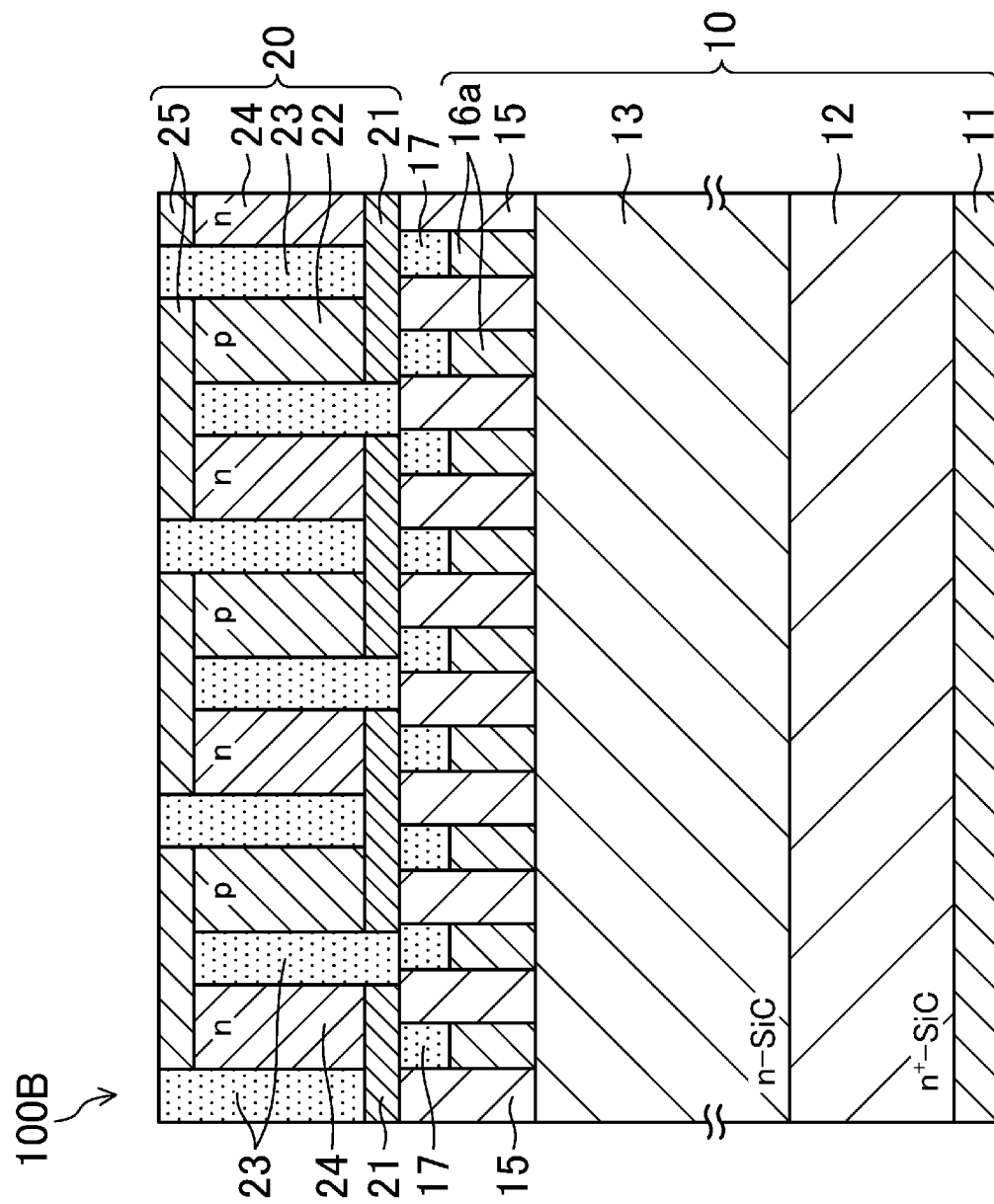
[図1]



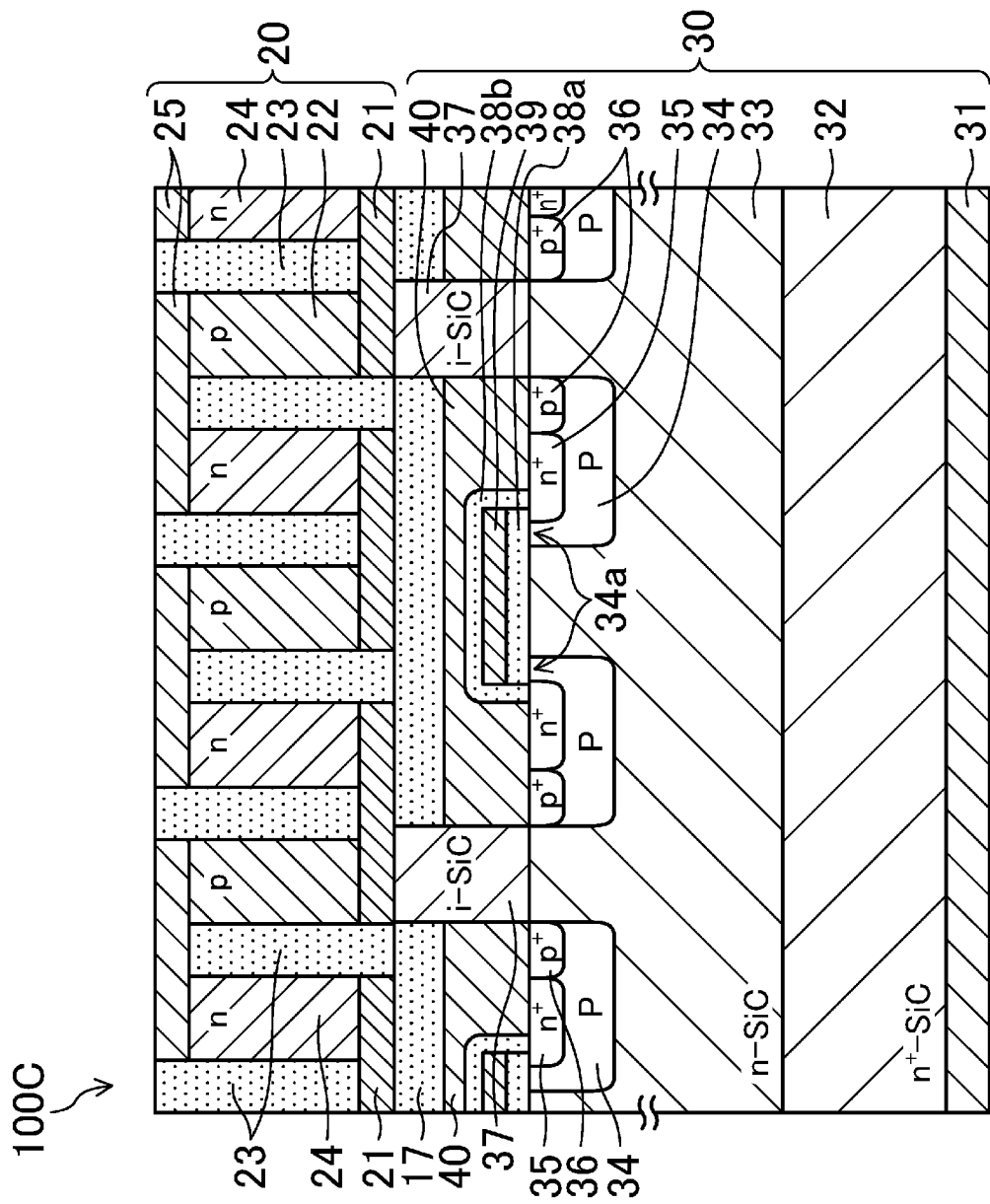
[図2]



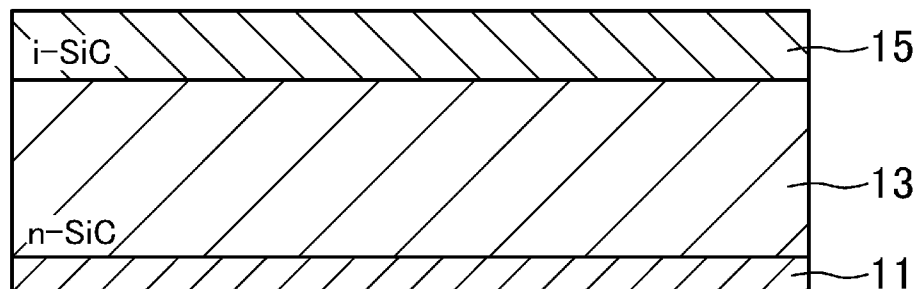
[図3]



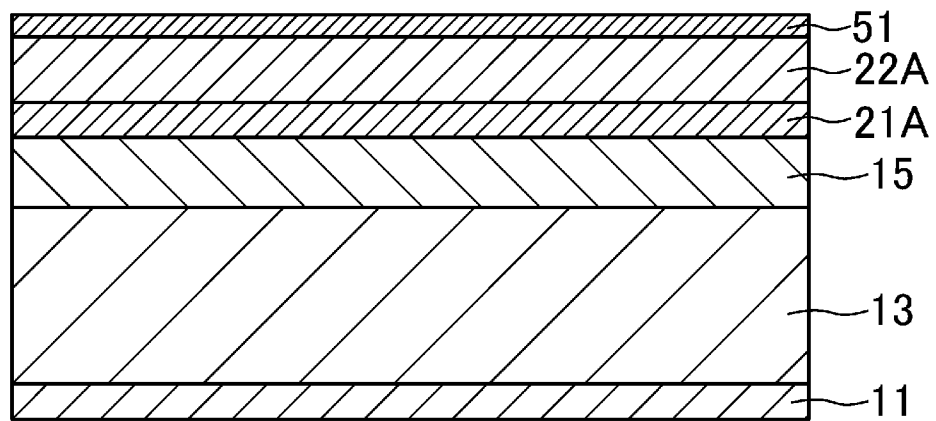
[図4]



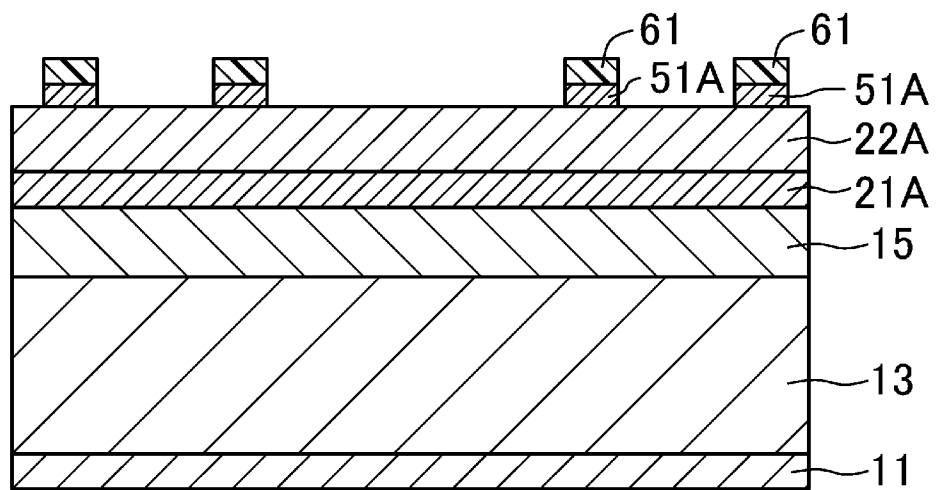
[図5]



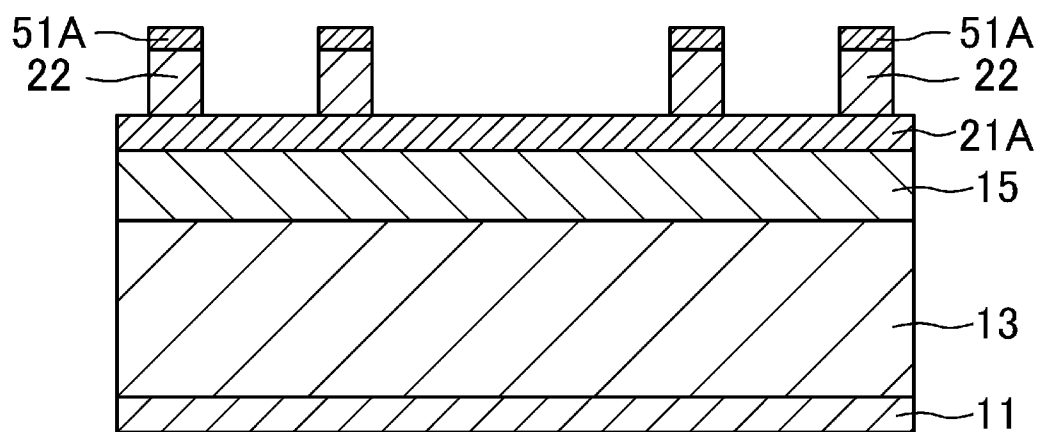
[図6]



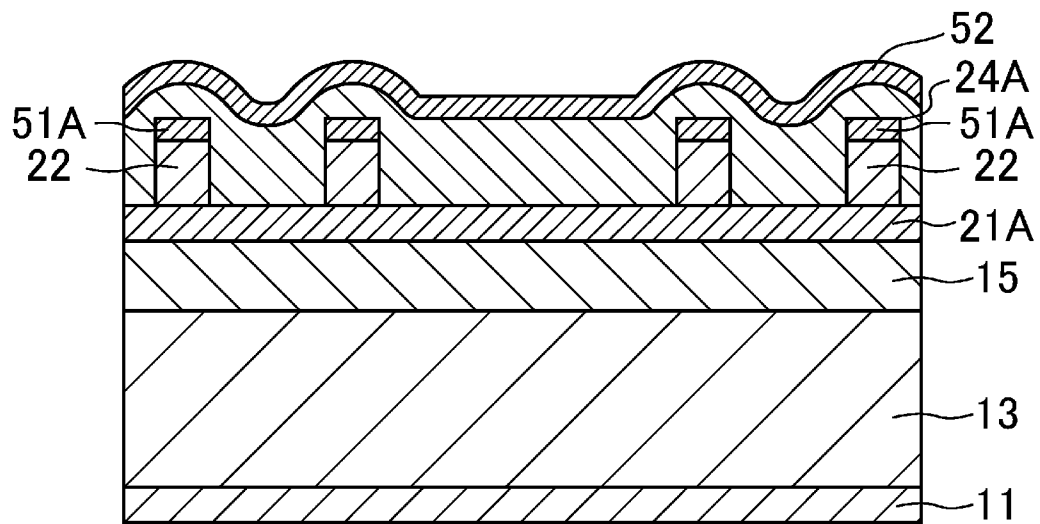
[図7]



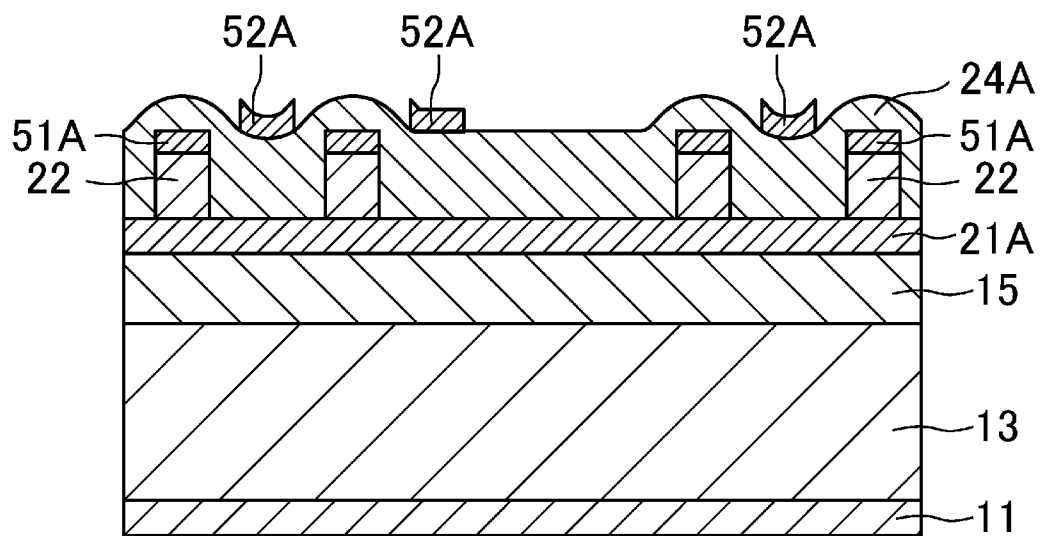
[図8]



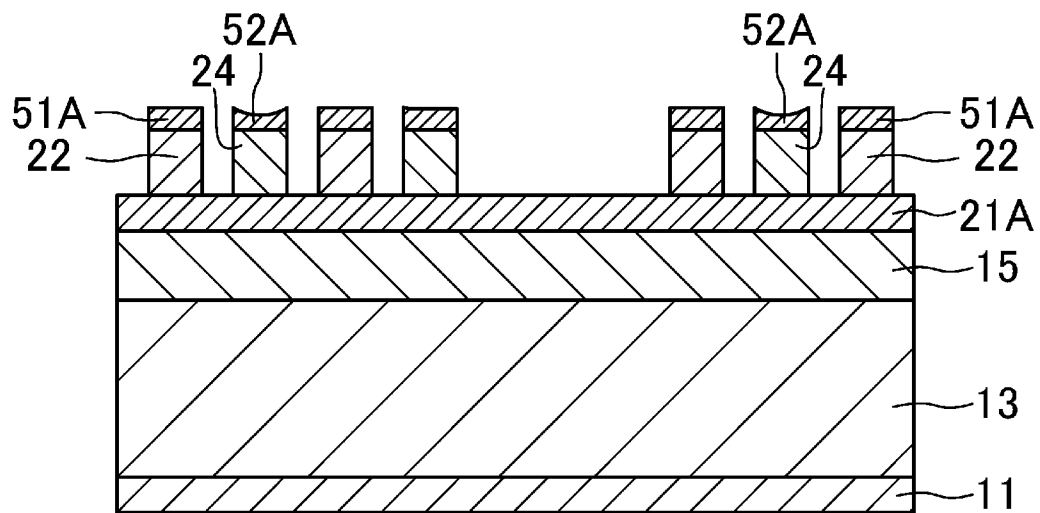
[図9]



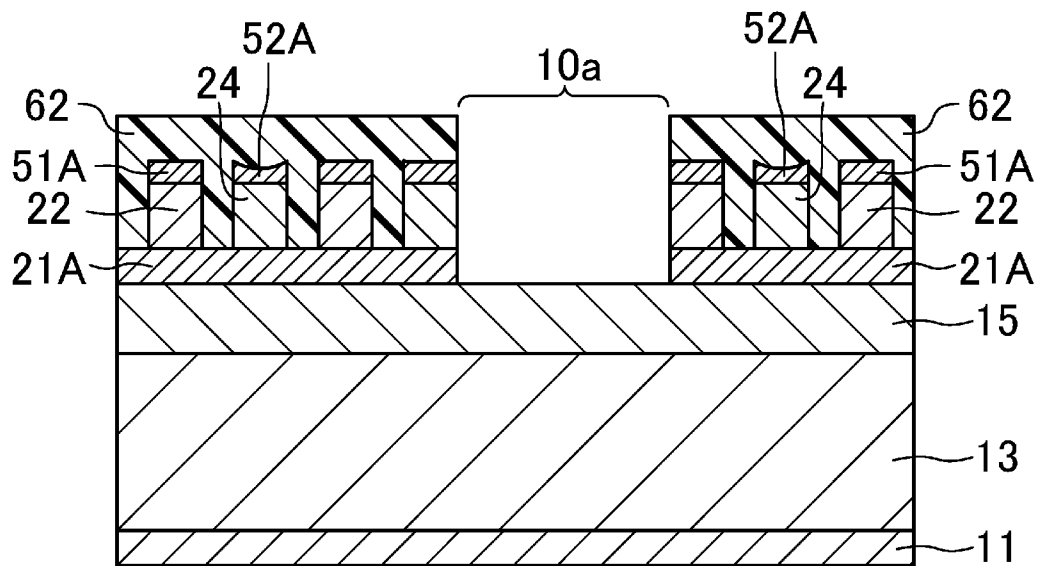
[図10]



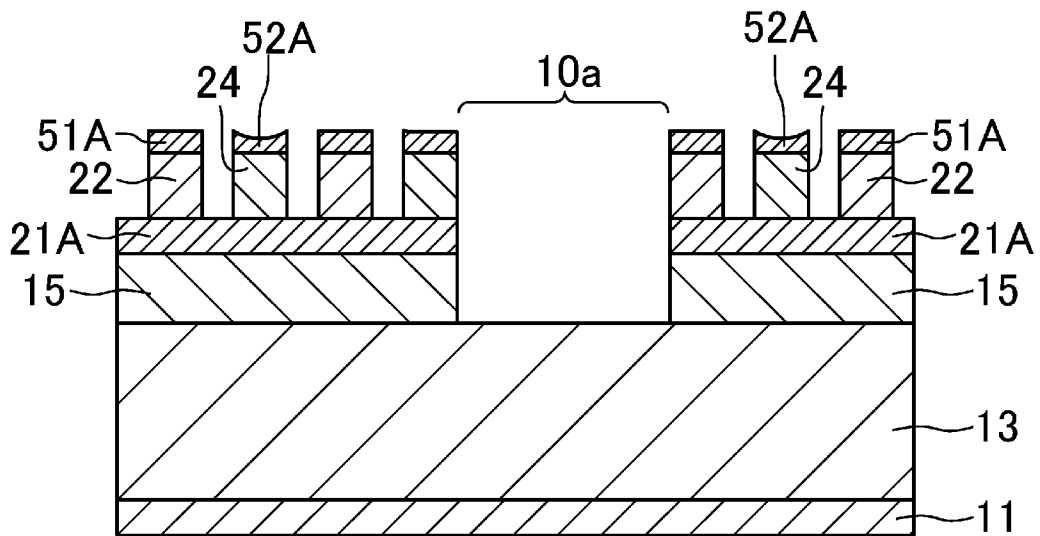
[図11]



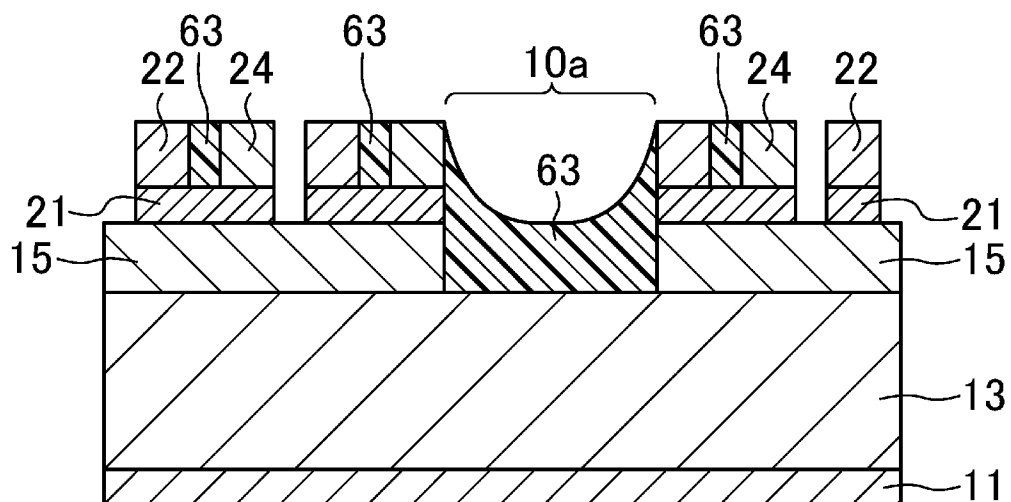
[図12]



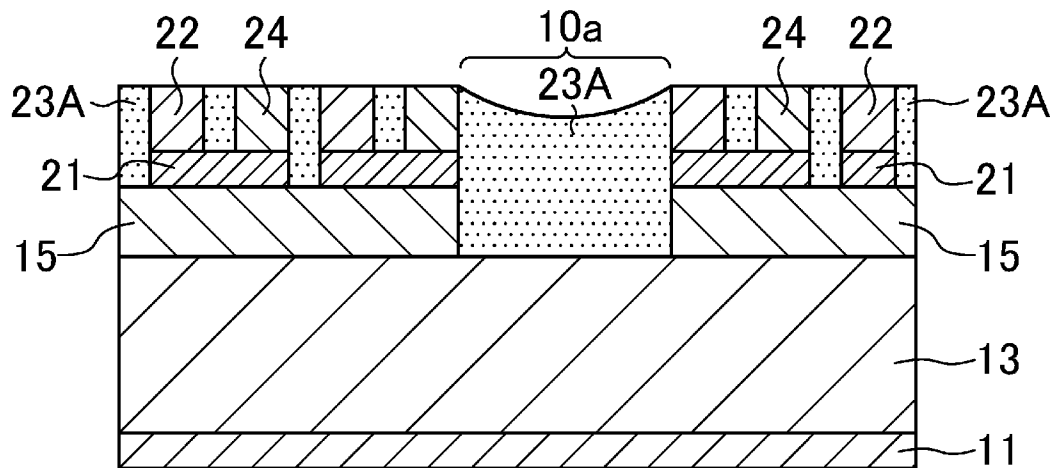
[図13]



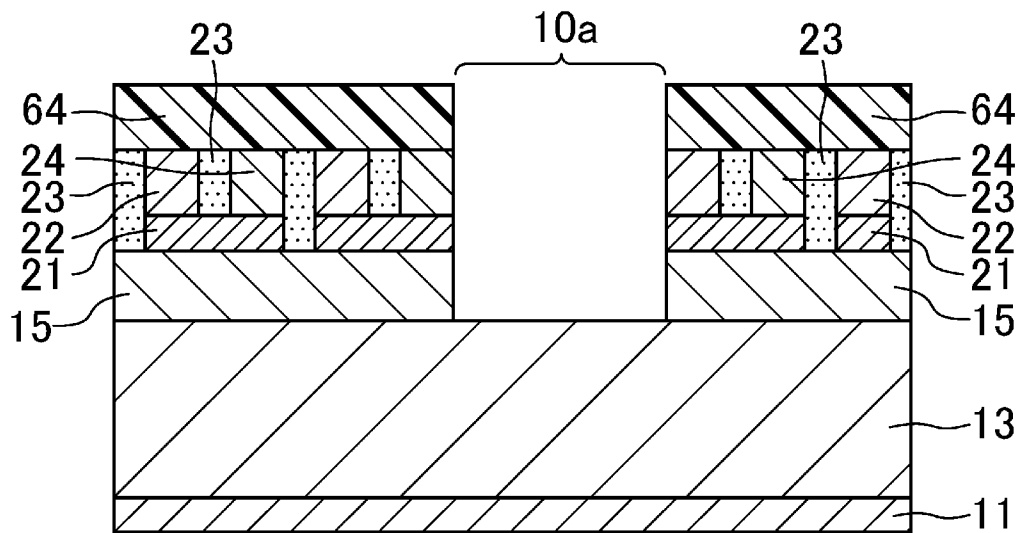
[図14]



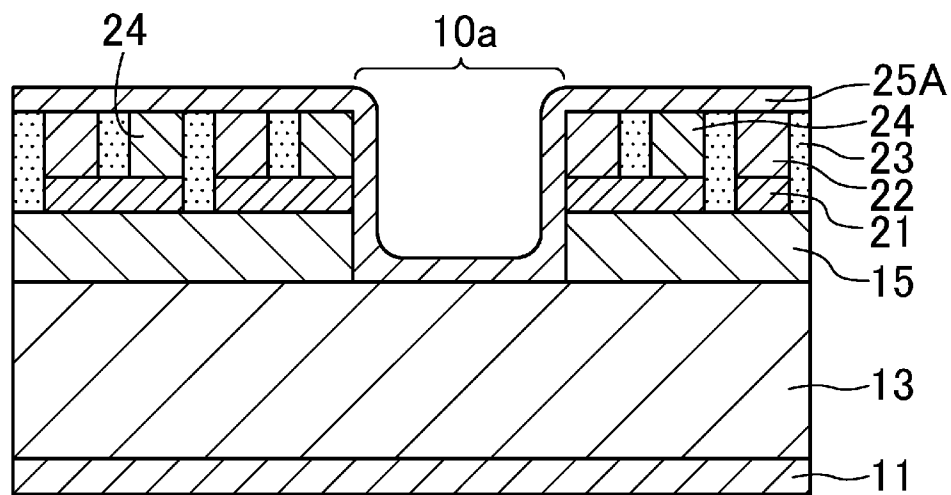
[図15]



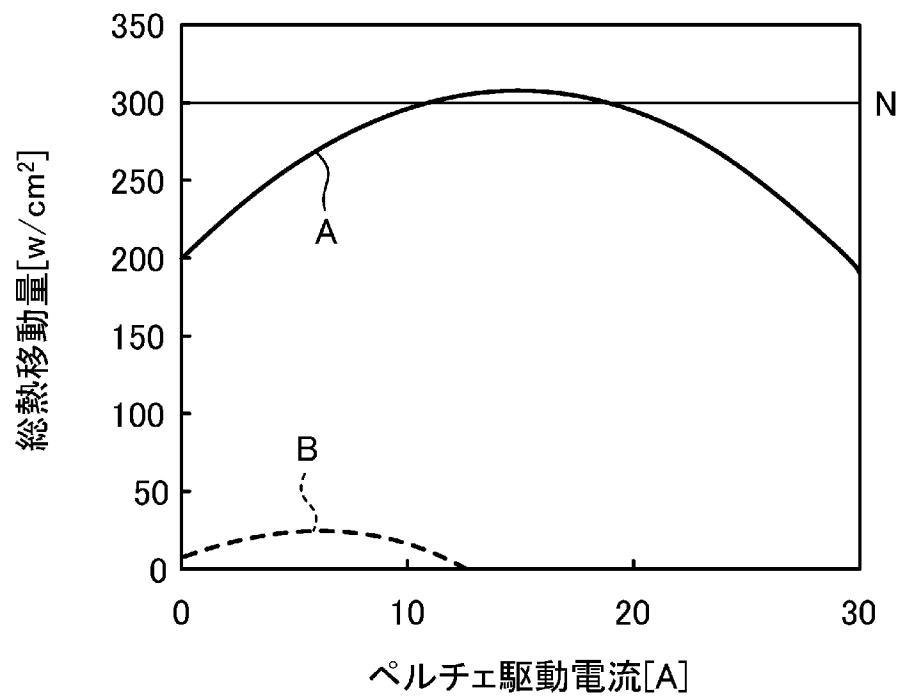
[図16]



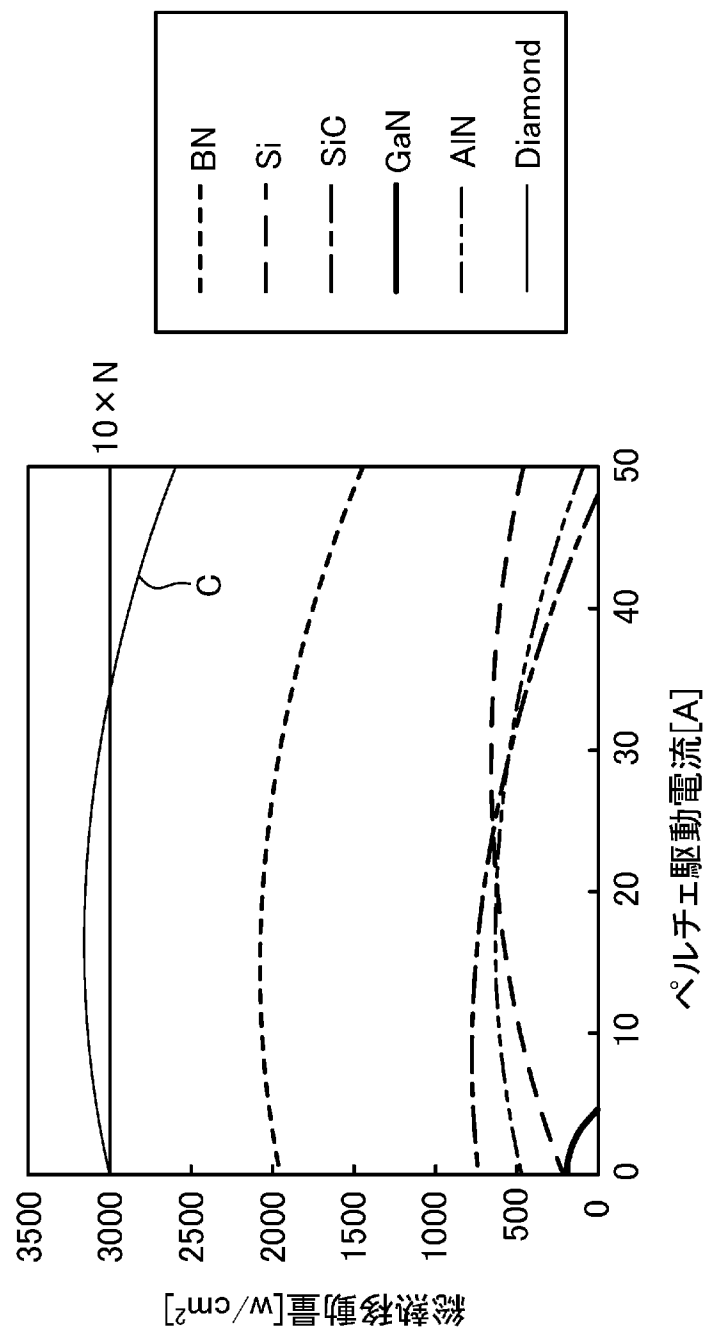
[図17]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003103

A. CLASSIFICATION OF SUBJECT MATTER

H01L35/32(2006.01)i, H01L35/14(2006.01)i, H01L35/22(2006.01)i, H01L35/30(2006.01)i, H01L35/34(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L35/32, H01L35/14, H01L35/22, H01L35/30, H01L35/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2003-243731 A (Yaskawa Electric Corp.), 29 August 2003 (29.08.2003), fig. 1 to 3 and explanations thereof (Family: none)	1-9 10-15
X A	US 2010/0176506 A1 (INTERNATIONAL BUSINESS MACHINES CORP.), 15 July 2010 (15.07.2010), fig. 1 to 2K and explanations thereof & US 2011/0104846 A1	1-7 10-15
A	JP 2005-303082 A (Tokyo Electron Ltd.), 27 October 2005 (27.10.2005), entire text; all drawings (Family: none)	10-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 August 2016 (01.08.16)

Date of mailing of the international search report
09 August 2016 (09.08.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/003103

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-194309 A (NGK Spark Plug Co., Ltd.), 27 August 2009 (27.08.2009), entire text; all drawings (Family: none)	10-15
A	JP 2006-32453 A (Oki Electric Industry Co., Ltd.), 02 February 2006 (02.02.2006), entire text; all drawings & US 2006/0012033 A1	10-15
A	JP 2015-76607 A (Lextar Electronics Corp.), 20 April 2015 (20.04.2015), entire text; all drawings & US 2015/0097207 A1 & TW 201515167 A	10-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L35/32(2006.01)i, H01L35/14(2006.01)i, H01L35/22(2006.01)i, H01L35/30(2006.01)i,
H01L35/34(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L35/32, H01L35/14, H01L35/22, H01L35/30, H01L35/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2003-243731 A (株式会社安川電機) 2003.08.29, 図 1-3 及びその説明箇所 (ファミリーなし)	1-9 10-15
X A	US 2010/0176506 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2010.07.15, 図 1-2K 及びその説明箇所 & US 2011/0104846 A1	1-7 10-15

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

01.08.2016

国際調査報告の発送日

09.08.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 聖和

5 F

4666

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-303082 A (東京エレクトロン株式会社) 2005. 10. 27, 全文全図 (ファミリーなし)	10-15
A	JP 2009-194309 A (日本特殊陶業株式会社) 2009. 08. 27, 全文全図 (ファミリーなし)	10-15
A	JP 2006-32453 A (沖電気工業株式会社) 2006. 02. 02, 全文全図 & US 2006/0012033 A1	10-15
A	JP 2015-76607 A (隆達電子股▲ふん▼有限公司) 2015. 04. 20, 全文全図 & US 2015/0097207 A1 & TW 201515167 A	10-15