



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

256991

(11) (B1)

(51) Int. Cl.⁴

G 06 F 11/00
G 01 R 31/00

(22) Přihlášeno 17 02 86

(21) PV 1094-86.Q

(40) Zveřejněno 17 09 87

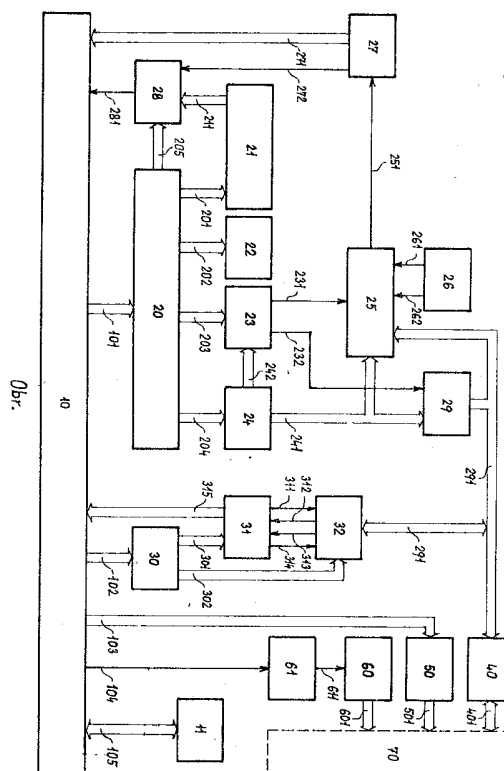
(45) Vydáno 16 01 89

(75)
Autor vynálezu

UHLÍŘ KAREL ing. CSc., DAVLE, POKORNÝ ZDENĚK ing. CSc.,
KOLLINER RENÉ ing., KUBÁT RICHARD ing.,
MATTAUSCH PAVEL ing., STRNAD PAVEL ing., PRAHA

(54) Zařízení pro testování číslicových obvodů bez demontáže

Zařízení je z oboru číslicových obvodů, měřicí techniky a řeší problém snadnější lokalizace zásady při testování osazených desek plošných spojů číslicovými obvody. Podstatou je technické řešení zařízení, které umožňuje testovat číslicové integrované obvody bez demontáže z desky. Zařízení může být využito v elektrotechnickém průmyslu, a to při vývoji, výrobě i servisu číslicových zařízení.



Vynález se týká zařízení pro testování číslicových obvodů bez demontáže.

V současnosti roste význam testování v elektrotechnické výrobě. Je nutno testovat hotové výrobky a rovněž je nutno provádět meziprovozní kontroly, neboť pouze odhalení poruch co nejdříve po jejich vzniku může zaručit rentabilitu výroby při požadované kvalitě. Pro zabezpečení potřeb testování se používají s výhodou automatické testery řízené počítačem. Existují testery pro číslicové i analogové součástky, testery neosázených desek plošných spojů, testery kabeláže, testery prvků v obvodu a funkční testery pro kontrolu desek plošných spojů. Při testování na montážní úrovni osazené desky je jednou z nejsložitějších operací lokalizace poruchy až na vadnou součástku. Operace vedoucí k přesné lokalizaci poruchy jsou náročné na kvalifikaci obsluhy a zpravidla trvají dlouho, takže jsou značně nákladné.

Tuto nevýhodu pro určitou třídu testovaných objektů odstraňuje zařízení pro testování číslicových obvodů bez demontáže podle vynálezu, kde blok řídicího počítače je svým prvním sběrnicovým výstupem připojen na sběrnicový vstup bloku řízení logického testu, druhým výstupem připojen na sběrnicový vstup bloku řízení analogového testu, třetím sběrnicovým výstupem připojen na sběrnicový vstup bloku pomocných kanálů, prvním výstupem je připojen na vstup řízení zdroje měřeného objektu a prvním obousměrným sběrnicovým vstupem (výstupem je připojen na sběrnicové vstupy) výstupy periferních zařízení. Přitom blok řízení logického testu je svým prvním sběrnicovým výstupem připojen na sběrnicový vstup bloku volby koncové adresy, druhým sběrnicovým výstupem je připojen na sběrnicový vstup bloku volby rychlosti testu, třetím sběrnicovým výstupem je připojen na první sběrnicový vstup bloku elektronické masky a přepínání vstupů/výstupů, čtvrtým sběrnicovým výstupem je připojen na sběrnicový vstup bloku paměti testu, pátým sběrnicovým výstupem je připojen na první sběrnicový vstup bloku komparace adresy.

Blok volby koncové adresy je svým sběrnicovým výstupem připojen na druhý sběrnicový vstup bloku komparace adresy. Blok elektronické masky a přepínání vstupů/výstupů je svým výstupem připojen na první vstup bloku komparátorů, svým druhým výstupem připojen na vstup bloku budičů a první sběrnicový výstup bloku paměti testu je připojen jednak na první sběrnicový vstup bloku komparátoru a jednak na sběrnicový vstup bloku budičů. Přitom druhý sběrnicový výstup bloku paměti testu je připojen na druhý sběrnicový vstup bloku elektronické masky a přepínání vstupů/výstupů.

Blok komparátoru je svým výstupem připojen na vstup bloku detekce a hlášení chyby. Blok komparačních úrovní je svým prvním výstupem připojen na druhý vstup bloku komparátoru a svým druhým výstupem je připojen na třetí vstup bloku komparátoru. Blok detekce a hlášení chyby je přitom svým sběrnicovým výstupem připojen na první sběrnicový vstup bloku řídicího počítače a svým výstupem je připojen na vstup bloku komparace adresy, který je dále svým výstupem připojen na vstup bloku řídicího počítače a blok budičů je svým sběrnicovým výstupem připojen jednak na druhý sběrnicový vstup bloku komparátoru, jednak na sběrnicový vstup bloku měřicí sondy a jednak na obousměrný sběrnicový vstup/výstup bloku matice adresovatelných spínačů, dále blok řízení analogového testu je svým sběrnicovým výstupem připojen na sběrnicový vstup bloku měřicích obvodů, druhým sběrnicovým výstupem připojen na sběrnicový vstup bloku matice adresovatelných spínačů.

Blok měřicích obvodů je svým sběrnicovým výstupem připojen na druhý sběrnicový vstup bloku řídicího počítače, prvním výstupem je připojen na první vstup bloku matice adresovatelných spínačů, druhým výstupem je připojen na druhý vstup bloku matice adresovatelných spínačů. Přitom první výstup bloku matice adresovatelných spínačů je připojen na první vstup bloku měřicích obvodů a druhý výstup bloku matice adresovatelných spínačů je připojen na druhý vstup bloku měřicích obvodů. Obousměrný sběrnicový vstup/výstup bloku měřicí sondy je připojen na obousměrný sběrnicový vstup/výstup bloku měřeného objektu. Sběrnicový výstup bloku pomocných kanálů je připojen na první sběrnicový vstup bloku měřeného objektu, výstup bloku řízení zdroje je připojen na vstup zdroje napájení měřeného objektu, zatímco

zdroj napájení měřeného objektu je svým sběrníkovým výstupem připojen na druhý sběrníkový vstup bloku měřeného objektu.

Pomocí zařízení pro testování podle vynálezu lze dobře zkoušet přímo jednotlivé číslicové obvody, ať už volné nebo zapájené v deskách plošných spojů. Protože zařízení zkouší postupně obvod za obvodem, odpadá obtížná lokalizace poruchy na pouzdro integrovaného obvodu. Zároveň zařízení umožňuje efektivní kontrolu propojovací sítě a kontrolu pasivní odporové sítě, vždy v okolí měřené součástky. Protože zařízení poměrně snadno detekuje nejčastěji se vyskytující závady (například zkratky propojení), je jeho hlavní výhodou ekonomická efektivnost testování.

Na připojené výkresu je znázorněno blokové schéma zařízení podle vynálezu.

Základními bloky konkrétního provedení zařízení podle vynálezu jsou blok 10 řídicího počítače, blok 20 řízení logického testu a blok 30 řízení analogového testu. Blok 10 řídicího počítače je s blokem 20 řízení logického testu a s blokem 30 řízení analogového testu propojen sběrnicemi. Blok 20 řízení logického testu je propojen s blokem 28 komparace adresy, dále s blokem 21 koncové adresy, s blokem 22 rychlosti testu, blokem 23 elektronické masky a přepínání vstupů/výstupů a s blokem 24 paměti testu.

Blok 24 paměti testu je propojen s blokem 25 komparátoru a dále s blokem 29 budičů a konečně s blokem 23 elektronické masky a přepínání vstupů/výstupů. Blok 23 elektronické masky a přepínání vstupů/výstupů je dále propojen s blokem 29 budičů. K bloku komparátoru jsou kromě bloku 24 paměti testu připojeny ještě blok 40 měřicí sondy, dále blok 26 komparačních úrovní a blok 23 elektronické masky a přepínání vstupů/výstupů. Vstup bloku 25 komparátoru je zapojen do bloku 27 detekce a hlášení chyby. Výstupy bloku 27 detekce a hlášení chyby jsou zapojeny jednak do bloku 28 komparace adresy, jednak přímo do bloku 10 řídicího počítače, do něhož je rovněž zaveden výstup bloku 28 komparace adresy.

Blok 30 řízení analogového testu je spojen s blokem 31 měřicích obvodů a s blokem 32 matice adresovatelných spínačů. Blok 31 měřicích obvodů je s blokem 32 matice adresovatelných spínačů spojen čtyřmi vodiči označenými F, M1, M2, T. Blok 32 matice adresovatelných spínačů je prostřednictvím bloku 40 měřicí sondy spojen s blokem 70 měřeného objektu. Blok 10 řídicího počítače je navíc propojen přes blok 50 pomocných kanálů a dále přes blok 61 řízení zdroje a zdroj 60 napájení měřeného objektu s blokem 70 měřeného objektu. K bloku 10 řídicího počítače je konečně připojen blok 11 periferních zařízení.

Zařízení podle vynálezu pracuje následujícím způsobem.

Do bloku 10 se prostřednictvím bloku 11 periferních zařízení zavedou informace a programy potřebné pro zkoušení bloku 70 měřeného objektu. Do bloku 70 měřeného objektu se dále zapojí měřicí sonda. Napájecí napětí bloku 70 měřeného objektu je řízeno blokem 10 řídicího počítače prostřednictvím bloků 61 řízení zdroje a zdroje 60 napájení měřeného objektu. Dále se do bloku 70 měřeného objektu zapojí podle potřeby pomocné budicí kanály bloku 50 pomocných kanálů ovládané rovněž blokem 10 řídicího počítače.

Blok 31 měřicích obvodů ve spolupráci s blokem 30 řízení analogového testu a blokem 32 matice adresovatelných spínačů pod řízením bloku 10 řídicího počítače provedou nejprve test na správné připojení bloku 40 měřicí sondy k bloku 70 měřeného objektu. Dále tyto bloky provedou test na správnost pasivní propojovací a odporové sítě v místě spojení bloku 40 měřicí sondy a bloku 70 měřeného objektu. Blok 10 řídicího počítače vyhodnotí výsledek těchto testů a v případě nalezení bezchybného tvaru stavu provede blok 10 řídicího počítače spolu s blokem 20 řízení logického testu, blokem 21 koncové adresy, blokem 22 rychlosti testu, blokem 23 elektronické masky a přepínání vstupů/výstupů, blokem 24 paměti testu, blokem 25 komparátoru, blokem 26 komparačních úrovní, blokem 29 budičů, blokem 27 detekce a hlášení chyby, blokem 28 komparace adresy a dále s blokem 50 pomocných kanálů logický

funkční test logické struktury (číslicového obvodu), která je jako součást bloku 70 měřeného objektu právě připojena k bloku 40 měřicí sondy.

Při tomto testu se nejprve připraví informace o testovacích krocích do bloku 24 paměti, testu, bloku 23 elektronické masky a přepínání vstupů/výstupů, bloku 22 rychlosti testu a bloku 21 koncové adresy. Pak dostane blok 20 řízení logického testu vydán povel k zahájení testu; přitom prochází posloupnost testovacích vektorů přes blok 29 budičů a blok 40 měřicí sondy na blok 70 měřeného objektu. Odezvy měřeného objektu se vedou opět přes blok 40 sondy na blok 25 komparátoru, kde se porovnávají jednak s komparačními úrovněmi logické nuly a jedničky a jednak se stavem vodiče maskování z bloku 23 elektronické masky a přepínání vstupů/výstupů a konečně se stavem paměti testu.

V případě nalezení nemaskovaného nesouhlasu mezi logickými úrovněmi čtenými z bloku 70 měřeného objektu a z bloku 24 paměti testu se činností bloku 27 detekce a hlášení chyby test zastaví a blok 10 řídícího počítače je informován o kroku a místě, v němž byla chyba nalezena. Pokud k chybě (nesouhlasu) nedojde, zastaví se test na základě porovnání adresy kroku testu s koncovou adresou v bloku 28 komparace adresy. Po ukončení činnosti bloku 20 řízení logického testu a bloků s ním souvisejících ohlásí blok 10 řídícího počítače prostřednictvím bloku 11 periferních zařízení obsluhu dosavadní stav zkoušky a případně požádá obsluhu o přestavení bloku 40 měřicí sondy na jiné místo bloku 70 měřeného objektu, kde činnost zařízení pokračuje již popsáním způsobem.

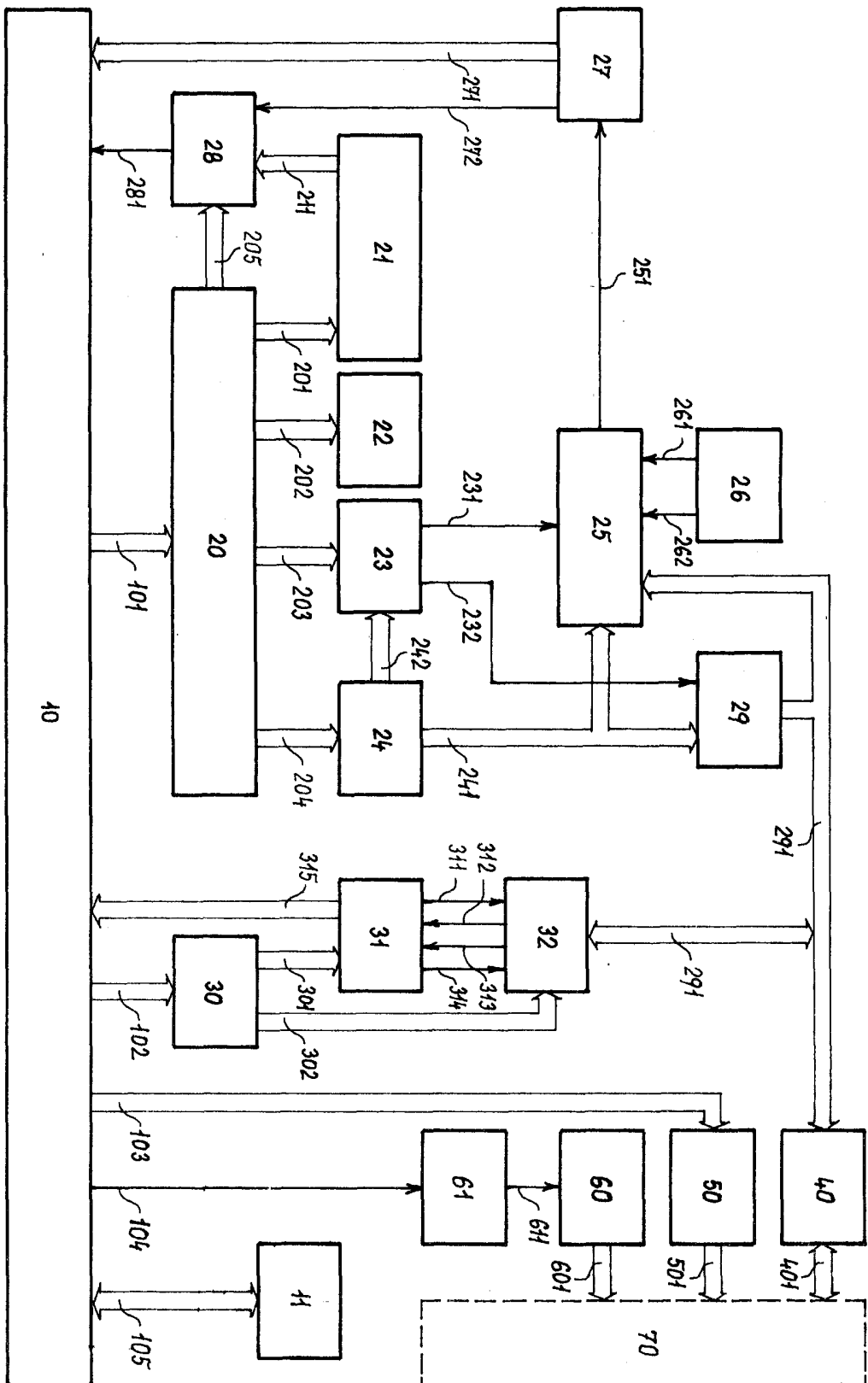
Další možností využití vynálezu je funkční testování jiných logických struktur než číslicových integrovaných obvodů a to například číslicových desek plošných spojů osazených součástkami, nebo hybridních obvodů.

P R E D M Ě T V Y N Á L E Z U

Zařízení pro testování číslicových obvodů bez demontáže, vyznačené tím, že blok (10) řídícího počítače je svým prvním sběrnicovým výstupem (101) připojen na sběrnicový vstup bloku (20) řízení logického testu, druhým sběrnicovým výstupem (102) připojen na sběrnicový vstup bloku (30) řízení analogového testu, třetím sběrnicovým výstupem (103) připojen na sběrnicový vstup bloku (50) pomocných kanálů, prvním výstupem (104) připojen na vstup bloku (61) zdroje měřeného objektu a prvním obousměrným sběrnicovým vstupem/výstupem (105) připojen na sběrnicové vstupy/výstupy periferních zařízení (11), přičemž blok (20) řízení logického testu je svým prvním sběrnicovým výstupem (201) připojen na sběrnicový vstup bloku (21) volby koncové adresy, druhým sběrnicovým výstupem (202) připojen na sběrnicový vstup bloku (22) volby rychlosti testu, třetím sběrnicovým výstupem (203) připojen na první sběrnicový vstup bloku (23) elektronické masky a přepínání vstupů/výstupů, čtvrtým sběrnicovým výstupem (204) připojen na sběrnicový vstup bloku (24) paměti testu, pátým sběrnicovým výstupem (205) připojen na první sběrnicový vstup bloku (28) komparace adresy, zatímco blok (21) volby koncové adresy je svým sběrnicovým výstupem (211) připojen na druhý sběrnicový vstup bloku (28) komparace adresy, přičemž blok (23) elektronické masky a přepínání vstupů/výstupů je svým prvním výstupem (231) připojen na první vstup bloku (25) komparátoru, svým druhým výstupem (232) připojen na vstup bloku (29) budičů a první sběrnicový výstup (241) bloku (24) paměti testu je připojen jednak na první sběrnicový vstup bloku (25) komparátoru a jednak na sběrnicový vstup bloku (29) budičů, přičemž druhý sběrnicový výstup (242) bloku (24) paměti testu je připojen na druhý sběrnicový vstup bloku (23) elektronické masky a přepínání vstupů/výstupů, zatímco blok (25) komparátoru je svým výstupem (251) připojen na vstup bloku (27) detekce a hlášení chyby a blok (26) komparačních úrovní je svým prvním výstupem (261) připojen na druhý vstup bloku (25) komparátoru a svým druhým výstupem (262) připojen na třetí vstup bloku (25) komparátoru, zatímco blok (27) detekce a hlášení chyby je svým sběrnicovým výstupem (271) připojen na první sběrnicový vstup bloku (10) řídícího počítače a svým výstupem (272) připojen na vstup bloku (28) komparace adresy, který je dále svým výstupem (281) připojen na vstup bloku (10) řídícího počítače a blok (29) budičů je svým sběrnicovým výstupem (291) připojen jednak na druhý sběrnicový vstup

bloku (25) komparátoru, jednak na sběrníkový vstup bloku (40) měřicí sondy a jednak je připojen na obousměrný sběrníkový vstup/výstup bloku (32) matice adresovatelných spínačů, dále blok (30) řízení analogového testu je svým pevným sběrníkovým výstupem (301) připojen na sběrníkový vstup bloku (31) měřicích obvodů, svým druhým sběrníkovým výstupem (302) připojen na sběrníkový vstup bloku (10) řídicího počítače, prvním výstupem (311) připojen na první vstup bloku (32) matice adresovatelných spínačů, druhým výstupem (314) připojen na druhý vstup bloku (32) matice adresovatelných spínačů, přičemž první výstup (312) bloku (32) matice adresovatelných spínačů je připojen na první vstup bloku (31) měřicích obvodů a druhý výstup (313) bloku (32) matice adresovatelných spínačů je připojen na druhý vstup bloku (31) měřicích obvodů, zatímco obousměrný sběrníkový vstup/výstup (401) bloku (40) měřicí sondy je připojen na obousměrný sběrníkový vstup/výstup bloku (70) měřeného objektu, sběrníkový výstup (501) bloku (50) pomocných kanálů je připojen na první sběrníkový vstup bloku (70) měřeného objektu, výstup (611) bloku (61) řízení zdroje je připojen na vstup zdroje (60) napájení měřeného objektu, zatímco zdroj (60) napájení měřeného objektu je svým sběrníkovým výstupem (601) připojen na druhý sběrníkový vstup bloku (70) měřeného objektu.

1 výkres



Obv.