



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월05일
(11) 등록번호 10-0763848
(24) 등록일자 2007년09월28일

(51) Int. Cl.

H01L 29/872(2006.01)

(21) 출원번호 10-2006-0062838
(22) 출원일자 2006년07월05일
심사청구일자 2006년07월05일
(56) 선행기술조사문헌
JP05082772 A
(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김대식

경기 수원시 영통구 망포동 동수원엘지빌리지1차
105동 1004호

권오경

경기 수원시 영통구 영통동 벽적골9단지아파트
903동 601호

(뒷면에 계속)

(74) 대리인

권영규, 윤재석, 한지희

전체 청구항 수 : 총 19 항

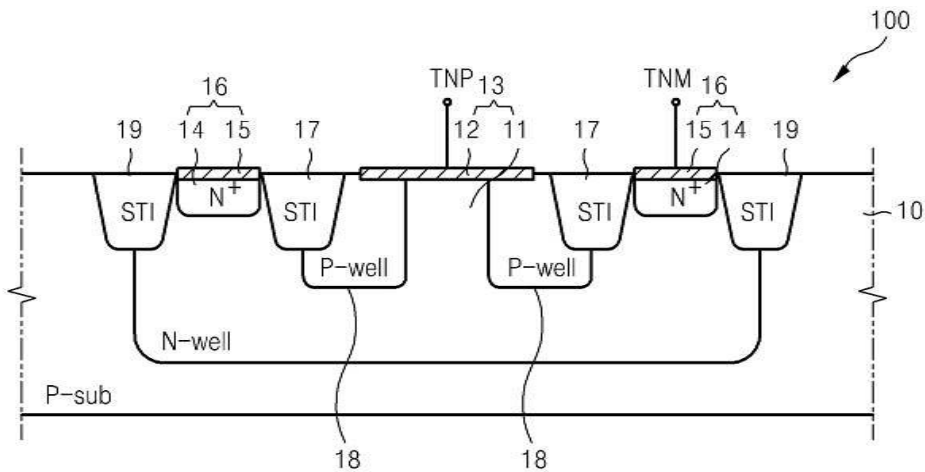
심사관 : 배진용

(54) 쇼트키 다이오드 및 그 제조 방법

(57) 요약

쇼트키 다이오드 및 그 제조 방법을 제공한다. 쇼트키 다이오드는 제 1 도전형 웰과 웰과 접촉하는 제 1 전극을 포함하는 쇼트키 접합, 웰 내에 위치하는 제 1 도전형 고농도 정선 영역과 그와 접촉하는 제 2 전극을 포함하는 오믹 접합, 쇼트키 접합과 오믹 접합을 분리하는 소자 분리 영역, 및 쇼트키 접합의 하부에서 쇼트키 접합의 외주연을 따라 쇼트키 접합과 적어도 일부 중첩하는 제 2 도전형의 웰 가드링을 포함한다.

대표도 - 도2



(72) 발명자

김명희

경기 수원시 영통구 영통동 벽적골8단지아파트 우
성아파트 825동1602호

김용찬

경기 수원시 영통구 망포동 동수원엘지빌리지1차
109동 1204호

박혜영

서울 동작구 동작동 93-9호 201호

오준석

서울 서초구 서초2동 삼성트라팰리스 A동 1506호

(56) 선행기술조사문헌

JP05235288 A

JP2005167149 A

KR1020020064665 A

KR1019940008111

특허청구의 범위

청구항 1

제 1 도전형 웰과 상기 웰과 접촉하는 제 1 전극을 포함하는 쇼트키 접합;

상기 웰 내에 위치하는 제 1 도전형 고농도 정션 영역과 그와 접촉하는 제 2 전극을 포함하는 오믹 접합;

상기 쇼트키 접합과 상기 오믹 접합을 분리하는 소자 분리 영역; 및

상기 쇼트키 접합의 하부에서 상기 쇼트키 접합의 외주연을 따라 상기 쇼트키 접합과 적어도 일부 중첩하는 제 2 도전형의 웰 가드링을 포함하는 내장형의 쇼트키 다이오드.

청구항 2

제 1 항에 있어서,

상기 소자 분리 영역과 상기 제 1 전극은 서로 이격되어 있는 내장형의 쇼트키 다이오드.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 전극은 실리사이드를 포함하는 내장형의 쇼트키 다이오드.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 전극은 서로 동일한 실리사이드 또는 서로 다른 실리사이드를 포함하는 내장형의 쇼트키 다이오드.

청구항 5

제 4 항에 있어서,

상기 제 1 및 제 2 전극은 코발트 실리사이드인 내장형의 쇼트키 다이오드.

청구항 6

제 4 항에 있어서,

상기 제 1 전극은 티타늄 실리사이드이고, 상기 제 2 전극은 코발트 실리사이드인 내장형의 쇼트키 다이오드.

청구항 7

제 1 항에 있어서,

상기 웰로부터 반도체 기판으로 흐르는 누설 전류를 유인하는 오믹 접합을 더 포함하는 내장형의 쇼트키 다이오드.

청구항 8

제 7 항에 있어서,

상기 누설 전류를 유인하는 오믹 접합은 상기 반도체 기판 내에 위치하는 제 2 도전형 고농도 정션 영역과 그와 접촉하는 제 3 전극을 포함하는 내장형의 쇼트키 다이오드.

청구항 9

제 1 도전형 웰, 쇼트키 접합 영역과 오믹 접합 영역을 분리하는 소자 분리 영역과 상기 웰 내에 위치하는 제 2 도전형 웰 가드링을 포함하는 반도체 기판을 제공하는 단계;

상기 오믹 접합 영역에 제 1 도전형 정션 영역을 형성하는 단계; 및

상기 오믹 접합 영역에 전극을 형성하여 오믹 접합을 완성하는 단계를 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 오믹 접합 영역에 전극을 형성하는 것과 동시에 상기 쇼트키 접합 영역에 전극을 형성하여 쇼트키 접합을 완성하는 단계를 더 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 오믹 접합의 전극과 상기 쇼트키 접합의 전극은 실리사이드를 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 오믹 접합의 전극과 상기 쇼트키 접합의 전극은 각각 코발트 실리사이드인 내장형의 쇼트키 다이오드의 제조 방법.

청구항 13

제 9 항에 있어서,

상기 쇼트키 접합 영역을 적어도 일부 노출하는 콘택홀을 구비하는 절연막을 형성하고, 상기 절연막과 상기 쇼트키 접합 영역을 덮는 배리어 금속막을 형성하여 상기 쇼트키 접합 영역에 전극을 형성하여 쇼트키 접합을 완성하는 단계를 더 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 14

제 13 항에 있어서,

상기 오믹 접합의 전극과 상기 쇼트키 접합의 전극은 실리사이드를 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 오믹 접합의 전극은 코발트 실리사이드이고, 상기 쇼트키 접합의 전극은 티타늄 실리사이드인 내장형의 쇼트키 다이오드의 제조 방법.

청구항 16

제 9 항에 있어서,

상기 웰로부터 상기 반도체 기판으로 흐르는 누설 전류를 유인하는 오믹 접합을 형성하는 단계를 더 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 누설 전류를 유인하는 오믹 접합은 상기 반도체 기판 내에 위치하는 제 2 도전형 고농도 정션 영역과 그와 접촉하는 전극을 포함하는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 18

제 10 항 또는 제 13 항에 있어서,

상기 소자 분리 영역과 상기 쇼트키 접합 영역은 서로 이격되어 형성되는 내장형의 쇼트키 다이오드의 제조 방법.

청구항 19

제 9 항에 있어서,

상기 내장형의 쇼트키 다이오드는 상기 내장형의 쇼트키 다이오드가 형성되어 있는 상기 반도체 기판과 동일한 상기 반도체 기판에 형성되어 있는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터와 동시에 제조되는 내장형의 쇼트키 다이오드의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 쇼트키 다이오드 및 그 제조 방법에 관한 것이다.
- <15> 쇼트키 다이오드(schottky diode)는 반도체와 금속간의 쇼트키 접합(schottky junction)을 이용하는 반도체 소자이다. 쇼트키 다이오드는 다수 캐리어에 의한 동작 특성을 가지므로 빠른 스위칭 특성을 나타내고, 반도체와 금속 간의 쇼트키 접합을 이용한 터널링 방식으로 소자 구동이 이루어지므로, PN 다이오드에 비해 상당히 낮은 상태의 전압 강하 특성을 얻을 수 있다.
- <16> 따라서, 쇼트키 다이오드는 저손실 특성이 요구되는 응용 분야, 즉 통신용 및 휴대용 기기 등의 분야에서 핵심 소자로 많이 응용된다. 이러한 쇼트키 다이오드는 대부분 외장형이며, 따라서 쇼트키 다이오드를 별도로 제작함으로써 인하여 추가의 비용과 시간을 필요로 한다.

발명이 이루고자 하는 기술적 과제

- <17> 이에 본 발명이 이루고자 하는 기술적 과제는 CMOS 트랜지스터 등이 위치한 반도체 기판과 동일한 기판에서 특성의 저하 없이 구현될 수 있는 쇼트키 다이오드를 제공하고자 하는 것이다.
- <18> 본 발명이 이루고자 하는 다른 기술적 과제는 CMOS 트랜지스터 등이 위치한 반도체 기판과 동일한 기판에서 특성의 저하 없이 구현될 수 있는 쇼트키 다이오드의 제조 방법을 제공하고자 하는 것이다.

발명의 구성 및 작용

- <19> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 쇼트키 다이오드는 제 1 도전형 웰과 상기 웰과 접촉하는 제 1 전극을 포함하는 쇼트키 접합, 상기 웰 내에 위치하는 제 1 도전형 고농도 정선 영역과 그와 접촉하는 제 2 전극을 포함하는 오믹 접합, 상기 쇼트키 접합과 상기 오믹 접합을 분리하는 소자 분리 영역, 및 상기 쇼트키 접합의 하부에서 상기 쇼트키 접합의 외주연을 따라 상기 쇼트키 접합과 적어도 일부 중첩하는 제 2 도전형의 웰 가드링을 포함한다.
- <20> 여기서, 상기 소자 분리 영역과 상기 제 1 전극은 서로 이격되어 있다.
- <21> 상기 제 1 및 제 2 전극은 실리사이드를 포함할 수 있으며, 상기 제 1 및 제 2 전극은 서로 동일한 실리사이드를 포함할 수도 있고, 서로 다른 실리사이드를 포함할 수도 있다. 상기 제 1 및 제 2 전극이 서로 동일한 실리사이드일 경우에는 코발트 실리사이드일 수도 있고, 상기 제 1 및 제 2 전극이 서로 다른 실리사이드일 경우에는 상기 제 1 전극은 티타늄 실리사이드일 수 있고, 상기 제 2 전극은 코발트 실리사이드일 수 있다.
- <22> 또한, 상기 웰로부터 반도체 기판으로 흐르는 누설 전류를 유인하는 오믹 접합을 더 포함할 수 있다. 상기 누설 전류를 유인하는 오믹 접합은 상기 반도체 기판 내에 위치하는 제 2 도전형 고농도 정선 영역과 그와 접촉하는 제 3 전극을 포함한다.
- <23> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법은 제 1 도전

형 웰, 쇼트키 접합 영역과 오믹 접합 영역을 분리하는 소자 분리 영역과 상기 웰 내에 위치하는 제 2 도전형 웰 가드링을 포함하는 반도체 기판을 제공하는 단계, 상기 오믹 접합 영역에 제 1 도전형 정션 영역을 형성하는 단계, 및 상기 오믹 접합 영역에 전극을 형성하여 오믹 접합을 완성하는 단계를 포함한다.

- <24> 여기서, 상기 오믹 접합 영역에 전극을 형성하는 것과 동시에 상기 쇼트키 접합 영역에 전극을 형성하여 쇼트키 접합을 완성할 수 있다.
- <25> 상기 오믹 접합의 전극과 상기 쇼트키 접합의 전극은 실리사이드를 포함할 수 있다. 예를 들어 상기 오믹 접합과 상기 쇼트키 접합의 전극은 코발트 실리사이드일 수 있다.
- <26> 또한, 상기 쇼트키 접합 영역을 적어도 일부 노출하는 콘택홀을 구비하는 절연막을 형성하고, 상기 절연막과 상기 쇼트키 접합 영역을 덮는 배리어 금속막을 형성하여 상기 쇼트키 접합 영역에 전극을 형성하여 쇼트키 접합을 완성할 수 있다.
- <27> 상기 오믹 접합의 전극과 상기 쇼트키 접합의 전극은 실리사이드를 포함할 수 있으며, 예를 들어 상기 오믹 접합의 전극은 코발트 실리사이드이고, 상기 쇼트키 접합의 전극은 티타늄 실리사이드일 수 있다.
- <28> 또한, 상기 웰로부터 상기 반도체 기판으로 흐르는 누설 전류를 유인하는 오믹 접합을 형성하는 단계를 더 포함할 수 있는데, 상기 누설 전류를 유인하는 오믹 접합은 상기 반도체 기판 내에 위치하는 제 2 도전형 고농도 정션 영역과 그와 접촉하는 전극을 포함할 수 있다.
- <29> 또한, 상기 소자 분리 영역과 쇼트키 접합 영역을 서로 이격되어 형성된다.
- <30> 또한, 상기 내장형의 쇼트키 다이오드는 상기 내장형의 쇼트키 다이오드가 형성되어 있는 상기 반도체 기판과 동일한 상기 반도체 기판에 형성되어 있는 NMOS 트랜지스터, PMOS 트랜지스터 또는 COMS 트랜지스터와 동시에 제조될 수 있다.
- <31> 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- <32> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <33> 비록 제 1, 제 2 등이 다양한 소자, 구성요소, 영역, 배선, 층 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소, 영역, 배선, 층 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소, 영역, 배선, 층 또는 섹션들을 다른 소자, 구성요소, 영역, 배선, 층 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 소자, 제 1 구성 요소, 제 1 영역, 제 1 배선, 제 1 층 또는 제 1 섹션은 본 발명의 기술적 사상 내에서 제 2 소자, 제 2 구성 요소, 제 2 영역, 제 2 배선, 제 2 층 또는 제 2 섹션일 수도 있음은 물론이다.
- <34> 공간적으로 상대적인 용어인 아래(below, beneath, lower), 위(above, upper) 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관 관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 아래(below, beneath)로 기술된 소자는 다른 소자의 위(above, upper)에 놓여질 수 있다. 따라서, 예시적인 용어인 아래는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- <35> 나아가, "제 1 도전형"과 "제 2 도전형"이라는 용어는 N 또는 P형과 같이 서로 반대되는 도전형을 가리키며, 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.
- <36> 이하, 본 발명의 일 실시예에 따른 쇼트키 다이오드를 도 1 및 도 2를 참조하여 설명한다. 도 1은 본 발명의 일 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 2는 도 1의 II-II'선을 따라 절단한 단면도이다.
- <37> 본 발명의 일 실시예에 따른 쇼트키 다이오드(100)는 제 1 도전형 웰(11)과 그와 접촉하는 제 1 전극(12)을 포

합하는 쇼트키 접합(13), 제 1 도전형 웰(11) 내에 위치하는 제 1 도전형 고농도 정션 영역(14)과 그와 접촉하는 제 2 전극(15)을 포함하는 오믹 접합(16), 쇼트키 접합(13)과 오믹 접합(16)을 분리하는 소자 분리 영역(17), 및 쇼트키 접합(13)의 하부에서 쇼트키 접합(13)의 외주연을 따라 쇼트키 접합(13)과 적어도 일부 중첩하는 제 2 도전형의 웰 가드링(18)을 포함한다. 또한, 여기에서 TNP와 TNM은 각각 쇼트키 접합(13)과 오믹 접합(16)에 접촉된 단자를 나타내고, TNP의 전위는 쇼트키 접합(13)의 금속층 전위, TNM의 전위는 반도체층 전위에 해당한다. 여기서, 참조 부호 19는 소자 분리 영역을 나타낸다.

<38> 이하, 본 명세서에서는 제 1 도전형은 N형이고, 제 2 도전형은 P형인 경우를 예시해서 설명하지만, 본 발명이 이에 한정되는 것은 아니다.

<39> 도 1 및 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 쇼트키 다이오드(100)는 쇼트키 접합(13)과 오믹 접합(16)을 포함한다. 도 3은 반도체 층의 불순물 농도와 접촉 저항의 관계를 나타내는 그래프인데, 도 3에 도시한 바와 같이 예를 들어 도너(doner) 불순물 농도가 10^{17} cm^{-3} 정도의 농도인 반도체와 금속의 접합은 쇼트키 접합이 되고, 도너 불순물의 농도가 10^{19} cm^{-3} 이상의 고농도인 반도체와 금속의 경우에는 오믹 접합이 된다. 따라서, 반도체 층의 불순물 농도가 낮은 N형 웰(11)과 제 1 전극(12)이 접촉되어 있는 부분에서는 쇼트키 접합(13)이 형성되고, 반도체 층의 불순물의 농도가 높은 N형 고농도 정션 영역(14)과 제 2 전극(15)이 접촉되어 있는 부분에서는 오믹 접합이 형성된다.

<40> 또한, 도시되어 있지는 않지만, 어셉터(acceptor) 불순물을 첨가한 P형 반도체와 금속의 접촉의 경우에도 마찬가지로 불순물 농도가 낮은 P형 웰 영역과 금속 전극의 계면은 쇼트키 접합을 이루고, 불순물 농도가 높은 P형 고농도 정션 영역과 금속 전극의 계면은 오믹 접합을 이룬다.

<41> 쇼트키 접합(13)과 오믹 접합(16)의 제 1 및 제 2 전극(12, 15)은 실리사이드(silicide)를 포함한다. 이때, 쇼트키 접합(13)과 오믹 접합(16)의 제 1 및 제 2 전극(12, 15)은 서로 동일한 실리사이드를 포함할 수 있다. 예를 들어 제 1 및 제 2 금속 전극(12, 15)은 티타늄(Ti) 실리사이드, 텅스텐(W) 실리사이드, 몰리브덴(Mo) 실리사이드, 탄탈륨(Ta) 실리사이드, 코발트(Co) 실리사이드 또는 니켈(Ni) 실리사이드 일 수 있으며, 바람직하게는 코발트 실리사이드 일 수 있다.

<42> 이러한 쇼트키 접합(13)과 오믹 접합(16)은 반도체 기판(10) 내에 형성되어 있는 소자 분리 영역(17)에 의해 전기적으로 분리된다. 소자 분리 영역(17)은 예를 들어 STI(Shallow Trench Isolation) 일 수 있다. 이때, 쇼트키 접합(13)을 이루는 제 1 전극(12)과 소자 분리 영역(17)은 서로 이격되어 위치하는데, 그 이유에 대해서는 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법에서 설명한다.

<43> 또한, 전계의 집중을 줄이고, TNM의 전위를 TNP 보다 높은 전위로 설정하는 역방향 바이어스(reverse bias)시 우수한 항복 전압(Breakdown Voltage; BV) 특성을 가질 수 있도록 하기 위하여, 쇼트키 접합(13)의 하부에서 쇼트키 접합(13)의 외주연을 따라 쇼트키 접합(13)과 적어도 일부 중첩하는 형태의 가드링(guard ring, 18)이 위치한다. 이때, 가드링(18)은 웰 형태이며, 쇼트키 다이오드(100)가 요구되는 항복 전압 특성에 따라 다양한 웰 형태의 가드링(18, 이하, 웰 가드링)이 적용될 수 있다. 예를 들어 웰 가드링(18)은 HV PMOS(High Voltage PMOS) 트랜지스터의 소오스/드레인으로 사용되는 포켓 P형 웰(PPwell) 형태일 수 있고, MV NMOS(Middle Voltage NMOS) 트랜지스터, LV NMOS(Low Voltage NMOS) 트랜지스터의 웰로 사용되는 P형 필드 IMP 웰(P field IMP well) 형태일 수도 있다.

<44> 본 발명의 일 실시예에 따른 쇼트키 다이오드(100)는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터가 위치하는 반도체 기판(10)과 동일한 반도체 기판(10)에 위치한다.

<45> 계속해서, 본 발명의 다른 실시예에 따른 쇼트키 다이오드를 도 4 및 도 5를 참조하여 설명한다. 도 4는 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 5는 도 4의 V-V'선을 따라 절단한 단면도이다.

<46> 도 4 및 도 5에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 쇼트키 다이오드(200)는 웰(11)로부터 반도체 기판(10) 측으로 흐르는 누설 전류를 유인하는 오믹 접합(23)을 더 포함한다는 것을 제외하고는 본 발명의 일 실시예에 따른 쇼트키 다이오드(도 1의 100)와 실질적으로 동일하다. 따라서, 본 발명의 일 실시예에 따른 쇼트키 다이오드(도 1의 100)와의 차이점을 중심으로 본 발명의 다른 실시예에 따른 쇼트키 다이오드(200)를 설명한다.

<47> 본 발명의 다른 실시예에 따른 쇼트키 다이오드(200)에 포함되는 누설 전류를 유인하는 오믹 접합(23)은 반도체 기판(10) 내에 위치한 P형 고농도 정션 영역(21)과 그와 접촉하는 제 3 전극(22)으로 이루어진다. 제 3 전극

(22)은 실리사이드를 포함할 수 있다. 예를 들어 제 3 전극(22)은 티타늄 실리사이드, 텅스텐 실리사이드, 몰리브덴 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드 또는 니켈 실리사이드 일 수 있으며, 바람직하게는 코발트 실리사이드 일 수 있다.

- <48> 누설 전류를 유인하는 오믹 접합(23)은 TNP의 전위를 TNM 보다 높은 전위로 설정하는 정방향 바이어스(forward bias)시, 웰(11)에서 반도체 기판(10) 측으로 누설되는 전류(---)를 유인하여, 누설 전류가 무작위로 흘렀을 경우 발생할 수 있는 쇼트키 다이오드의 결함을 방지할 수 있다.
- <49> 이러한 누설 전류를 유인하는 오믹 접합(23)은 웰(11) 내에 위치하는 오믹 접합(16)과 소자 분리 영역(19)에 의해 전기적으로 분리되어 있다.
- <50> 계속해서, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드를 도 6 및 도 7을 참조하여 설명한다. 도 6은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 7은 도 6의 VII-VII'선을 따라 절단한 단면도이다.
- <51> 도 6 및 도 7에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(300)는 쇼트키 접합(13')의 제 1 전극(42)과 오믹 접합(16)의 제 2 전극(15)이 서로 다른 실리사이드를 포함할 수 있다는 것을 제외하고는 본 발명의 일 실시예에 따른 쇼트키 다이오드(도 1의 100)와 실질적으로 동일하다. 따라서, 본 발명의 일 실시예에 따른 쇼트키 다이오드(도 1의 100)와의 차이점을 중심으로 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(300)를 설명한다.
- <52> 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(300)에서의 쇼트키 접합(13')과 오믹 접합(16)에 각각 포함되는 제 1 및 제 2 전극(42, 15)은 실리사이드를 포함한다. 이때, 쇼트키 접합(13')과 오믹 접합(16)의 제 1 및 제 2 전극(42, 15)은 서로 다른 실리사이드를 포함할 수 있다. 예를 들어 제 1 및 제 2 전극(42, 15)은 각각 티타늄 실리사이드, 텅스텐 실리사이드, 몰리브덴 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드 또는 니켈 실리사이드 일 수 있으며, 바람직하게는 쇼트키 접합(13')의 제 1 전극(42)은 티타늄 실리사이드일 수 있고, 오믹 접합(16)의 제 2 전극(15)은 코발트 실리사이드일 수 있다.
- <53> 여기서, 참조 부호 30은 층간 절연막이고, 31 및 32는 제 1 및 제 2 콘택홀이며, 41은 배리어 금속막이다.
- <54> 계속해서, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드를 도 8 및 도 9를 참조하여 설명한다. 도 8은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 9는 도 8의 IX-IX'선을 따라 절단한 단면도이다.
- <55> 도 8 및 도 9에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(400)는 쇼트키 접합(13')의 제 1 전극(42)과 오믹 접합(16)의 제 2 금속 전극(15)이 서로 다른 실리사이드를 포함할 수 있다는 것을 제외하고는 본 발명의 다른 실시예에 따른 쇼트키 다이오드(도 4의 200)와 실질적으로 동일하다. 따라서, 발명의 다른 실시예에 따른 쇼트키 다이오드(도 4의 200)와의 차이점을 중심으로 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(400)를 설명한다.
- <56> 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드(400)에서는 쇼트키 접합(13')과 오믹 접합(16)에 각각 포함되는 제 1 및 제 2 전극(42, 15)은 실리사이드를 포함한다. 이때, 쇼트키 접합(13')과 오믹 접합(16)의 제 1 및 제 2 전극(42, 15)은 서로 다른 실리사이드를 포함할 수 있다. 예를 들어 제 1 및 제 2 금속 전극(42, 15)은 각각 티타늄 실리사이드, 텅스텐 실리사이드, 몰리브덴 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드 또는 니켈 실리사이드 일 수 있으며, 바람직하게는 쇼트키 접합(13')의 제 1 전극(42)은 티타늄 실리사이드일 수 있고, 오믹 접합(16)의 제 2 전극(15)은 코발트 실리사이드일 수 있다.
- <57> 또한, 누설 전류를 유인하는 오믹 접합(23)의 제 3 전극(22)은 쇼트키 접합(13')의 제 1 전극(42)과 서로 다른 실리사이드로 이루어질 수도 있고, 도시하지는 않았지만 서로 동일한 실리사이드로 이루어질 수도 있다. 예를 들어 쇼트키 접합(13')의 제 1 전극(42)이 티타늄 실리사이드일 경우, 누설 전류를 유인하는 오믹 접합(23)의 제 3 전극(22)은 코발트 실리사이드일 수도 있고, 티타늄 실리사이드일 수도 있다.
- <58> 여기서, 참조 부호 30은 층간 절연막이고, 31, 32, 33은 각각 제 1 내지 제 3 콘택홀이며, 41은 배리어 금속막이다.
- <59> 계속해서, 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법을 도 1, 도 10 및 도 11을 참조하여 설명한다. 도 10 및 도 11은 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적

으로 배열한 중간 구조물들의 단면도들이다.

- <60> 도 10에 도시한 바와 같이, N형 웰(11), 쇼트키 접합 영역(SJ)과 오믹 접합 영역(OJ)을 분리하는 소자 분리 영역(17, 19)과 N형 웰(11) 내에 위치하는 P형 웰 가드링(18)을 포함하는 P형 반도체 기관(10)을 제공한다.
- <61> 이를 보다 상세하게 설명하면, 우선 P형 반도체 기관(10)에 N형 웰(11)을 형성한다. 이러한 N형 웰(11)은 쇼트키 다이오드가 형성되는 반도체 기관(10)과 동일한 반도체 기관(10)에 형성되는 PMOS 트랜지스터 또는 CMOS 트랜지스터의 N형 웰 형성 시 동시에 형성된다. 반도체 기관(10)에 형성되는 MOS 트랜지스터가 예를 들어 HV PMOS 트랜지스터 또는 MV PMOS 트랜지스터 일 경우에는 N형 웰은 HV N형 웰 일 수 있다.
- <62> 다음, 쇼트키 접합 영역(SJ)과 오믹 접합 영역(OJ) 등을 분리하기 위한 소자 분리 영역들(17, 19)을 형성한다. 소자 분리 영역들(17, 19)은 예를 들어 STI일 수 있다. 이때, 소자 분리 영역들(17, 19)도 쇼트키 다이오드가 형성되는 반도체 기관(10)과 동일한 반도체 기관에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 소자 분리 영역 형성 시 동시에 형성될 수 있다.
- <63> 이어, 오믹 접합 영역(OJ)과 적어도 일부 중첩하는 P형 웰 가드링(18)을 형성한다. 웰 가드링(18)은 쇼트키 다이오드가 요구되는 항복 전압에 따라 다양한 웰 형태로 적용될 수 있으며, 예를 들어 HV PMOS 트랜지스터의 소오스/드레인으로 사용되는 포켓 P형 웰 형태로 형성될 수도 있고, MV NMOS 트랜지스터 또는 LV NMOS 트랜지스터의 웰로 사용되는 P형 필드 IMP 웰 형태일 수도 있다.
- <64> 웰 가드링(18)도 또한, 쇼트키 다이오드가 형성되는 반도체 기관(10)과 동일한 반도체 기관(10)에 형성되는 NMOS 트랜지스터 또는 CMOS 트랜지스터 소자의 P형 웰 형성시 동시에 형성될 수 있다.
- <65> 본 실시예에서는 소자 분리 영역들(17, 19)을 형성한 후, 웰 가드링(18)을 형성하는 경우를 예시하여 설명하지만, 쇼트키 다이오드와 함께 형성되는 반도체 소자의 종류에 따라 소자 분리 영역(17, 19)과 웰 가드링(18)의 형성 순서는 바뀔 수도 있다.
- <66> 다음, 도 11에 도시한 바와 같이 오믹 접합 영역(OJ)에 N형 고농도 정션 영역(14)을 형성한다. 이러한 N형 고농도 정션 영역(14)은 쇼트키 다이오드가 형성되는 반도체 기관(10)과 동일한 반도체 기관(10) 상에 형성되는 NMOS 트랜지스터 또는 CMOS 트랜지스터의 소오스/드레인 영역 형성시 동시에 형성될 수 있다.
- <67> 이어, 도 2에 도시한 바와 같이 쇼트키 접합 영역(도 11의 SJ)과 오믹 접합 영역(도 11의 OJ) 상에 각각 전극들(12, 15)을 형성하여, 쇼트키 접합(13)과 오믹 접합(16)을 완성한다. 전극들(12, 15)은 쇼트키 접합 영역(도 11의 SJ)과 오믹 접합 영역(도 11의 OJ)에 티타늄, 텅스텐, 폴리브덴, 탄탈륨, 코발트 또는 니켈 등의 금속을 적층한 후 열처리하여 실리사이드를 형성하여 완성될 수 있다. 전극들(12, 15)의 저항을 낮추기 위해, 바람직하게는 코발트를 이용하여 실리사이드를 형성할 수 있다. 이때, 소자 분리 영역(17)과 소정 간격을 두고 쇼트키 접합 영역(도 11의 SJ)에 전극(12)을 형성함으로써 쇼트키 접합 영역(도 11의 SJ)의 말단에서 발생할 수 있는 실리사이드 형성 불량을 방지하여 쇼트키 다이오드의 특성이 저하되는 것을 방지할 수 있다.
- <68> 이러한 전극들(12, 15)은 쇼트키 다이오드가 형성되는 반도체 기관(10)과 동일한 반도체 기관(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 콘택트 영역을 구성하는 금속 영역의 형성 시에 동시에 형성될 수 있다.
- <69> 이후, 통상의 쇼트키 다이오드 제조 방법을 통해 쇼트키 다이오드를 완성한다.
- <70> 계속해서, 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 도 5, 도 12 및 도 13을 참조하여 설명한다. 도 12 및 도 13은 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적으로 배열한 중간 구조물들의 단면도들이다.
- <71> 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법은 웰에서 반도체 기관으로 흐르는 누설 전류를 유인하는 오믹 접합을 더 형성한다는 것을 제외하고는 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법과 실질적으로 동일하다. 따라서, 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법과의 차이점을 중심으로 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 설명한다.
- <72> 도 12에 도시한 바와 같이, N형 웰(11), 쇼트키 접합 영역(SJ)과 오믹 접합 영역들(OJ1, OJ2)을 분리하는 소자 분리 영역(17, 19)과 N형 웰(11) 내에 위치하는 P형 웰 가드링(18)을 포함하는 반도체 기관을 제공한다.
- <73> 다음, 도 13에 도시한 바와 같이 오믹 접합 영역(OJ1)에 N형 고농도 정션 영역(14)을 형성하고, 누설 전류 유인을 위한 오믹 접합 영역(OJ2)에 P형 고농도 정션 영역(21)을 형성한다. 이러한 N형 고농도 정션 영역(14)과 P형

고농도 정션 영역(21)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 소오스/드레인 영역 형성 시 동시에 형성될 수 있다.

- <74> 이어, 도 5에 도시한 바와 같이 쇼트키 접합 영역(도 12의 SJ)과 오믹 접합 영역들(도 12의 OJ1, OJ2)에 각각 전극(12, 15, 22)을 형성하여 쇼트키 접합(13)과 오믹 접합들(16, 23)을 완성한다. 전극들(12, 15, 22)은 쇼트키 접합 영역(도 12의 SJ)과 오믹 접합 영역들(도 12의 OJ1, OJ2)에 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 코발트 또는 니켈 등의 금속을 적층한 후 열처리하여 실리사이드를 형성하여 완성될 수 있다. 전극들(12, 15, 22)의 저항을 낮추기 위해, 바람직하게는 코발트를 이용하여 실리사이드를 형성할 수 있다.
- <75> 이때, 소자 분리 영역(17)과 소정 간격을 두고 쇼트키 접합 영역(도 12의 SJ)에 전극(12)을 형성함으로써 쇼트키 접합 영역(SJ)의 말단에서 발생할 수 있는 실리사이드 형성 불량을 방지하여 쇼트키 다이오드의 특성이 저하되는 것을 방지할 수 있다.
- <76> 이러한 전극들(12, 15, 22)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 콘택트 영역을 구성하는 금속 영역의 형성 시 동시에 형성될 수 있다.
- <77> 이후, 통상의 쇼트키 다이오드 제조 방법을 통해 쇼트키 다이오드를 완성한다.
- <78> 계속해서, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 도 7, 도 10, 도 14 및 도 15를 참조하여 설명한다. 도 14 및 도 15 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적으로 배열한 중간 구조물들의 단면도들이다. 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법은 쇼트키 접합과 오믹 접합의 전극이 서로 다른 실리사이드를 포함할 수 있도록 제조한다는 것을 제외하고는 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법과 실질적으로 동일하다. 따라서, 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법과의 차이점을 중심으로 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 설명한다.
- <79> 도 10에 도시한 바와 같이, N형 웰(11), 쇼트키 접합 영역(SJ)과 오믹 접합 영역(OJ) 등을 분리하는 소자 분리 영역들(17, 19)과 웰(11) 내에 위치하는 P형 웰 가드링(18)을 포함하는 반도체 기판(10)을 제공한다.
- <80> 다음, 도 14에 도시한 바와 같이, 오믹 접합 영역(OJ)의 N형 고농도 정션 영역(14)에 전극(15)을 형성하여 오믹 접합(16)을 완성한다. 전극(15)은 오믹 접합 영역(OJ)에 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 코발트 또는 니켈 등의 금속을 적층한 후 열처리하여 실리사이드를 형성하여 완성될 수 있다. 전극(15)의 저항을 낮추기 위해, 예를 들어 코발트를 이용하여 실리사이드를 형성할 수 있다.
- <81> 이때, 전극(15)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 콘택트 영역을 구성하는 금속 영역의 형성시 동시에 형성될 수 있다.
- <82> 이어, 도 15 도시한 바와 같이, 오믹 접합(16)의 전극(15)이 형성된 반도체 기판(10) 상에 층간 절연막(30)을 형성한다. 그 후, 층간 절연막(30)에 오믹 접합(16)을 적어도 일부 노출하는 콘택홀(31)과 쇼트키 접합 영역(SJ)을 적어도 일부 노출하는 콘택홀(32)을 형성한다. 이때, 콘택홀(32)은 적어도 웰 가드링(18)의 적어도 일부를 노출한다.
- <83> 다음, 도 7에 도시한 바와 같이, 층간 절연막(30) 전면을 덮는 배리어 금속막(41)을 형성한다. 배리어 금속막(41)은 금속 배선(도시하지 않음)과 반도체 기판(10) 간에 이종 물질의 상호 확산을 방지하기 위한 것으로, 예를 들어 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 코발트 또는 니켈 등을 이용하여 형성할 수 있다. 배리어 금속막(41)은 바람직하게는 티타늄을 이용하여 형성할 수 있다. 이때, 콘택홀(32)을 통해 배리어 금속막(41)과 직접 접촉하는 쇼트키 접합 영역(SJ)에서는 실리사이드 전극(42)이 형성되어 쇼트키 접합(13')이 완성된다. 콘택홀(32)은 쇼트키 접합 영역(도 14의 SJ)의 일부를 노출하므로, 쇼트키 접합(13')의 전극(42)은 실질적으로 소자 분리 영역(17)과 이격되어 형성된다.
- <84> 이러한, 배리어 금속막(41)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 배리어 금속막의 형성시 동시에 형성될 수 있다.
- <85> 계속해서, 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 도 9, 도 12, 도 13, 도 16 및 도 17을 참조하여 설명한다. 도 16 및 도 17은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을

공정 순서에 따라 순차적으로 배열한 중간 구조물의 단면도들이다. 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법은 쇼트키 접합과 오믹 접합의 전극이 서로 다른 실리사이드를 포함하도록 제조할 수 있다는 것을 제외하고는 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법과 실질적으로 동일하다. 따라서, 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법과의 차이점을 중심으로 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 설명한다.

- <86> 도 12에 도시한 바와 같이, N형 웰(11), 쇼트키 접합 영역(SJ)과 오믹 접합 영역들(OJ1, OJ2)을 분리하는 소자 분리 영역들(17, 19)과 웰(11) 내에 위치하는 P형 웰 가드링(18)을 포함하는 반도체 기판(10)을 제공한다.
- <87> 다음, 도 13에 도시한 바와 같이, 오믹 접합 영역(OJ1)에 N형 고농도 정션 영역(14)을 형성하고, 누설 전류 유인을 위한 오믹 접합 영역(OJ2)에 P형 고농도 정션 영역(21)을 형성한다. 이러한 N형 고농도 정션 영역(14)과 P형 고농도 정션 영역(21)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10) 상에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 소오스/드레인 영역 형성시 동시에 형성될 수 있다.
- <88> 이어, 도 16에 도시한 바와 같이 오믹 접합 영역들(OJ1, OJ2) 상에 각각 전극(15, 22)을 형성하여 오믹 접합들(16, 23)을 완성한다. 전극들(15, 22)은 오믹 접합 영역들(OJ1, OJ2)에 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 코발트 또는 니켈 등의 금속을 적층한 후 열처리하여 실리사이드를 형성하여 완성될 수 있다. 전극들(15, 22)의 저항을 낮추기 위해, 예를 들어 코발트를 이용하여 실리사이드를 형성할 수 있다.
- <89> 이때, 전극들(15, 22)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 콘택트 영역을 구성하는 금속 영역의 형성시 동시에 형성될 수 있다.
- <90> 다음, 도 17에 도시한 바와 같이 오믹 접합들(16, 23)의 전극들(15, 22)이 형성된 반도체 기판(10) 상에 층간 절연막(30)을 형성한다. 그 후, 층간 절연막(30)에 오믹 접합들(16, 23)을 적어도 일부 노출하는 콘택홀들(31, 33)과 쇼트키 접합 영역(SJ)을 적어도 일부 노출하는 콘택홀(32)을 형성한다. 이때, 콘택홀(32)은 웰 가드링(18)의 적어도 일부를 노출한다.
- <91> 이어, 도 9에 도시한 바와 같이, 층간 절연막(30) 전면을 덮는 배리어 금속막(41)을 형성한다. 배리어 금속막(41)은 예를 들어 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 코발트 또는 니켈 등을 이용하여 형성할 수 있다. 배리어 금속막(41)은 바람직하게는 티타늄을 이용하여 형성할 수 있다. 이때, 콘택홀(32)을 통해 배리어 금속막(41)과 직접 접촉하는 쇼트키 접합 영역(SJ)에서는 실리사이드 전극(42)이 형성되어 쇼트키 접합(13')이 완성된다. 콘택홀(32)은 쇼트키 접합 영역(SJ)의 일부를 노출하므로, 쇼트키 접합(13')의 전극(42)은 실질적으로 소자 분리 영역(17)과 이격되어 형성된다. 이러한, 배리어 금속막(41)은 쇼트키 다이오드가 형성되는 반도체 기판(10)과 동일한 반도체 기판(10)에 형성되는 NMOS 트랜지스터, PMOS 트랜지스터 또는 CMOS 트랜지스터의 배리어 금속막의 형성 공정시 동시에 형성될 수 있다.
- <92> 이후, 통상의 쇼트키 다이오드 제조 방법을 통해 쇼트키 다이오드를 완성한다.
- <93> 상술한 바와 같은 실시예에 따라 제조된 쇼트키 다이오드, 예를 들어 쇼트키 접합의 전극을 코발트 실리사이드(CoSi₂)로 형성한 경우와 티타늄 실리사이드(TiSi₂)로 형성한 경우의 전기적 특성을 비교하여 보면, 도 18 및 도 19에 도시한 바와 같이 턴 온 전압(turn on voltage)은 약 0.3V(도 17), 역항복 전압(reverse breakdown voltage)는 약 34V 수준으로 기본적인 쇼트키 다이오드 특성을 만족한다.
- <94> 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

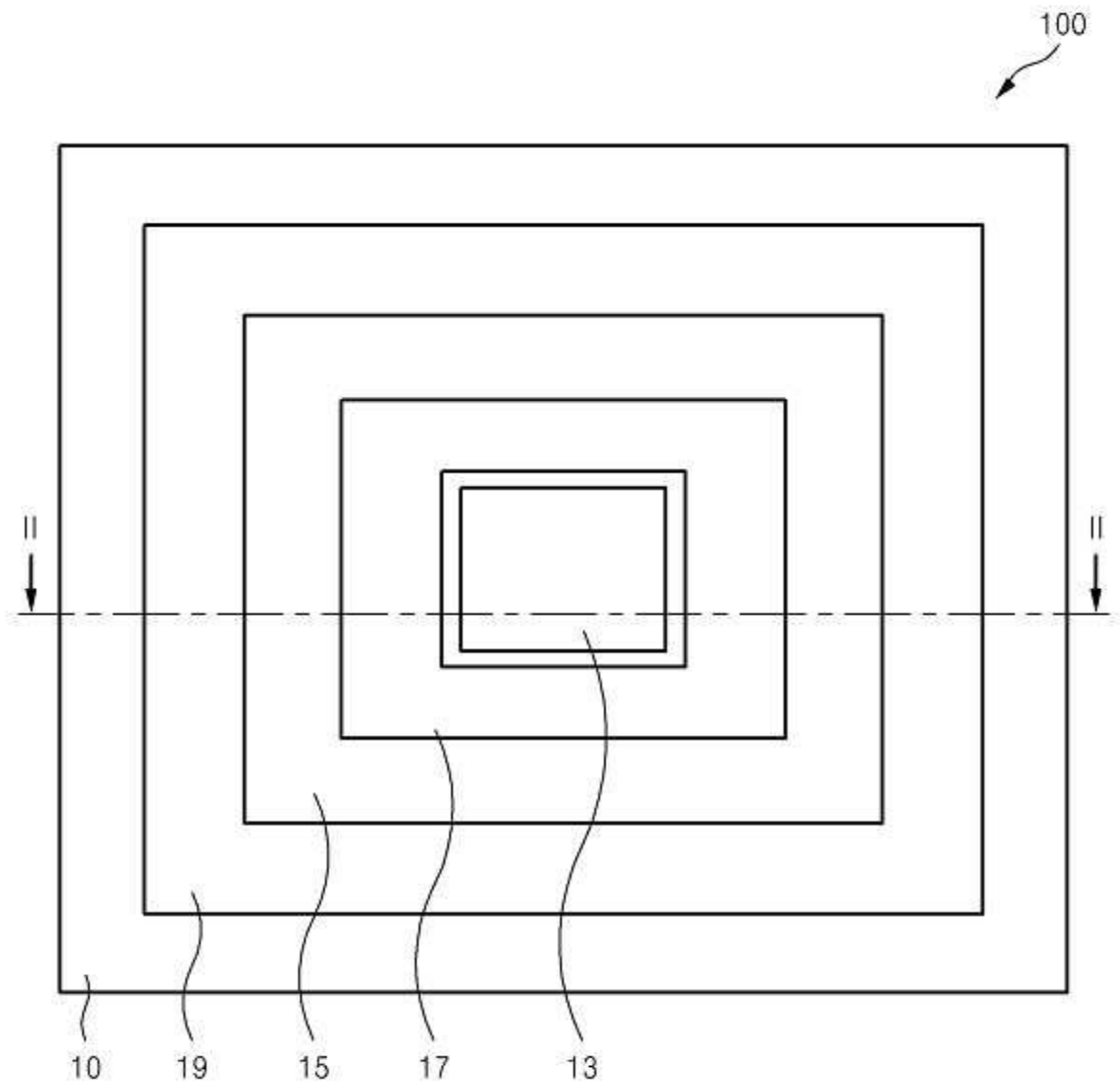
- <95> 상술한 바와 같은 본 발명의 실시예들에 따른 쇼트키 다이오드는 동일한 반도체 기판에 PMOS 트랜지스터, NMOS 트랜지스터 또는 CMOS 트랜지스터와 함께 형성되므로, 쇼트키 다이오드를 제조하기 위한 별도의 공정의 추가 없이도 쇼트키 다이오드의 특성이 저하됨이 없이 제조될 수 있다. 결국, 본 발명의 실시예들에 따른 쇼트키 다이오드의 제조 방법은 반도체 소자의 생산 효율을 증가시킬 수 있다.

도면의 간단한 설명

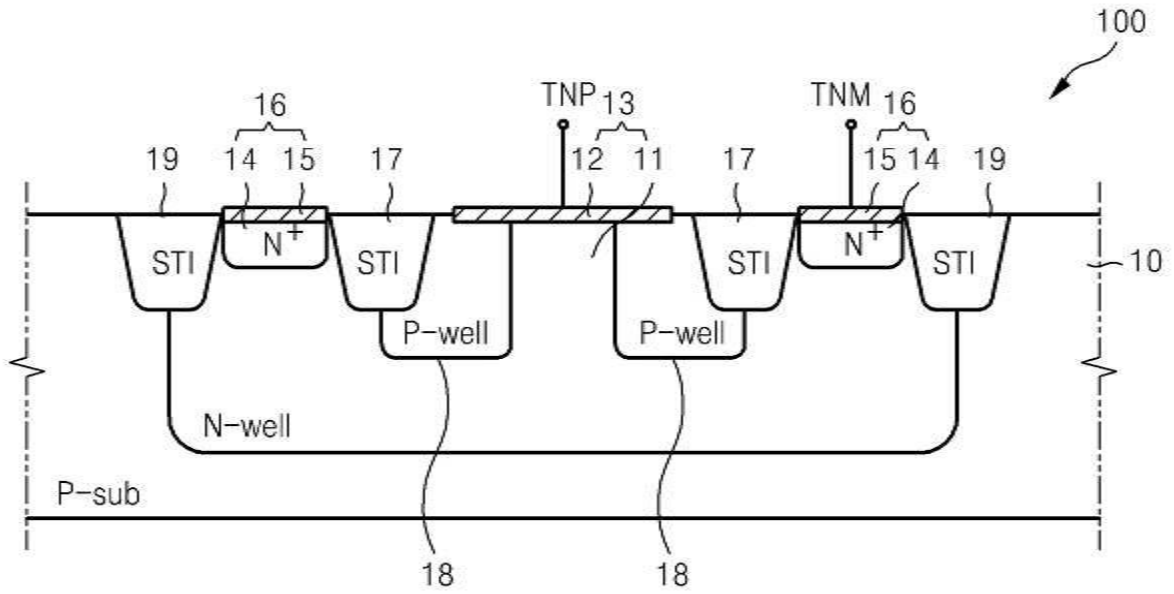
- <1> 도 1은 본 발명의 일 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 2는 도 1의 II-II'선을 따라 절단한 단면도이다.
- <2> 도 3은 반도체 층의 불순물 농도와 접촉 저항의 관계를 나타내는 그래프이다.
- <3> 도 4는 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 5는 도 4의 V-V'선을 따라 절단한 단면도이다.
- <4> 도 6은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 7은 도 6의 VII-VII'선을 따라 절단한 단면도이다.
- <5> 도 8은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 평면도이고, 도 9는 도 8의 IX-IX'선을 따라 절단한 단면도이다.
- <6> 도 10 및 도 11은 본 발명의 일 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적으로 배열한 중간 구조물들의 단면도들이다.
- <7> 도 12 및 도 13은 본 발명의 다른 실시예에 따른 쇼트키 다이오드의 제조 방법에 따른 중간 구조물들의 단면도들이다.
- <8> 도 14 및 도 15는 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적으로 배열한 중간 구조물들의 단면도들이다.
- <9> 도 16 및 도 17은 본 발명의 또 다른 실시예에 따른 쇼트키 다이오드의 제조 방법을 공정 순서에 따라 순차적으로 배열한 중간 구조물들의 단면도들이다.
- <10> 도 18 및 도 19는 본 발명의 실시예들에 따른 쇼트키 다이오드의 전기적 특성을 도시한 그래프들이다.
- <11> <도면의 주요부분에 대한 부호의 설명>
- <12> 13: 쇼트키 접합 16, 23: 오믹 접합
- <13> 17: 소자 분리 영역 18: 웰 가드링

도면

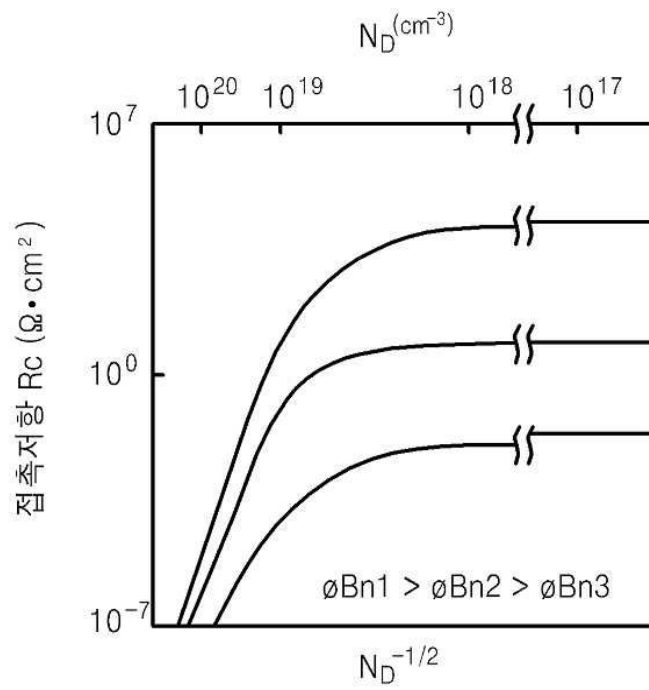
도면1



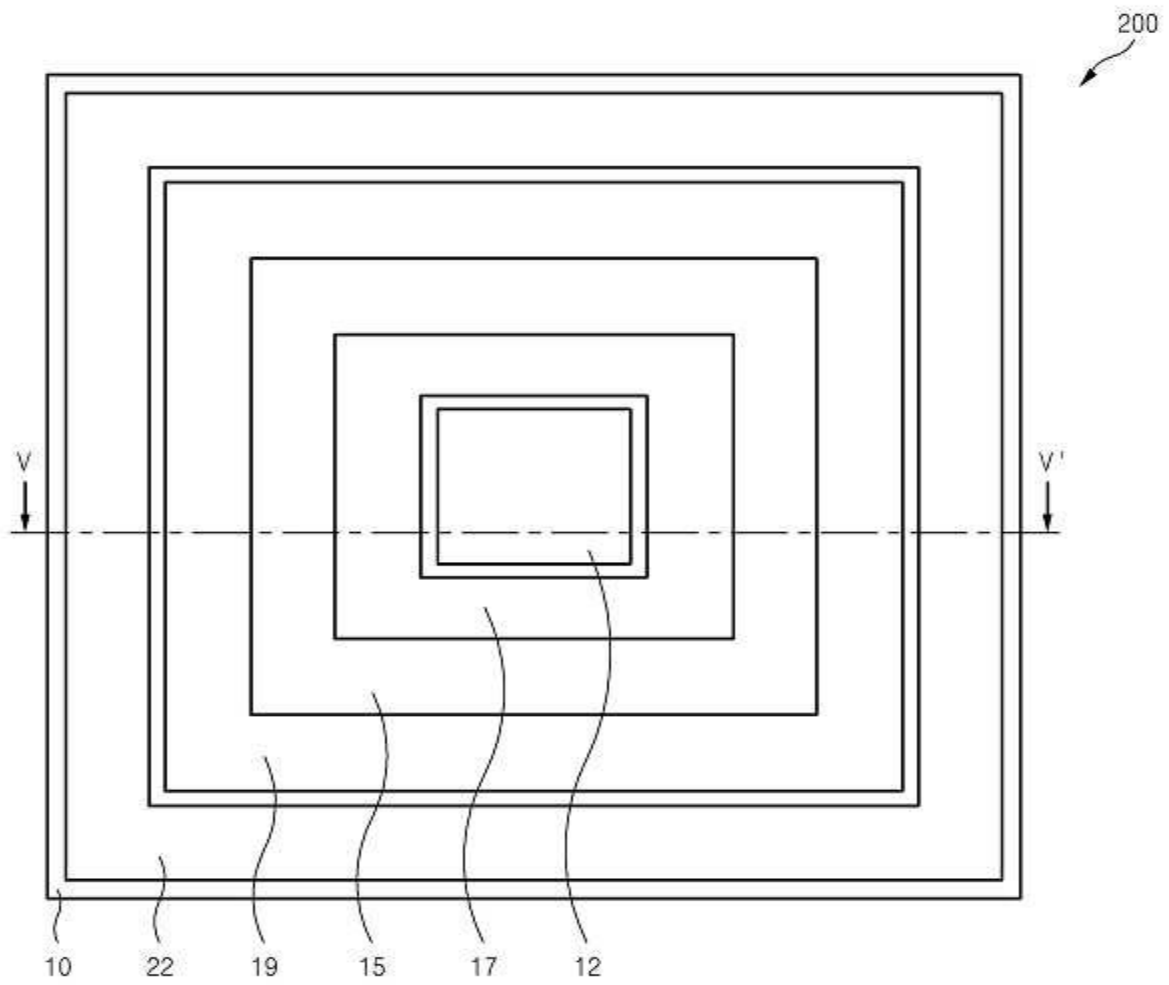
도면2



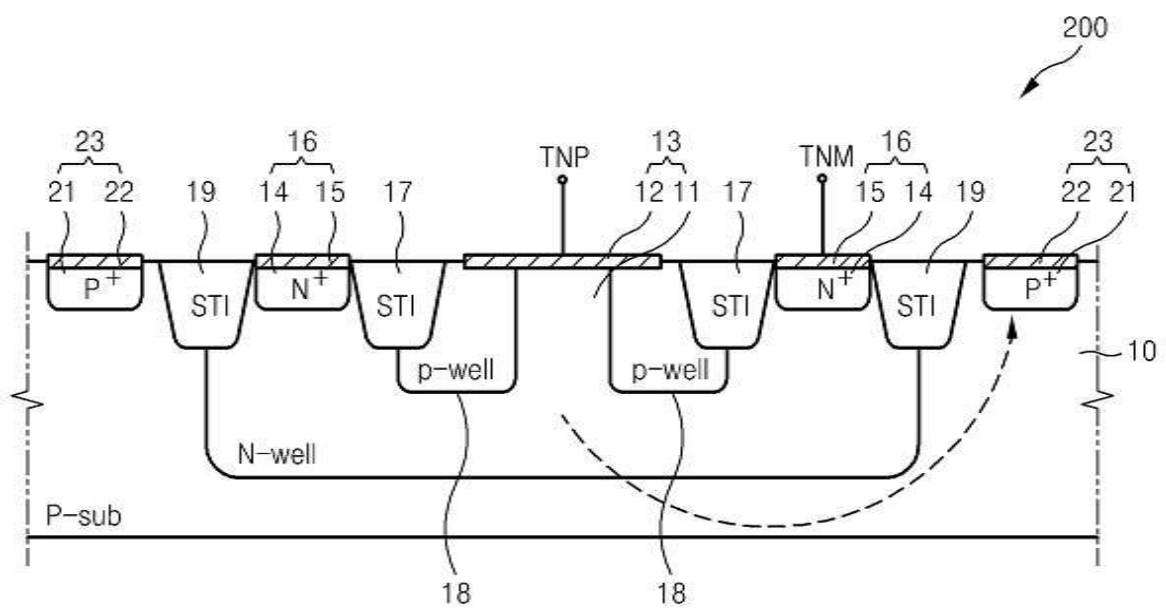
도면3



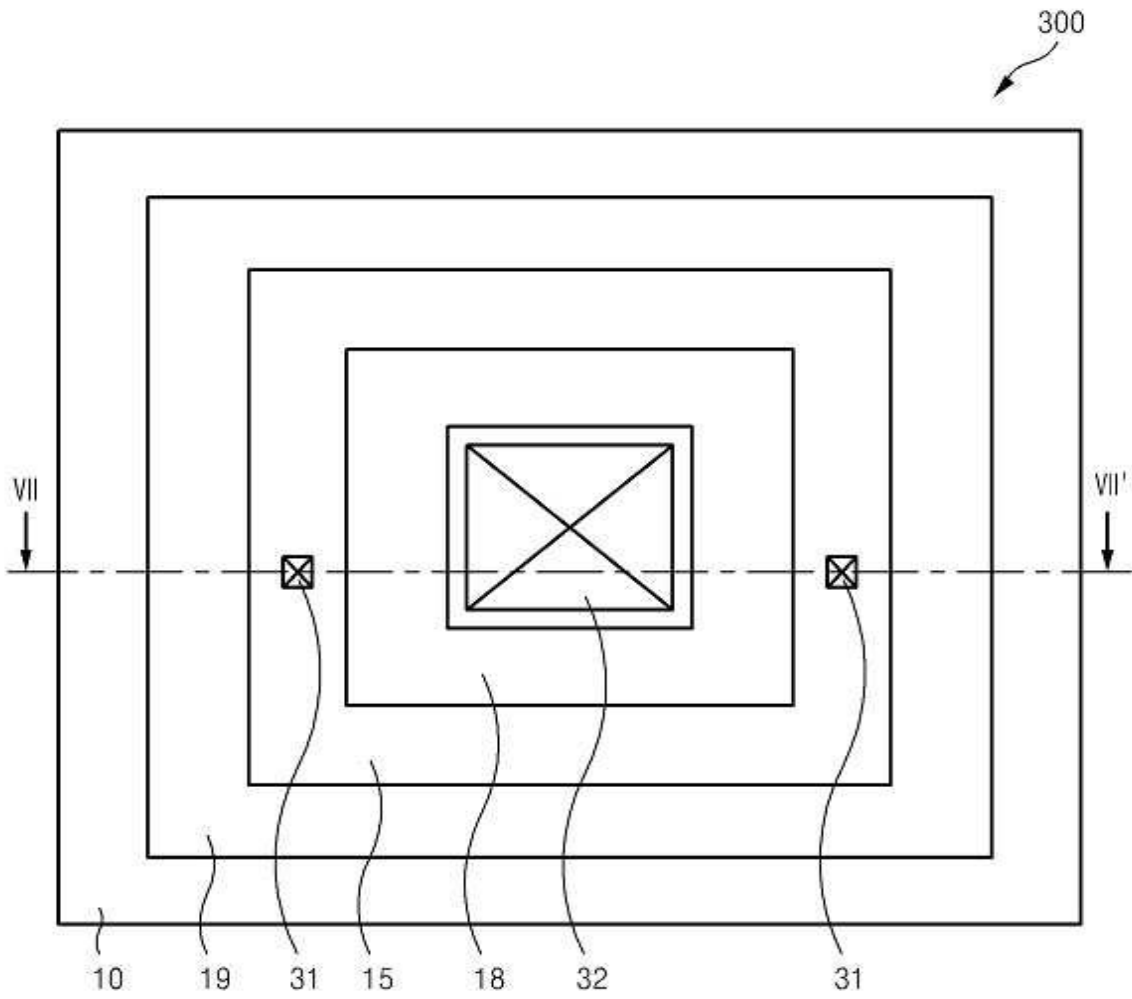
도면4



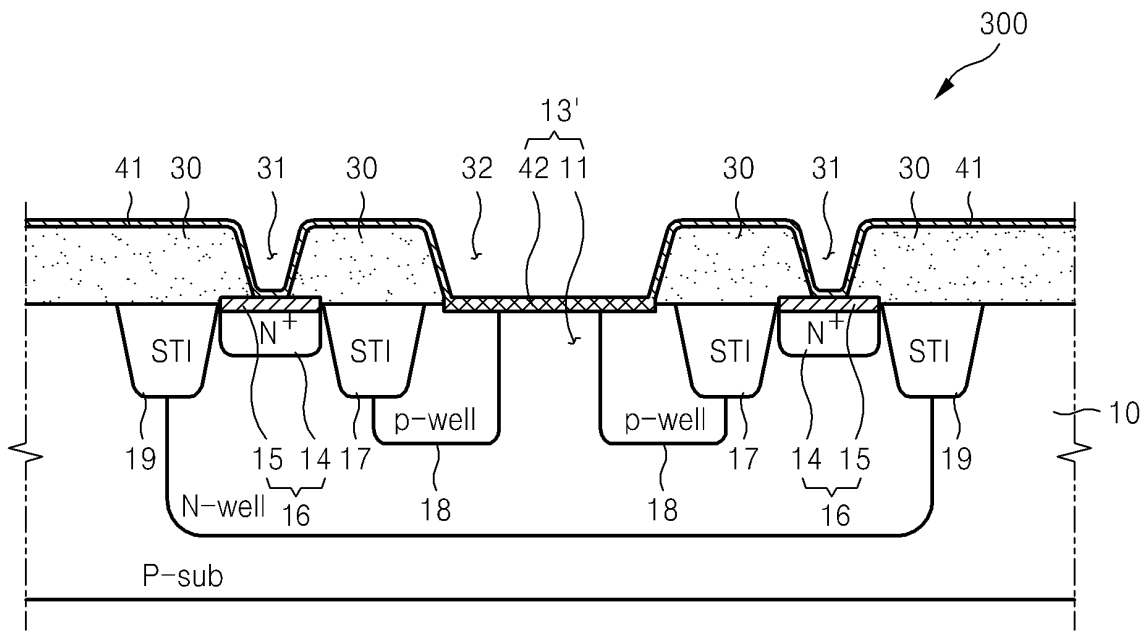
도면5



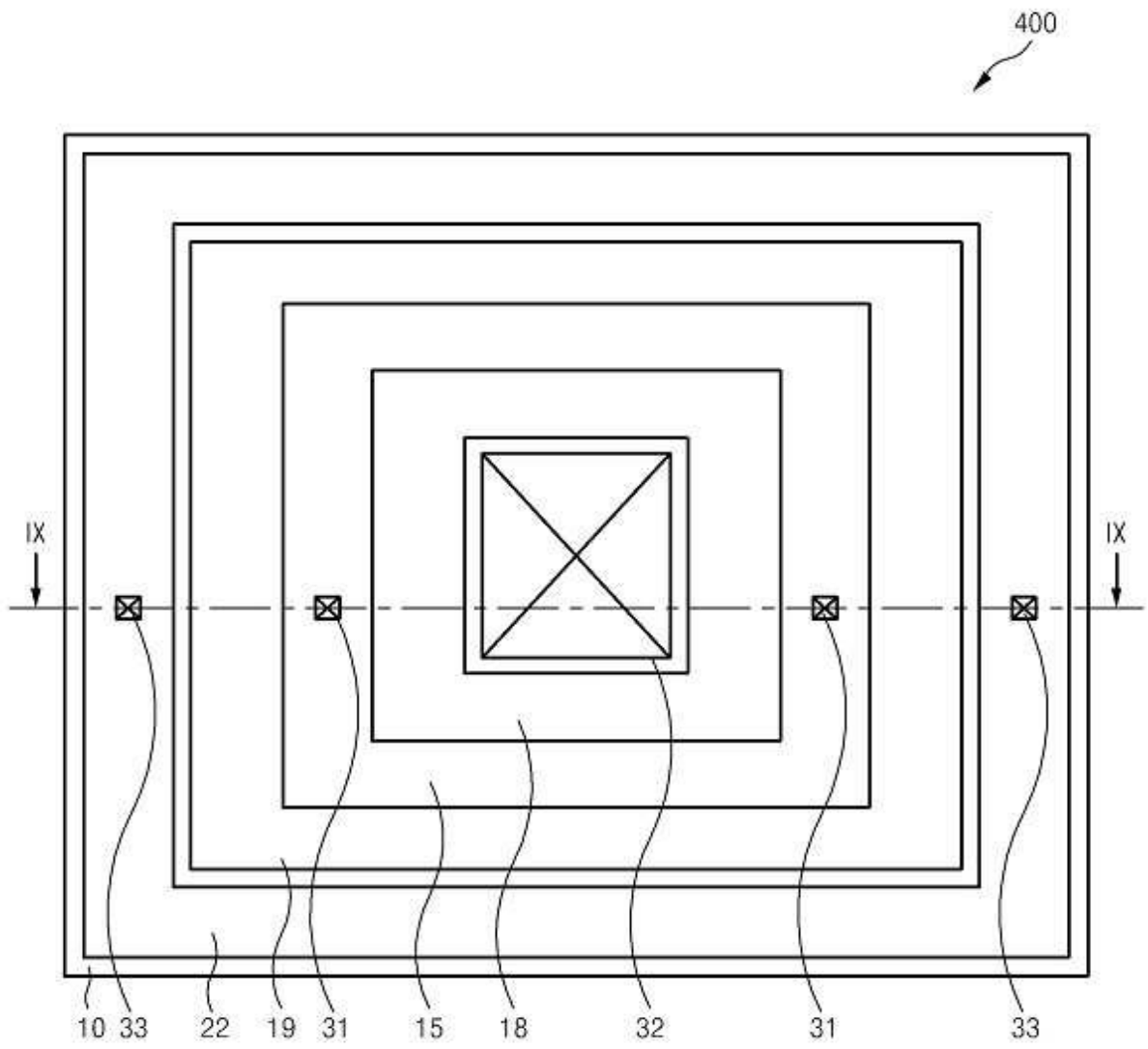
도면6



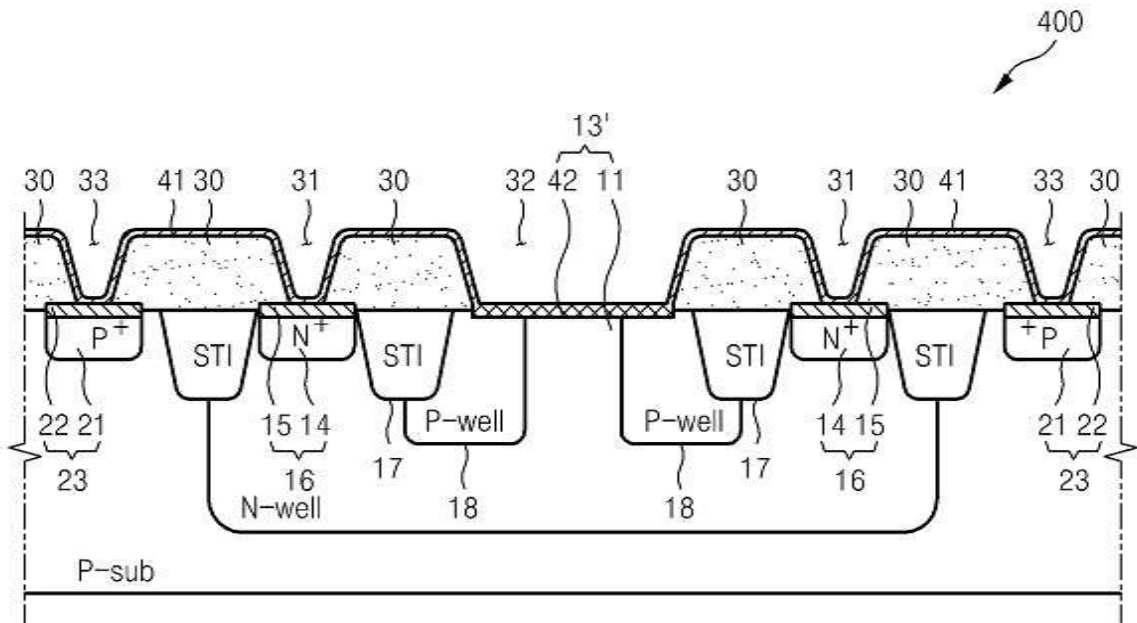
도면7



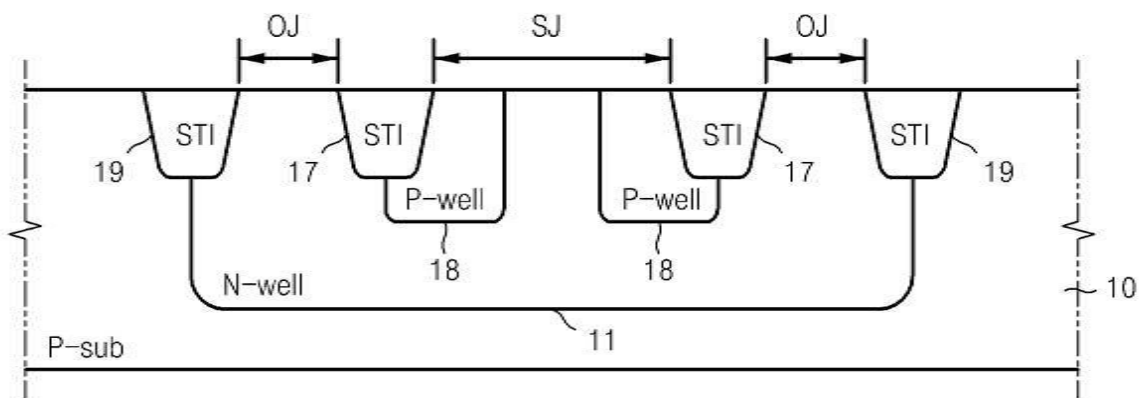
도면8



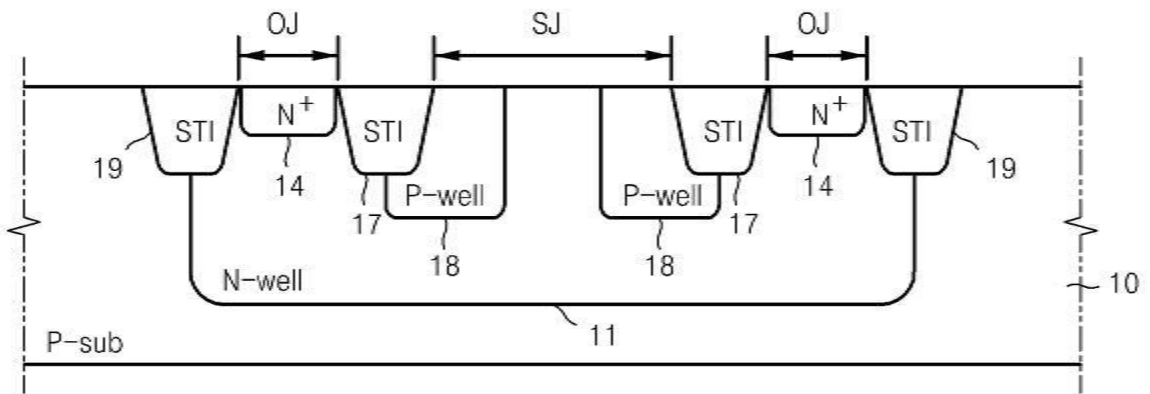
도면9



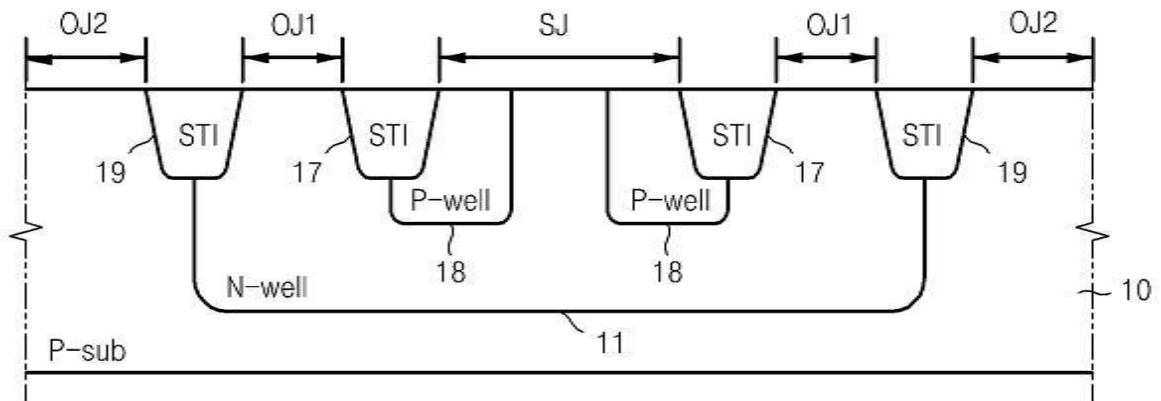
도면10



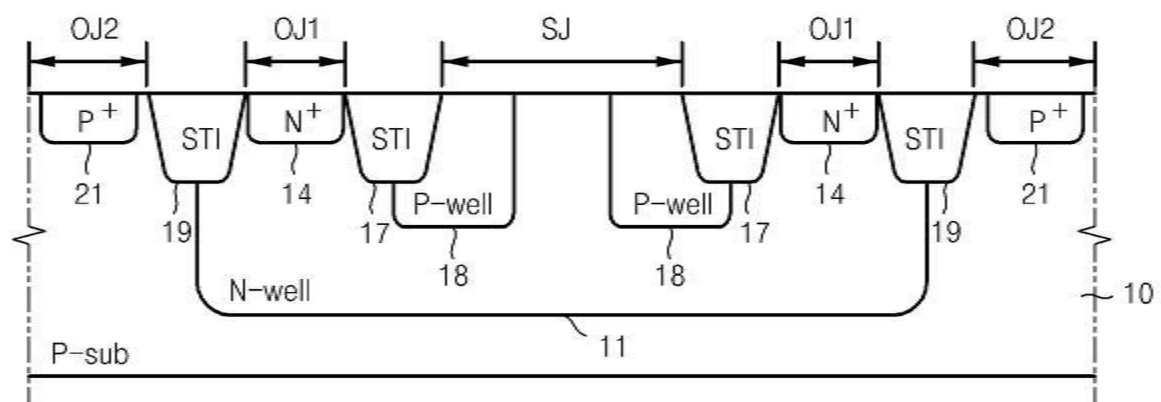
도면11



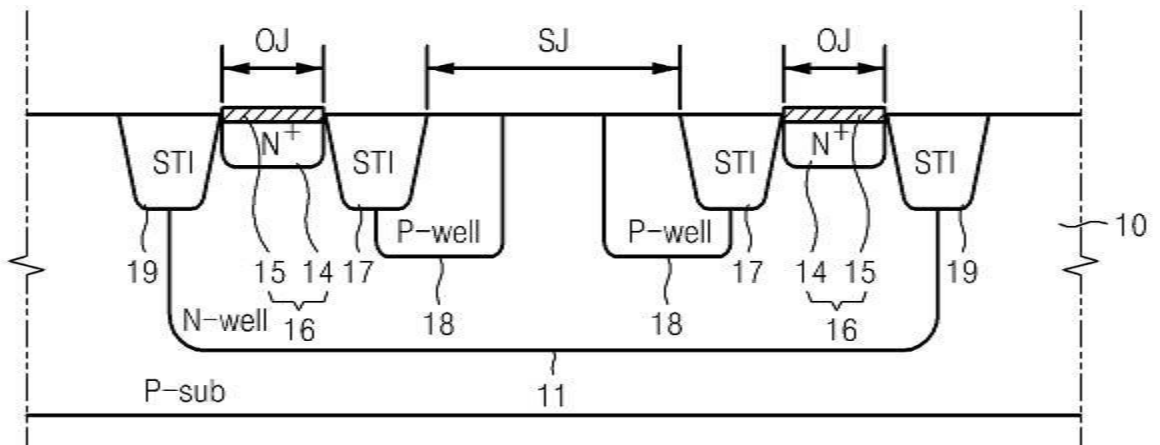
도면12



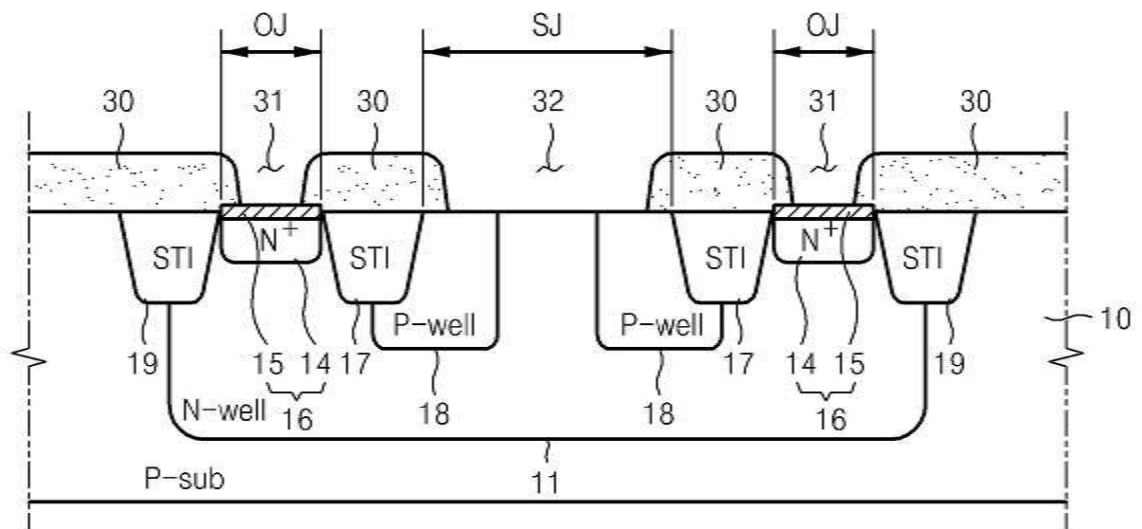
도면13



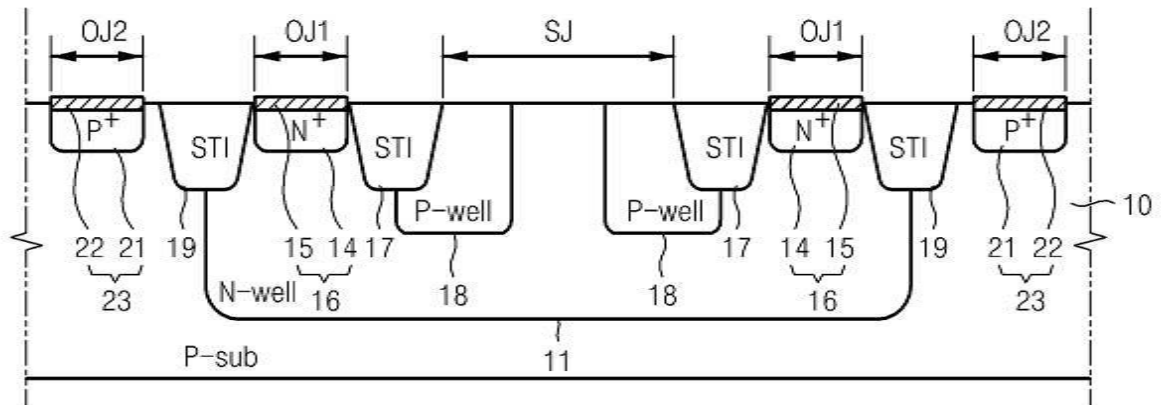
도면14



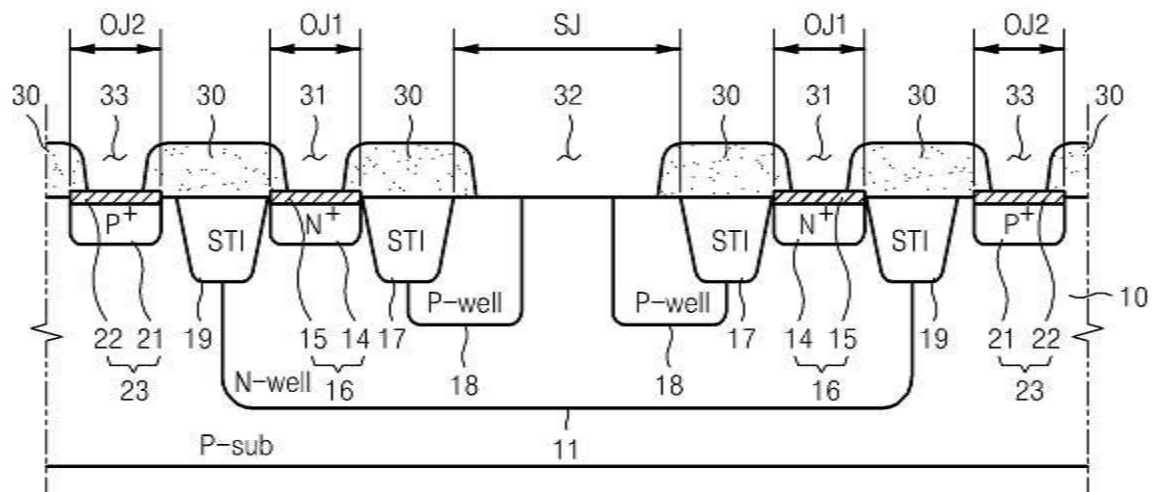
도면15



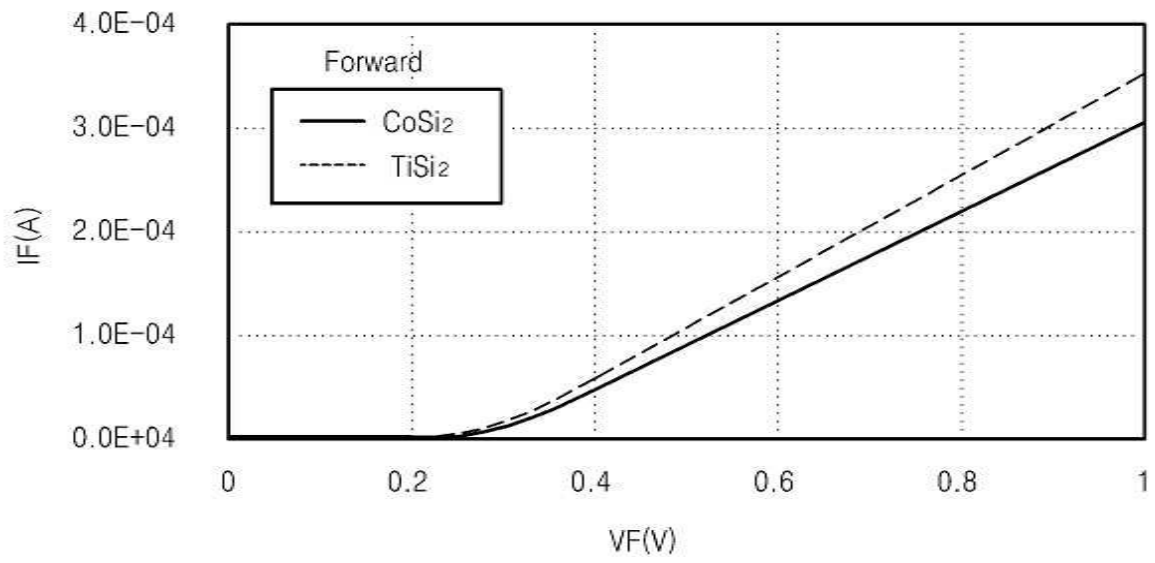
도면16



도면17



도면18



도면19

