

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6300236号
(P6300236)

(45) 発行日 平成30年3月28日(2018.3.28)

(24) 登録日 平成30年3月9日(2018.3.9)

(51) Int.Cl.	F I
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 R
HO 1 L 21/329 (2006.01)	HO 1 L 29/91 B
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 D
HO 1 L 29/861 (2006.01)	HO 1 L 25/04 C
HO 1 L 25/07 (2006.01)	HO 1 L 25/08 B

請求項の数 6 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2015-36099 (P2015-36099)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成27年2月26日(2015.2.26)	(73) 特許権者	000233273 株式会社 日立パワーデバイス 茨城県日立市大みか町五丁目2番2号
(65) 公開番号	特開2016-157882 (P2016-157882A)	(74) 代理人	110001807 特許業務法人磯野国際特許商標事務所
(43) 公開日	平成28年9月1日(2016.9.1)	(72) 発明者	古川 智康 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
審査請求日	平成29年3月17日(2017.3.17)	(72) 発明者	白石 正樹 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

最終頁に続く

(54) 【発明の名称】 半導体装置、半導体装置の製造方法および電力変換装置

(57) 【特許請求の範囲】

【請求項1】

半導体素子が形成された半導体基板の第1表面に、
前記半導体素子と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層、Cu拡散防止層、AlもしくはAl合金からなる第2のAl金属層、および金属層がこの順に形成されている第1の半導体チップの電極構造体と、
前記第1の半導体チップの電極構造体における前記金属層の表面に配置され、銅焼結層を介して前記第1の半導体チップの電極構造体と接合された導電部材と、を備え、
前記第2のAl金属層は、
表面のAl結晶粒の結晶面方位が主に(110)面、かつ、平均結晶粒の大きさが、0.5 μm以上となるように形成されている
ことを特徴とする半導体装置。

【請求項2】

前記半導体基板の第2表面に、
AlもしくはAl合金からなる第1のAl金属層、Cu拡散防止層、AlもしくはAl合金からなる第2のAl金属層、および金属層がこの順に形成されている第2の半導体チップの電極構造体と、
第2の半導体チップの電極構造体における前記金属層の表面に配置され、銅焼結層を介して前記第2の半導体チップの電極構造体と接合された導電部材と、をさらに備え、
前記第2のAl金属層は、

表面の Al 結晶粒の結晶面方位が主に (1 1 0) 面、かつ、平均結晶粒の大きさが、0 . 5 μ m 以上となるように形成されている

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板に形成された複数の素子と当該素子に電氣的に接続する接続電極パッドを備え、

前記接続電極パッドは、

前記素子が形成された半導体基板の表面に、

前記素子と電氣的に接続され、Al もしくは Al 合金からなる第 1 の Al 金属層、Cu 拡散防止層、Al もしくは Al 合金からなる第 2 の Al 金属層、および金属層がこの順に形成されている第 1 の半導体チップの電極構造体と、

前記金属層の表面に配置され、銅焼結層を介して前記第 1 の半導体チップの電極構造体と接合された導電部材と、を備え、

前記第 2 の Al 金属層は、

表面の Al 結晶粒の結晶面方位が主に (1 1 0) 面、かつ、平均結晶粒の大きさが、0 . 5 μ m 以上となるように形成されている

ことを特徴とする半導体装置。

【請求項 4】

請求項 1 において、

前記半導体素子が形成された前記半導体基板を用意する工程と、

前記半導体基板の表面に前記第 1 の Al 金属層を形成する工程と、

前記第 1 の Al 金属層の表面に、前記第 1 の Al 金属層の導電性を確保しつつ、前記銅焼結層の Cu 拡散を防止する Cu 拡散防止層を形成する工程と、

前記 Cu 拡散防止層の表面に、前記第 1 の Al 金属層と同一材料からなる前記第 2 の Al 金属層を形成する工程と、

前記第 2 の Al 金属層上に前記金属層を形成する工程と、

前記半導体基板をチップ化することで、前記第 1 の半導体チップの電極構造体を形成する工程と、

前記銅焼結層を介して、前記第 1 の半導体チップの電極構造体を互いに接合する工程と

、

を有し、

前記第 2 の Al 金属層を形成する工程では、前記第 2 の Al 金属層の平均結晶粒の大きさが、0 . 5 μ m 以上となる条件でスパッタリングを用いて形成されていることを特徴とする半導体装置の製造方法。

【請求項 5】

前記スパッタリングは、低温スパッタリング条件、かつ、200 以下の成膜条件である

ことを特徴とする請求項 4 に記載の半導体方法。

【請求項 6】

一对の直流端子と、交流の相数と同数の交流端子と、前記一对の直流端子間に接続された、それぞれのスイッチング素子と逆極性のダイオードの並列回路を 2 個直列に接続した構成からなり、前記並列回路の相互接続点が異なる交流端子に接続された交流の相数と同数の電力変換単位とを備え、前記スイッチング素子が請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置であることを特徴とする電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、半導体装置の製造方法および電力変換装置に関する。

【背景技術】

【0002】

10

20

30

40

50

半導体装置は、システムLSI (Large Scale Integration)、電力変換装置、ハイブリッド自動車等の制御装置等、幅広い分野で使用されている。この半導体装置においては、例えば電子部品の電極端子と回路基板上の回路パターンの電極端子との電氣的接合には鉛を含んだ「はんだ」や「はんだ合金」によるものが主流であった。

地球環境保全の観点から鉛の使用が厳しく制限されており、鉛の使用を制限して鉛を含まない材料で電極等の接合を行う開発が進められている。特に、「高温はんだ」に関してはその代替となる有効な材料がまだ見出されていない。実装においては「鉛フリーの階層はんだ」を用いることが必要不可欠なため、この「高温はんだ」に代わる材料の出現が望まれている。

このような背景から、「高温はんだ」に代わる材料として金属粒子と有機化合物の複合材料を用いて電極を接合する接合材料が提案されている。

10

【0003】

特許文献1には、NiまたはCu電極に対して優れた接合強度が得られる接合技術として、酸化第二銅(CuO)粒子と有機物からなる還元剤を含む接合材料を用いて、還元雰囲気下において接合を行う半導体装置が記載されている。特許文献1に記載の半導体装置は、加熱還元時に100nm以下の銅粒子を生成させ、銅粒子同士を焼結させて接合する。特許文献1に記載の酸化第二銅(CuO)粒子を用いた接合技術は、従来のナノ粒子接合と比較してNiやCuに対する接合性を改善することができ、Ni電極またはCu電極用の接合材料として期待できる。例えば、電力変換装置のインバータに使用されるIGBT (Insulated Gate Bipolar Transistor) やフリーホイールダイオード等のパワー半導

20

体チップのNi電極に銅焼結層からなる接合層を介して電氣的に接続端子に接続することが可能である。

【0004】

パワー半導体チップのNi電極は、Al金属の表面上に、例えば、無電解メッキ法によりNi層を成長させるNi電極形成方法がある。

特許文献2には、半田を介して導体部材が接合された構成の半導体装置が記載されている。特許文献2に記載の半導体装置は、半導体基板の表面上にAl電極が形成され、Al電極は、第1のAl金属層と、第2のAl金属層とに分かれている。そして、第1のAl金属層と第2のAl金属層との間に異種材質層が配置され、Al表面の結晶方位が主に(111)面

30

のとき、その上に形成するNiメッキ層は最も均質あるいは高密度になるとしている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-244242号公報

【特許文献2】特許4973046号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、本発明者らが検討したところ、特許文献2のAl表面の結晶方位が主に(111)面となる安定した成膜は困難であることが判明した。Al表面の結晶方位が主に(111)面となる安定した成膜が得られないので、Niメッキ層の厚さや密度が不均質になり、ピンホール状のNi膜欠損が発生する課題があった。

40

また、半導体チップのNi電極にピンホール状のNi膜欠損があると、銅焼結層からなる接合層を用いて、電氣的に接続端子に接続した場合、接合層からパワー半導体チップに銅が拡散し、素子リーク電流の増大、素子耐圧の劣化、素子の特性が変動してしまう課題があった。

【0007】

本発明は、このような事情に鑑みてなされたものであり、成膜された電極膜の膜欠損を低減できる半導体装置、半導体装置の製造方法および電力変換装置を提供することを目的

50

とする。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の半導体装置は、半導体素子が形成された半導体基板の第1表面に、前記半導体素子と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層、Cu拡散防止層、AlもしくはAl合金からなる第2のAl金属層、および金属層がこの順に形成されている第1の半導体チップの電極構造体と、前記第1の半導体チップの電極構造体における前記金属層の表面に配置され、銅焼結層を介して前記第1の半導体チップの電極構造体と接合された導電部材と、を備え、前記第2のAl金属層は、表面のAl結晶粒の結晶面方位が主に(110)面、かつ、平均結晶粒の大きさが、0.5μm以上となるように形成されていることを特徴とする。

10

また、本発明の半導体装置の製造方法は、前記半導体素子が形成された前記半導体基板を用意する工程と、前記半導体基板の表面に前記第1のAl金属層を形成する工程と、前記第1のAl金属層の表面に、前記Al金属層の導電性を確保しつつ、前記銅焼結層のCu拡散を防止するCu拡散防止層を形成する工程と、前記Cu拡散防止層の表面に、前記第1のAl金属層と同一材料からなる前記第2のAl金属層を形成する工程と、前記第2のAl金属層上に前記金属層を形成する工程と、前記半導体基板をチップ化することで、前記第1の半導体チップの電極構造体を形成する工程と、前記銅焼結層を介して、前記第1の半導体チップの電極構造体を互いに接合する工程と、を有することを特徴とする。

また、本発明の電力変換装置は、前記半導体装置を備えることを特徴とする。

20

【発明の効果】

【0009】

本発明によれば、成膜された電極膜の膜欠損を低減できる半導体装置、半導体装置の製造方法および電力変換装置を提供することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1の実施形態に係る半導体装置の断面図である。

【図2】上記第1の実施形態に係る半導体装置の製造方法の各工程を示す図である。

【図3】上記第1の実施形態に係る半導体装置の製造方法の各工程を示す図である。

【図4】上記第1の実施形態に係る半導体装置の電解メッキ時のジンケート処理による第2のAl金属層の平均結晶粒の大きさと削れ量との関係を示す特性図である。

30

【図5】本発明の第2の実施形態に係る半導体装置の断面図である。

【図6】本発明の第3の実施形態に係る半導体装置の構成図である。

【図7】図6のA-A断面図である。

【図8】本発明の第4の実施形態に係る半導体装置の構成図である。

【図9】図8のA-A断面図である。

【図10】本発明の第5の実施形態に係る電力変換装置の回路図である。

【発明を実施するための形態】

【0011】

以下、本発明の実施形態について図面を参照して詳細に説明する。

40

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置の断面図である。

本実施形態の半導体装置は、パワー半導体チップのフリーホイールダイオードに適用した場合の断面構造を示す。なお、n型Si基板を用いたダイオードをもとに説明するが、これに限定されるものではない。p型Si基板を用いた場合においても同様に、取り扱うことができる。また、縦方向に電流を流すIGBTの電極構造においても、同様に取り扱うことができる。

【0012】

図1に示すように、半導体装置100は、n型Siからなる半導体基板108を備える。半導体基板108は、表面から順にp型半導体層108a、n⁻ドリフト層108b、

50

高濃度のn型不純物領域からなるn⁺型半導体層108cを備え、半導体層からなる半導体素子150を形成している。半導体基板108は、第1の半導体チップの電極構造体151が形成される第1表面108dと、アノード電極109が形成される第2表面108eと、を有する。

【0013】

半導体装置100は、半導体素子150が形成された半導体基板108のn⁺型半導体層108cの第1表面108dに、この半導体素子150と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層105、Cu拡散防止層107、AlもしくはAl合金からなる第2のAl金属層106、およびNi層104(金属層)がこの順に形成されている第1の半導体チップの電極構造体151と、Ni層104の表面104aに配置され、銅焼結層103を介して第1の半導体チップの電極構造体151と接合された導電部材102と、を備える。

特に、第2のAl金属層106の表面106aのAl結晶粒の結晶面方位が主に(110)面となっている。

なお、第1の半導体チップは、半導体基板108と、第1の半導体チップの電極構造体151と、を含んで構成されている。

【0014】

第1のAl金属層105、Cu拡散防止層107、第2のAl金属層106、およびNi層104は、この順に形成されて、半導体基板108の裏面側のカソード電極112を構成する。カソード電極112は、銅焼結層103を用いてセラミックス絶縁基板101上の導電部材102に接合されている。Ni層104は、例えば無電解Niメッキ層である。Ni層104は、接続電極を形成する金属層であり、NiのほかCuまたはCu合金でもよい。

半導体基板108の第2表面108e側のアノード電極109は、AlもしくはAl合金からなる電極構造を有し、一部は、半導体基板108のp型半導体層108aと接しており、他の一部は、絶縁酸化膜110と接している。また、絶縁酸化膜110上には、パッシベーション膜111が形成されている。パッシベーション膜111は、例えばポリイミドで構成されている。

【0015】

次に、本発明の第1実施形態の半導体装置100の製造方法について説明する。

[半導体装置100の製造方法]

図2および図3は、半導体装置100の製造方法の各工程を示す図である。

<ダイオード(半導体素子150)作製工程>

図2(a)は、本実施形態におけるアノードP型半導体領域形成後の断面図である。

まず、ダイオードを作製するためのSiウエハ90を準備する。Siウエハには、耐圧に応じた比抵抗を有するウエハを用いることができる。例えば、1200Vの耐圧をもつダイオードでは55cm程度、3.3kVの耐圧をもつダイオードでは250cm程度とすることができる。このとき、Siウエハ90は、比抵抗が高くn⁻層の役割を果たす。以降、p型半導体層108aが形成されたSiウエハ90を、n⁻ドリフト層108bと呼ぶ。

【0016】

図示しない最初の工程で、Si基板の表面全体に熱酸化により酸化膜を形成する。次に、p型半導体層108aを設ける領域を形成するためのフォトリソグラフィ工程を行う。このフォトリソグラフィ工程では、Si基板の表面にレジスト材料を塗布、露光、現像することで、p型半導体層108a領域が開口したレジストを形成する。その後、p型不純物をイオン注入する。p型不純物は例えば、ボロンが挙げられる。その後、レジストを除去、不純物を活性化するためのアニールを施すことにより、図2(a)に示すように、p型半導体層108aが形成される。

【0017】

図2(b)は、本実施形態におけるコンタクト部形成後の断面図、図2(c)は、アノ

10

20

30

40

50

ード電極形成後の断面図である。

次に、Si基板に熱酸化による酸化膜形成、および化学気相成長(CVD: Chemical Vapor Deposition)法により、絶縁酸化膜110を堆積し、p型半導体層108aとアノード電極109(図2(c)参照)を接続するコンタクト部を形成するためのフォトリソグラフィ工程を行う。レジスト材料を塗布、露光、現像して、形成されたレジストをマスクに、絶縁酸化膜110をエッチングすることにより、図2(b)に示すように、p型半導体層108aとアノード電極を接続するコンタクト部が形成される。続いて、AlもしくはAl合金からなるアノード電極109をスパッタリング法により成膜し、フォトリソグラフィ工程によりレジストをパターニングし、エッチングすることにより、図2(c)に示すように、アノード電極109が形成される。

10

【0018】

次に、表面保護膜111(図3参照)を形成する。保護膜の形成法としては、例えば、ポリイミドの前駆体材料と感光材料とを含有する溶液を塗布し、ターミネーション領域を露光して前駆体をポリイミド化することで、保護膜を形成することができる。

【0019】

次に裏面カソード側製造工程について説明する。

<裏面カソード側製造工程>

図3(a)は、本実施形態における表面保護膜形成後の断面図である。

まず、n⁻ドリフト層108bの裏面を研削し、ウエハ厚を薄くする。ウエハ厚は、耐圧に応じて異なり、例えば、1200V耐圧品では120μm程度、3300V耐圧品では400μm程度である。

20

その後、n⁻ドリフト層108bの裏面側からウエハ全面に、n型不純物のイオン注入を行う。n型不純物は、例えばリン、ヒ素等が挙げられる。

続いて、イオン注入したn型不純物を活性化させるためにレーザーアニールを行い、図3(a)に示すn⁺型半導体層108cが形成される

【0020】

<裏面カソード電極112の製造工程>

次に、裏面のカソード電極112の製造方法について説明する。

図3(b)は、本実施形態におけるn⁺型半導体層108c形成後の断面図である。

図3(c)に示すように、スパッタリングにより裏面電極の第1のAl金属層105を例えばAlSi合金が0.6μm、Cu拡散防止層107を例えばTiが0.2μm、第2のAl金属層106を例えばAlSi合金が2μmを順に成膜する。このとき、第2のAl金属層106は、Al結晶粒の結晶面方位が、主に(110)面、AlSiの平均結晶粒の大きさが、0.5μm以上となる条件でスパッタリングを行うことにより、図3(c)に示すように、第1のAl金属層105、Cu拡散防止層107および第2のAl金属層106が形成される。AlSiの平均結晶粒の大きさが0.5μm以上であることについては後記する。

30

Al金属層105、Cu拡散防止層107および第2のAl金属層106スパッタリングは、低温スパッタリング条件で平均結晶粒をウエハ面内で均一にすることが可能であり、好ましくは200以下の成膜条件がよい。

40

【0021】

<Ni層104の形成工程>

図3(c)は、本実施形態における第2のAl金属層106形成後の断面図である。

図1に示すように、Ni層104を無電解メッキ法により形成する。

ここで、無電解メッキ時のジンケート処理は、第2のAl金属層106をエッチングする必要がある。本発明者らは、電解メッキ時のジンケート処理に関して、AlSiの平均結晶粒の大きさが0.5μm以上であることが好ましい知見を得た。

【0022】

図4は、電解メッキ時のジンケート処理による第2のAl金属層106の平均結晶粒の大きさと削れ量との関係を示す特性図である。

50

図4に示すように、第2のAl金属層106は、主に(110)面において、AlSiの平均結晶粒の大きさが、0.5μm以上になると、ピンホール発生が大幅に減少する。AlSiの平均結晶粒の大きさが、0.5μm以上となる条件でスパッタリングを行うことにより、無電解メッキ時のジンケート処理によるAlSi電極の局所的な削れが抑制され、均一なNi膜の成長が促進され、Ni電極膜のピンホール欠損が低減できる。因みに、1.5μm以上になると削れ量がほぼ一定になる。

また、裏面のカソード電極112内にTiからなるCu拡散防止層107を設けることで、銅焼結層103からなる接合層を用いて、電氣的に接続端子に接続した場合に、この接合層から第1の半導体チップに銅が拡散することを防止し、長期接合信頼性が向上される。

【0023】

なお、本実施例では、Cu拡散防止層107にTiを用いたが、例えば、導電性を確保したままでCu拡散防止層が形成可能なTiN、TiW、W等の材料が同様に使用可能である。

【0024】

<半導体装置100の形成>

次に、これまで説明した工程で形成されたウエハをダイシングによってチップ化する。

チップ化した後、導電部材102(例えばCu)で配線層が形成されたセラミックス絶縁基板101と、酸化第二銅(CuO)粒子を用いた接合剤を用意し、還元雰囲気下、多段階加熱と加圧を加えて導電部材102とチップ裏面のカソード電極112を接合し、図1に示す銅焼結層103で接合された半導体装置100が形成される。

以上の工程によって、図1に示した半導体装置100が得られる。

【0025】

以上説明したように、本実施形態に係る半導体装置100は、半導体素子150が形成された半導体基板108のn⁺型半導体層108cの表面に、この半導体素子150と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層105、Cu拡散防止層107、AlもしくはAl合金からなる第2のAl金属層106、およびNi層104)がこの順に形成されている第1の半導体チップの電極構造体151と、Ni層104の表面に配置され、銅焼結層103を介して第1の半導体チップの電極構造体151と接合された導電部材102と、を備え、第2のAl金属層106の表面106aでのAl結晶粒の結晶面方位が主に(110)面となっている。

【0026】

上述したように、第2のAl金属層106が主に(110)面において、AlSiの平均結晶粒の大きさが、0.5μm以上となる条件でスパッタリングを行う。これにより、無電解メッキ時のジンケート処理によるAlSi電極の局所的な削れが抑制され、均一なNi膜の成長が促進され、Ni電極膜のピンホール欠損が低減できる。したがって、Al電極の表面上に、無電界メッキ法により成膜されたNi電極膜の膜欠損が低減できる。

また、従来技術ではAl表面の結晶方位が主に(111)面となる安定した成膜は困難である。これに対して、本実施形態では、第2のAl金属層106の表面106aでのAl結晶粒の結晶面方位が主に(110)面となっている。結晶面方位が主に(110)面を用いることができるので、安定した成膜を容易に作製することができる。

【0027】

本実施形態では、半導体チップ151の電極内にCu拡散防止層107を設けることで、銅焼結層103からなる接合層から第1の半導体チップに銅が拡散することを防止し、長期接合信頼性が向上された半導体装置100を実現することができる。

【0028】

(第2の実施形態)

図5は、本発明の第2の実施形態に係る半導体装置200の断面図である。図1と同一構成部分には同一符号を付して重複箇所の説明を省略する。本実施形態の半導体装置200は、パワー半導体チップのフリーホイールダイオードに適用した場合の例である。本実

10

20

30

40

50

施形態の半導体装置200は、縦方向に電流を流すIGBTの電極構造においても、同様に取り扱うことができる。

【0029】

図5に示すように、半導体装置200は、半導体素子150が形成された半導体基板108の第2表面108eに、AlもしくはAl合金からなる第1のAl金属層105、Cu拡散防止層107、AlもしくはAl合金からなる第2のAl金属層106、およびNi層104がこの順に形成されている第2の半導体チップの電極構造体152と、第2の半導体チップの電極構造体152のNi層104の表面104aに配置され、銅焼結層103を介して第2の半導体チップの電極構造体152と接合された導電部材102と、をさらに備え、第2のAl金属層106の表面106aでのAl結晶粒の結晶面方位が主に(110)面となっている。

10

なお、第2の半導体チップは、半導体基板108と、第2の半導体チップの電極構造体152と、を含んで構成されている。

半導体基板108の第2表面108e上の第1のAl金属層105、Cu拡散防止層107、第2のAl金属層106、およびNi層104は、この順に形成されて、半導体基板108の表面側のカソード電極113を構成する。Ni層104は、銅焼結層103を用いて導電部材102に接合されている。

【0030】

このように、本実施形態の半導体装置200は、第1の半導体チップの電極構造体151と第2の半導体チップの電極構造体152が、半導体基板108の両面に形成され、導電部材102は銅焼結層103を介して第1の半導体チップの電極構造体151および第2の半導体チップの電極構造体152に接合されている。

20

【0031】

本実施形態によれば、第1の実施形態の効果に加えて、半導体基板108の両面に同様な電極構成体を設け、ウエハ表裏対象性のよい電極膜を形成しているので、電極膜の応力によるウエハ反りを低減でき、製造性を向上させることができる。

本実施形態の半導体装置200をパワー半導体モジュールに適用した場合、半導体基板108の両面に同様な電極構成体を設け、ウエハ表裏対象性のよい電極膜を形成しているため、高温環境で顕著になる各部材の熱膨張差に起因する熱応力を小さくすることができる。理想的には銅焼結層103の熱膨張係数を導電部材102のそれに一致させることで、銅焼結層103に生じる熱応力が最小になり、長期信頼性が向上する。

30

【0032】

(第3の実施形態)

図6および図7は、本発明の第3の実施形態に係る半導体装置300の構成図であり、図6は半導体LSIチップ201の上面図、図7は半導体LSIチップ201を実装した場合における図6のA-A断面図である。図1と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図6に示すように、半導体装置300は、半導体LSIチップ201上に、トランジスタ、ダイオード、抵抗素子等複数の半導体素子が形成され、それらを制御する入出力電極PAD202が配置されている。

40

【0033】

図7に示すように、半導体装置300は、半導体LSIチップ201の半導体基板208(図7参照)と、半導体LSIチップ201の複数電極と多層配線203を介して接続された複数の入出力電極PAD202と、を備える。

半導体LSIチップ201は、半導体基板208上に、トランジスタ、ダイオード、抵抗素子等の複数の半導体素子(図示省略)が形成されている。各半導体素子の電極等の配線は、絶縁酸化膜110内に形成された多層配線203を介して電気的に入出力電極PAD202に接続される。半導体LSIチップ201の各半導体素子は、多層配線203および入出力電極PAD202を通して導電部材102に接続される。

【0034】

50

入出力電極PAD202は、図1の半導体装置100の第1の半導体チップの電極構成体151と同様な構成を採る。すなわち、図7に示すように、入出力電極PAD202は、絶縁酸化膜110上に露出した多層配線203の端面に、この多層配線203と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層105、Cu拡散防止層107、AlもしくはAl合金からなる第2のAl金属層106、およびNi層104がこの順に形成されている半導体チップにより構成される。Al金属層106の表面106aのAl結晶粒の結晶面方位が主に(110)面となっている。入出力電極PAD202を構成する半導体チップのNi層104は、銅焼結層103を用いて基板204上の導電部材102に接合されている。

【0035】

本実施形態の半導体装置300は、半導体LSIチップ201と入出力電極PAD202の接合において、半田を用いないので鉛フリーであり、環境に良い効果がある。また、高温環境で顕著になる各部材の熱膨張差に起因する熱応力を小さくすることができるので、高温環境の場所に搭載できる半導体装置300を実現することができる。

【0036】

(第4の実施形態)

図8および図9は、本発明の第4の実施形態に係る半導体装置400の構成図であり、図8は半導体LSIチップ205、206の上面図、図9は半導体LSIチップ205、206を実装した場合における図8のB-B断面図である。図6および図7と同一構成部分には同一符号を付して重複箇所の説明を省略する。

図8に示すように、半導体装置400は、第1の半導体LSIチップ205と第2の半導体LSIチップ206とを積層構造にした構成を採る。

図9に示すように、半導体装置300は、第1の半導体LSIチップ205と、第2の半導体LSIチップ206と、半導体LSIチップ205の複数電極と多層配線203を介して接続された複数の入出力電極PAD202と、第1の半導体LSIチップ205と第2の半導体LSIチップ206とを電氣的に接続するチップ間接続電極PAD207と、を備える。

【0037】

第1の半導体LSIチップ205および第2の半導体LSIチップ206上(その基板上)には、それぞれトランジスタ、ダイオード、抵抗素子等の複数の半導体素子(図示省略)が形成されている。

第1の半導体LSIチップ205と第2の半導体LSIチップ206を電氣的に接続するチップ間接続電極PAD207が配置され、第1の半導体LSIチップ205および第2の半導体LSIチップ206の半導体LSIチップを制御する入出力電極PAD202が配置されている。

【0038】

チップ間接続電極PAD207は、前記の図6および図7の半導体装置300の入出力電極PAD202と同様な構成を採る。すなわち、チップ間接続電極PAD207は、絶縁酸化膜110上に露出した多層配線203の端面に、この多層配線203と電氣的に接続され、AlもしくはAl合金からなる第1のAl金属層105、Cu拡散防止層107、AlもしくはAl合金からなる第2のAl金属層106、およびNi層104がこの順に形成されている半導体チップにより構成される。Al金属層106の表面106aのAl結晶粒の結晶面方位が主に(110)面となっている。一方のチップ間接続電極PAD207を構成する半導体チップのNi層104には、銅焼結層103が形成され、銅焼結層103を用いて第1の半導体LSIチップ205と第2の半導体LSIチップ206とが接合されている。

【0039】

本実施形態の半導体装置400は、さらにチップ間接続電極PAD207の接合において、半田を用いないので鉛フリーであり、環境に良い効果がある。また、高温環境で顕著になる各部材の熱膨張差に起因する熱応力を小さくすることができるので、高温環境の場

10

20

30

40

50

所に搭載できる半導体装置400を実現することができる。

また、本実施形態では、複数の半導体チップを積層することが可能であり、パッケージの小型化が可能である。

【0040】

(第5の実施形態)

本発明の半導体装置を電力変換装置に適用した第3の実施形態について説明する。

図10は、第1の実施形態に係る半導体装置100を採用した電力変換装置500を示す回路図である。図10は、本実施形態の電力変換装置500の回路構成の一例と直流電源と三相交流モータ(交流負荷)との接続の関係を示す。

本実施形態の電力変換装置500では、第1の実施形態の半導体装置100を電力スイッチング素子501~506として用いている。電力スイッチング素子501~506は、例えばIGBTである。

10

【0041】

図10に示すように、第5の実施形態の電力変換装置500は、一对の直流端子であるP端子531、N端子532と、交流出力の相数と同数の交流端子であるU端子533、V端子534、W端子535とを備えている。

また、一对の電力スイッチング素子501および502の直列接続からなり、その直列接続点に接続されるU端子533を出力とするスイッチングレグを備える。また、それと同じ構成の電力スイッチング素子503および504の直列接続からなり、その直列接続点に接続されるV端子534を出力とするスイッチングレグを備える。また、それと同じ構成の電力スイッチング素子505および506の直列接続からなり、その直列接続点に接続されるW端子535を出力とするスイッチングレグを備える。

20

電力スイッチング素子501~506は、例えばIGBTである。

【0042】

電力スイッチング素子501~506からなる3相分のスイッチングレグは、P端子531、N端子532の直流端子間に接続されて、図示しない直流電源から直流電力が供給される。電力変換装置500の3相の交流端子であるU端子533、V端子534、W端子535は図示しない三相交流モータに三相交流電源として接続されている。

電力スイッチング素子501~506には、それぞれ逆並列にダイオード521~526が接続されている。IGBTからなる電力スイッチング素子501~506のそれぞれのゲートの入力端子には、ゲート回路511~516によって制御される。なお、ゲート回路511~516は統括制御回路(不図示)によって統括的に制御されている。

30

ゲート回路511~516によって、それぞれ電力スイッチング素子501~506を統括的に適切に制御して、直流電源Vccの直流電力は、三相交流電力に変換され、U端子533、V端子534、W端子535から出力される。

【0043】

上記各実施形態に係る半導体装置を電力変換装置500に適用することで、電力変換装置500の長期信頼性が向上する。また、半田を用いないので鉛フリーであり、環境に良い効果がある。また、高温環境の場所に搭載でき、かつ専用の冷却器を持たなくても長期的な信頼性を確保することが可能になる。

40

本発明は、電子部品中の電氣的接合部(例えば、半導体素子と回路部材との接合部)の接合層に関し、特に、酸化銅粒子を主材とする接合材を用いて接合した接合層を有する半導体装置に適用して好適である。

【0044】

なお、本実施形態では、本発明の半導体装置の電力変換装置への適用例として、インバータ装置の場合について説明したが、これに限定されるものではなく、直流-直流コンバータや、交流-直流コンバータなど、他の電力変換装置に適用することもできる。

【0045】

(その他の実施形態)

以上、各実施形態について図面を参照して詳述したが、本発明はこれら実施形態に限定

50

されるものではなく、本発明の要旨を逸脱しない範囲の工程、製造、設計変更等があってもよく、以下にその例を挙げる。

例えば、半導体素子の第1導電型をn型とし、第2導電型をp型とする構成のほか、第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

【0046】

また、本発明は、パワー半導体チップのフリーホイールダイオードやIGBTに限らず、Al金属層106の表面でのAl結晶粒の結晶面方位が主に(110)面となっている半導体装置であればどのような半導体装置にも適用することができる。

【0047】

また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。

10

【0048】

また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。また、電気配線は説明上必要と考えられるものを示しており、製品上、必ずしも全ての電気配線を示しているとは限らない。

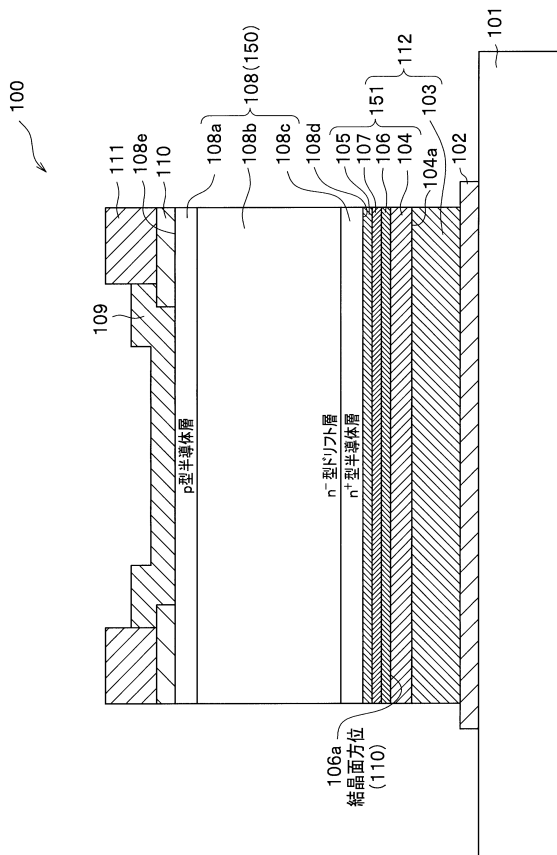
【符号の説明】

【0049】

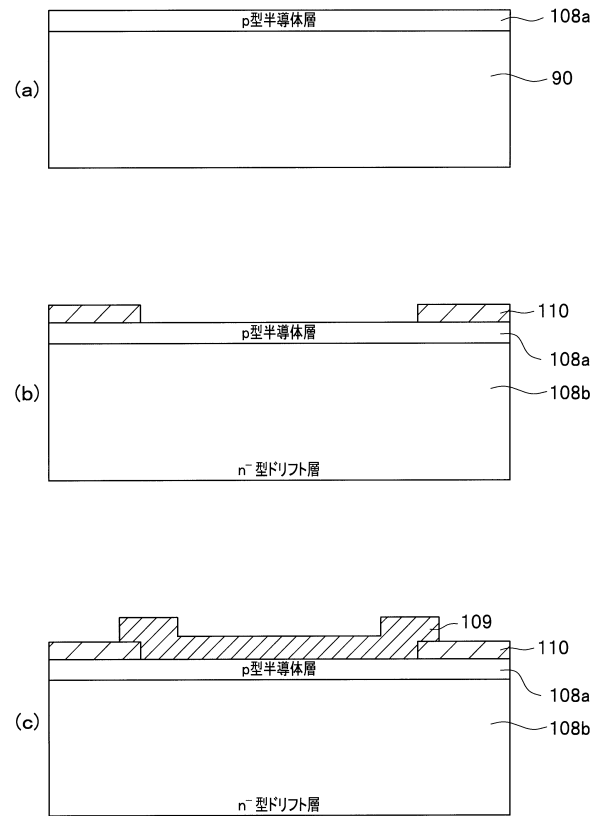
90	Siウエハ	
91	アノードP型半導体層	
92	カソードn ⁺ 層	20
100, 200, 300, 400	半導体装置	
101	セラミック基板	
102	導電部材	
103	銅焼結層	
104	Ni層(金属層)	
104a	Ni層の表面	
105	第1のAl金属層	
106	第2のAl金属層	
106a	第2のAl金属層の表面	
107	Cu拡散防止層	30
108	半導体基板	
108a	p型半導体層	
108b	n ⁻ ドリフト層	
108c	n ⁺ 型半導体層	
108d	半導体基板の第1表面	
108e	半導体基板の第2表面	
109	アノード電極	
110	絶縁酸化膜	
111	パッシベーション膜	
112	カソード電極	40
113, 119, 403	絶縁膜	
150	半導体素子	
151	第1の半導体チップの電極構造体	
152	第2の半導体チップの電極構造体	
201	半導体LSIチップ	
202	入出力電極PAD	
203	多層配線	
204	基板	
205	第1の半導体LSIチップ	
206	第2の半導体LSIチップ	50

- 207 チップ間接続電極PAD
- 500 電力変換装置
- 501 ~ 506 電力スイッチング素子
- 521 ~ 526 ダイオード
- 511 ~ 516 ゲート回路

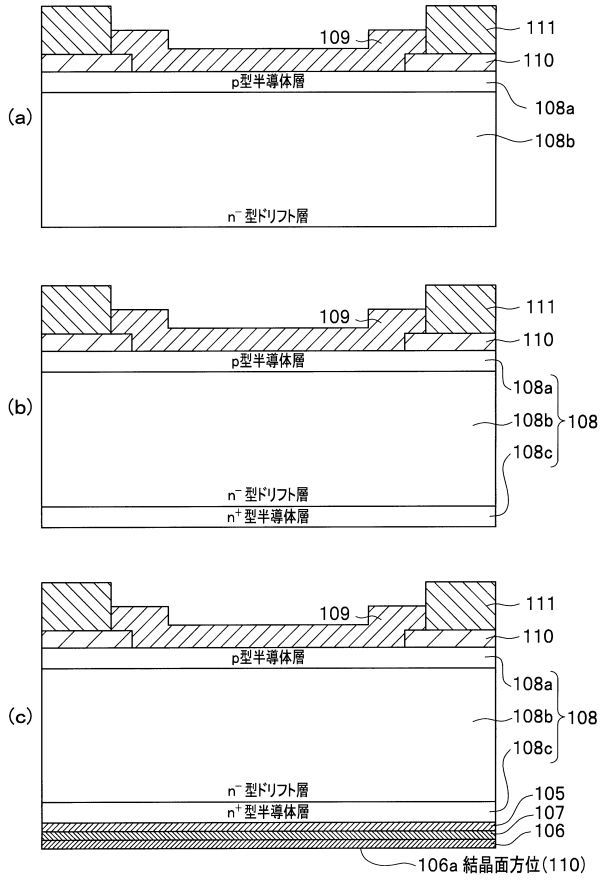
【図1】



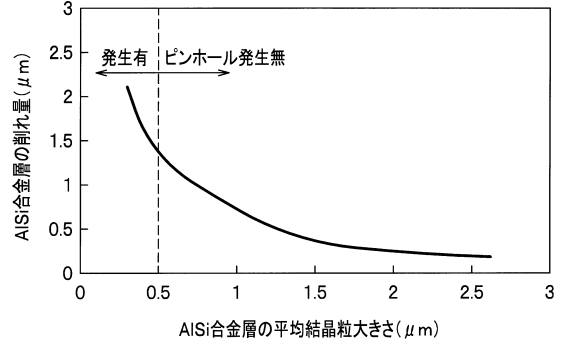
【図2】



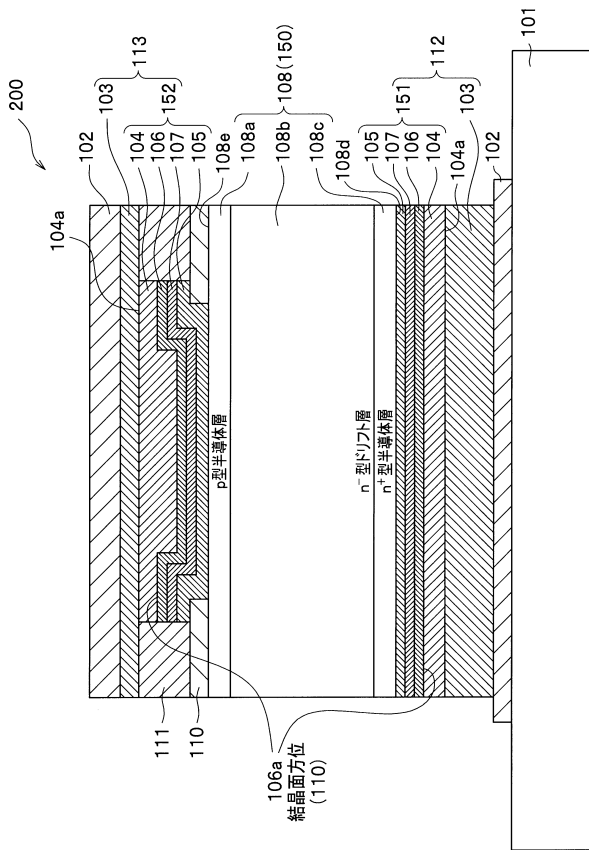
【図3】



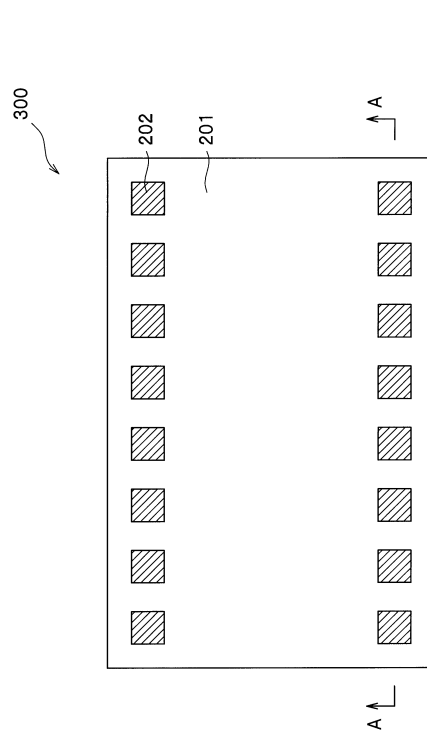
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 25/18 (2006.01) H 0 1 L 21/52 A
H 0 1 L 25/065 (2006.01) H 0 2 M 7/5387 Z
H 0 1 L 21/52 (2006.01)
H 0 2 M 7/5387 (2007.01)

(72)発明者 中野 広
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

(72)発明者 守田 俊章
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 佐藤 靖史

(56)参考文献 特開2008-028079(JP,A)
特開2008-244242(JP,A)
特開2001-066620(JP,A)
特開2007-005368(JP,A)
特開2005-033130(JP,A)
特開2009-111188(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 2 9
H 0 1 L 2 1 / 5 2
H 0 1 L 2 5 / 0 6 5
H 0 1 L 2 5 / 0 7
H 0 1 L 2 5 / 1 8
H 0 1 L 2 9 / 8 6 1
H 0 1 L 2 9 / 8 6 8
H 0 2 M 7 / 5 3 8 7